



AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F / 301 804 3

(22) 14.04.87

(44) 31.08.88

(71) VEB Geräte- und Regler-Werke Teltow, Oderstraße 74/76, Teltow, 1530, DD

(72) Göhring, Ulrich, Dipl.-Ing.; Urban, Ronald, Dipl.-Ing., DD

(54) Schaltungsanordnung zum Erkennen des Signalbytes des Operationscodes von Maschinenbefehlen

(55) Operationscode, Signalbyte, Mikroprozessor, Maschinenbefehl, Zwei-Byte-Befehl, Mehr-Byte-Befehl, Adressbereiche, Speicher, Prozessorsysteme, Signalbyte-Erkennung, Schaltungsanordnung

(57) Die Erfindung betrifft eine Schaltungsanordnung zum Erkennen des Signalbytes des Operationscodes von Maschinenbefehlen bei Anordnungen mit Mikroprozessoren, ohne daß die Philosophie existierender Prozessorsysteme verändert wird. Erfindungsgemäß wird das dadurch erreicht, daß ein Speicher, dessen Datenausgänge auf verschiedene Adressbereiche abgestimmt sind, eingangsseitig an seinen Adresseingängen mit dem Datenbus beaufschlagt ist und der nichtnegierende Ausgang eines Flipflop mit dem Adresseingang A8 und ein Rücksetzeingang mit dem Adresseingang A9 des Speichers verbunden ist. Der Takteingang des Flipflop und der Chip-Select-Eingang sind mit dem Befehlslesezyklus-Signal des Mikroprozessors verbunden. Gleichzeitig liegt das Speicherlesesignal des Mikroprozessors am $\overline{RD}$ -Eingang des Speichers. Der Datenausgang DA_x des Speichers ist mit dem Informations-Eingang des Flipflops verbunden. Fig. 1

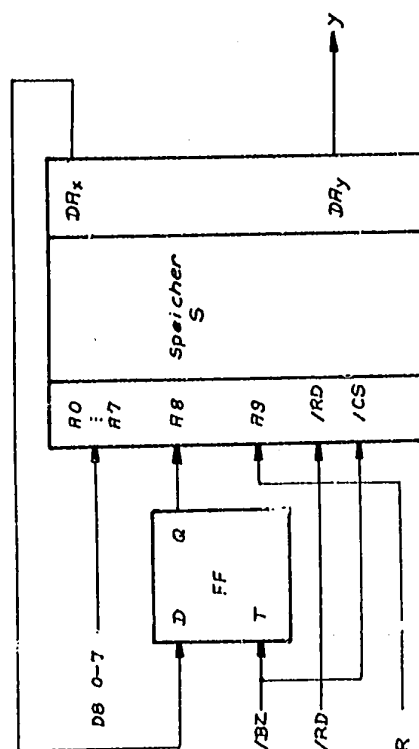


Fig. 1

Patentansprüche:

1. Schaltungsanordnung zum Erkennen des Signalbytes des Operationscodes von Maschinenfehlern bei Anordnungen mit Mikroprozessoren, **dadurch gekennzeichnet**, daß ein Speicher (S), dessen Datenausgänge DA_x und DA_y auf verschiedene Adreßbereiche abgestimmt sind, eingangsseitig an seinen Adreßeingängen A0 bis A7 mit dem Datenbus DB0 bis DB7 des Mikroprozessors beaufschlagt ist, der nichtnegierende Ausgang Q eines Flipflop (FF) mit dem Adreßeingang A8 und ein Rücksetzsignal (R) mit dem Adreßeingang A9 verbunden ist, wobei der Takteingang (T) des Flipflop (FF) und der Chip-Select-Eingang (CS) des Speichers (S) mit dem Befehlslesezyklus-Signal (BZ) des Mikroprozessors verbunden ist und das Speicherlesesignal (RD) des Mikroprozessors am $\overline{RD}$ -Eingang des Speichers (S) liegt und außerdem der Datenausgang DA_x des Speichers (S) mit dem Informationseingang D des Flipflop (FF) verbunden ist.
2. Schaltungsanordnung zum Erkennen des Signalbytes des Operationscodes von Maschinenbefehlen nach Anspruch 1, **dadurch gekennzeichnet**, daß sich der Inhalt des Speichers (S) so darstellt, daß für einen ersten Adreßbereich für Ein-Byte-Befehle der Datenausgang DA_x und DA_y des Speichers den Zustand A und für Mehr-Byte-Befehle der Datenausgang DA_x des Speichers (S) den Zustand $\bar{A}$ und der Datenausgang DA_y den Zustand A und für einen zweiten Adreßbereich für alle Mehr-Byte-Befehle der Datenausgang DA_x den Zustand A und der Datenausgang DA_y den Zustand $\bar{A}$ einnimmt.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

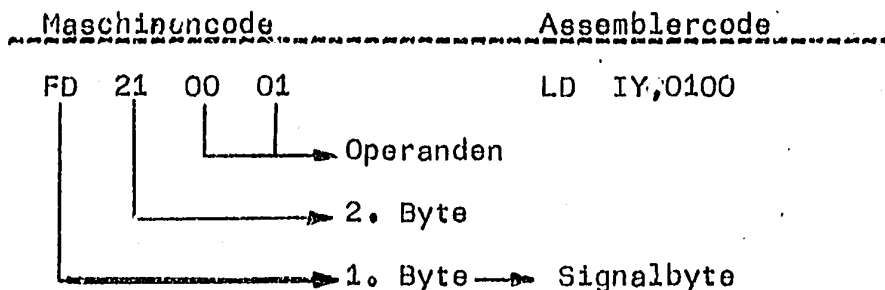
Die Erfindung betrifft eine Schaltungsanordnung zum Erkennen des Signalbytes des Operationscodes von Maschinenbefehlen bei Anordnungen mit Mikroprozessoren, wobei gewährleistet ist, daß auch bei Mehr-Byte-Befehlen nur das Signalbyte des Operationscodes nachfolgende Schaltungsteile aktiviert.

Charakteristik der bekannten technischen Lösungen

In den zu betrachtenden Rechnersystemen werden im allgemeinen die abzuarbeitenden Programmsysteme in Speicherstrukturen abgelegt. Dabei können sich die einzelnen Befehle für den Prozessor aus Ein-, Zwei- oder Mehr-Byte-Befehlen zusammensetzen, die im allgemeinen nacheinander durch den Prozessor aus dem Speicher gelesen und danach interpretiert und ausgeführt werden. Die so im Speicher des Prozessors abgelegten Befehle sind von anderen Speicherbereichen, in denen z. B. Daten abgelegt sind, nicht zu unterscheiden, da jedes Byte eines Befehls aus gleichen Bitkombinationen bestehen kann, wie die Datenbytes. Erst wenn der Prozessor auf den Befehlsspeicher zugreift, werden diese Bytes als Bytes von Befehlen erkennbar. Dabei ist für mehrere Anwendungen, wie z. B. Befehlswiederholung, Archivspeichersteuerung oder Break-Point-Erkennung notwendig, genau das 1. Byte — das Signalbyte des Operationscodes — eines Befehls zu identifizieren, um gegebenenfalls diesen Befehl zu wiederholen oder anderweitige Manipulationen zu treffen.

Ein Beispiel soll die Notwendigkeit der Erkennung des Signalbytes verdeutlichen:

Bei einem Prozessor vom Typ U880 gibt es Ein- und Zwei-Byte-Befehle. Ein Exemplar davon kann folgendes Aussehen haben:



Dieser Befehl — LD IY, 0100 oder F 21 0001 — realisiert das Laden des Registers IY mit dem hexadezimalen Wert 100. Beide Bytes, das 1. Byte FD und das 2. Byte 21 werden durch den Prozessor als Operationscode signifiziert, wobei FD das Signalbyte dieses Maschinenbefehls ist. Wird dieser Befehl durch die hier besprochenen Lösungen oder den Prozessor auf Grund von sogenannten Maschinenfehlern falsch interpretiert und zwar so, daß das 2. Byte als Signalbyte gilt, ergibt sich ein völlig anderer, aber zulässiger Befehl:

Maschinencode

Assemblercode

00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16 17 18 19 1A 1B 1C 1D 1E 1F 20 21 22 23 24 25 26 27 28 29 2A 2B 2C 2D 2E 2F 30 31 32 33 34 35 36 37 38 39 3A 3B 3C 3D 3E 3F 40 41 42 43 44 45 46 47 48 49 4A 4B 4C 4D 4E 4F 50 51 52 53 54 55 56 57 58 59 5A 5B 5C 5D 5E 5F 60 61 62 63 64 65 66 67 68 69 6A 6B 6C 6D 6E 6F 70 71 72 73 74 75 76 77 78 79 7A 7B 7C 7D 7E 7F 80 81 82 83 84 85 86 87 88 89 8A 8B 8C 8D 8E 8F 90 91 92 93 94 95 96 97 98 99 9A 9B 9C 9D 9E 9F A0 A1 A2 A3 A4 A5 A6 A7 A8 A9 AA AB AC AD AE AF B0 B1 B2 B3 B4 B5 B6 B7 B8 B9 BA BB BC BD BE BF C0 C1 C2 C3 C4 C5 C6 C7 C8 C9 CA CB CC CD CE CF D0 D1 D2 D3 D4 D5 D6 D7 D8 D9 DA DB DC DD DE DF E0 E1 E2 E3 E4 E5 E6 E7 E8 E9 EA EB EC ED EE EF F0 F1 F2 F3 F4 F5 F6 F7 F8 F9 FA FB FC FD FE FF

21 00 01

LD HL, 0100

1. Byte → Signalbyte

Dieser Befehl — LD HL, 0100 oder 210001 — realisiert nun das Laden des Registers HL mit dem hexadezimalen Wert 100. Eine Möglichkeit, das Signalbyte des Operationscodes zu erkennen, zeigt die DE 3211 256, in der mit Hilfe eines Zwischenspeichers, welcher aus zwei Registersätzen mit nachgeschalteten Befehlspuffer besteht und dem Prozessor zur Bereitstellung der Befehlsbyte dient, die Erkennung mindestens des zuletzt ausgeführten Befehls realisierbar wird. Bei auftretenden Maschinenfehlern wird der zuletzt ausgeführte Befehl in den Befehlspuffer zurückgeschrieben und nochmals ausgeführt. Diese Lösung realisiert zwar die Erkennung des Signalbytes, es lastet ihr aber folgender Nachteil an: Der Zwischenspeicher mit Registersätzen und Befehlspuffer ist in existierenden Prozessorstrukturen nicht oder nur schwer möglich anwendbar und dann auch nur mit einem hohen schaltungstechnischen Aufwand zu realisieren.

Ziel der Erfindung

Ziel der Erfindung ist es, eine Schaltungsanordnung zu entwickeln, mit der es möglich ist, das 1. Byte — das Signalbyte des Operationscodes — eines Maschinenbefehls zu erkennen. Dabei soll der Bauelementeaufwand so gering wie möglich gehalten werden.

Darlegung des Wesens der Erfindung

Aufgabe der Erfindung ist es, eine schaltungstechnisch einfache Lösung zur Erkennung des Signalbytes des Operationscodes eines Maschinenbefehls zu finden, wobei sich diese Schaltungsanordnung an existierende Prozessorsysteme anpassen soll, ohne jedoch diese in ihrer Philosophie zu verändern.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß ein Speicher, dessen Inhalt sich so darstellt, daß

- a) für einen ersten Adreßbereich für Ein-Byte-Befehle der Datenausgang DA_x und DA_y des Speichers den Zustand A und für Mehr-Byte-Befehle der Datenausgang DA_x des Speichers den Zustand $\bar{A}$ und der Datenausgang DA_y des Speichers den Zustand A und
- b) für einen zweiten Adreßbereich für alle Mehr-Byte-Befehle der Datenausgang DA_x des Speichers den Zustand A und der Datenausgang DA_y des Speichers den Zustand $\bar{A}$ einnimmt,

eingangsseitig an seinen Adreßsicherungen A0 bis A7 mit dem Datenbus DB0 bis DB7 des Mikroprozessors beaufschlagt ist und der nichtregulierende Ausgang Q eines Flipflop mit dem Adreßeingang A8 und ein Rücksetzsignal mit dem Adreßeingang A9 des Speichers verbunden ist. Der Takteingang des Flipflop und der Chip-Select-Eingang des Speichers sind mit dem Befehlslesezyklus-Signal des Mikroprozessors verbunden. Gleichzeitig liegt das Speicherlesesignal des Mikroprozessors am $\bar{RD}$ -Eingang des Speichers. Der Datenausgang DA_x des Speichers ist mit dem Informations-Eingang des Flipflop verbunden. Anschließend soll die erfindungsgemäße Schaltungsanordnung kurz in Funktion beschrieben werden.

Das Rücksetzsignal schaltet über den Adreßeingang A9 des Speichers die Schaltung so in den aktiven Zustand, daß dadurch zwei Adreßbereiche ausgewählt werden.

Durch die Belegung eines adressierten dritten Adreßbereiches wurde mit dem Zustand $\bar{A}$ des Datenausganges DA_y des Speichers das Ausgangssignal y passiv und der Zustand A des Datenausganges DA_x des Speichers wird durch die getaktete Signalfom vom Befehlslesezyklus-Signal am Takteingang des Flipflop am Adreßeingang A8 des Speichers so wirksam, daß er den ersten Adreßbereich auswählt. Erscheint jetzt ein Ein-Byte-Befehl auf dem Datenbus DB0-7 des Mikroprozessorsystems, so wird die zugehörige Speicheradresse im ersten Adreßbereich des Speichers so ausgewählt, die den Datenausgang DA_x des Speichers in den Zustand A bringt. Damit wird für den nächsten Befehl der gleiche Adreßbereich über das Flipflop und den Adresseneingang A8 des Speichers ausgewählt. Da sich der Datenausgang DA_y , durch die Wahl des ersten Adressenbereiches, ebenfalls im Zustand A befindend, wird damit über das Signal y nachfolgenden Schaltungsteilen das Signalbyte vom Operationscode des Maschinenbefehls signalisiert.

Würde durch das Anlegen des Datenbusses DB0-7 an den Adreßeingängen A0-A7 des Speichers eine Speicheradresse ausgewählt, die einen Zwei-Byte-Befehl repräsentiert, so wird sich der Datenausgang DA_y wie bei einem Ein-Byte-Befehl verhalten. Der Datenausgang DA_x des Speichers nimmt dagegen den Zustand $\bar{A}$ an und schaltet damit über das Flipflop und den Adreßeingang A8 des Speichers den zweiten Adreßbereich zu. Beim Lesen des zweiten Bytes vom Operationscode des Zwei-Byte-Befehls wird der Datenausgang DA_y in den Zustand $\bar{A}$ gebracht und so das Signal y inaktiv. Dabei wird der Datenausgang DA_x wieder in den Zustand A geschaltet und so über das Flipflop und den Adreßeingang A8 des Speichers wieder der erste Adreßbereich im Speicher ausgewählt. Damit ist die Schaltung für den nächsten Maschinenbefehl vorbereitet.

Ausführungsbeispiel

Anschließend soll die erfindungsgemäße Schaltungsanordnung an einem Ausführungsbeispiel näher erläutert werden. Dabei zeigen:

Figur 1: Blockschaltbild der erfindungsgemäßen Schaltungsanordnung

Figur 2: Ausführungsbeispiel für eine Schaltungsanordnung zum Erkennen des Signalbytes

Als verwendetes Rechnersystem soll hier der 8-Bit-Prozessor U880 aus dem Rechnersystem K1520 vom VEB Kombinat Robotron dienen.

Der Speicher S, hier ein EPROM vom Typ 2708, hat, wie im Wesen der Erfindung beschrieben, folgenden Inhalt (Zustand A Low-Potential, Zustand $\bar{A}$ High-Potential):

Adresse

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	7E	7E	7E	7E	7E	7E	7E	7E	7E	7E	7E	7E	7E	7E	7E	7E
0010	7E															
"																
"																
"																
"																
00C0											7F					
00D0												7F				
00E0												7F				
00F0												7F				
0100	FE	FE	FE	FE												
0110																
"																
"																
"																
"																
01F0															FE	
0200	FE															
"																
"																
"																
"																
03F0															FE	

(1. Adressbereich)

(2. Adressbereich)

(3. Adressbereich)

Zwei-Byte-Befehle sind bei diesem Prozessortyp die Befehle "

CB, ED, DD, FD,

Das Rücksetzsignal ist hier High-aktiv und es schaltet so den Adressbereich (0200 — 03FF Hex) des Speichers S zu. Dadurch nehmen, bei aktiven Befehlslesezyklus-Signal $\bar{BZ}$ und Speicherlese-Signal $\bar{RD}$, die Datenausgänge DA_x Low-Potential und DA_y High-Potential an. Mit jeder Low-High-Flanke vom Befehlslesezyklus-Signal $\bar{BZ}$, das durch die OR-Verknüpfung des $\bar{M1}$ -Signals mit dem $\bar{MREQ}$ -Signal erzeugt wird, wird die Datenausgangsinformation DA_x an den Adresseingang AB des Speichers S gelegt. Damit kann über Low-Potential des Rücksetzsignals R die Schaltung in den aktiven Zustand übergehen.

Dieser aktive Zustand soll an Hand von einem Ein- und einem Zwei-Byte-Befehl aus dem Befehlssatz des Prozessortyps U880 erläutert werden:

a) Ein-Byte-Befehl

Maschinencode

Assemblercode

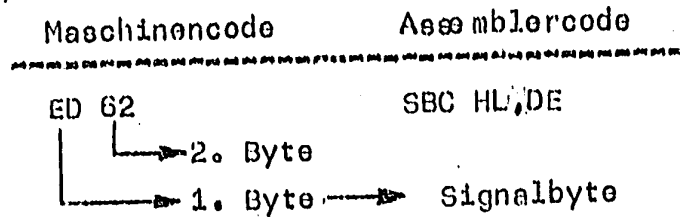
2E 33

LD L, 33

1. Byte → Signalbyte

Der Operationscode 2E Hex (= Signalbyte) des Befehls LD L, 33 würde die Adresse 02E Hex im Speicher S adressieren, die im ersten Adressbereich (000...0FF Hex) liegt, und damit den Datenausgang DA_x und DA_y auf Low-Potential ziehen. Über das Signal DA_x — Low-Potential — wäre die Schaltung für den nächsten Befehlslesezyklus so vorbereitet, daß sie wieder ein Signalbyte erwartet. Mit DA_y = Low-Potential können nachfolgende Schaltungsteile aktiviert werden.

b) Zwei-Byte-Befehl



Das 1. Byte des Operationscodes ED (= Signalbyte) des Befehls SBC HL, DE adressiert die Adresse 0ED Hex im ersten Ausführungsbeispiel (000 — 0FF Hex) des Speichers S. Damit wird über DA_x = High-Potential eine Adreßumschaltung auf den zweiten Adreßbereich (100 — 1FF Hex) realisiert und gleichzeitig über DA_y = Low-Potential das Signal Y auf Low-Potential gezogen und die entsprechenden nachgeschalteten Strukturen aktiviert. Das 2. Byte des Operationscodes 62 Hex des Befehls SBC HL, DE adressiert nun die Speicherstelle 162 Hex im Speicher S. Da diese im FE Hex belegt ist, wird die Schaltung in den Grundzustand gebracht (waren auf Signalbyte) und nachfolgende Schaltungen nicht aktiviert.

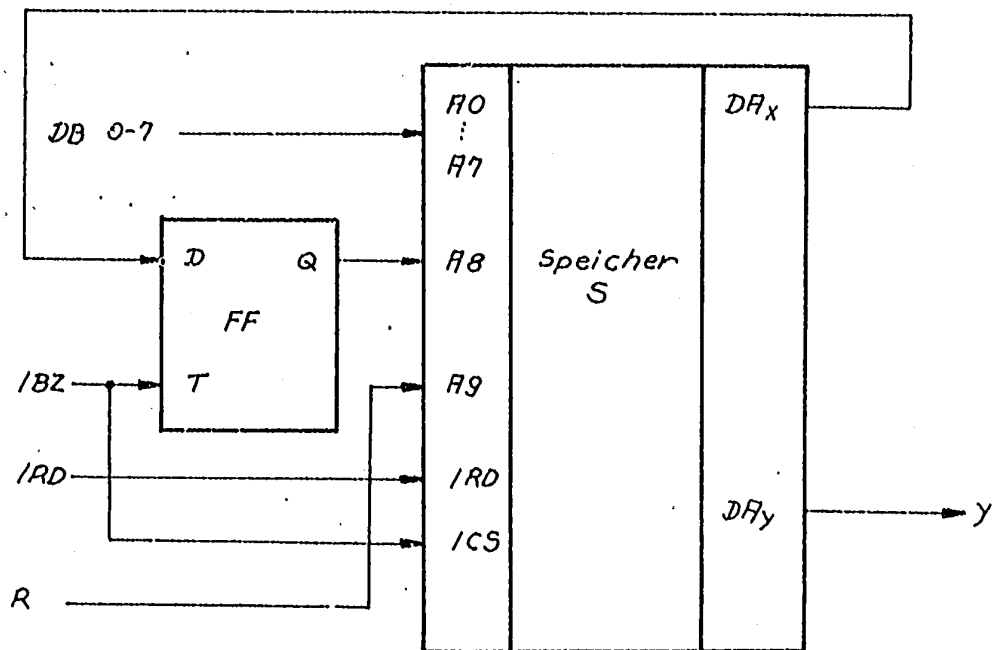


Fig. 1

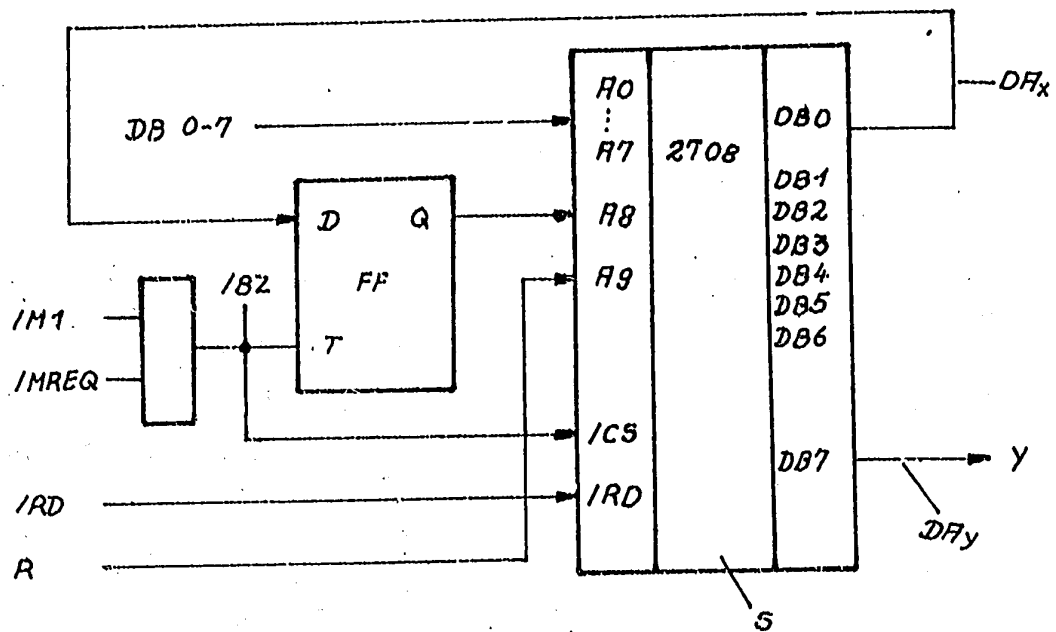


Fig. 2