



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

218025

(11)

(B1)

(22) Přihlášeno 10 09 81
(21) (PV 6694-81)

(40) Zveřejněno 28 05 82

(45) Vydáno 15 02 85

(51) Int. Cl.³
G 06 F 9/28

(75)

Autor vynálezu

SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení pro ovládání instrukčního registru

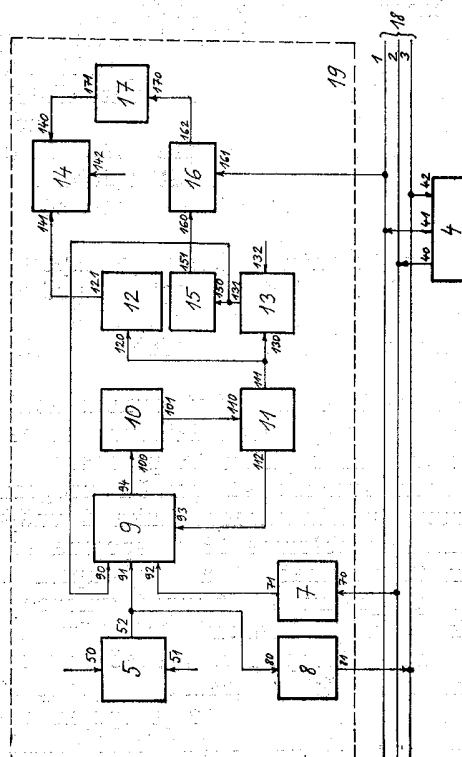
1

Vynález se týká oboru samočinné počítače — základní jednotka.

Zapojení řeší zvýšení operační rychlosti procesoru malého počítače.

Řešení se dosahuje zapojením datového vstupu instrukčního registru na datové linky vnější komunikační sběrnice. Obvod ovládání instrukčního registru je zapojen tak, že současně s ukončením předchozí operace je zahájeno snímání další instrukce do instrukčního registru.

2



Předmětem vynálezu je zapojení pro ovládání instrukčního registru, které řeší zvýšení operační rychlosti procesoru malého počítače.

Instrukční registr je nedílnou součástí procesoru počítače. Struktura počítače může být řešena mnoha způsoby. V praxi je velmi rozšířená orientace na obousměrnou komunikační sběrnici, ke které jsou paralelně připojeny procesor, operační paměť a interfejsové obvody jednotlivých přídavných zařízení. Vnitřní struktura vlastního procesoru je rovněž různorodá. Zpravidla je však orientovaná na jednu nebo více vnitřních sběrnic, které slouží ke komunikaci mezi jednotlivými funkčními bloky procesoru. V dosud známých zapojeních uvedeného typu je vstup instrukčního registru zapojen na některou z vnitřních sběrnic. Toto zapojení má jistou nevýhodu, která spočívá v nemožnosti zapsat instrukční bity do instrukčního registru současně s ukončením předchozí operace. Zpravidla je vnitřní sběrnice řízená přepínačem, jehož zpoždění se sčítá s dobou předstihu, se kterou musí být instrukční bity dříve na vstupu instrukčního registru před zapisovacím impulsem. V řadiči procesoru musí být proto generovaná prodleva, která prodlužuje takt pro sejmutí instrukčních bitů do instrukčního registru, a tím je nepříznivě ovlivněna operační rychlost procesoru.

Tuto nevýhodu odstraňuje zapojení pro ovládání instrukčního registru podle vynálezu, jehož podstata spočívá v tom, že datový vstup instrukčního registru procesoru je zapojen na datové linky vnější komunikační sběrnice.

Výhodou tohoto zapojení je možnost řešit časovací obvody řadiče procesoru tak, že s ukončením například záznamu výsledku operace do zápisníkové paměti procesoru je zahájeno snímání instrukčních bitů do instrukčního registru. Potom lze zkrátit dobu na celkové zpracování instrukce, tj. fázi fetch, tím se zkrátí i doba potřebná na provedení instrukce a operační rychlost počítače se zvýší.

Na připojeném výkresu je zapojení pro ovládání instrukčního registru podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

Datové linky 1 vnější komunikační sběrnice 18 jsou spojeny s datovým vstupem 161 instrukčního registru 16 procesoru 19 a s datovou svorkou 41 paměti programu 4. Vstupní synchronizační linka 2 vnější komunikační sběrnice 18 je spojena se vstupem 70 přijímače 7 a s výstupem 40 paměti programu 4. Výstupní synchronizační linka 3 vnější komunikační sběrnice 18 je spojena s výstupem 81 vysílače 8 a se vstupem 42 paměti programu 4. Výstup 171 instrukčního dekodéru 17 je spojen s adresním vstupem 140 zápisníkové paměti 14. Výstup 162 instrukčního registru 16 je spo-

jen se vstupem 170 instrukčního dekodéru 17.

Hodinový vstup 160 instrukčního registru 16 je spojen s výstupem 151 výkonového hradla 15, jehož vstup 150 je spojen s negovaným výstupem 131 prvního klopného obvodu 13 a s prvním vstupem 90 bloku hradel 9. Hodinový vstup 130 prvního klopného obvodu 13 je spojen s prvním výstupem 111 posuvného registru 11 a se vstupem 120 hradla 12, jehož výstup 121 je spojen se zápisovým vstupem 141 zápisníkové paměti 14. Hodinový vstup 110 posuvného registru 11 je spojen s výstupem 101 generátoru 10, jehož blokovací vstup 100 je spojen s výstupem 94 bloku hradel 9. Druhý vstup 91 bloku hradel 9 je spojen s výstupem 52 druhého klopného obvodu 5 a se vstupem 80 vysílače 8. Třetí vstup 92 bloku hradel 9 je spojen s výstupem 71 přijímače 7 a čtvrtý vstup 93 bloku hradel 9 je spojen s druhým výstupem 112 posuvného registru 11.

Funkce zapojení je následující: Předpoklad je, že v instrukčním registru 16 je uložena instrukce, jejíž provedení právě probíhá v posledním taktu řadiče. Na blokovacím vstupu 100 je neaktivní horní hladina signálu a generátor 10 vysílá impulsy na hodinový vstup 110. Posuvný registr 11 generuje jednotlivé mikrotakty do řadiče (není zakresleno) až do okamžiku, kdy se vygeneruje z prvního výstupu 111 poslední mikrotaktový signál. Náběhem horní hladiny tohoto signálu se šíří z výstupu 121 spodní hladina na zápisový vstup 141 zápisníkové paměti 14. Na adresním vstupu 140 je již připravena adresa příslušné buňky a na datovém vstupu 142 je připraven výsledný operand. Na datovém vstupu 132 prvního klopného obvodu 13 je připravena horní hladina signálu, která indikuje průběh posledního taktu řadiče prováděné instrukce. Současně s náběhem posledního taktu se u instrukce, která nevyžaduje spolupráci s pamětí a není skoková, spustí přidělovací sekvence vnější komunikační sběrnice 18, kterou bude procesor 19 potřebovat při sejmutí další instrukce (adresní linky této sběrnice nejsou zakresleny). Po přidělení priority pro tuto operaci se vysílá z procesoru 19 adresa další instrukce doprovázená s určitým zpožděním signálem na výstupní synchronizační lince 3. Paměť pro tento signál je druhý klopný obvod 5, na jehož výstupu 52 se nastaví horní hladina aktivním signálem z řadiče na nastavovacím vstupu 50. Závěrnou hranou signálu na prvním výstupu 111 posuvného registru 11 se ukončí zápis operandu do buňky zápisníkové paměti 14 a zároveň se sejme z datového vstupu 132 horní hladina signálu.

Na negovaném výstupu 131 se objeví se zpožděním prvního klopného obvodu 13 spodní hladina signálu, která se v opačné polaritě objeví na hodinovém vstupu 160 a instrukční registr 16 se otevře. Zároveň se

objeví spodní hladina signálu na prvním vstupu **90** bloku hradel **9**. Generátor **10** vydá další impuls a na druhém výstupu **112** se objeví horní hladina. Pokud byl spuštěn předčasný výběr další instrukce, potom při náběhu horní hladiny na čtvrtém vstupu **93** bloku hradel **9** je již vysílána spodní hladina signálu na vstupní synchronizační linku **2** z výstupu **40**, která definuje platnost instrukce na datových linkách **1**. V takovém případě se z výstupu **94** negeneruje blokovací signál a generátor **10** pracuje bez zastavení. V případě, že paměť programu **4** ještě neposlala vstupní synchronizační signál, na výstupu **94** se generuje spodní hladina, generátor **10** se zastaví a čeká, až se objeví na třetím vstupu **92** horní hladina, která vznikne z aktivní spodní hladiny signálu na vstupní synchronizační lince **2**. Poté se změní hladina na výstupu **94** ze spodní na horní a generátor **10** se opět rozeběhne. Po rozeběhnutí generátoru **10** se generuje poslední mikrotakt v tomto taktu z prvního výstupu **111** a po jeho ukončení se sejme neaktivní spodní hladina signálu z datového vstupu **132**.

Na negovaném výstupu **131** se objeví horní hladina signálu, na hodinovém vstupu **160** spodní hladina a instrukční registr **16** se uzavře. Přejdem na další takt řadiče se generuje aktivní hladina signálu na nulovacím vstupu **51**, na výstupu **52** se objeví spodní hladina a procesor **19** přestane vysílat z výstupu **81** aktivní spodní hladinu signálu na výstupní synchronizační linku **3**. Poté se přestane vysílat spodní hladina z výstupu **40** paměti programu **4** a instrukce ze svorky **41** paměti programu **4**. Tím se ukončí styk procesoru **19** s pamětí programu **4**. Z popisu funkce je tudíž zřejmé, že pokud je nová instrukce připravená již v průběhu posledního taktu prováděné instrukce, je zápis nové instrukce do instrukčního registru **16** spuštěn současně s ukončením operace, která je předepsána probíhající instrukcí. Tím se dosáhne toho, že není třeba generovat prodlevu mezi po sobě jdoucími instrukcemi.

Možnost použití uvedeného zapojení je ve všech procesorech počítačů s asynchronní mezimodulovou komunikací na společné obousměrné sběrnici.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro ovládání instrukčního registru sestávající z generátoru, z posuvného registru, z instrukčního registru, z klopných obvodů a z logických hradel, vyznačující se tím, že datový vstup [161] instrukčního registru [16] procesoru [19] je zapojen na datové linky [1] vnější komunikační sběrnice [18].

2. Zapojení podle bodu 1 vyznačující se tím, že hodinový vstup [160] instrukčního registru [16] je spojen s výstupem [151] výkonového hradla [15], jehož vstup [150] je spojen s negovaným výstupem [131] prvního klopného obvodu [13] a s prvním vstupem [90] bloku hradel [9] a hodinový vstup [130] prvního klopného obvodu [13] je spo-

jen s prvním výstupem [111] posuvného registru [11] a se vstupem [120] hradla [12], jehož výstup [121] je spojen se zápisovým vstupem [141] zápisníkové paměti [14].

3. Zapojení podle bodu 2 vyznačující se tím, že hodinový vstup [110] posuvného registru [11] je spojen s výstupem [101] generátoru [10] hodinových impulsů, jehož blokovací vstup [100] je spojen s výstupem [94] bloku hradel [9], přičemž druhý vstup [91] bloku hradel [9] je spojen s výstupem [52] druhého klopného obvodu [5], třetí vstup [92] bloku hradel [9] je spojen s výstupem [71] přijímače [7] a čtvrtý vstup [93] bloku hradel [9] je spojen s druhým výstupem [112] posuvného registru [11].

