



(12) 发明专利申请

(10) 申请公布号 CN 104572337 A

(43) 申请公布日 2015. 04. 29

(21) 申请号 201510038988. 5

(22) 申请日 2015. 01. 26

(71) 申请人 中国航天科技集团公司第九研究院
第七七一研究所

地址 710068 陕西省西安市太白南路 198 号

(72) 发明人 张佳 盛廷义 唐威

(74) 专利代理机构 西安通大专利代理有限责任
公司 61200

代理人 闵岳峰

(51) Int. Cl.

G06F 11/10(2006. 01)

G06F 13/28(2006. 01)

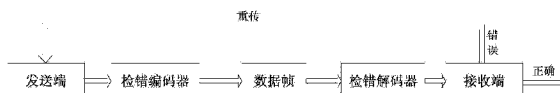
权利要求书1页 说明书4页 附图2页

(54) 发明名称

一种芯片间的数据传输方法

(57) 摘要

本发明公开了一种芯片间的数据传输方法,包括以下步骤:1) 对所要传输的数据进行编码,得到串行格式的数据,根据串行格式的数据生成纠错码,其中,串行格式的数据帧构成包括数据的起始位、逻辑通道、数据实体、数据的纠检错位和保护间隙;2) 根据纠错码对串行格式的数据进行检错,即在保护间隙对数据进行正确性判断;3) 当串行格式的数据传输正确,则继续进行下一帧的传输;如果串行格式的数据传输错误,则返回一个响应,以重复上一帧的传输。本发明一种芯片间的数据传输方法,不但大大的提高了数据的传输速度,减少了互联线的复杂度,很大程度上提高了系统的可靠性。



1. 一种芯片间的数据传输方法,其特征在于,包括以下步骤:

1) 对所要传输的数据进行编码,得到串行格式的数据,根据串行格式的数据生成纠错码,其中,串行格式的数据帧构成包括数据的起始位、逻辑通道、数据实体、数据的纠检错位和保护间隙;

2) 根据纠错码对串行格式的数据进行检错,即在保护间隙对数据进行正确性判断;

3) 当串行格式的数据传输正确,则继续进行下一帧的传输;如果串行格式的数据传输错误,则返回一个响应,以重复上一帧的传输。

2. 根据权利要求1所述的一种芯片间的数据传输方法,其特征在于,数据传输支持DMA方式。

3. 根据权利要求1所述的一种芯片间的数据传输方法,其特征在于,串行格式的数据帧的起始位为一位逻辑“1”,表示数据帧的开始,在多通道数据并行传输的情况下,所有的信号都有相同的起始位“1”;

数据的逻辑通道位由5位组成,表明数据所使用的传输通道最多支持32个通道传输;

数据实体位为所要传输的信息,数据实体位的长度为32位;

数据的纠检错位由7位构成,用一定的算法对7位检错位和32位信息位进行运算,用于判断传输的数据是否正确;

保护间隙的作用是,在每一帧数据传输完成后,在预设的空余间隙时间内判定数据是否传输正确,如果错误,则对数据进行重发至发送端。

4. 根据权利要求3所述的一种芯片间的数据传输方法,其特征在于,由根据32位信息位得7位检错码,其中 $(E6, E5 \cdots E1, E0) = \{F(D31, D30 \cdots D1, D0)\}$, $(E6, E5 \cdots E1, E0)$ 为7位检错码, F 为检错码生成算法, $(D31, D30 \cdots D1, D0)$ 为数据实体。

5. 根据权利要求3所述的一种芯片间的数据传输方法,其特征在于,对数据进行检错的过程,是对检错码进行解码的过程,解码生产算法表示为: $(S6, S5, \cdots S1, S0) = \{T(E6, E5 \cdots E1, E0, D31, D30 \cdots D1, D0)\}$, 其中 T 为解码算法, $(S6, S5, \cdots S1, S0)$ 为解码, $(E6, E5 \cdots E1, E0, D31, D30 \cdots D1, D0)$ 为纠检错位和数据实体;通过对7位解码的判断,即可判定数据的传输是否正确。

6. 根据权利要求2所述的一种芯片间的数据传输方法,其特征在于,DMA方式的传输特征为:在数据帧的传输过程中,如果传输正确,则对DMA控制器中的计数器和地址寄存器均加1,以保证下一帧数据的正常传输;如果传输的数据错误,则不对DMA控制器中的计数器和地址寄存器不加1,实现对上一帧数据的重发。

一种芯片间的数据传输方法

技术领域

[0001] 本发明涉及数据传输技术领域,具体涉及一种芯片间的数据传输方法。

背景技术

[0002] 随着对电子产品的性能、功能的丰富性与完善性、低成本及小型化等各方面的需求的不断发展,微电子与集成电路技术也在不断的发展。现阶段,工业产品、消费类电子产品向着小型化、便携化的方向发展,军用产品、航天器产品对电子产品的小型化要求更为强烈。这些需求,使得 SoC 技术成为集成电路发展的必然趋势。同时也促使了 SIP(System in Package, 系统级封装) 技术的迅速发展。

[0003] 使用 SoC 技术设计系统的核心思想,就是把整个应用电子系统集成在一个芯片中,SoC 系统功能复杂,集成了 CPU、存储器、模拟模块、数字混合模块等多个模块。目前数字电路的主要工艺为 COMS 技术,但是 COMS 技术截止频率较低,高速的模拟电路主要采用 GaAs 等非 CMOS 材料,这种技术难以和数字电路集成。由于工艺的不兼容,一个大的系统往往会由几个模块共同组成,这就带来了模块间的通信问题,并成为 SoC 系统设计的一个关键技术。各个模块芯片间的数据传输速度、正确性、效率是一个系统的重要参量。而随着科技的发展,尤其是我国航空航天事业及计算机技术的发展,芯片间需要传输的数据越来越大,对 SoC 片上系统各部分的互联通信提出了更高的要求。

[0004] 首先,如上文提到的有些系统,不但要求实现混和信号功能和模拟信号功能,还可能需把许多特殊的芯片,如光学器件,以传感器为基础的 MEMS(微电子与机械系统) 以及以后很有可能用到的生物结构、纳米结构、化学器件等集成进来,而将这些不同工艺技术制造的零部件制造在一块单晶芯片上,目前的技术还不大可能。SIP 技术在这方面有很大优势,它主要是将各种半导体(无源器件) 集成在一个工业界标准的封装里,也就是说把各种不同工艺实现的模块封装在一个系统里。SIP 技术可以理解为是 SoC 技术的一种变通,或者说可以看做是 SoC 技术的一种补充。SIP 技术目前面临的主要技术性问题是如何提高性能与可靠性。如果各个芯片模块间的互联通信尽可能的简单高速的话,将会对问题的解决产生重大影响,带来重大改进。

[0005] 总线是连接计算机中各个设备部件的一组线路,它的目的是简化硬件结构和便于系统管理,在计算机系统中,总显得性能对整个系统的性能和功能都有直接影响。按其传输方式的不同,可以分为并行总线和串行总线两大类。

[0006] 并行数据传输技术是提高数据传输的重要手段,但是,进一步的发展却遇到了障碍。首先,由于并行传输方式的前提是用同一时序传播和接收信号,而单单的提升时钟频率将难以使得数据传输时序与时钟合拍,布线长度稍有差异就会产生不合拍。此外,提升时钟频率还容易引起信号线间的互相干扰,导致传输错误。并行接口还可能导致传输拥塞,占空比也较大。随着 SoC 技术的发展,硅片的面积正不断的缩小,也就意味着移动设备的芯片会被封装的越来越小,而这牙膏的封装也要求更少的输入输出引脚,使得并行总线更缺乏吸引力。并行接口还有费用贵、重量大等缺点。并行接口的功耗往往也比较大。

[0007] 随着计算机技术的发展,对带宽的需求不断扩大,并行总线的带宽已经不能满足当前及下一代计算机系统的需求,而串行总线凭借其传输速度快、扩展性好,逐渐在竞争中表现出其优点,使得速度、功率、占位面积和成本都达到了最小的代价。

发明内容

[0008] 本发明的目的是为了达到高速数据传输,同时能对错误数据进行重发,提供了一种芯片间的数据传输方法,该方法具有一定数据构成的传输模式-LSI 数据传输模式,并运用此传输模式实现了 DMA 工作方式下的数据传输。

[0009] 为达到上述目的,本发明采用如下的技术方案予以实现:

[0010] 一种芯片间的数据传输方法,包括以下步骤:

[0011] 1) 对所要传输的数据进行编码,得到串行格式的数据,根据串行格式的数据生成纠错码,其中,串行格式的数据帧构成包括数据的起始位、逻辑通道、数据实体、数据的纠错位和保护间隙;

[0012] 2) 根据纠错码对串行格式的数据进行检错,即在保护间隙对数据进行正确性判断;

[0013] 3) 当串行格式的数据传输正确,则继续进行下一帧的传输;如果串行格式的数据传输错误,则返回一个响应,以重复上一帧的传输。

[0014] 本发明进一步的改进在于,数据传输支持 DMA 方式。

[0015] 本发明进一步的改进在于,串行格式的数据帧的起始位为一位逻辑“1”,表示数据帧的开始,在多通道数据并行传输的情况下,所有的信号都有相同的起始位“1”;

[0016] 数据的逻辑通道位由 5 位组成,表明数据所使用的传输通道最多支持 32 个通道传输;

[0017] 数据实体位为所要传输的信息,数据实体位的长度为 32 位;

[0018] 数据的纠错位由 7 位构成,用一定的算法对 7 位纠错位和 32 位信息位进行运算,用于判断传输的数据是否正确;

[0019] 保护间隙的作用是,在每一帧数据传输完成后,在预设的空余间隙时间内判定数据是否传输正确,如果错误,则对数据进行重发至发送端。

[0020] 本发明进一步的改进在于,由根据 32 位信息位得 7 位纠错码,其中 $(E_6, E_5 \dots E_1, E_0) = \{F(D_{31}, D_{30} \dots D_1, D_0)\}$, $(E_6, E_5 \dots E_1, E_0)$ 为 7 位纠错码, F 为纠错码生成算法, $(D_{31}, D_{30} \dots D_1, D_0)$ 为数据实体。

[0021] 本发明进一步的改进在于,对数据进行检错的过程,是对纠错码进行解码的过程,解码生产算法表示为: $(S_6, S_5, \dots S_1, S_0) = \{T(E_6, E_5 \dots E_1, E_0, D_{31}, D_{30} \dots D_1, D_0)\}$, 其中 T 为解码算法, $(S_6, S_5, \dots S_1, S_0)$ 为解码, $(E_6, E_5 \dots E_1, E_0, D_{31}, D_{30} \dots D_1, D_0)$ 为纠错位和数据实体;通过对 7 位解码的判断,即可判定数据的传输是否正确。

[0022] 本发明进一步的改进在于, DMA 方式的传输特征为:在数据帧的传输过程中,如果传输正确,则对 DMA 控制器中的计数器和地址寄存器均加 1,以保证下一帧数据的正常传输;如果传输的数据错误,则不对 DMA 控制器中的计数器和地址寄存器不加 1,实现对上一帧数据的重发。

[0023] 与现有技术相比,本发明具有如下的技术效果:

[0024] 数据流传输是按照数据帧为单位,一帧一帧的发送和接收的,LSI 数据传输模式定义了每一帧数据的结构,同时定义了数据的 DMA 传输方式,能够实现数据的高速传输、数据的检错、数据重发、数据的 DMA 传输等功能。

[0025] 本发明一种芯片间的数据传输方法,不但大大的提高了数据的传输速度,减少了互联线的复杂度,很大程度上提高了系统的可靠性。

附图说明

[0026] 图 1 是 LSI 数据帧的构成图。

[0027] 图 2 是检错的过程图,包括数据的检错编码和解码,当检查到错误后数据的重发。

[0028] 图 3 是在 DMA 传输方式下,读数据的过程图。

[0029] 图 4 是在 DMA 传输方式下,写数据的过程图。

[0030] 图 5 是数据传输的整个通信模型层次结构图。

具体实施方式

[0031] 以下结合附图对本发明做进一步详细说明。

[0032] 参见图 1 和图 2,本发明一种芯片间的数据传输方法,包括以下步骤:

[0033] 1) 对所要传输的数据进行编码,得到串行格式的数据,根据串行格式的数据生成纠错码,其中,串行格式的数据帧构成包括数据的起始位、逻辑通道、数据实体、数据的纠错位和保护间隙;

[0034] 其中,串行格式的数据帧的起始位为一位逻辑“1”,表示数据帧的开始,在多通道数据并行传输的情况下,所有的信号都有相同的起始位“1”;

[0035] 数据的逻辑通道位由 5 位组成,表明数据所使用的传输通道最多支持 32 个通道传输;

[0036] 数据实体位为所要传输的信息,数据实体位的长度为 32 位;

[0037] 数据的纠错位由 7 位构成,用一定的算法对 7 位纠错位和 32 位信息位进行运算,用于判断传输的数据是否正确;由根据 32 位信息位得 7 位纠错码,其中 $(E6, E5 \dots E1, E0) = \{F(D31, D30 \dots D1, D0,)\}$, $(E6, E5 \dots E1, E0)$ 为 7 位纠错码, F 为纠错码生成算法, $(D31, D30 \dots D1, D0)$ 为数据实体。

[0038] 保护间隙的作用是,在每一帧数据传输完成后,在预设的空余间隙时间内判定数据是否传输正确,如果错误,则对数据进行重发至发送端。

[0039] 2) 根据纠错码对串行格式的数据进行检错,即在保护间隙对数据进行正确性判断;对数据进行检错的过程,是对纠错码进行解码的过程,解码生产算法表示为: $(S6, S5, \dots S1, S0) = \{T(E6, E5 \dots E1, E0, D31, D30 \dots D1, D0)\}$, 其中 T 为解码算法, $(S6, S5, \dots S1, S0)$ 为解码, $(E6, E5 \dots E1, E0, D31, D30 \dots D1, D0)$ 为纠错位和数据实体;通过对 7 位解码的判断,即可判定数据的传输是否正确。

[0040] 3) 当串行格式的数据传输正确,则继续进行下一帧的传输;如果串行格式的数据传输错误,则返回一个响应,以重复上一帧的传输。

[0041] 此外,参见图 3 和图 4,本发明数据传输支持 DMA 方式,且 DMA 方式的传输特征为:在数据帧的传输过程中,如果传输正确,则对 DMA 控制器中的计数器和地址寄存器均加 1,

以保证下一帧数据的正常传输;如果传输的数据错误,则不对 DMA 控制器中的计数器和地址寄存器不加 1,实现对上一帧数据的重发。

[0042] 为了本发明进一步了解,现对其做进一步的说明。

[0043] 物理层:如图 5 所示,信号的传输使用的是 LVDS(低压差分信号)技术,使用多通道,可以进行多路数据的传输。本发明最多支持 32(2^5) 个通道的数据传输。

[0044] 数据链路层:传输的数据先通过编码器进行编码,使其形成具有上述结构的数据帧,如图 2 所示。其中,起始位为逻辑“1”,即当检测到“1”时表示检测到数据帧。5 位二进制可以表示最大 32 条通道。数据实体位包含 32 位数据信息,数据实体位后是 7 位的检错码。

[0045] 数据以帧为单位,进行传输,接收端收到数据后,由于有保护间隙的存在,下一帧数据并不马上传输,而是先对已传输的数据进行检错,如果数据错误,则解码器会传回一个反馈信号,等到保护间隙结束,端口 1 重发上一帧数据。如果解码没有错误,则在保护间隙结束后,继续下一帧数据的传送。

[0046] 传输层:传输层是控制数据传送模式、发送时机等的控制层,即决定数据需要一般的传输模式,还是需要 DMA 模式的传输,是进行中断传输还是继续进行数据的正常传输。

[0047] 在 DMA 工作方式下的传输图如图 3 和图 4 所示,在读数据的过程中,首先,外设把数据存入到 DMA 数据缓冲中去,然后把初始化好的地址送到地址总线。数据在到达数据总线前,先对数据进行检错编码,然后送入数据总线。数据被传送到寄存器之前,先要对数据进行编码和检测,如果检测正确,则存入寄存器,并发出标志信号,则 DMA 控制器中的计数器就会相应的减 1,同时地址缓冲器会相应的加 1;如果检测错误,则 DMA 控制器中的计数器和地址缓冲器不发生变化,从而为数据的重发做好准备。保护间隙结束后,进行下一帧数据的传输。

[0048] 在写数据过程中,首先,把初始化好的地址送到地址总线,然后再把寄存器中所要传输的数据存入 DMA 数据缓存,数据在到达数据总线前,先对数据进行检错编码,然后再送入数据总线,数据被传送到寄存器之前,先要对数据进行解码与检测,如果检测正确,则存入外设,并发出正确信号,则 DMA 控制器中的计数器就会相应的减 1,同时地址缓冲器会相应的加 1;如果检测错误,则 DMA 控制器中的计数器和地址缓冲器不发生变化,从而为数据的重发做好准备。保护间隙结束后,进行下一帧数据的传输。

[0049] 当有中断请求时,则根据传输层的控制,判断是进行继续传输,还是停止传输已进行中断传输。

[0050] 应用层:从一个模块传送数据到另一个模块,治理的模块和终端可以为 SoC 芯片,也可以是 SIP 或者其它模块。

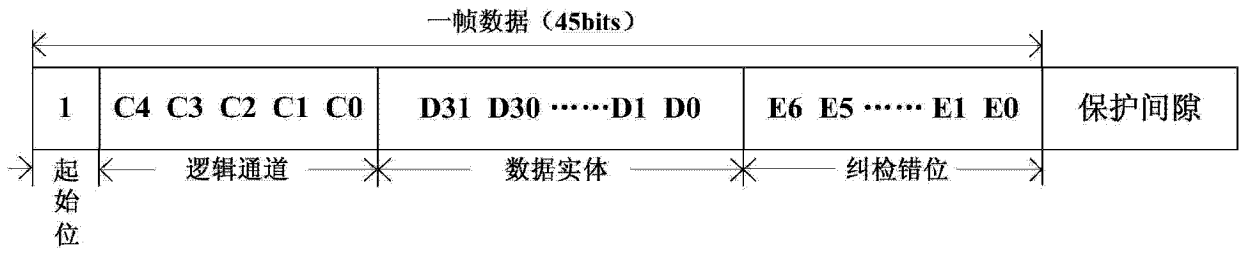


图 1

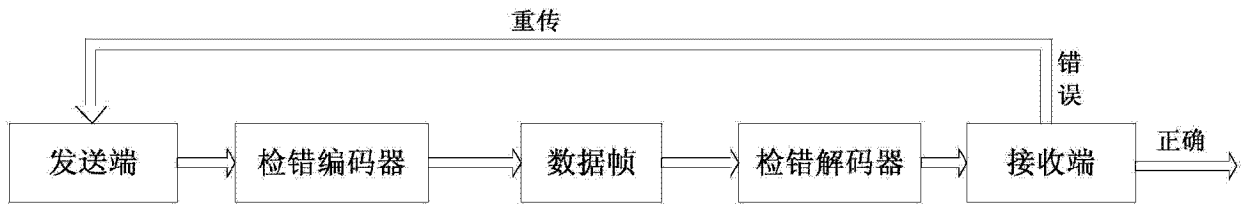


图 2

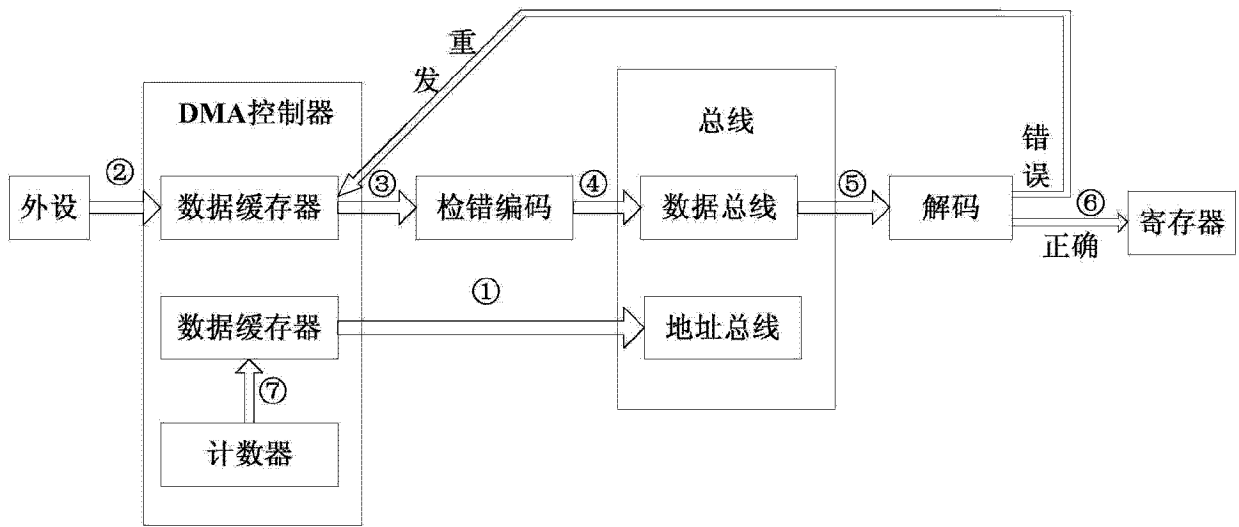


图 3

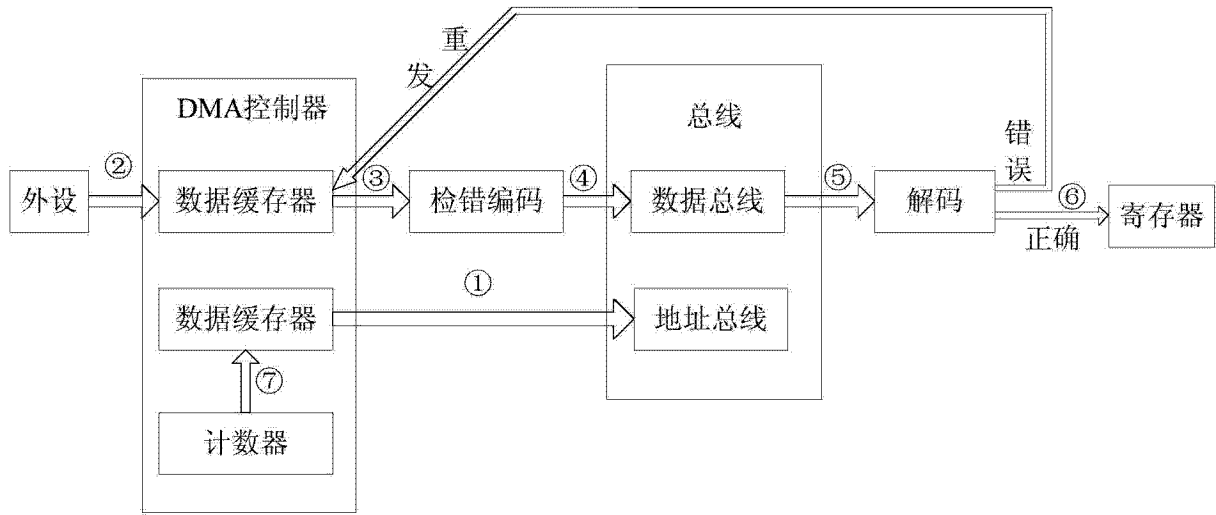


图 4

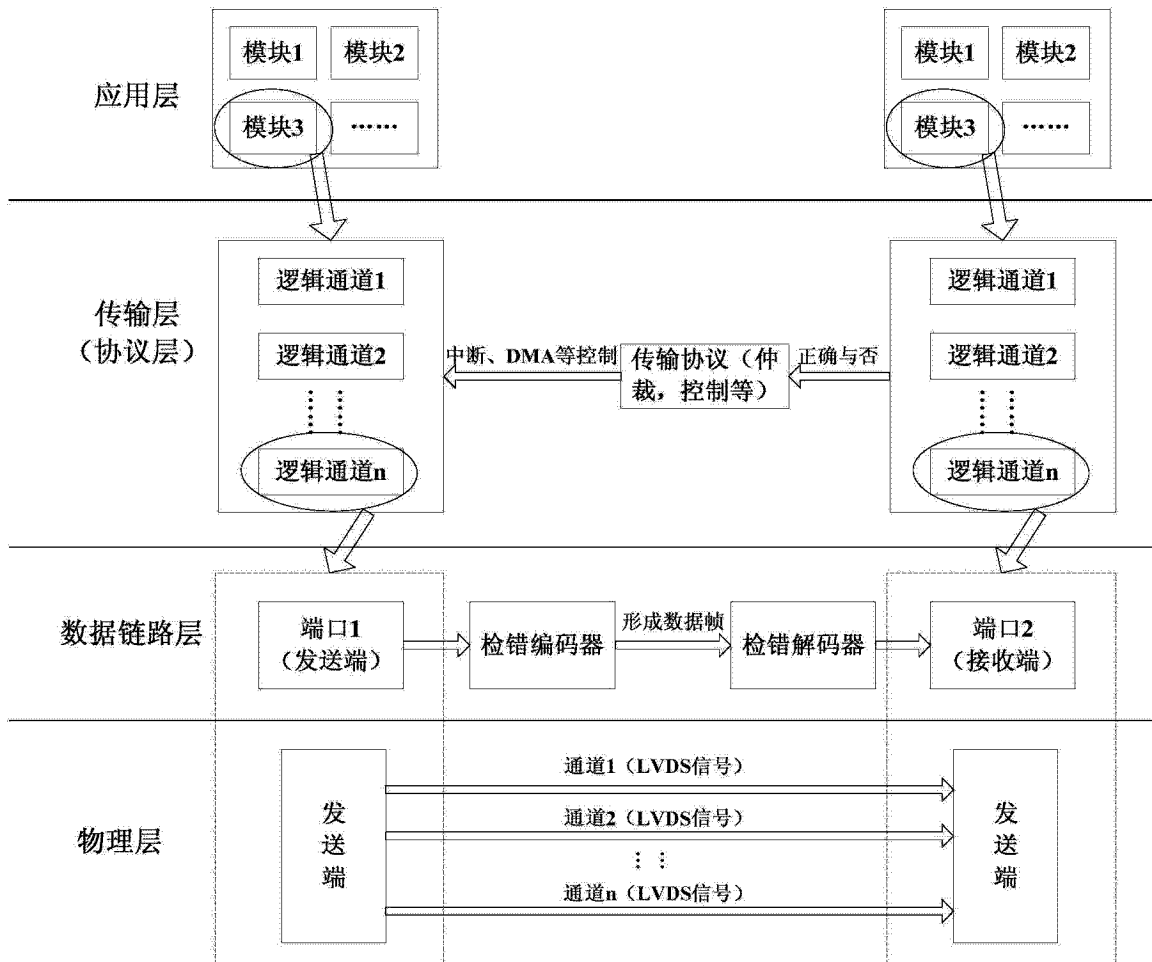


图 5