发明名称
集成电路和保护电路
摘要
一种集成电路和保护电路，能防护静电放电的破坏，包括第一接触垫、接地接触垫、第二接触垫、元件电路、放电单元及放电控制器。放电单元，耦接元件电路及第一、第二和接地接触垫，包括串联的第一和第二晶体管以保护元件电路在静电放电事件中不受上述接触垫的应力电流的影响。放电控制器，耦接放电单元及上述接触垫，包括 ESD 连结单元及电压削制单元。ESD 连结单元，耦接第一和第二接触垫，在静电放电事件中接收 ESD 突波以建立第一控制电压来开启第一晶体管。电压削制单元，耦接 ESD 连结单元及上述接触垫，在静电放电事件中削制 ESD 突波以建立第二控制电压来开启第二晶体管，在正常运作时接收在第二接触垫的操作电压以关闭第二晶体管。
1. 一种集成电路，防护静电放电的破坏，其特征在于，包括:
   - 第一接触垫；
   - 接地接触垫；
   - 第二接触垫；
   - 元件电路；

   一放电单元，耦接上述元件电路，以及上述第一接触垫、上述第二接触垫和上述接地接触垫，包括串联的一第一晶体管和一第二晶体管用以保护上述元件电路在静电放电事件中不受到上述第一接触垫、上述第二接触垫和上述接地接触垫的应力电流的影响；以及

   一放电控制器，耦接上述放电单元，以及上述第一接触垫、上述第二接触垫和上述接地接触垫，包括:

   一ESD连结单元，耦接上述第一接触垫和上述第二接触垫，在上述静电放电事件中接收ESD突波，用以在一第一节点建立一第一控制电压来开启上述第一晶体管；以及

   一电压钳制单元，耦接上述ESD连结单元以及上述第一接触垫、上述第二接触垫和上述接地接触垫，在上述静电放电事件中钳制上述ESD突波，用以在一第二节点建立一第二控制电压来开启上述第二晶体管，并且在正常运作时接收在上述第二接触垫的操作电压，用以关闭上述第二晶体管。

2. 根据权利要求1所述的集成电路，其特征在于，上述电压钳制单元包括:
   - 第一电阻；

   作为电容使用的一第一元件，耦接上述第一电阻和上述接地接触垫，在上述静电放电事件中钳制上述ESD突波用以建立
一钳制电压，使得上述钳制电压比上述第一控制电压小，以及
在正常运作时建立等于在上述第二接触垫的电位的上述钳制电压
以及

一反向器，耦接上述ESD连接单元以及上述接地接触垫，
反向上述钳制电压用以产生上述第二控制电压；以及

其中上述反向器包括串联的一第三晶体管和一第四晶体
管，上述第三晶体管耦接上述第一接触垫和上述第四晶体管，
以及上述第四晶体管耦接上述接地接触垫和上述第三晶体管。

3. 根据权利要求2所述的集成电路，其特征在于，上述放
电控制器更包括一第五晶体管，耦接上述ESD连接单元、上述
第二接触垫以及上述第一电阻。

4. 根据权利要求3所述的集成电路，其特征在于，上述第
三和第五晶体管的起始电压的总和小于0伏特。

5. 根据权利要求2所述的集成电路，其特征在于，更包括
一补偿电路，耦接上述反向器和上述第一接触垫，在正常运作
时驱动上述反向器的输入电压至一第一数值，以关闭上述第二
晶体管。

6. 根据权利要求2所述的集成电路，其特征在于，更包括
一侦测电路，耦接上述第一接触垫、上述第二接触垫和上述反
向器，在正常运作时，如果上述第一接触垫的电压比上述第二
接触垫的电压先开启，上述侦测电路驱动上述反向器的输入电
压至一第二数值，以关闭上述第二晶体管。

7. 根据权利要求1所述的集成电路，其特征在于，上述第
一接触垫的工作电压比上述第二接触垫的工作电压低。

8. 一种保护电路，防护静电放电的破坏，其特征在于，用
以耦接一第一接触垫、一接地接触垫、一第二接触垫和一元件
电路，上述保护电路包括:
一放电单元，包括：

一第一NMOS晶体管，具有第一源极、第一漏极以及第一栅极，上述第一漏极耦接上述第二接触垫，以及上述第一栅极耦接上述第一接触垫；

一第二NMOS晶体管，具有第二源极、第二漏极以及第二栅极，上述第二漏极耦接上述第一源极，以及上述第二源极耦接上述接地接触垫；以及

一放电控制器，包括：

一ESD连结单元，耦接上述第一接触垫和上述第二接触垫，在一静电放电事件中接收ESD突波，用以在一第一节点建立一第一控制电压来开启上述第一NMOS晶体管；

一第一PMOS晶体管，具有第一源极、第一漏极以及第一栅极，上述第一PMOS晶体管的上述源极耦接上述ESD连结单元和上述第一栅极；

一第三NMOS晶体管，具有第三源极、第三漏极以及第三栅极，上述第三漏极耦接上述第一PMOS晶体管的上述漏极，以及上述第三源极耦接上述接地接触垫；

一第一电阻，耦接上述第二接触垫；

一作为电容使用的第一元件，其一端耦接上述第一电阻和上述第一PMOS晶体管的上述栅极，以及另一端耦接上述接地接触垫；以及

其中上述第一元件在上述静电放电事件中钳制上述ESD突波用以在一第二节点建立第二控制电压，来开启上述第二NMOS晶体管，并且在正常运作时接收在上述第二接触垫的操作电压，用以关闭上述第二NMOS晶体管，以及上述放电单元防护上述元件电路在一静电放电事件中不受到上述第一接触垫、上述第二接触垫和接地接触垫的应力电流的影响。
9. 根据权利要求8所述的保护电路，其特征在于，上述放电控制器更包括一第四NMOS晶体管，具有一第四源极，一第四漏极以及一第四栅极，上述第四漏极耦接上述第二接触垫，上述第四栅极耦接上述ESD连结单元，以及上述第四源极耦接上述第一电阻。

10. 根据权利要求9所述的保护电路，其特征在于，更包括一补偿电路，包括一第二PMOS晶体管，具有一源极，一漏极以及一栅极，在正常运作时驱动反向器的输入电压至一第一数值，以关闭上述第二晶体管，上述第二PMOS晶体管的上述栅极耦接上述第一PMOS晶体管的上述漏极，上述第二PMOS晶体管的上述源极耦接上述第一接触垫，以及上述第二PMOS晶体管的上述漏极耦接上述第一PMOS晶体管的上述栅极以及上述第三栅极。

11. 根据权利要求9所述的保护电路，其特征在于，更包括一侦测电路，包括：

一第二电阻，耦接上述第二接触垫；以及

一第三PMOS晶体管，具有一源极，一漏极以及一栅极，在正常运作时，如果上述第一接触垫的电压比上述第二接触垫的电压先开启，上述侦测电路驱动上述反向器的输入电压至一第二数值，以关闭上述第二NMOS晶体管，上述第三PMOS晶体管的上述栅极耦接上述第二电阻，上述第三PMOS晶体管的上述源极耦接上述第一接触垫，以及上述第三PMOS晶体管的上述漏极耦接上述第一PMOS晶体管的上述栅极和上述第三栅极。
集成电路和保护电路

技术领域
本发明是有关于集成电路，尤指静电放电(electrostatic discharge，ESD)保护电路。

背景技术
由于集成电路使用输入/输出(Input/Output，I/O)驱动器来做为外部电路和数据连结的接口，所以对于可以容忍高漏极－栅极电压而不会带来热载流子效应或栅极氧化物劣化(gate oxide degradation)的I/O驱动器，其需求持续增加。在深微米技术中，栅极氧化物的缩小以及客户对混合电压产品的需求使得电路设计者创造符合需求的I/O驱动器。

包括半导体元件的集成电路很容易受到电性过压(electrical overstress，EOS)的影响而造成损坏，电性过压包括静电放电、瞬时状况(transient condition)、电路栓锁作用(latch-up)以及不正确的极性连接，其中电性过压状况分为过电压或过电流事件。由于静电电荷会在物体内部(body)累积，且当累积有电荷的物体碰到集成电路时，将会损坏其中的半导体元件以及电路。因此如何保护半导体元件不受静电放电或其他电性过压状况的影响，是亟待解决的问题。

图1显示已知技术中集成电路的静电放电保护电路，包括P型金属氧化物半导体晶体管(P type - Metal - Oxide - Semiconductor transistor，PMOS晶体管)M10，N型金属氧化物半导体晶体管(N type - Metal - Oxide - Semiconductor transistor，NMOS晶体管)M12和M14和电阻R10。

对于半导体技术中的混合电压I/O而言，堆叠的NMOS晶体
管能够提供耐用的ESD保护。堆叠的NMOS晶体管M12和M14对集成电路的内部元件能够提供ESD保护，而使元件电路在静电放电事件中不受到应力(stress)电流的影响。堆叠的NMOS晶体管M12和M14也能够避免集成电路在正常工作状态下不会受到瞬时状况的过多电流的影响。但是，这种装置（堆叠的NMOS晶体管）由于电力消耗太大，会有高的骤回电压(snapback voltage)的问题，如此会影响ESD的保护效果。详细地说明是，传统堆叠的NMOS晶体管M12和M14需要较高的骤回电压与较长的启动时间，因此传统堆叠的NMOS晶体管M12和M14具有较差的击穿电流，且内部电路较易受此高电压的破坏。所以我们需要一种可以在低的骤回电压即可快速导通的保护元件。

发明内容

有鉴于此，本发明提出一种集成电路，能够防护静电放电的破坏，包括第一接触垫(pad)、接地接触垫、第二接触垫、元件电路、放电单元以及放电控制器。上述放电单元耦接上述元件电路，以及上述第一、第二和接地接触垫。上述放电单元包括串联的第一和第二晶体管用以保护上述元件电路在静电放电事件中不受到上述第一、第二和接地接触垫的应力电流的影响。上述放电控制器耦接上述放电单元，以及上述第一、第二和接地接触垫。上述放电控制器包括ESD连结单元以及电压钳制单元。上述ESD连结单元耦接上述第一和第二接触垫，在上述静电放电事件中接收ESD突波，用以在第一节点建立第一控制电压来开启上述第一晶体管。上述电压钳制单元耦接上述ESD连结单元以及上述第一、第二和接地接触垫。在上述静电放电事件中钳制上述ESD突波用以在第二节点建立第二控制电压来开启上述第二晶体管，且在正常运作时接收在上述第二接触垫
的操作电压，用以关闭上述第二晶体管。

此外，本发明另提出一种保护电路，能够防护静电放电的破坏，用以耦接第一接触垫、接地接触垫、第二接触垫和元件电路，上述保护电路包括放电单元以及放电控制器。上述放电单元包括第一NMOS晶体管以及第二NMOS晶体管。上述第一NMOS晶体管具有第一源极、第一漏极以及第一栅极，上述第一漏极耦接上述第二接触垫，以及上述第一栅极耦接上述第一接触垫。上述第二NMOS晶体管具有第二源极、第二漏极以及第二栅极，上述第二漏极耦接上述第一源极，以及上述第二源极耦接上述接地接触垫。上述放电控制器包括ESD连结单元、第一PMOS晶体管、第三NMOS晶体管、第一电阻以及作为电容使用的第一元件。上述ESD连结单元耦接上述第一和第二接触垫，在静电放电事件中接收ESD突波，用以在第一节点建立第一控制电压来开启上述第一NMOS晶体管。上述第一PMOS晶体管，具有源极、漏极以及栅极，上述第一PMOS晶体管的上述源极耦接上述ESD连结单元和上述第一栅极。上述第三NMOS晶体管，具有第三源极、第三漏极以及第三栅极，上述第三漏极耦接上述第一PMOS晶体管的上述漏极，以及上述第三源极耦接上述接地接触垫。上述第一电阻耦接上述第二接触垫。上述第一元件，其一端耦接上述第一电阻和上述第一PMOS晶体管的上述栅极，以及另一端耦接上述接地接触垫。上述第一元件在上述静电放电事件中钳制上述ESD突波用以在第二节点建立第二控制电压，来开启上述第二NMOS晶体管，并且在正常运作时接收在上述第二接触垫的操作电压，用以关闭上述第二NMOS晶体管，以及上述放电单元能够防护上述元件电路在静电放电事件中不受到上述第一、第二和接地接触垫的应力电流的影响。
本发明所述的集成电路和保护电路, 使得ESD导致的应力电流能够被重新导出集成电路之外而不会破坏内部电路。

附图说明
图1显示已知技术中集成电路的静电放电保护电路。
图2显示本发明实施例中集成电路的静电放电保护电路。
图3a和图3b显示图2中ESD连结单元的电路图。
图4显示本发明实施例中另一个ESD保护电路的电路图。
图5显示本发明实施例中另一个ESD保护电路的电路图。

具体实施方式
为使本发明的上述目的、特征和优点能更明显易懂，下文特举一较佳实施例，并配合所附图式，作详细说明如下。
在此必须说明的是，于下揭露内容中所提出的不同实施例或范例，是用以说明本发明所揭示的不同技术特征，其所描述的特定范例或排列是用以简化本发明，然非用以限定本发明。此外，在不同实施例或范例中可能重复使用相同的参考数字与符号，上述重复使用的参考数字与符号是用以说明本发明所揭示的内容，而非用以表示不同实施例或范例间的关系。
图2显示本发明实施例中集成电路的静电放电保护电路, 包括ESD连结单元20、NMOS晶体管M20和M22、PMOS晶体管M24、NMOS晶体管M26、作为电容使用的元件和电阻R20。其中，在制程技术逐渐精进的情况下，线宽尺寸越来越小，作为电容使用的元件可以是NMOS晶体管M28, 此NMOS晶体管M28具有薄的栅介电层，且其源极与漏极彼此耦接。
集成电路可以是逻辑装置或存储器装置。在运作时，集成电路会耦接到其他的电路、外部电源供应和数据连结。集成电路
路包含半导体材料(例如：硅)和绝缘体材料(例如：氧化硅)，两者都会因为高压而导致永远的破坏。特别是，在电子装置内的应用之前或连接到外部装置之前，集成电路特别容易受到静电放电事件的影响。ESD保护电路可以防护静电放电，并且耦接第一接触垫、接地接触垫VSS、第二接触垫和内部电路（未图示），其中第一接触垫的工作电压和第二接触垫的工作电压低。在一些实施例中，第一接触垫可以是第一电源接触垫VEE，第二接触垫可以是第二电源接触垫VPP。本领域技术人员可以根据其不同的需求而对电路做不同的修改。

NMOS晶体管M20具有第一NMOS源极、第一NMOS漏极以及第一NMOS栅极。第一NMOS漏极耦接第二电源接触垫VPP以及第一NMOS栅极耦接第一电源接触垫VEE。NMOS晶体管M22具有第二NMOS源极、第二NMOS漏极以及第二NMOS栅极，上述第二NMOS漏极耦接上述第一NMOS源极，以及上述第二NMOS源极耦接上述接地接触垫VSS。ESD连接单元20耦接第二电源接触垫VPP和第一电源接触垫VEE，在静电放电事件中从第二电源接触垫VPP接收ESD突波，用以在节点A(Node A)建立第一控制电压(VA)来开启NMOS晶体管M20。PMOS晶体管M24具有第一PMOS源极、第一PMOS漏极以及第一PMOS栅极。第一PMOS源极耦接ESD连接单元20和第一NMOS栅极。NMOS晶体管M26具有第三NMOS源极、第三NMOS漏极以及第三NMOS栅极。第三NMOS漏极耦接第一PMOS漏极，以及第三NMOS源极耦接接地接触垫VSS。电阻R20耦接第二电源接触垫VPP。作为电容使用的NMOS晶体管M28的一端(NMOS晶体管M28的栅极)耦接电阻R20、第一PMOS栅极、第三NMOS栅极，另一端(NMOS晶体管M28的源极与漏极)耦接接地接触垫VSS。

第一电源接触垫VEE或第二电源接触垫VPP从外部电源
（未图示）接收电力来源。第一电源接触垫 VEE 接收的电压比第二电源接触垫 VPP 接收的电压低。例如，在 65 纳米的半导体制程的特殊应用中，第一电源接触垫 VEE 可设计成负电容接收 2.5V，而第二电源接触垫 VPP 是 4V。接地接触垫 VSS 则是比第一电源接触垫 VEE 和第二电源接触垫 VPP 更低的电位，通常是 0V。

堆叠式的 NMOS 晶体管 M20 和 M22 可作为一放电单元来保护内部电路不受到应力电流的影响。该应力电流经由第一电源接触垫 VEE、第二电源接触垫 VPP、或接地接触垫 VSS 流进或流出集成电路。放电单元提供第一电源接触垫 VEE、第二电源接触垫 VPP 和接地接触垫 VSS 的任意两者间的放电路径，使得 ESD 导致的应力电流能够被重新导出集成电路之外而不会破坏内部电路。在 ESD 事件中，NMOS 晶体管 M20 和 M22 都会被开启用以提供放电路径，使应力电流会从第二电源接触垫 VPP 流到接地接触垫 VSS。

ESD 连结单元 20、PMOS 晶体管 M24、NMOS 晶体管 M26、电阻 R20 和作为电容使用的 NMOS 晶体管 M28 可作为一放电控制器，借此控制放电单元在 ESD 事件和正常工作状态下的动作。当 ESD 事件发生时，ESD 连结单元 20 从第二电源接触垫 VPP 接收 ESD 突波以减低第二电源接触垫 VPP 的电位，并且在节点 A 建立第一控制电压 (VA) 来开启 NMOS 晶体管 M20。

电阻 R20，作为电容使用的 NMOS 晶体管 M28、PMOS 晶体管 M24 和 NMOS 晶体管 M26 可作为一电压钳制单元 (voltage clamping unit)，在 ESD 事件中，此电压钳制单元能够钳制 ESD 突波，并在节点 B 建立第二控制电压 (VB) 来开启 NMOS 晶体管 M22。另外，在正常运作时，此电压钳制单元会接收来自第二电源接触垫 VPP 的操作电压，用以关闭 NMOS 晶体管 M22。当
ESD事件发生时，作为电容使用的NMOS晶体管M28用于钳制ESD尖波，并产生一钳制电压，此钳制电压小于第一控制电压 (VA)。借此开启PMOS晶体管M24，并且关上NMOS晶体管M26。当钳制电压通过反向器（PMOS晶体管M24和NMOS晶体管M26）会在节点B产生第二控制电压(VB)，并开启放电单元内的NMOS晶体管M22。因为第一控制电压(VA)、第二控制电压(VB)两者都由一个共同的ESD尖波所启始，堆叠的NMOS晶体管能够以快速且平均的方式开启，将应力电流由第二电源接触垫VPP放电到接地接触垫VSS。在正常工作状态下，作为电容使用的NMOS晶体管M28会被充电到大致等于第二电源接触垫VPP的电位。作为电容使用的NMOS晶体管M28的电位会由反向器反向用以在节点B产生第二控制电压(VB)，而第二控制电压(VB)会关闭NMOS晶体管M22，减低正常工作状态下的漏电。

在一实施例中，ESD保护电路的MOS晶体管可以是薄氧化层的(thin-oxide) MOS晶体管。

图3a显示图2中ESD连结单元20的电路图，包括多个串联顺向偏压(forward biased)的二极管，这些顺向偏压的二极管和一逆向偏压(reverse biased)的二极管并联耦接。

图3b显示图2中另一种ESD连结单元20的电路图，包括串联的电阻R30和作为电容使用的元件，而电阻R30和PMOS晶体管M30一起和PMOS晶体管M32并联耦接。其中，在制程技术逐渐精进的情况下，线宽尺寸越来越小，作为电容使用的元件可以是PMOS晶体管M30，此PMOS晶体管M30具有薄的栅介电层，且其源极与漏极彼此耦接。

图4显示本发明实施例中另一个ESD保护电路的电路图，更包括在图2的保护电路上加上NMOS晶体管M40。NMOS晶体管M40具有耦接第二电源接触垫VPP的漏极，耦接ESD连结单元
20的栅极，以及耦接电阻R40的源极。

在正常工作中，NMOS晶体管M40可将位于节点C的电位降低至一数值，该数值为第一电源接触垫VEE与NMOS晶体管M40的起始电压V_{th_M40}的差值(V_{th_M40} = V_{th_M40})，而使得跨越NMOS晶体管M26和NMOS晶体管M28的电压能够维持在氧化层的击穿电压(breakdown voltage)之内，因此和图2的保护电路相比提供更佳的可靠度。节点C的电位(V_{th_M40} = V_{th_M40})将会开启NMOS晶体管M26用以拉下位于节点C的电位，接着关闭NMOS晶体管M22来避免漏电。若要在保护电路内减低漏电，可以对NMOS晶体管M40的起始电压V_{th_M40}做选择，而使得NMOS晶体管M40和PMOS晶体管M24的起始电压的总和(V_{th_M40} + V_{th_M24})小于0，借此减低反向器（PMOS晶体管M24和NMOS晶体管M26）的漏电。在一实施例中，可以考量元件制程的变动，使得起始电压V_{th_M40}和V_{th_M24}的总和小于0。

在正常工作状态下，第三电源接触器VPP的电源电压会在第一电源接触器VEE之前被完全开启，用以避免ESD保护机制钳制电源电压。

图5显示本发明实施例中另一个ESD保护电路的电路图，更包括在图4的保护电路上加上补偿电路和侦测电路。

补偿电路包括PMOS晶体管M50，PMOS晶体管M50具有源极、漏极以及栅极。在正常工作状态下，PMOS晶体管M50会驱动反向器（PMOS晶体管M24和NMOS晶体管M26）的输入电压至较高的电压值，此较高的电压值能够关闭PMOS晶体管M24和NMOS晶体管M22，借以减低漏电。PMOS晶体管M50的栅极耦接PMOS晶体管M24和NMOS晶体管M26的漏极，PMOS晶体管M50的源极耦接第一电源接触器VEE，以及PMOS晶体管M50
的漏极耦接PMOS晶体管M24和NMOS晶体管M26的栅极。

当NMOS晶体管M40和PMOS晶体管M24的起始电压的总和（V_{th_{M40}}+V_{th_{M24}}）不小于0，补偿电路PMOS晶体管M50能够预防因制程参数的变动而导致PMOS晶体管M24漏电的问题。当节点C的电压（VC）小于第一电源接触垫VEE与NMOS晶体管M40的起始电压V_{th_{M40}}的差值（VC＜VEE−V_{th_{M40}}）时，NMOS晶体管M26可以导通，而使节点B的电压（VB）接近于0，但不等于0，且节点B的电压（VB）会小于第一电源接触垫VEE与PMOS晶体管M50的起始电压V_{th_{M50}}的总和（VB＜VEE+V_{th_{M50}}）。当节点B的电压（VB）小于第一电源接触垫VEE与PMOS晶体管M50的起始电压V_{th_{M50}}的总和（VB＜VEE+V_{th_{M50}}）时，PMOS晶体管M50可以导通，并使得节点C的电压（VC）得到补偿，而到达第一电源接触垫VEE的准位，如此可以关闭PMOS晶体管M24，而不会有漏电的问题发生。

侦测电路包括电组R50和PMOS晶体管M52。电阻R50耦接第二电源接触垫VPP。PMOS晶体管M52具有源极、漏极以及栅极。在正常工作状态下，如果第一电源接触垫VEE的电压比第二电源接触垫VPP的电压先开启，PMOS晶体管M52会驱动反向器（PMOS晶体管M24和NMOS晶体管M26）的输入电压至较高的电压值，此较高的电压值能够关闭PMOS晶体管M24和NMOS晶体管M22。不论第二电源接触垫VPP和第一电源接触垫VEE的供电顺序为何，侦测电路都可以提供避免发生电路栓锁作用（latch - up）的机制。PMOS晶体管M52的栅极耦接电阻R50，PMOS晶体管M52的源极耦接第一电源接触垫VEE，以及PMOS晶体管M52的漏极耦接PMOS晶体管M24和NMOS晶体管M26的栅极。

以上所述仅为本发明较佳实施例，然其并非用以限定本发
明的范围，任何熟悉本项技术的人员，在不脱离本发明的精神和范围内，可在此基础上做进一步的改进和变化，因此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

附图中符号的简单说明如下:

M10，M24，M30，M50，M52：P型金属氧化物半导体晶体管（PMOS晶体管）
M12，M14，M20，M22，M26，M28，M40：N型金属氧化物半导体晶体管（NMOS晶体管）
VEE，VPP：电源接触垫
VSS：接地接触垫
R10，R12，R20，R30，R40，R50：电阻
A，B，C：节点
20：ESD连结单元。
图 1
图 3a
图 3b
图 5