

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-45133

(P2010-45133A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 3 B 5/12 B	5 J 0 8 1
HO 3 B 5/12 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2008-207378 (P2008-207378)
 (22) 出願日 平成20年8月11日 (2008.8.11)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100076233
 弁理士 伊藤 進
 (72) 発明者 宮下 大輔
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 Fターム(参考) 5F038 CA02 CA06 CD05 CD12 CD13
 DF01 EZ20
 5J081 AA02 BB10 CC01 CC22 CC30
 DD04 DD11 EE02 EE03 EE18
 FF25 KK02 KK09 KK22 MM01
 MM07

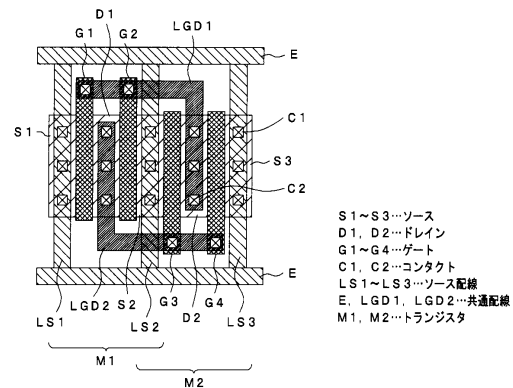
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 差動構成のゲートとドレインとのクロスカップリングのための配線の寄生抵抗を低減する。

【解決手段】 第1のアクティブ領域から突出した第1の突出部を夫々有する複数の第1のゲートと、第1のアクティブ領域に隣接した第2のアクティブ領域から、第1の突出部の突出方向とは反対の方向に突出した第2の突出部を夫々有する複数の第2のゲートと、複数の第1のゲートの第1の突出部上及び第2のアクティブ領域の全てのドレイン上に形成されて複数の第1のゲートと第2のアクティブ領域の全てのドレインとを接続する第2の共通配線と、複数の第2のゲートの第2の突出部上及び第1のアクティブ領域の全てのドレイン上に形成されて複数の第2のゲートと第1のアクティブ領域の全てのドレインとを接続する第3の共通配線とを具備したことを特徴とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

差動構成のトランジスタのうち一方のトランジスタを構成するソース及びドレインが交互に配置された第 1 のアクティブ領域と、

前記第 1 のアクティブ領域の前記ソースとドレインとの間に夫々形成され、前記第 1 のアクティブ領域から突出した第 1 の突出部を夫々有する複数の第 1 のゲートと、

前記差動構成のトランジスタのうち他方のトランジスタを構成するソース及びドレインが前記第 1 のアクティブ領域に隣接して交互に配置された第 2 のアクティブ領域と、

前記第 2 のアクティブ領域の前記ソースとドレインとの間に夫々形成され、前記第 2 のゲートの突出方向とは反対の方向に前記第 2 のアクティブ領域から突出した第 2 の突出部を夫々有する複数の第 2 のゲートと、

前記第 1 及び第 2 のアクティブ領域の全てのソースを共通接続する第 1 の共通配線と、

前記複数の第 1 のゲートの第 1 の突出部上及び前記第 2 のアクティブ領域の全てのドレイン上に形成されて前記複数の第 1 のゲートと前記第 2 のアクティブ領域の全てのドレインとを接続する第 2 の共通配線と、

前記複数の第 2 のゲートの第 2 の突出部上及び前記第 1 のアクティブ領域の全てのドレイン上に形成されて前記複数の第 2 のゲートと前記第 1 のアクティブ領域の全てのドレインとを接続する第 3 の共通配線と

を具備したことを特徴とする半導体集積回路装置。

【請求項 2】

前記第 1 の共通配線は、基板上の第 1 の配線層に形成され、

前記第 2 及び第 3 の共通配線は、前記基板上の第 2 の配線層に形成されることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】

前記第 1 のアクティブ領域の 1 つのソースと前記第 2 のアクティブ領域の 1 つのソースとは共用されることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 4】

請求項 1 に記載の第 1 及び第 2 のアクティブ領域、第 1 及び第 2 のゲート並びに第 1 乃至第 3 の共通配線によるパターンを単位パターンとし、前記単位パターンを複数配置して形成したことを特徴とする半導体集積回路装置。

【請求項 5】

差動構成のトランジスタのうち一方のトランジスタを構成するソース及びドレインが交互に配置された第 1 のアクティブ領域と、

前記第 1 のアクティブ領域の前記ソースとドレインとの間に夫々形成され、前記第 1 のアクティブ領域から突出した第 1 の突出部を夫々有する複数の第 1 のゲートと、

前記差動構成のトランジスタのうち他方のトランジスタを構成するソース及びドレインが前記第 1 のアクティブ領域に隣接して交互に配置された第 2 のアクティブ領域と、

前記第 2 のアクティブ領域の前記ソースとドレインとの間に夫々形成され、前記第 2 のゲートの突出方向とは反対の方向に前記第 2 のアクティブ領域から突出した第 2 の突出部を夫々有する複数の第 2 のゲートと、

前記第 1 及び第 2 のアクティブ領域の全てのソースを共通接続する第 1 の共通配線と、

前記複数の第 1 のゲートの第 1 の突出部上及び前記第 2 のアクティブ領域の全てのドレイン上に形成されて前記複数の第 1 のゲートと前記第 2 のアクティブ領域の全てのドレインとを接続する第 2 の共通配線と、

前記複数の第 2 のゲートの第 2 の突出部上及び前記第 1 のアクティブ領域の全てのドレイン上に形成されて前記複数の第 2 のゲートと前記第 1 のアクティブ領域の全てのドレインとを接続する第 3 の共通配線と、

前記第 2 の共通配線及び前記第 3 の共通配線相互間に接続される LC 共振回路と

を具備したことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、無線システム等の複数の発振出力を発生するための電圧制御発振器等に好適な半導体集積回路装置に関する。

【背景技術】

【0002】

従来、携帯電話等の無線システムにおいては、PLL（位相制御ループ）回路等を用いた周波数シンセサイザによって局部発振器の複数の発振出力を生成する。PLL回路等においては、発振周波数を容易に制御可能なように、VCO（電圧制御発振器）を採用している。例えば、特許文献1には、IC化されたPLL回路及びVCOが開示されている。

10

【0003】

即ち、発振出力は、VCOの発振周波数をPLL回路によって制御することによって得られる。PLL回路を構成する位相比較器に、水晶発振器からの基準周波数の発振出力（基準発振出力）とVCOの出力とを与える。位相比較器は、基準発振出力とVCOの発振出力との位相差を求め、位相差に基づく出力をローパスフィルタを介して制御電圧としてVCOに与える。これにより、VCOから基準周波数の発振出力を得るのである。更に、VCOの出力を分周器によって分周して位相比較器に与えることで、VCOから基準周波数の分周数倍の周波数の発振出力を得ることができる。

【0004】

VCOは、バラクタを備えたLC共振回路と、電力供給用の発振トランジスタとによって構成される。LC共振回路は、バラクタ及び固定インダクタに基づく共振周波数を有し、発振トランジスタによって、共振周波数の発振出力が得られる。しかし、VCOを構成する素子のばらつきによって、正確な発振周波数を得ることができない。そこで、PLL回路によって、基準発振出力とVCO出力との位相差に基づいて、VCOを制御する制御電圧を発生させ、この制御電圧によってバラクタの容量値を変化させることで、VCOの発振周波数を基準周波数に対応した周波数に一致させるように微調整するようになっている。

20

【0005】

VCOがIC化されている場合には、発振トランジスタとしては差動構成が採用されることが多い。即ち、差動対のトランジスタ同士はゲートとドレインとが相互に接続される構成である。このようなVCOの発振を保証するためには、発振トランジスタは、LC共振回路の損失を補うだけの十分なゲインが必要であり、十分に大きなゲート幅を必要とする。そこで、トランジスタ対をマルチフィンガー構成とすることが一般的である。

30

【0006】

しかしながら、このようなマルチフィンガー化によって、トランジスタ対のトランジスタサイズが大きくなり、必然的にトランジスタのゲートとドレインとを接続する配線の長さが長くなってしまふ。このため、ゲート-ドレイン間の寄生抵抗が大きくなり、VCOの特性劣化を招来してしまふ。なお、ゲートとドレインとの間の配線幅を太くして寄生抵抗を小さくすることが考えられるが、この場合には寄生容量が増加してしまひVCOの特性が劣化してしまふ。

40

【特許文献1】特開平5-300011号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、発振トランジスタ対のゲートとドレイン間の配線について寄生容量を増大させることなく寄生抵抗を低減することにより、特性が改善された電圧制御発振器を得ることができる半導体集積回路装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一態様の半導体集積回路装置は、差動構成のトランジスタのうちの一方のトラ

50

ンジスタを構成するソース及びドレインが交互に配置された第1のアクティブ領域と、前記第1のアクティブ領域の前記ソースとドレインとの間に夫々形成され、前記第1のアクティブ領域から突出した第1の突出部を夫々有する複数の第1のゲートと、前記差動構成のトランジスタのうちの他方のトランジスタを構成するソース及びドレインが前記第1のアクティブ領域に隣接して交互に配置された第2のアクティブ領域と、前記第2のアクティブ領域の前記ソースとドレインとの間に夫々形成され、前記第2のゲートの突出方向とは反対の方向に前記第2のアクティブ領域から突出した第2の突出部を夫々有する複数の第2のゲートと、前記第1及び第2のアクティブ領域の全てのソースを共通接続する第1の共通配線と、前記複数の第1のゲートの第1の突出部上及び前記第2のアクティブ領域の全てのドレイン上に形成されて前記複数の第1のゲートと前記第2のアクティブ領域の全てのドレインとを接続する第2の共通配線と、前記複数の第2のゲートの第2の突出部上及び前記第1のアクティブ領域の全てのドレイン上に形成されて前記複数の第2のゲートと前記第1のアクティブ領域の全てのドレインとを接続する第3の共通配線とを具備したことを特徴とする。

10

【発明の効果】

【0009】

本発明によれば、発振トランジスタ対のゲートとドレイン間の配線について寄生容量を増大させることなく寄生抵抗を低減することにより、特性が改善された電圧制御発振器を得ることができる半導体集積回路装置を提供する。

【発明を実施するための最良の形態】

20

【0010】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

【0011】

<第1の実施の形態>

図1は本発明の第1の実施の形態に係る半導体集積回路装置のレイアウトを示す説明図である。図2は図1の断面構造を模式的に示す説明図である。図3は本実施の形態の発振器を用いた電圧制御発振器の回路構成を示す回路図である。

【0012】

図1の半導体集積回路装置は電圧制御発振器の発振部を構成する。まず、図3を参照して、本実施の形態の適用例である電圧制御発振器について回路構成を説明する。

30

【0013】

図3において、電圧制御発振器は、コイルL1、バラクタ等の可変容量素子Cv、可変容量部12及び発振部11によって構成されている。可変容量部12は、固定容量Cfa、Cfb及びスイッチを構成するMOSトランジスタMsが直列接続されて構成された可変容量が複数並列接続されて構成される。可変容量部12の各可変容量は、可変容量素子Cvと共に、コイルL1に並列接続される。

【0014】

コイルL1の一端は発振部11を構成するNMOSトランジスタM1のドレインに接続され、他端は、発振部11を構成するNMOSトランジスタM2のドレインに接続される。差動対を成すトランジスタM1、M2のソースは共通接続されて、その接続点は抵抗R3を介して基準電位点に接続される。トランジスタM1のドレインは寄生抵抗R1を介してトランジスタM2のゲートに接続され、トランジスタM2のドレインは寄生抵抗R2を介してトランジスタM1のゲートに接続される。なお、寄生抵抗R1、R2は、トランジスタM1、M2のドレインとトランジスタM2、M1のゲートとを接続する配線に生じるものである。

40

【0015】

なお、図3の電圧制御発振器は、コイルL1、可変容量素子Cv及び可変容量部12によるLC共振回路によって発振周波数が決定される。なお、可変容量部12の各可変容量の容量値Cf1、Cf2、...は、各可変容量を構成するトランジスタMsがオンの場合のみ発生する。従って、各可変容量を構成するトランジスタMsをオン、オフ制御するこ

50

とで、可変容量部 1 2 全体の容量値を変化させて、発振周波数を制御することができる。

【 0 0 1 6 】

ところで、トランジスタ M 1 , M 2 としては、LC 共振回路の損失を補うために十分に大きなゲインを設定する必要がある。このため、トランジスタ M 1 , M 2 のトランジスタサイズは十分に大きくする必要がある。例えば、トランジスタ M 1 , M 2 のゲート幅を十分に大きくする。このために、本実施の形態においては、トランジスタ M 1 , M 2 としてマルチフィンガー構成を採用する。

【 0 0 1 7 】

図 1 において、トランジスタ M 1 は、ソース S 1 , S 2、ドレイン D 1、ゲート G 1 , G 2 等によって構成され、トランジスタ M 2 は、ソース S 2 , S 3、ドレイン D 2、ゲート G 3 , G 4 等によって構成される。ソース S 2 はトランジスタ M 1 , M 2 で共通である。即ち、トランジスタ M 1 , M 2 は、フィンガー数 2 でマルチフィンガー化されている。

10

【 0 0 1 8 】

図 2 に示すように、基板 1 に形成されたアクティブ領域において、ソース S 1 ~ S 3 及びドレイン D 1 , D 2 が、ソース及びドレインが交互に配置されるように構成される。交互に配置されたソースとドレインとの間にゲートを配置することで、トランジスタが構成される。なお、2 つのソースの間に 1 つのドレインが配置される場合や、N 個のソース間に N - 1 個のドレインが配置される場合等もソース及びドレインが交互に配置されていると表現するものとする。

【 0 0 1 9 】

ソース S 1 ~ S 3 及びドレイン D 1 , D 2 は、夫々平面的には細長い矩形状に形成され、その短手方向にチャネル長に相当する距離だけ相互に離間させて、ソース S 1、ドレイン D 1、ソース S 2、ドレイン D 2、ソース S 3 の順に配置される。なお、ソース S 1 ~ S 3 及びドレイン D 1 , D 2 の長手方向の寸法は、相互に同一である。

20

【 0 0 2 0 】

ソース S 1 とドレイン D 1 との間の基板表面にはゲート酸化膜 (図示せず) 上にゲート G 1 が形成される。また、ソース S 2 とドレイン D 1 との間の基板表面にはゲート酸化膜上にゲート G 2 が形成される。後述するように、ソース S 1 , S 2 は共通接続され、ゲート G 1 , G 2 も共通接続されるので、トランジスタ M 1 のゲート幅は、ゲート G 1 , G 2 のゲート幅の和となる。

30

【 0 0 2 1 】

同様に、ソース S 2 とドレイン D 2 との間の基板表面にはゲート酸化膜上にゲート G 3 が形成される。また、ソース S 3 とドレイン D 2 との間の基板表面にはゲート酸化膜上にゲート G 4 が形成される。後述するように、ソース S 2 , S 3 は共通接続され、ゲート G 3 , G 4 も共通接続されるので、トランジスタ M 2 のゲート幅は、ゲート G 3 , G 4 のゲート幅の和となる。

【 0 0 2 2 】

ソース S 1 , S 2 , S 3 は夫々コンタクト C 1 を介してソース配線 L S 1 , L S 2 , L S 3 に接続される。ソース配線 L S 1 ~ L S 3 は、共通配線 E に共通接続される。図 3 に示すように、共通配線 E は、抵抗 R 3 を介して基準電位点に接続される。

40

【 0 0 2 3 】

ソース配線 L S 1 ~ L S 3 及び共通配線 E は、図 2 に示すように、基板 1 上の 1 番目の配線層に下層配線として形成され、ドレイン配線及びゲート配線は、図 2 に示すように、基板 1 上の 2 番目の配線層に上層配線として形成される。

【 0 0 2 4 】

本実施の形態においては、ドレイン配線及びゲート配線は、共通の配線を用いる。即ち、ドレイン D 1 はコンタクト C 2 を介して共通配線 L G D 2 に接続され、ドレイン D 2 はコンタクト C 2 を介して共通配線 L G D 1 に接続される。

【 0 0 2 5 】

共通配線 L G D 2 は、トランジスタ M 1 を構成するドレイン D 1 上においてドレイン D

50

1の長手方向に延びる。共通配線LGD2は、一端がドレインD1の形成領域から延出し、ドレインD1の短手方向に屈曲してトランジスタM2の形成領域側に延びる。一方、トランジスタM2を構成するゲートG3, G4の一端は、ソースS2, S3及びドレインD2の形成領域から延出した突出部を有し、立体的には共通配線LGD2と交差する。この交差部分(突出部)において、コンタクトC2により、ゲートG3, G4は共通配線LGD2に接続される。

【0026】

一方、共通配線LGD1は、トランジスタM2を構成するドレインD2上においてドレインD2の長手方向に延びる。共通配線LGD1は、共通配線LGD2と重ならない方向に、一端がドレインD2の形成領域から延出し、ドレインD2の短手方向に屈曲してトランジスタM1の形成領域側に延びる。一方、トランジスタM1を構成するゲートG1, G2の一端は、ソースS1, S2及びドレインD1の形成領域から延出した突出部を有し、立体的には共通配線LGD1と交差する。この交差部分(突出部)において、コンタクトC2により、ゲートG1, G2は共通配線LGD1に接続される。

10

【0027】

なお、図2においては、共通配線E, LGD1, LGD2は破線にて示してある。共通配線LGD1, LGD2は、夫々図3のコイルL1の両端に接続される。

【0028】

図1に示すように、ゲートG1, G2がソースS1, S2及びドレインD1の形成領域から延出する方向(図1の紙面上向き)とゲートG3, G4がソースS2, S3及びドレインD2の形成領域から延出する方向(図1の紙面下向き)とは相互に逆向きである。従って、トランジスタM1のゲートと共通配線LGD1とのコンタクトと、トランジスタM2のゲートと共通配線LGD2とのコンタクトとを、ソース及びドレインの長手方向の相互に逆方向の位置に配置することができる。つまり、図1に示すように、屈曲した共通配線LGD1, LGD2が重ならないように配置することができる。

20

【0029】

従って、本実施の形態によれば、下層及び上層の2つの配線層のみを用いて、比較的短い距離で、トランジスタM1のゲートとトランジスタM2のドレインとを接続すると共に、トランジスタM2のゲートとトランジスタM1のドレインとを接続することができる。

【0030】

次に、比較のために、図4を参照して従来技術におけるレイアウトについて説明する。図4は従来技術におけるレイアウトを説明するための説明図である。図4はトランジスタM1, M2をフィンガー数を6でマルチフィンガー化した例である。なお、図4の塗りつぶした四角印はコンタクトを示している。

30

【0031】

図4の例では、トランジスタM1, M2は、いずれも6つのソースと6つのドレインとの間に夫々形成された6つのゲートGによって構成される。トランジスタM1, M2の各ソース同士は共通配線LSによって接続される。トランジスタM1の各ドレイン同士は共通配線LD1によって接続され、トランジスタM2の各ドレイン同士は共通配線LD2によって接続される。トランジスタM1の各ゲート同士は共通配線LG1によって接続され、トランジスタM2の各ゲート同士は共通配線LG2によって接続される。

40

【0032】

トランジスタM2のゲート配線LG2は、トランジスタM1のソース・ドレイン領域を迂回する配線LR1を経由して、トランジスタM1のドレイン配線LD1に接続される。また、トランジスタM1の共通配線LG1は、トランジスタM2のソース・ドレイン領域を迂回する配線LR2を経由して、トランジスタM2の共通配線LD2に接続される。配線LR1, LR2は夫々図3の寄生抵抗R1, R2を生じさせる。

【0033】

図4においては、一方のトランジスタのゲート配線は、他方のトランジスタ形成領域を迂回する配線(以下、迂回配線という)を経由して他方のトランジスタのドレイン配線に

50

接続される。従って、迂回配線の配線長は十分に長くなり、比較的大きな寄生抵抗を発生させてしまう。

【0034】

これに対し、本実施の形態においては、ゲートの長手方向をドレインの長手方向よりも突出して形成すると共に、突出させる方向を2つのトランジスタで相互に逆向きにする。これにより、ゲートG1、G2と共通配線LGD1とのコンタクトの位置と、ゲートG3、G4と共通配線LGD2とのコンタクトの位置とを、相互に逆方向に配置することができ、一方のトランジスタのゲートは、他方のトランジスタのドレインから突出した配線に直線的に接続することができる。

【0035】

即ち、共通配線LGD1、LGD2は、ソース、ドレインの短手方向については、ソースの形成領域とゲートの形成領域分の長さだけ延長することで、一方のトランジスタのゲートと他方のトランジスタのドレインとの接続及び他方のトランジスタのゲートと一方のトランジスタのドレインとの接続を行うことができる。このように、ゲートとドレインとをクロスカップリングする共通配線のうち寄生抵抗に寄与する部分の長さを十分に短くすることができ、寄生抵抗を十分に小さくすることができる。

【0036】

また、下層配線によってソースを共通接続すると共に、上層配線によってゲートとドレインとをクロスカップリングすることができる。2層の配線層によって差動構成のトランジスタの各部を接続することができ、製造容易である。なお、上層配線にてソースを共通接続し、下層配線にてゲートとドレインとをクロスカップリングしてもよいことは明らかである。

【0037】

このように本実施の形態においては、ゲートとドレインとをクロスカップリングする共通配線のうち寄生抵抗に寄与する部分の長さを十分に短くすることができ、寄生抵抗を十分に小さくすることができる。これにより、VCOを構成する発振トランジスタのゲインを十分に大きくすることができ、VCOの特性を向上させることができる。

【0038】

<第2の実施の形態>

図5は本発明の第2の実施の形態を示す説明図である。また、図6は図5に対応した回路構成を示す回路図である。

【0039】

上述した第1の実施の形態は、マルチフィンガー構成におけるフィンガー数が2の例である。更に大きなフィンガー数を設定することで、トランジスタのゲート幅を大きくすることが可能である。この場合においても、図1のレイアウトパターンを単位としてフィンガー数を大きくすることで、寄生抵抗の増大を抑制することができる。

【0040】

図5は図1のレイアウトパターン(以下、単位パターンという)を4つ配置した例を示している。図5のレイアウトパターンを回路図によって表すと図6に示すものとなる。図6においては、図3のトランジスタM1、M2と同様のトランジスタ対を4組並列接続したものである。各トランジスタのゲート幅が同一であれば、図6の回路のゲート幅は、トランジスタM1、M2のゲート幅の4倍となる。マルチフィンガー化のフィンガー数をMとし、1フィンガー当たりのゲート幅をWとすると、等価的なゲート幅はM・Wとなる。

【0041】

図5はマルチフィンガーのフィンガー数が8の例である。この場合には、4つ分の単位パターンを形成すればよい。図6に示すように、4つの単位パターンによって、トランジスタM1～M8が構成される。全トランジスタM1～M8のソースは、コンタクトC1を介してソース配線LS1～LS3に接続され、全単位パターンのソース配線LS1～LS3は、共通配線Eに共通接続される。

【0042】

10

20

30

40

50

トランジスタM1, M3, M5, M7のドレインは共通配線LGD2に共通接続され、トランジスタM2, M4, M6, M8のドレインは共通配線LGD1に共通接続される。そして、共通配線LGD2は、トランジスタM2, M4, M6, M8のゲートG3, G4に共通接続される。また、共通配線LGD1は、トランジスタM1, M3, M5, M7のゲートG1, G2に共通接続される。

【0043】

隣接する単位パターン同士は、トランジスタM1, M3, M5, M7のゲート同士及びトランジスタM2, M4, M6, M8のゲート同士を直接的に接続可能なように、上下対称に配置される。

【0044】

このように構成された実施の形態においても、各単位パターンにおいて、ゲートとドレインとのクロスカップリングに必要な配線部分の長さは、十分に短い。これにより、寄生抵抗を十分に小さくすることができる。従って、VCOを構成する発振トランジスタのゲインを十分に大きくすることができ、VCOの特性を向上させることができる。

【0045】

図4と図6との比較から明らかなように、ソース、ドレイン及びゲートの幅が同一であっても、本実施の形態の単位パターンを採用することにより、トランジスタサイズを十分に小さくすることができ、寄生容量を低減させることが可能である。

【0046】

なお、本実施の形態においては、単位パターン間の相互接続したトランジスタ対同士を接続する配線が必要となるが、この配線はある程度配線幅を大きくして寄生抵抗を減らすことができる。ゲートとドレインとを共通の配線を用いて接続するので、ゲート配線とドレイン配線とを別々の配線で配線する場合よりも、共通配線の幅を大きくしても比較的小さい寄生容量で済むからである。

【0047】

また、本実施の形態においては、4つの単位パターンを用いる例を示したが、単位パターンの数は限定されないことは明らかである。

【0048】

図7及び図8は本実施の形態の効果を説明するためのグラフである。図7は第2の実施の形態を採用せずに構成したVCOの特性変化を示し、図8は第2の実施の形態を採用して構成したVCOの特性の変化を示している。図7(a)及び図8(a)は横軸に周波数を取り縦軸に位相雑音のレベルをとって、位相雑音特性を示している。また、図7(b)及び図8(b)は横軸に時間を取り縦軸に出力レベルをとって、出力波形を示している。

【0049】

図7及び図8において、特性Aは寄生抵抗を考慮せず図5の回路図に対するシミュレーションによって得られた特性を示し、特性Bは実際の配線パターンにおける寄生抵抗を求めて、求めた寄生抵抗を考慮した特性を示している。

【0050】

図7(a)に示すように、寄生抵抗を考慮していない特性Aに比べて、寄生抵抗を考慮した特性Bは、いずれの周波数においても位相雑音が大きくなっている。これは、図7(b)に示すように、寄生抵抗を考慮していない特性Aに比べて、寄生抵抗を考慮した特性Bでは、出力波形の振幅レベルが小さくなっていることが原因であると考えられる。

【0051】

これに対し、本実施の形態においては、図8(b)に示すように、寄生抵抗を考慮していない特性Aと、寄生抵抗を考慮した特性Bとでは、出力波形の振幅レベルは殆ど変化しない。従って、図8(a)に示すように、寄生抵抗を考慮していない特性Aと、寄生抵抗を考慮した特性Bとでは、いずれの周波数においても位相雑音は略同一である。

【0052】

このように本実施の形態においては、位相雑音に対する寄生抵抗の影響を十分に抑制することができることが分かる。

10

20

30

40

50

【 0 0 5 3 】

< 第 3 の実施の形態 >

図 9 は本発明の第 3 の実施の形態を示す説明図である。

【 0 0 5 4 】

上述した第 1 及び第 2 の実施の形態においては、マルチフィンガー構成におけるフィンガー数が 2 の単位パターンを採用したが、単位パターンのフィンガー数は 2 に限定されるものではない。例えば、図 9 はマルチフィンガー構成におけるフィンガー数が 4 の単位パターンの例を示している。

【 0 0 5 5 】

図 9 において、トランジスタ M 1 は、ソース S 1 ~ S 3、ドレイン D 1、D 2、ゲート G 1 ~ G 4 等によって構成され、トランジスタ M 2 は、ソース S 4 ~ S 6、ドレイン D 3、D 4、ゲート G 5 ~ G 8 等によって構成される。

【 0 0 5 6 】

ソース S 1 ~ S 6 及びドレイン D 1 ~ D 4 は、夫々平面的には細長い矩形状に形成され、その短手方向にチャンネル長に相当する距離だけ相互に離間させて、ソース S 1、ドレイン D 1、ソース S 2、ドレイン D 2、ソース S 3、ソース S 4、ドレイン D 3、ソース S 5、ドレイン D 4、ソース S 6 の順に配置される。なお、ソース S 1 ~ S 6 及びドレイン D 1 ~ D 4 の長手方向の寸法は、相互に同一である。

【 0 0 5 7 】

ソース S 1、ドレイン D 1、ソース S 2、ドレイン D 2、ソース S 3 の各間にはゲート G 1 ~ G 4 が形成され、ソース S 4、ドレイン D 3、ソース S 5、ドレイン D 4、ソース S 6 の各間にはゲート G 5 ~ G 8 が形成される。ソース S 1 ~ S 6 は夫々コンタクト C 1 を介してソース配線 L S 1 ~ L S 6 に接続される。ソース配線 L S 1 ~ L S 6 は、共通配線 E に共通接続される。ソース配線 L S 1 ~ L S 6 及び共通配線 E は、例えば、基板上の 1 番目の配線層に下層配線として形成される。

【 0 0 5 8 】

本実施の形態においては、ドレイン配線及びゲート配線は、共通の配線を用いる。即ち、ドレイン D 1、D 2 はコンタクト C 2 を介して共通配線 L G D 2 に接続され、ドレイン D 3、D 4 はコンタクト C 2 を介して共通配線 L G D 1 に接続される。なお、ドレイン配線及びゲート配線は、例えば、基板上の 2 番目の配線層に上層配線として形成される。

【 0 0 5 9 】

共通配線 L G D 2 は、トランジスタ M 1 を構成するドレイン D 1、D 2 上においてドレイン D 1、D 2 の長手方向に延びる。共通配線 L G D 2 は、一端がドレイン D 1、D 2 の形成領域から延出し、ドレイン D 1、D 2 の短手方向に屈曲してトランジスタ M 2 の形成領域側に延びる。一方、トランジスタ M 2 を構成するゲート G 5 ~ G 8 の一端は、ソース S 4 ~ S 6 及びドレイン D 3、D 4 の形成領域から延出した突出部を有し、立体的には共通配線 L G D 2 と交差する。この交差部分において、コンタクト C 2 により、ゲート G 5 ~ G 8 は共通配線 L G D 2 に接続される。

【 0 0 6 0 】

一方、共通配線 L G D 1 は、トランジスタ M 2 を構成するドレイン D 3、D 4 上においてドレイン D 3、D 4 の長手方向に延びる。共通配線 L G D 1 は、共通配線 L G D 2 と重ならない方向に、一端がドレイン D 3、D 4 の形成領域から延出し、ドレイン D 3、D 4 の短手方向に屈曲してトランジスタ M 1 の形成領域側に延びる。一方、トランジスタ M 1 を構成するゲート G 1 ~ G 4 の一端は、ソース S 1 ~ S 3 及びドレイン D 1、D 2 の形成領域から延出した突出部を有し、立体的には共通配線 L G D 1 と交差する。この交差部分において、コンタクト C 2 により、ゲート G 1 ~ G 4 は共通配線 L G D 1 に接続される。

【 0 0 6 1 】

本実施の形態においても、ゲート G 1 ~ G 4 がソース S 1 ~ S 3 及びドレイン D 1、D 2 の形成領域から延出する方向（図 9 の紙面上向き）とゲート G 5 ~ G 8 がソース S 4 ~ S 6 及びドレイン D 3、D 4 の形成領域から延出する方向（図 9 の紙面下向き）とは相互

10

20

30

40

50

に逆向きである。従って、トランジスタM1のゲートG1～G4と共通配線LGD1とのコンタクトと、トランジスタM2のゲートG5～G8と共通配線LGD2とのコンタクトとを、ソース及びドレインの長手方向の相互に逆方向の位置に配置することができる。つまり、屈曲した共通配線LGD1, LGD2とが重ならないように配置することができる。

【0062】

従って、本実施の形態においても、下層及び上層の2つの配線層のみを用いて、比較的短い距離で、トランジスタM1のゲートとトランジスタM2のドレインとを接続すると共に、トランジスタM2のゲートとトランジスタM1のドレインとを接続することができる。

10

【0063】

このように本実施の形態においても、第1の実施の形態と同様の効果を得ることができる。

【0064】

なお、上記実施の形態においてはVCOの発振トランジスタに適用した例を説明したが、差動構成のトランジスタを有する回路であれば、本発明を種々の回路に適用可能であることは明らかである。

【図面の簡単な説明】

【0065】

【図1】本発明の第1の実施の形態に係る半導体集積回路装置のレイアウトを示す説明図

20

【図2】図1の断面構造を模式的に示す説明図。

【図3】本実施の形態の発振部を用いた電圧制御発振器の回路構成を示す回路図。

【図4】従来技術におけるレイアウトを説明するための説明図。

【図5】本発明の第2の実施の形態を示す説明図。

【図6】図5に対応した回路構成を示す回路図。

【図7】第2の実施の形態を採用せずに構成したVCOの特性の変化を示すグラフ。

【図8】第2の実施の形態を採用して構成したVCOの特性の変化を示すグラフ。

【図9】本発明の第3の実施の形態を示す説明図。

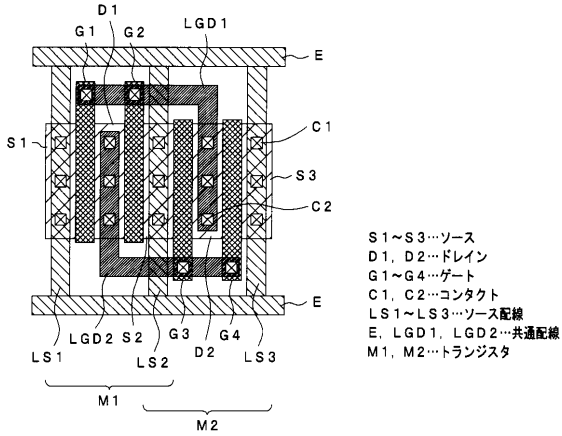
【符号の説明】

30

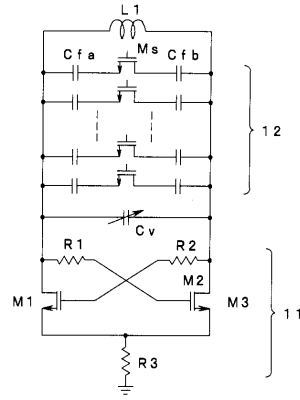
【0066】

D1, D2...ドレイン、G1～G4～ゲート、S1～S3...ソース、C1, C2...コンタクト、E, LSD1, LSD2...共通配線。

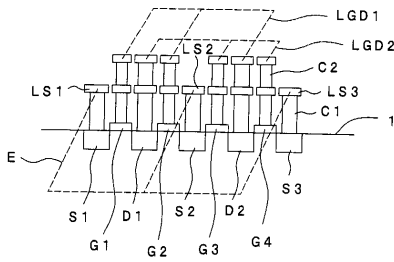
【図1】



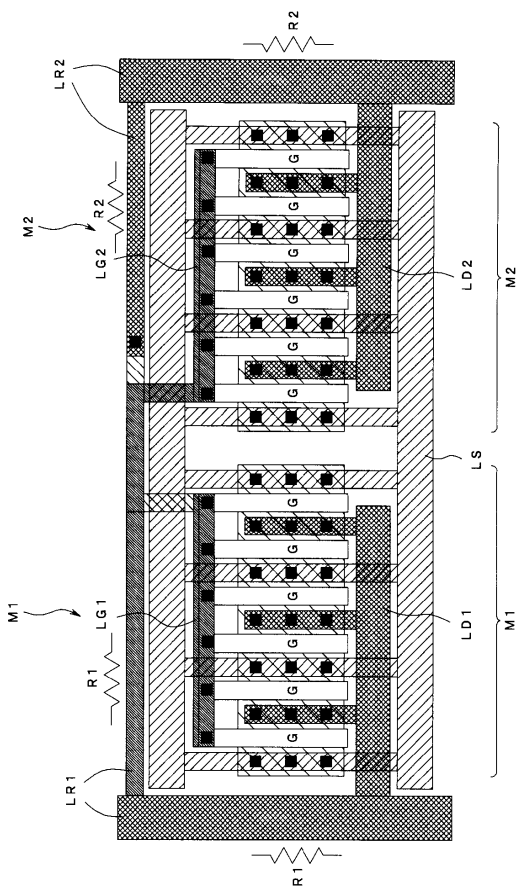
【図3】



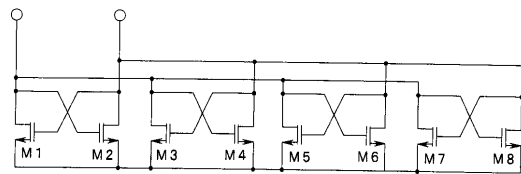
【図2】



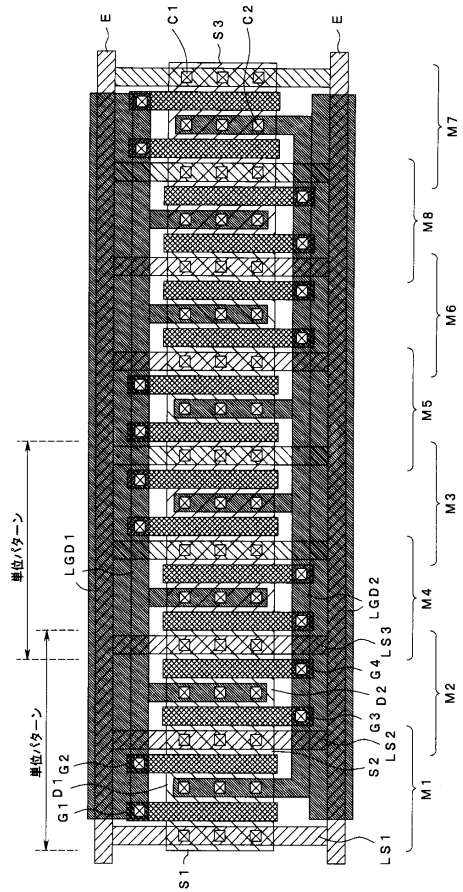
【図4】



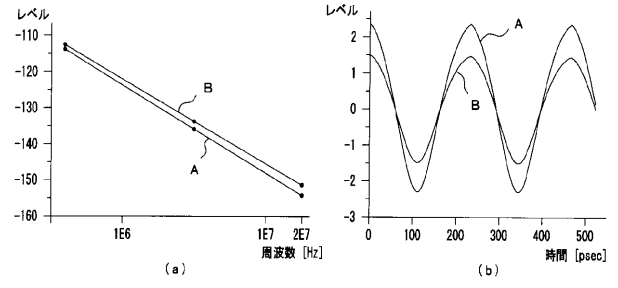
【図5】



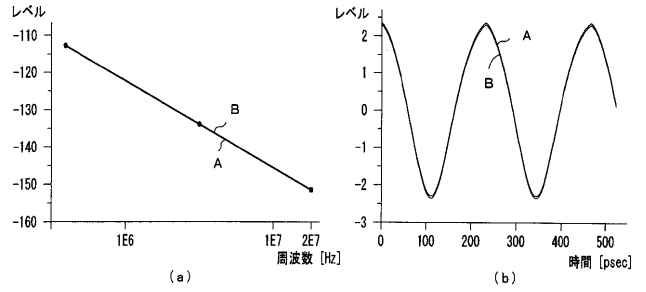
【図6】



【図7】



【図8】



【図9】

