[19]中华人民共和国国家知识产权局

[51]Int.Cl[7]
H03M 3/02

[12]发明专利说明书

[21] ZL 专利号 94108010.2

[45]授权公告日 2000 年 4 月 12 日

[11]授权公告号 CN 1051415C

[22]申请日 1994.7.21 [24]颁证日 2000.1.15
[21]申请号 94108010.2
[30]优先权
[32]1993.7.21 [33]JP [31]179506/1993
[73]专利权人 株式会社东芝
地址 日本神奈川县
[72]发明人 福永敏孝 永田满
审查员 钟 强

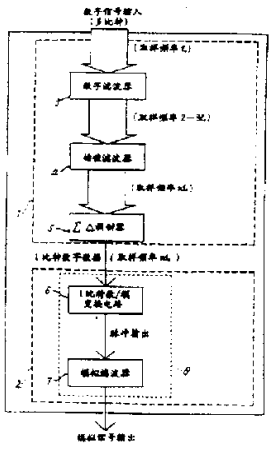
[74]专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 杨国旭

权利要求书 3 页 说明书 19 页 附图页数 13 页

[54]发明名称 把 1 位数字数据信号转化为模拟数据的信号处理电路

[57]摘要

本发明所涉及的 1 比特数/模变换电路包括 RZ 信号输出电路和 PRZ 信号输 出电路,所说的 RZ 信号输出电路接受按规定频率取样的 1 比特数字数据,将 此 1 比特数字数据变换成第一 RZ 信号和与此第一 RZ 信号有互补关系的第二 RZ 信号,而且将这些第一 RZ 信号和第二 RZ 信号相互错开规定频率的 1 以 上的整数倍并输出;所说的 PRZ 信号输出电路接受第一 RZ 信号和第二 RZ 信号,将这些第一 RZ 信号和第二 RZ 信号进行加法运算,输出属于 PRZ 信 号的信号。



ISSN1008-4274

权 利 要 求 书

1. 一种把按周期 T 取样的 1 比特数字数据变换成模拟数据的信号处理电路，其特征在于它包括：

分割电路，用来接受所说的 1 比特数字数据，用来向第一信号线输出第一输出，也用来向第二信号线输出第二输出，第一信号线的第一相移量与第二信号线的第二相移量不同；

第一反相器，与所说的第一信号线相连；

第一门电路，它有一个与所说的第一信号线相连的与门，用来产生第一归零信号，当所说的 1 比特数字数据代表电平“1”时，在确定的时间 T_1 内所说的第一归零信号代表第一电平 V_H，在时间 $T - T_1$ 内所说的第一归零信号代表第二电平 V_L，当所说的 1 比特数字数据代表电平“0”时，在所说的确定时间 T_1 内所说的第一归零信号代表第二电平 V_L；

第二门电路，有一个与所说的第一反相器相连的与非门，用来产生第二归零信号，当所说的 1 比特数字数据代表所说的电平“0”时，在确定的时间 T_1 内，所说的第一归零信号代表所说的第二电平 V_L，在时间 $T - T_1$ 内，所说的第一归零信号代表第一电平 V_H，当所说的 1 比特数字数据代表所说的电平“1”时，在所说的确定时间 T_1 内，所说的第一归零信号代表所说的第二电平 V_H；和

加法电路，有一个相加点和至少一个低通滤波器，用来把所说的第一和第二归零信号相加。

2. 按照权利要求 1 所说的信号处理电路，其特征在于所说的第一相移量与所说的第二相移量的差是所说的周期 T 的整数倍。

3. 按照权利要求 2 所说的信号处理电路，其特征在于还包括：

第一缓冲电路，它连接在所说的第一门电路的输出端与加法电路之间，所说的第一缓冲电路包括第二反相器；和

第二缓冲电路，它连接在所说的第二门电路的输出端与加法电路之间，所说的第二缓冲电路包括第三反相器。

4. 按照权利要求 3 所述的信号处理电路，还包括：

第三缓冲电路，它的输入为所述分割装置的所述第一输出并向所述第一信号线输出第一缓冲信号，它还包括至少一个延时触发器；

第四缓冲电路，它的输入为所述分割装置的所述第二输出并向所述第二信号线输出第二缓冲信号，它还包括至少一个延时触发器；

其特征在于所说的第三缓冲电路的相移量等于所说的第四缓冲电路的相移量。

5. 按照权利要求 3 所述的信号处理电路，其特征在于所说的加法电路包括：

第一电阻，它与所说的加法电路的第一输入端相连；

第二电阻，它与所说的加法电路的第二输入端相连；

相加点，用来把通过所说的第一电阻的信号和通过所说的第二电阻的信号相加；和

反相运算放大器，它与所说的相加点相连。

6. 按照权利要求 5 所说的信号处理电路，其特征在于所说的加法电路还包括与所说的相加点相连的第一无源滤波器，所说的第一无源滤波器有第三电阻和第一电容器。

7. 按照权利要求 6 所说的信号处理电路，其特征在于所说的加法电路还包括与所说的相加点相连的第二无源滤波器，所说的第二无源滤波器有第四电阻和第二电容器，并且所说的第一

和第二无源滤波器串联到所述运算放大器上。

8. 按照权利要求 6 或 7 所说的信号处理电路，其特征在于所说的反相运算放大器的输出端通过第三电容器与所说的反相运算放大器的反相输入端相连。

9. 按照权利要求 8 所说的信号处理电路，其特征在于反馈电阻连接到所说的反相运算放大器的反相输入端和输出端。

10. 按照权利要求 2 所说的信号处理电路，其特征在于还包括：

第一缓冲电路，它连接到所说的第一门电路的输出端和加法电路之间，所说的第一缓冲电路有第一放大器；和

第二缓冲电路，它连接到所说的第二门电路的输出端和加法电路之间，所说的第二缓冲电路有第二放大器。

11. 按照权利要求 10 所说的信号处理电路，其特征在于所说的加法电路包括：

第一电阻，它与所说的加法电路的第一输入端相连；

第二电阻，它与所说的加法电路的第二输入端相连；

相加点，用来把通过所说的第一电阻的信号与通过所说的第二电阻的信号相加；和

同相运算放大器，它与所说的相加点相连。

说　明　书

把1位数字数据信号转化为模拟数据的信号处理电路

本发明特别涉及一种带超取样型数/模变换器的1比特数/模变换电路。

将模拟信号编码成取样值的数字数据时，根据乃奎斯特定理，如相对信号频带fB设定二倍的取样频率，则可知不损坏原信号的信息。因此一般的数/模变换器的取样频率fs设定为信号频带fB的2.2-2.4倍左右。

因而，模/数变换器的变换精度，如果元件精度无问题，可认为由变换比特率P（分辨率）决定。

对此，近来开发出即使小的变换比特数也能得到高的变换精度的超取样型数/模变换器并正在实用化。单纯的超取样型数/模变换的SN比（信噪比）的最大值（S/N）max用下面（1）式表示

$$(S/N)_{max}=3/2\cdot 2^{2P}(fs/2fB) \quad \cdots\cdots (1)$$

从式（1）可见，数/模变换器的SN比，将比特数P提高1比特就改善6dB，而使取样频率fs变成2倍，就改善3dB。由此关系可见，将取样频率fs变成4倍时的SN比的改善程度与将比特数提高1比特时相同。换言之，每当取样频率fs变成4倍，只把比特数减少一个，而变换精度不变。在超取样型数/模变换器中，利用此关系，将取样频率fs设定得比信号频带fB高很多，即使少的比特数P也能得到足够的变换精度。

目前用于音频的数/模变换器，通常取样频率fs为44.1KH_Z，比特数P是16比特。将此常规的数/模变换器作为超

取样型，而且假定比特常数 P 为 1 比特。这时，必需的取样频率(下面称之为超取样频率 fos)从 (1)式可知为 $47 \times 10^{12}Hz$。然而 $47 \times 10^{12}Hz$这样的频率 fos 难以实现。

因此，正在用更现实的方法对超取样型 1 比特数/模变换器进行各种开发。其中之一是使用ΣΔ (sigma-delta) 调制的数/模变换器。作为实例，有 PETERJ. A. NAUS 等在 IEEE 固态电路期刊， 卷 SC- 22， 第 3 期， 第 390-394 页， 1987 年 6 月，上发表的"数字音响用的立体声 16 位 CMOS 转换器 (A CMOS Stereo 16- bit D/ A Converter for Digital Audio)"。

下面对使用ΣΔ (sigma-delta)调制的超取样型数/模变换器进行说明。

已输入取样频率 fs 的多比特的数字数据首先用数字滤波器上取样为上述频率 fs 的 2 - 8 倍。接着，用插值滤波器等进一步超取样为 n 倍 (通常 n=32-384) 。这里 n 是取样比例，定义为 n=fos/fs 。

用这样的超取样频率 nfs(=fos),多比特的数字数据输入ΣΔ调制器，在此变换成超取样频率 nfs 的 1 比特数字数据。

ΣΔ 的调制器的典型结构表示在图 1 中。

在具有此调制器的系统中，该环路滤波器的传递函数 H (z) 用下式表示:

$$H(z) = 1 - (1 - z^{-1})^{q} \quad \cdots\cdots (2)$$

以 q 次ΣΔ 调制器的传输特性 Y (z) 可用下面的 (3) 式表示

$$Y(z) = X(z) + (1-z^{-1})^{q} \cdot E(z) \quad \cdots\cdots (3)$$

在式 (3) 中 E(z)是由 1 比特量化器产生的再量化噪音，通常认为频率特性是平的。为求 E(z)的系数$(1-z^{-1})^{q}$的频率特性，令

$z=e^{jwT}$ (这里 T = 1/(nfs))

则 $(1-e^{jwT})^q=(jwT)^q=(2\pi jf/nfs)^q\cdot(2\pi f/nfs)<<1$。因此，与超取样频率 nfs 比较，信号频带 fB 足够低，噪音在低频区变小，在使超取样比例 n 成为 2 倍的每个信号频带的 SN 比改善了 3 × (2q+1)dB。例如，如果使用二次ΣΔ调制器，q = 2，使 n 成为 2 倍，则 SN 比改善 5dB，得到与 16 比特相同的精度，所以如使超取样 n 成为 100 左右，则成为良好的完全能实现的值。

在超取样型数/模变换器中，由于最大限度地利用因超取样导致的分辨率（比特数）P 的降低，ΣΔ 调制器的输出是 1 比特。这是因为把 1 比特数据变换为模拟信号的数/模变换电路的分辨率 P 是 1 比特，从而解决了因元件特性分散造成的线性误差。

但是，此 1 比特数/模变换电路也存在有输出的信号波形变钝、因不需要的高频成分的影响等引起的变形、因不需要的辐射引起的 SN 比变坏等问题。为解决这样的问题，想了各种办法。

ΣΔ 调制器的输出（1 比特数据）通常就是 NRZ（不归零）信号，已使信号成分包含在其低频（对于 NRZ 信号，例如参照图 15B）。在 1 比特数/模变换器中，有足以适用的性能，为了除去不需要的高频成分，将 1 比特数据一次波形整形为适合于使用目的的脉冲输出。然后用模拟滤波器除去不需要的高频成分，得到模拟信号。

对上述脉冲输出使用 RZ（归零）信号的例子有 S. AOSHIMA 在 1990 年 11 月由日本 Aich 出版公司出版的“无线电技术”第 152-157 页发表的“1 位 DAC 的设计原理及应用技术（The design concept and application technique of the original 1 bit DAC）”。

作为使用 PRZ（极化归零（制））信号的例子有：

PETER J. A. NAUS 等在 IEEE 固态电路期刊，卷 SC-22,第 3 期，第 390-394 页,1987 年 6 月发表的“数字音响用的立体声 16 位 CMOS 转换器（A CMOS Stereo 16-bit D/A Converter for

Digital Audio）”和

Renee G. Lerch 等在 IEEE 固态电路期刊，卷 SC-26，第 12 期，第 1920-1927 页， 1991 年 12 月发表的“带宽带语音编码滤波器的单片ΣΔ A/D 和 D/A 变换器（A Monolithic ΣΔ A/D and D/A Converter With Filter for Broad- Band Speech Coding）”。

如上所述，使用ΣΔ 调制器的超取样型 1 比特数/模变换器可通过提高取样比例 n 而改善 SN 比，进而由于数/模变换器为 1 比特，适合于元件精度要求不高的集成电路。

但是在具有超取样型 1 比特数/模的，用以将 1 比特数据变换为模拟信号的 1 比特数/模变换电路中仍然存在其输出的信号波形发生钝化、变形，因不需要的辐射而使 SN 比恶化等问题。

图 2 是对脉冲输出使用 NRZ（不归零）信号的 1 比特数/模变换电路的电路图。

这种数/模变换电路的输出波形如图 3 所示，由于输出矩形波的前沿/后沿的速率受限，距理想波形产生一偏移 a。为简单起见，假定前沿/后沿是直线，其倾斜分别是Δ/t_1、$-\Delta/t_2$，由于与理想波形的偏移，而产生直流偏移：

DC 偏移 =（t_2-t_1）N/2（N 为每秒的脉冲数）。

此偏移与每秒的脉冲数成比例。如图 3 所示，这是因为输入数/模变换电路数字数据如是 0 附近的信号， DC 偏移变大。也就是说因为每单位时间脉冲数多。

如是±最大标度（以下称为 FS）附近的信号，脉冲数少，成为图 4 所示的传输特性，发生二次变形。

如图 5 所示此二次变形，能通过使成为差动方式而消除。

然而由于元件特性不一致，故难以完全消除，总要多少有些变形。

而且由于是差动方式，在不能将模拟滤波器内藏于 LSI 中

时，引线数要增加。由于电容和电阻数也增加使成本提高。而即使把模拟滤波器藏于 LSI 内，由于所集成的电容和电阻总数增加，也使最高成本提高。

本发明的第一个目的是提供一种即使不使用差动式模拟滤波器也能获得足够精度的良好的模拟输出的 1 比特数/模变换电路。

本发明的第二个目的是提供一种即使用模拟加法器或者对模拟滤波器有低通过速度的运算放大器，也能获得足够变换精度的 1 比特数/模变换电路。

本发明的第三个目的是提供一种具有自身能充分抑制频带外的高频成分的 1 比特数/模变换电路。

为实现上述目的，在本发明中接受 1 比特数字数据，把此 1 比特数字数据变换为第一RZ信号和与其具有互补关系的第二RZ信号，而且使这些第一、第二 RZ 信号相互错开输出，以便将已相互错开的第一、第二 RZ 信号相加。

图 1 是ΣΔ 调制器的典型结构图。

图 2 是使用 NRZ 信号的现有的 1 比特数/模变换电路的电路图。

图 3 是图 2 所示电路的输出波形图。

图 4 是图 2 所示电路的传输特性图。

图 5 是表示使图 2 所示电路为差动式的实例的电路图。

图 6 是本发明所用的数/模变换器的典型结构的方框图。

图 7 是本发明第一实施例所涉及的 1 比特数/模变换电路的电路图。

图 8 是按移位加法方式的频率特性图。

图 9 是表示图 7 所示电路的实际脉冲输出的频率特性的特性图。

图 10 是表示图 7 所示电路的输入波形和输出波形的信号波

形图。

图 11 是本发明第二实施例所涉及的 1 比特数/模变换电路的电路图。

图 12 是表示图 11 所示电路的输入波形和输出波形的波形图。

图 13 是本发明第三实施例所涉及的 1 比特数/模变换电路的电路图。

图 14 是本发明第四实施例所涉及的 1 比特数/模变换电路的电路图。

图 15 是本发明第五实施例所涉及的 1 比特数/模变换电路的电路图。

图 16 是本发明第六实施例所涉及的 1 比特数/模变换电路的电路图。

图 17 是本发明第七实施例所涉及的 1 比特数/模变换电路的电路图。

图 18 是连接到本发明的 1 比特数/模变换电路的，第一实施例所涉及的模拟滤波器的电路图。

图 19 是第二实施例所涉及的模拟滤波器的电路图。

图 20 是第三实施例所涉及的模拟滤波器的电路图。

图 21 是第四实施例所涉及的模拟滤波器的电路图。

图 22 是本发明第八实施例所涉及的 1 比特数/模变换电路的电路图。

图 23 是本发明第九实施例涉及的 1 比特数/模变换电路的电路图。

图 24 是本发明的第十实施例涉及的 1 比特数/模变换电路的电路图。

图 25 是本发明第十一实施例涉及的 1 比特数/模变换电路的电路图。

图 26 是本发明第十二实施例涉及的 1 比特数/模变换电路的电路图。

图 27 是本发明第十三实施例涉及的 1 比特数/模变换电路的电路图。

图 28 是本发明的应用例所涉及的 1 比特数/模变换电路的电路图。

图 29 是表示图 28 所示电路的脉冲输出的频率特性的特性图。

图 30 是表示图 28 所示电路的输入波形和输出波形的波形图。

下面将参照附图对本发明实施例中所涉及的 1 比特数/模变换电路进行说明。在此说明中，全部图中相同部分使用相同的参照符号，不再重复说明。

图 6 示出本发明所用的数/模变换器的典型结构的方框图。

如图 6 所示，数/模变换器设置有：电路部分 1 和电路部分 2，电路部分 1 用以接受多比特的数字数据信号（以下简称为 MB - DD），将此 MB - DD 变换为 1 比特的数字数据（以下简称为 1B - DD），并输出变换得到的 1B - DD，电路部分 2 用以接受 1B - DD，将此 1B - DD 变换为模拟信号并输出变换得到的模拟信号。

电路部分 1 最好由下述结构组成。

电路部分 1 包括数字滤波器 3，此数字滤波器 3 用以接受按取样频率 fs 取样的 MB - DD，将此 MB - DD 进一步按照频率 fs 的 2 倍 - 8 倍的频率 2 - 8fs 进行上取样，并输出已上取样的 MB - DD。将已上取样的 MB - DD 输入插值滤波器 4。插值滤波器 4 按照频率 fs 的 n 倍（通常 n=32-384）的频率 nfs 将已上取样的 MB - DD 进行超取样，并输出已超取样的 MB - DD。将已超取样的 MB - DD 输入ΣΔ调制器 5。ΣΔ调制器 5 将已取样的 MB

- DD 按照频率 nfs 变换成取样的 1B - DD 并输出。

电路部分 2 最好由如下结构组成。

电路部分 2 包括用以接受已变换的 1B - DD 并将此 1B - DD 变换成脉冲输出的 1 比特数/模变换电路 6 。

将脉冲输出再输入模拟滤波器 7 。模拟滤波器 7 将脉冲输出变换成模拟输出并输出。

上述结构的数/模变换器属于超取样型的数/模变换器。在制作这样的数/模变换器时，与本发明最相关的部件是 1 比特数/模变换电路 6 。被图 6 所示的虚线框 8 所包围的部分也与本发明相关。虚线框 8 中不仅有变换电路 6，还有模拟滤波器 7，其理由通过对下述几个实例的说明即可明了。

图 7 是表示本发明的 1 比特数/模变换电路的最基本结构的结构图。

首先参照图 7 对本发明所涉及的 1 比特数/模变换电路的用以达到本发明目的的结构及其原理进行说明。

图 7 是本发明第一实施例所涉及的 1 比特数/模变换电路的电路图。

如图 7 所示，1 比特数/模变换电路 6 主要由 NRZ/RZ 变换电路 10 和加法电路 11 构成，所说的 NRZ/RZ 变换电路 10 用以接受作为 NRZ 信号的 1 比特数字数据（1B - DD），将此 1B - DD 变换成 RZ 信号和与此 RZ 信号有互补关系的 $\overline{\text{RZc}}$'信号等两个信号，而且将此已变换的 RZ 信号加 $\overline{\text{RZc}}$'信号相互错开时标 CK 的时钟脉冲的整数倍并输出；所说的加法电路 11 用以接受 RZ 信号和 $\overline{\text{RZc}}$'信号，再将这些信号进行模拟加法，并输出已改良的 PRZ 信号（下面称为 MPRZ 信号）。此构成是基本的，在图 7 中示出具有使 RZ 信号和 $\overline{\text{RZc}}$'信号进行中间转换的缓冲电路 12 的

实例。缓冲电路12不一定要安装，但将RZ信号和$\overline{\text{RZc}}$'信号用缓冲电路12进行中间转换后再输入加法电路11更好些。

变换电路10用来把已变换的RZ信号和$\overline{\text{RZc}}$'信号相互错开时钟脉冲的整数倍并输出，具体来说，它由如下结构组成。

变换电路10包括分割电路13，此分割电路13用以接受1B－DD（NRZ信号），将此1B－DD信号分割成NRZ信号和使此NRZ信号反相的$\overline{\text{NRZ}}$'信号，并输出已分割的NRZ信号和$\overline{\text{NRZ}}$'信号。将NRZ信号和$\overline{\text{NRZ}}$'信号输入延迟电路14。延迟电路14使NRZ信号和$\overline{\text{NRZ}}$'信号中的任一个延迟时钟脉冲的整数倍并输出。在图7中示出将$\overline{\text{NRZ}}$'信号延迟时钟脉冲的整数倍并输出的实例。也可像这样来延迟NRZ信号。

延迟电路14包括移位电路15。移位电路15输入频率nfs的时标CK，检测此时标CK，此外把已输入的$\overline{\text{NRZ}}$信号像时标CK的时钟脉冲1个、2个、3个……这样只延迟时钟脉冲的K倍（K是大于1的整数）。就这样由NRZ信号产生只延迟时钟脉冲整数倍的$\overline{\text{NRZ}}$信号并输出。移位电路15可由例如D一触发器、移位寄存器等电路构成。

将NRZ信号和$\overline{\text{NRZ}}$'信号输入RZ/$\overline{\text{RZC}}$信号发生电路16。发生电路16包括双输入型与门电路17和双输入型与非门电路18。在与门电路17的一输入端输入1B－DD（NRZ信号），在其另一输入端输入使时标CK反相的时钟脉冲（称为反相时钟脉冲）。与门电路17是取1B－DD和反相时钟脉冲的逻辑和，使产生RZ信号并输出。

在与非门18的一输入端输入$\overline{\text{NRZ}}$'信号，在其另一输入端输

入使时标 CK 反相的时钟脉冲（称为反相时钟脉冲）。与非门 18 取 $\overline{NRZ}$' 信号与反相时钟脉冲的逻辑和并使之反转，产生与 RZ 信号有互补关系的 $\overline{RZC}$'信号，再将其输出。

将 RZ 信号和 $\overline{RZC}$'信号输入缓冲电路 12。用反相器 19 对 RZ 信号进行波形修正，用反相器 20 对 $\overline{RZC}$'信号进行波形修正。

将已放大的 RZ 信号和 $\overline{RZC}$'信号输入加法电路 11。加法电路 11 包括输入电阻 21、22、反相放大器 23。将 RZ 信号输入到电阻 21 的一端，将 $\overline{RZC}$'信号输入到电阻 22 的一端。电阻 21 的另一端和电阻 22 的另一端互相连接。此接点连接到反相放大器 23 的反相输入端（－）。这就使 RZ 信号和 $\overline{RZc}$'信号同时输入反相放大器 23 的反相端（－）。反相放大器 23 的非反相输入端（＋）接地。从而，反相放大器 23 由 RZ 信号和 $\overline{RZC}$'信号产生三值的 MPRZ 信号，并将其用为脉冲输出进行输出。连接在反相放大器 23 的输出端和反相输入端（－）的电阻 24 是反馈电阻。

图 8 是表示按移位加法方式的频率特性的特性图。

如图 8 所示，脉冲以周期 nfs 重复相同的形状。然而，再量化噪音在周期 nfs 处具有峰值，在上述周期 nfs 一半的位置，即 nfs/2 和 3nfs/2 处展示出成为 0 这样的能量分布。这是因为基本上把相互只错开时钟脉冲的整数倍的许多 RZ 信号相加造成的。

据此特性指导电路的频率特性，此电路输出作为实际输出的具有脉冲波形的 PRZ 信号。此频率特性成为图 9 所示那样。

如图 9 所示，由于再量化噪音在 nfs/2 这样的周期 nfs 一半处为 0，所以其能量减少。从而使再量化噪音减少。

在本发明中由于是将RZ信号和与RZ信号有互补关系的$\overline{\text{RZC}}$'信号只相互错开时钟脉冲的整数倍后再相加，所以获得下述这样的效果。

如图10所示，MPRZ信号的脉冲数变小。此脉冲数减少的效果特别在0附近的信号时大。因而能抑制不需要的辐射。

像这样，在具有图7所示结构的1比特数/模变换电路6中，能同时获得降低再量化噪音、抑制不需要的辐射这样两种效果。所以本发明的1比特数/模变换电路其自身就完全能抑制不需要的高频成分。

这样的效果即使用图11所示的结构也同样能得到。

图11是本发明第二实施例所涉及的1比特数/模变换电路的电路图。

如图11所示，此第二实施例所涉及的变换电路与第一实施例所涉及的变换电路的不同之处在于 在用以传输NRZ信号的电流通路中设置了移位电路15 。

将图11所示的变换电路6的输出认为是脉冲时的频率特性与图7所示的变换电路6的相同。其原因是图11所示的变换电路6也是将相互只错开时钟脉冲的整数倍的许多RZ信号相加。

将图11所示电路中把延迟时间为1个时钟脉冲的输入和输出波形表示在图12中。

图12所示的MPRZ信号的脉冲波形与图10所示的MPRZ信号的脉冲波形完全相同。

由上述可知，图11所示的电路如进行和图7所示电路同样的工作，能取得与图7所示电路相同的效果。

由图10和图12所示的RZ信号、$\overline{\text{RZc}}$'信号、RZ信号、$\overline{\text{RZc}}$信号可见，图7和图11所示的NRZ/RZ变换电路10能完成像下述那样的功能。

以周期T将已取样的1B－DD（NRZ信号）输入NRZ/RZ变换电路10。已输入的1B－DD在“1”电平时，只在周期T范围内的一定时间T_1产生一定电压V_H，在剩余时间$T-T_1(=T_2)$产生一定电压V_L。另一方面上1B－DD为“0”电平时，在周期T的全部时间产生上述的一定电压V_L。在这样条件下产生、输出的信号是RZ信号。

已输入NRZ/RZ变换电路10的1B－DD为“0”电平时，只在周期范围内的一定时间T_1产生上述的一定电压V_L，在剩余时间$T-T_1(=T_2)$产生一定电压V_H。另一方面上述1B－DD为“1”电平时，在周期T的全部时间产生上述的一定电压V_H。在这样条件下产生、输出的信号是$\overline{RZc}$信号。

NRZ/RZ变换电路10将有这样关系的RZ信号和$\overline{RZc}$信号中的任一个延迟周期T的K倍（K是大于1的整数），使RZ信号和$\overline{RZc}$信号相互错开并输出。

下面对与本发明所涉及的1比特数/模变换电路自身的各种变形有关的实施例以图7所示的变换电路6为基础进行说明。对这些实施例的说明也能适用于图11所示的变换电路6。而且各实施例间的相互组合也是可能的。

图13是本发明第三实施例所涉及的1比特数/模变换电路的电路图。

如图13所示，此第三实施例所涉及的变换电路6与第一实施例所涉及的变换电路6（图7）的差别是从分割电路13中除去反相器，并将用以获得$\overline{NRZ}$信号的反相器25安装在延迟电路14的后面。

然而，即使是这样的结构，也能得到与图10所示的输入、输出相同的关系。

图 14 是本发明第四实施例所涉及的 1 比特数/模变换电路的电路图。

如图 14 所示，此第四实施例所涉及的变换电路 6 与第一实施例所涉及的变换电路 6 的差别是在分割电路 13 和延迟电路 14 之间设置了波形修正电路 26 。

通常 1B - DD 的波形包括噪音、时钟脉动、毛刺等很杂乱。在第四实施例所涉及的变换电路中，由于设置了波形修正电路 26，能把杂乱的波形修正成整齐的波形。这就使 MPRZ 信号的精度提高。

波形修正电路 26 包括设置在电流母线中的用以传输 NRZ 信号的 D - 触发器(以下简称 D - FF) 27 和设置在电流母线中的用以传输 $\overline{\text{NRZ}}$ 信号的 D - FF28 。杂乱的 1B - DD 波形借助于使用跳动小的纯净的时标 CK 的 D - FF27， 28 进行修正。

在将 D - FF 用于波形修正电路 26 时，将在后面的延迟电路 14 中的 D - FF29 作为移位电路能使用起来更简单。

如图 14 所示，将在 D - FF27 和 D - FF28 中使用的时标 CK 输入到 D - FF28 的时标端 (CK) 。使 D - FF28 的输出端 Q 连接到 D - FF29 的输入端 D 。由此可见 D - FF28，与 D - FF29 的连接状态与常规的移位寄存器的连接相同。

这里如果 D - FF28 和 D - FF27 都是上升沿触发型，由于使用相同的时标工作，可以认为其输出工作的计时是互相同时开始的。如 D - FF29 也是上升沿触发型，与 D - FF27 的输出工作的定时相比，延迟了 1 时标。

图 15 是本发明第五实施例所涉及的 1 比特数/模变换电路的电路图。

如图 15 所示，此第五实施例所涉及的变换电路 6 与第一实施例所涉及的变换电路 6 相比的差别是，从分割电路 13 中除去

变换器，将用以获得$\overline{NRZ}$信号的变换器 25 安装在延迟电路 14 的后面，波形修正电路 26 设置在输入 1B - DD 的输入端和分割电路 13 之间。

即使在第五实施例所涉及的变换电路中由于设置了波形修正电路 26，也能将 1B - DD 的杂乱波形修正成整齐的波形。

在波形修正电路 26 中使用 D - FF30。在 D - FF30 中使用的时标 CK，是与延迟电路 14 中的 D - FF29 使用的相同。因而，将 D - FF30 的输出端 Q 连接到 D - FF29 的输入端 D 后，与第四实施例一样，能简单地作为移位寄存器结构。

图 16 是本发明第 6 实施例所涉及的 1 比特数/模变换电路的电路图。

如图 16 所示，此第 6 实施例所涉及的变换电路 6 与第一实施例所涉及的变换电路 6 的差别是，作为延迟电路 14 中的移位电路，将 K 段 K - FF31 - 31K 分别进行级联连接。

在第 6 实施例所涉及的变换电路 6 中，如将 D - FF31 - 31K 分别进行级联连接，可将其延迟量设定为除 1 时标外的 2 时标、3 时标……K 时标这样的周期 T 的整数倍。

图 17 是本发明第 7 实施例所涉及的 1 比特数/模变换电路的电路图。

如图 17 所示，此第 7 实施例所涉及的变换电路 6 与第一实施例所涉及的变换电路 6 的差别是，在缓冲电路 12 的放大段上使用非反相缓冲器 32、33，由于 PRZ 信号的信号电平不反相，加法电路 11 的运算放大器使用同相放大器 34。

即使在第 7 实施例所涉及的变换电路 6 中其加法电路 11 输出的 MPRZ 信号的电平和波形，也能与第一实施例的加法电路 11 的相同。

下面对用以把本发明所涉及的 1 比特数/模变换电路输出的

MPRZ 信号变为模拟信号的模拟滤波器的实施例进行说明。

图 18 是表示与本发明所涉及的 1 比特数/模变换电路连接的模拟滤波器 7 的第一实施例的电路图。

如图 18 所示，模拟滤波器 7 由其一端接受 MPRZ 信号，另一端与输出端 36 连接的电阻 35 、和一端与电阻 35 的另一端连接，另一端接地的电容器 38 组成。电容器 38 与电阻 35 的接点是交流接地点。 MPRZ 信号相应于电容器 38 的容量的大小分成能通过交流接地点的和不能通过交流接地点的两部分。在此第一实施例中，设置 1 个电容器（无源滤波器） 38 ，构成一阶低通滤波器。 MPRZ 信号由于通过这样的低通滤波器除去多余的高频成分，变换成具有模拟波形的信号（模拟信号输出）。

图 19 是表示与本发明所涉及的 1 比特数/模变换电路连接的模拟滤波器 7 的第二实例的电路图。

如图 19 所示，第二实例是设置二个图 18 所示的电容器 38 构成二阶低通滤波器。

图 20 是表示与本发明所涉及的 1 比特数/模变换电路连接的模拟滤波器 7 的第三实例的电路图。

如图 20 所示，第三实例除有图 18 所示的电容器 38 外，还有反相放大器 39 ，进而还包括连接在反相放大器 39 的反相输入端和电阻 35 之间的电阻 40 、连接在反相放大器 39 的反相输入端和输出端的是电容器 41 。这些反相放大器 39 ，电阻 40 和电容器 41 构成积分电路。所以在第三实例中也成为二阶低通滤波。电阻 42 是反馈电阻。

图 21 是表示与本发明所涉及的 1 比特数/模变换电路连接的模拟滤波器 7 的第四实例的电路图。

如图 21 所示，第四实例有二个图 18 所示的电容器 38 ，并使 20 所示的积分电路与其一个结合。因而在第四实例中成为三阶低通滤波。

由于这些这样的模拟滤波器安装在1比特数/模变换电路6的后段，能将变换电路6输出的MPRZ信号置换为模拟信号。这时即使将变换电路6和模拟滤波器7相互集成电路化，或者由另外的集成电路构成模拟滤波器7，也最好把模拟滤波器7的输入端和变换电路6的输出端在电路板上相互连接。

下面对本发明所涉及的1比特数/模变换电路的、更实用而且适合于集成化形态的实施例进行说明。这里所谓更实用的而且适用于集成化的形态特别是指加法器自身具有模拟滤波器的功能，使变换电路6和模拟滤波器7相互融合的形态。此已融合的状态用方框8表示在图6中。

图22是本发明第8实施例所涉及的1比特数/模变换电路的电路图。

如图22所示，加法电路11设有电容器38，此电容器38的一端连接在用以使电阻连接点43和输入电阻44相互连接的配线上，另一端接地。电容器38和电阻44的接点是交流接地点37。在电阻接合点43上出现的电位信号相应于电容器38的容量分为能通过交流接地点37和不能通过两部分。电位信号由于通过这样的低频滤波器，一边除去多余的高频成分，一边通过输入电阻44输入反相放大器23的反相输入端。反相放大器23输出有与输入信号相应的模拟波形的信号（模拟信号输出）。

在此实施例中，加法电路11只有一个电容器(无源滤波器)38。所以加法电路11有一阶低通滤波器。

由于电容器38能使用MOS容易，所以1比特数/模变换电路和模拟滤波器容易集成化。

图23是本发明第9实施例所涉及的1比特数/模变换电路的电路图。

如图23所示，加法电路11有二个图22所示的电容器38。所以图23所示的加法电路11有二阶低通滤波器。

图 24 是本发明第 10 实施例所涉及的 1 比特数/模变换器的电路图。

如图 24 所示，加法电路 11 除有图 22 所示的电容器 38 之外还有使反相放大器 23 的反相输入端与输出端互相结合的电容器 45 。所以图 24 所示的加法电路 11 有二阶低通滤波器。

图 25 是本发明第 11 实施例所涉及的 1 比特数/模变换电路的电路图。

如图 25 所示，加法电路 11 有一个电容器 38 和一个电容器 45 。所以图 25 所示的加法电路 11 与图 24 所示的加法电路 11 一样，有二阶低通滤波器。图 25 所示的加法电路 11 与图 24 所示的加法电路 11 的不同之处是反馈电阻 24 设置在反相放大器 23 的输出端和反相输入端之间。

图 26 是本发明第 12 实施例所涉及的 1 比特数/模变换电路的电路图。

如图 26 所示，有二个电容器 38 和一个图 24 所示的是电容器 45 。所以图 26 所示的加法电路 11 有三阶低通滤波器。

图 27 是本发明第 13 实施例所涉及的 1 比特数/模变换电路的电路图。

如图 27 所示，有二个电容器 38 和一个图 25 所示的电容器 45 。所以图 27 所示的加法电路 11 有三阶低通滤波器。

下面对使用 MPRZ 信号的 1 比特数/模变换电路的应用例进行说明。

图 28 是本发明应用例所涉及的 1 比特数/模变换电路的电路图。

如图 28 所示，在应用例所涉及的变换电路中。将 MPRZ 信号和与此 MPRZ 信号是相同性质而且只延迟时标整数倍的 MPRZ'信号用加法电路 11 进行模拟加法运算。

为了产生 MPRZ 信号和 MPRZ'信号要有 4 个信号。为了产生

这4个信号，延迟电路14具有将NRZ信号、$\overline{NRZ}$信号分别分割成2个，得到二个NRZ信号、二个$\overline{NRZ}$信号的功能。进而使这些信号延迟，作为一个例子，输出NRZ信号、NRZ'信号、$\overline{NRZ}$'信号、$\overline{NRZ}$"信号。由NRZ信号建立RZ信号，由NRZ'信号建立RZ'信号。同样由$\overline{NRZ}$'信号建立$\overline{RZc}$信号，由$\overline{NRZ}$"信号建立$\overline{RZc}$"号。

MPRZ信号是将RZ信号和$\overline{RZc}$信号进行模拟加法运算得到的。而MPRZ'信号是将RZ'信号和$\overline{RZc}$"信号进行模拟加法运算而得到的。

在图28所示的加法电路11中同时对RZ信号$\overline{RZc}$'信号、RZ'信号、$\overline{RZc}$"信号进行加法运算，结果就相当于对MPRZ信号和MPRZ'信号进行模拟加法运算。所以输出移位加法输出。

图28所示变换电路的频率特性示于图29中，其输入和输出波形表示在图30中。

如图29所示，在图28所示的变换电路中，通过对相互错开时标的整数倍的MPRZ信号和MPRZ'信号进行加法运算，再量化噪音与图7所示的变换电路相比进一步减少了。再如图30所示，其移位加法输出的脉冲数与图7等所示的变换电路相比多了一些。

所以，此应用例对于特别希望再量化噪音更小时是有效的。

如上所述，用实施例说明本发明，但下述这样的变形也是可能的。

图17示出本发明所用的数/模变器的较好的实施例。

但是，特别在电路部分1中，不但可用图17所示的结构，

如果是具有可将 MB - DD 变换成 1B - DD 的结构，也可用其他结构。

上述数/模变换器是这样的结构，它接受 MB - DD，将此 MB - DD 变换成 1B - DD，再将 1B - DD 变换成模拟信号，并输出变换得到的模拟信号。

但是，也可以使用具有这样结构的数/模变换器，它接受的不是 MB - DD，而是例如 1B - DD，将此 1B - DD 变换成模拟信号，再输出变换得到的模拟信号。

本发明的用以达到发明目的结构及其原理，在将数字信号变换成模拟信号时是非常令人满意的，在将模拟信号变换成数字信号时也能使用。

如上所述，本发明所涉及的 1 比特数/模变换电路其自身完全能抑制频带的高频成分。所以将此 1 比特数/模变换器的输出输入模拟加法器或模拟滤波器时，即使在构成它们的运算放大器中使用转换速率低的运算放大器也能得到足够的变换精度。所以即使不使用差动式模拟滤波器，也能提供一种能得到精度足够的良好的模拟输出的 1 比特数/模变换电路。

说　明　书　附　图

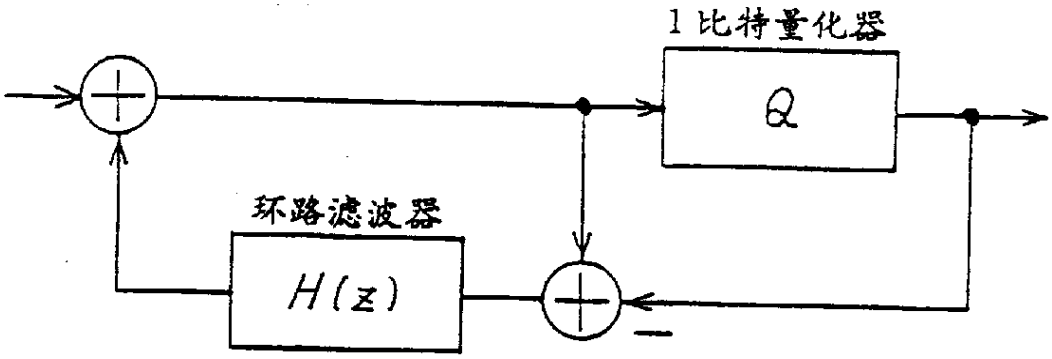


图 1

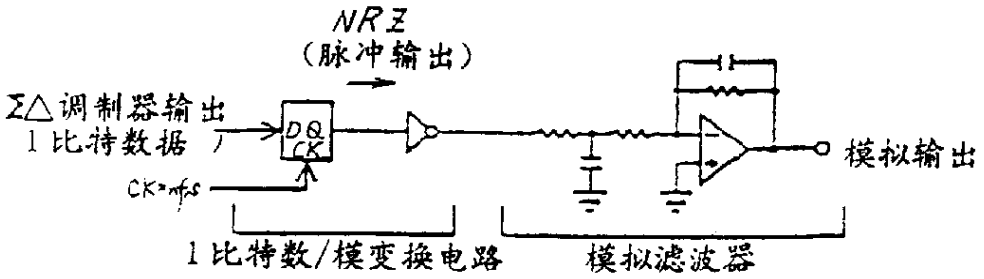


图 2 （已有技术）

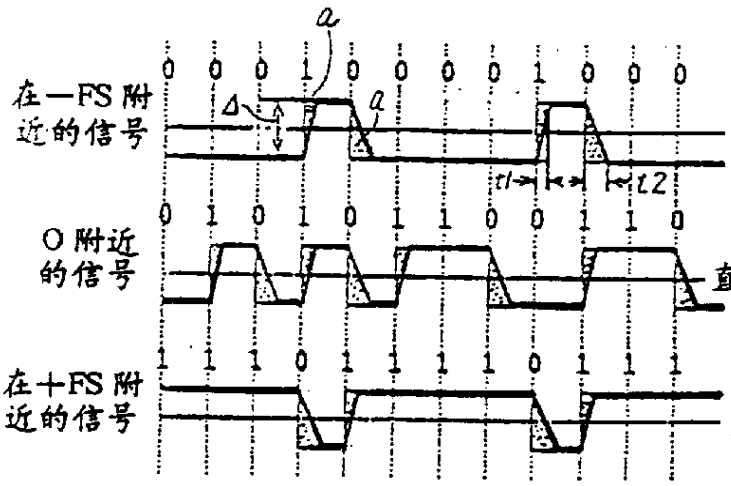


图 3

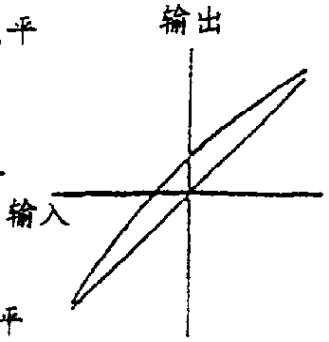


图 4

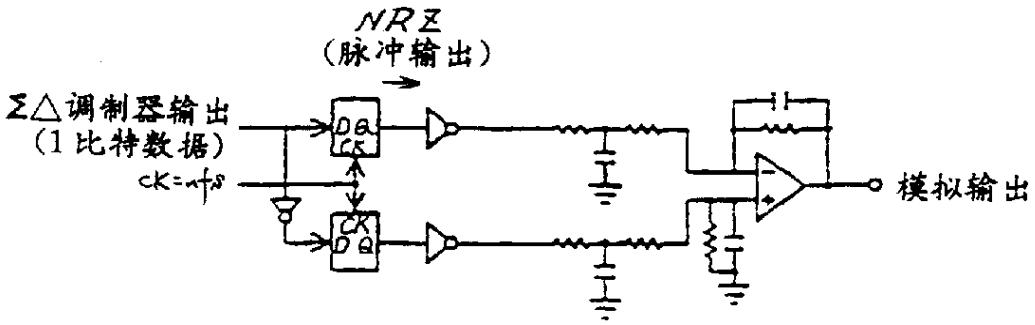


图 5（已有技术）

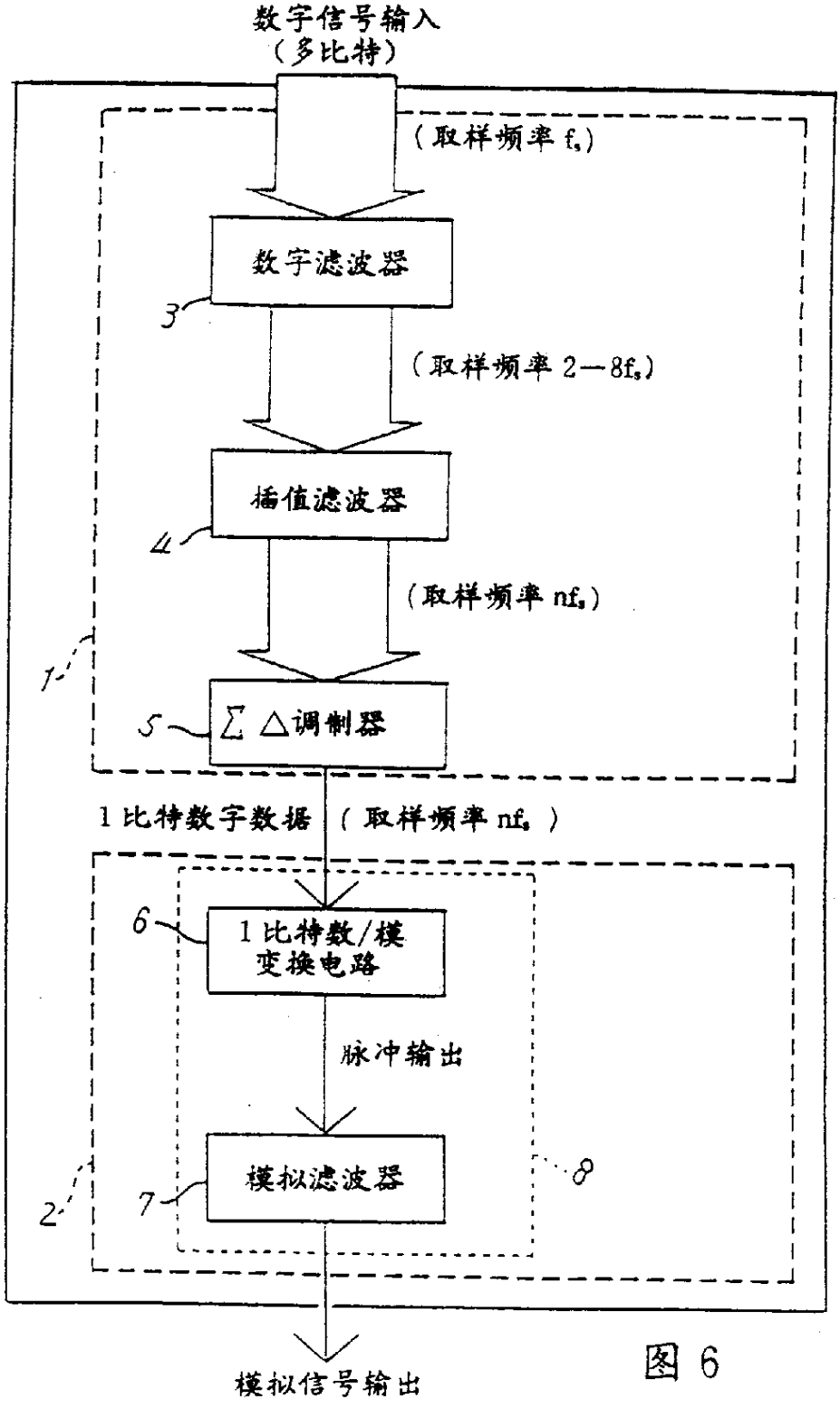

数字信号输入
（多比特）
（取样频率 f_s）
数字滤波器
3
（取样频率 $2-8f_s$）
插值滤波器
4
（取样频率 nf_s）
1
5
∑ △调制器
1 比特数字数据
（取样频率 nf_s）
6
1 比特数/模
变换电路
脉冲输出
模拟滤波器
7
8
2
模拟信号输出

图 6

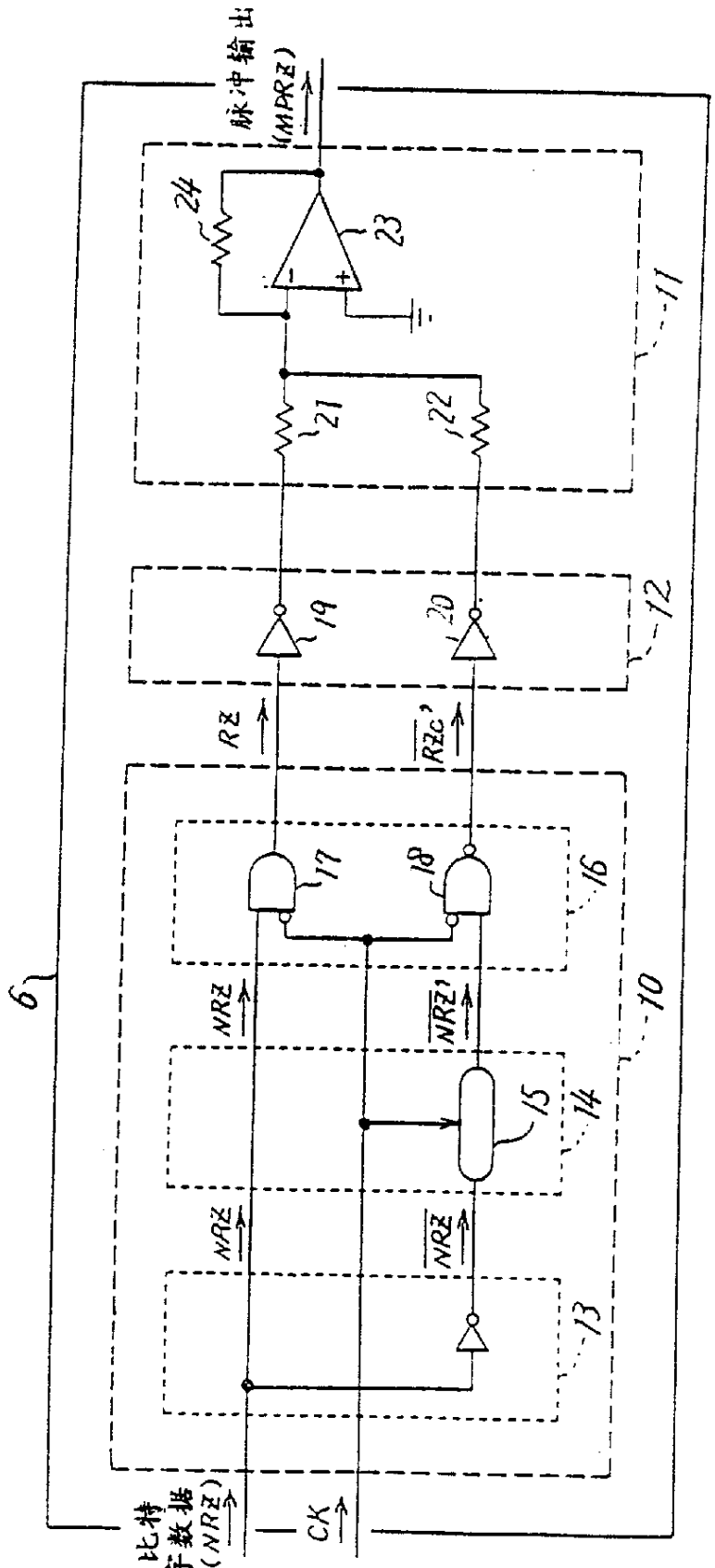

脉冲输出
(MPRZ)
24
23
11
21
22
19
20
12
RZ
RZc'
17
18
16
NRZ
NRZ'
15
14
10
NRZ
NRZ
13
6
1比特
数字数据
(NRZ)
CK

图 7

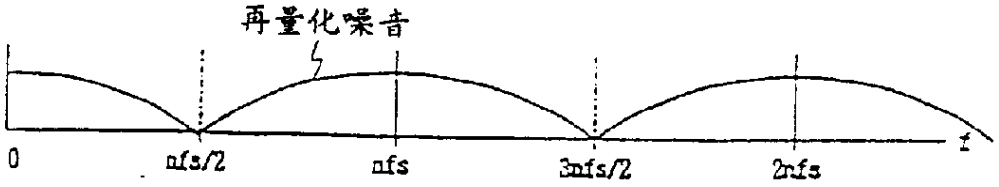

再量化噪音
0
nfs/2
nfs
3nfs/2
2nfs
f

图 8

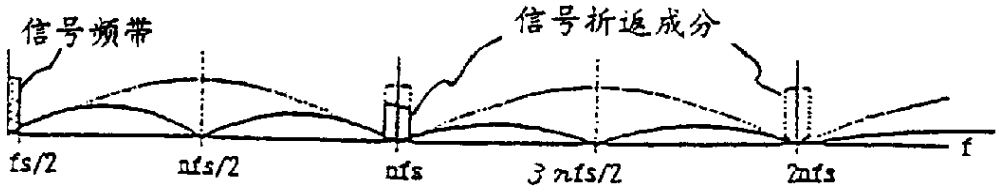

信号频带
信号折返成分
fs/2
nfs/2
nfs
3 nfs/2
2nfs
f

图 9

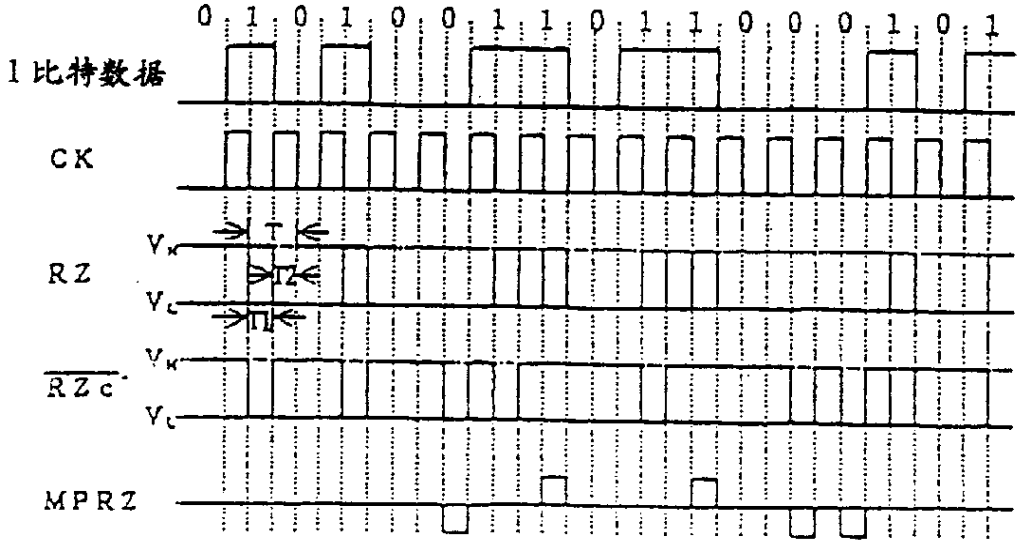

0 1 0 1 0 0 1 1 0 1 1 0 0 0 1 0 1
1比特数据
CK
RZ
RZc
MPRZ
T
TZ
TL
VH
VL

图 10

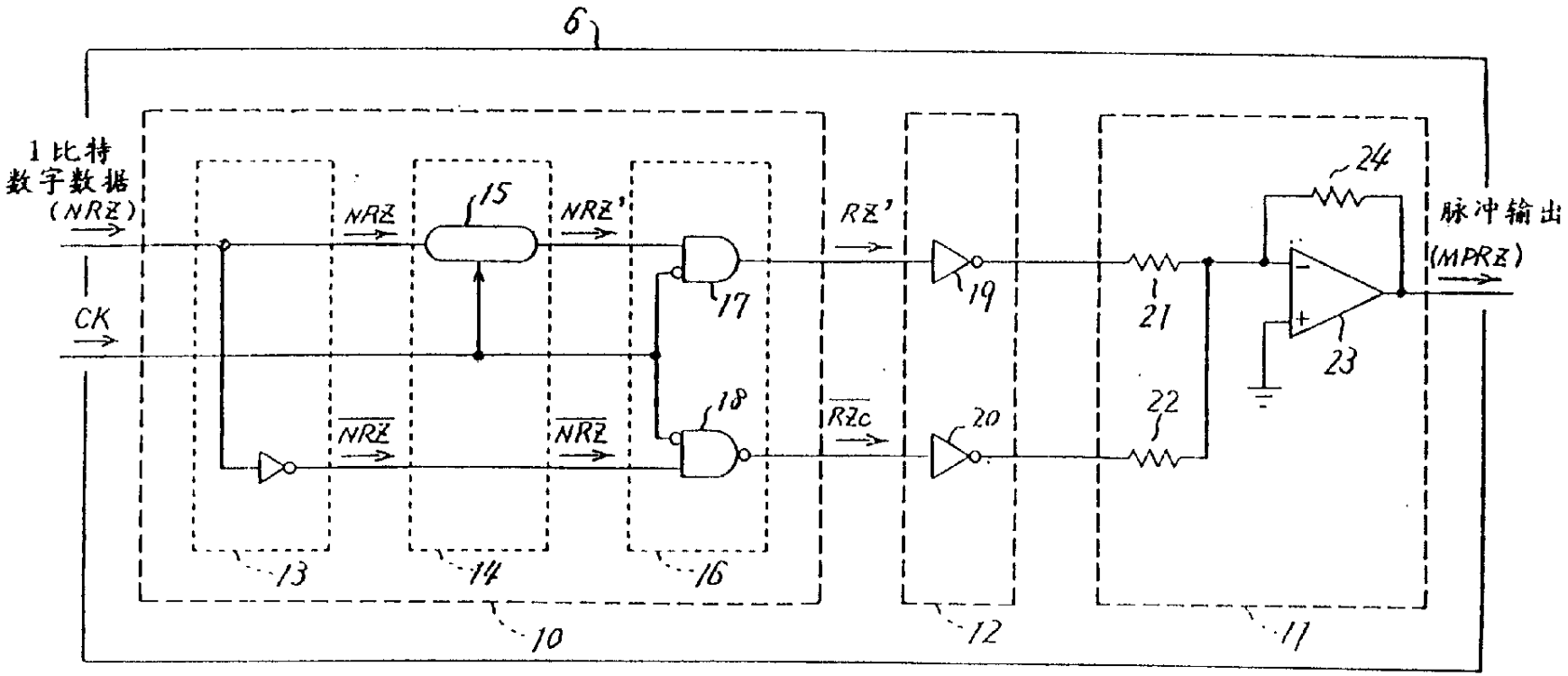

6
1比特
数字数据
(NRZ)
CK
NRZ
NRZ'
15
17
18
RZ'
RZc
19
20
21
22
23
24
脉冲输出
(MPRZ)
13
14
16
10
12
11

图 11

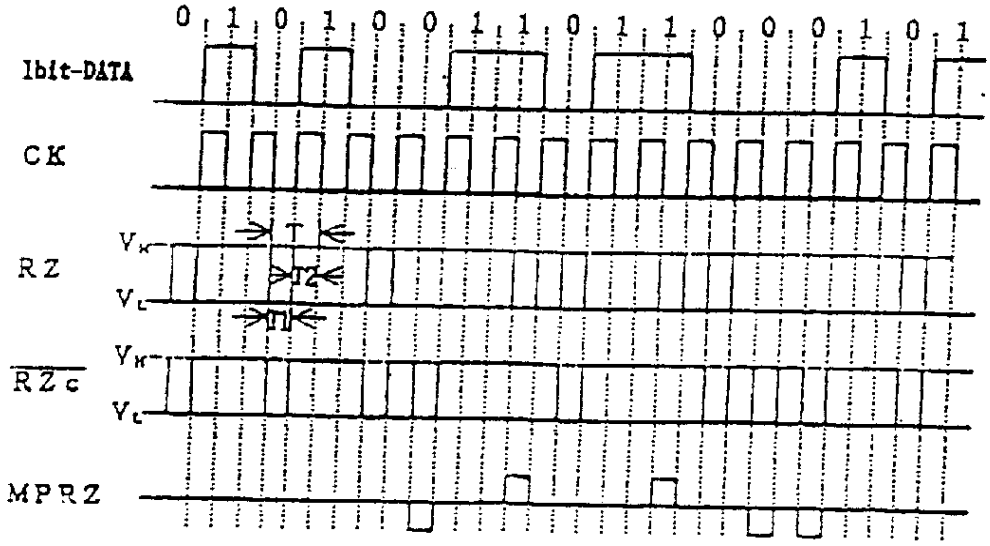

0 1 0 1 0 0 1 1 0 1 1 0 0 0 1 0 1
1bit-DATA
CK
RZ
V_H
V_L
T
$\frac{T}{2}$
$\overline{RZc}$
MPRZ

图 12

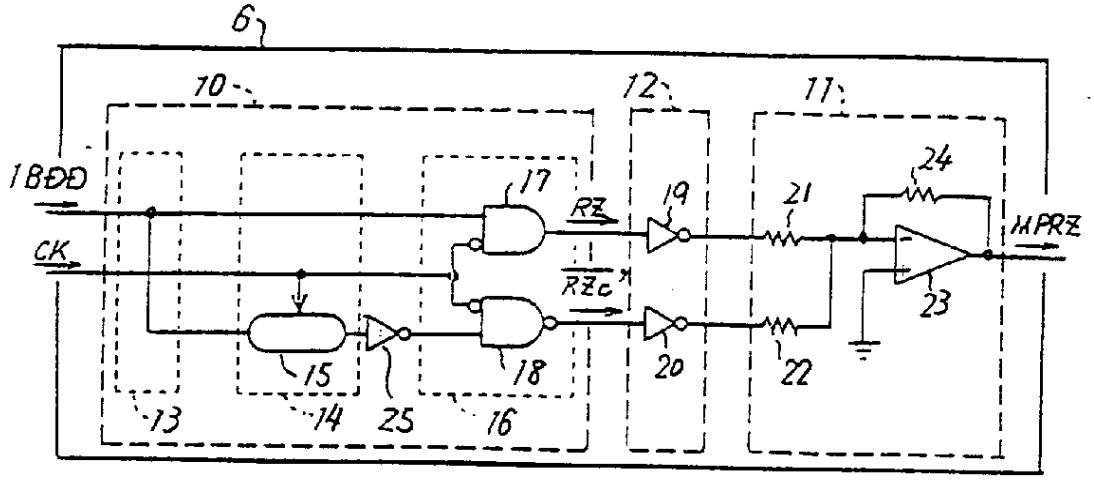

6
10
12
11
18ĐĐ
CK
17
RZ
19
21
24
MPRZ
$\overline{RZc}$
23
15
18
20
22
13
14
25
16

图 13

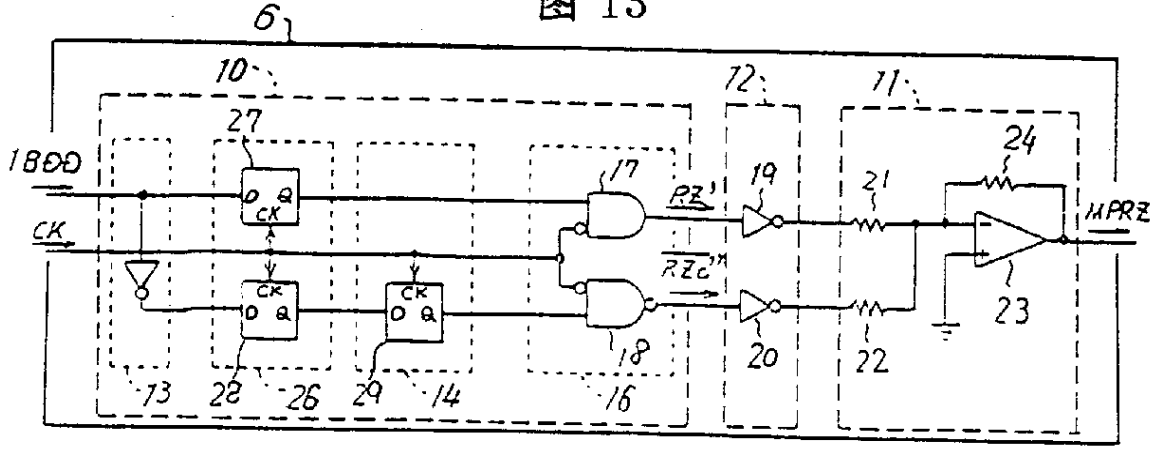

6
10
12
11
27
18ĐĐ
CK
17
RZ'
19
21
24
MPRZ
$\overline{RZc}$
23
18
20
22
13
28
26
29
14
16

图 14

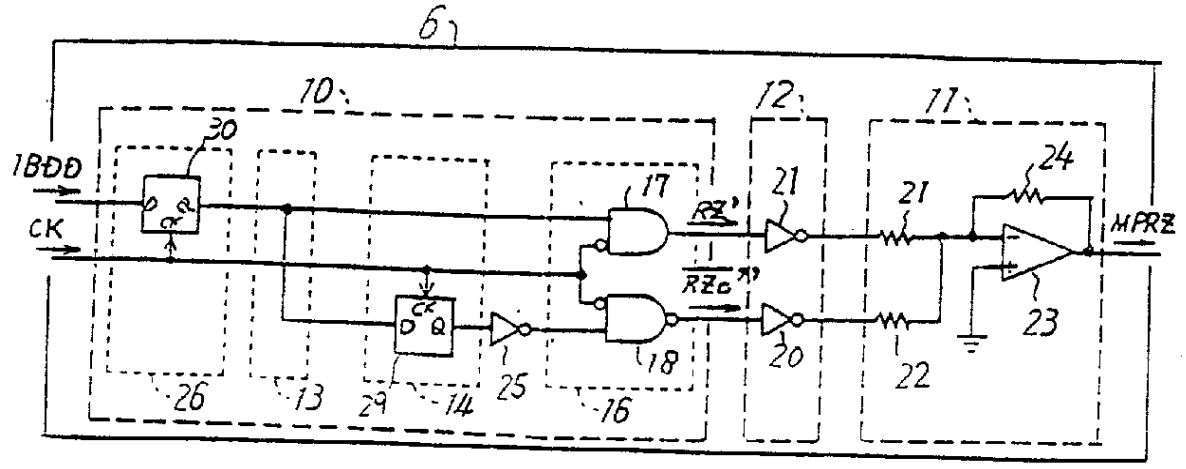

6
10
12
11
30
IBDD
CK
17
RZ'
RZc'
21
21
24
MPRZ
23
18
20
22
25
26
13
29
14
16

图 15

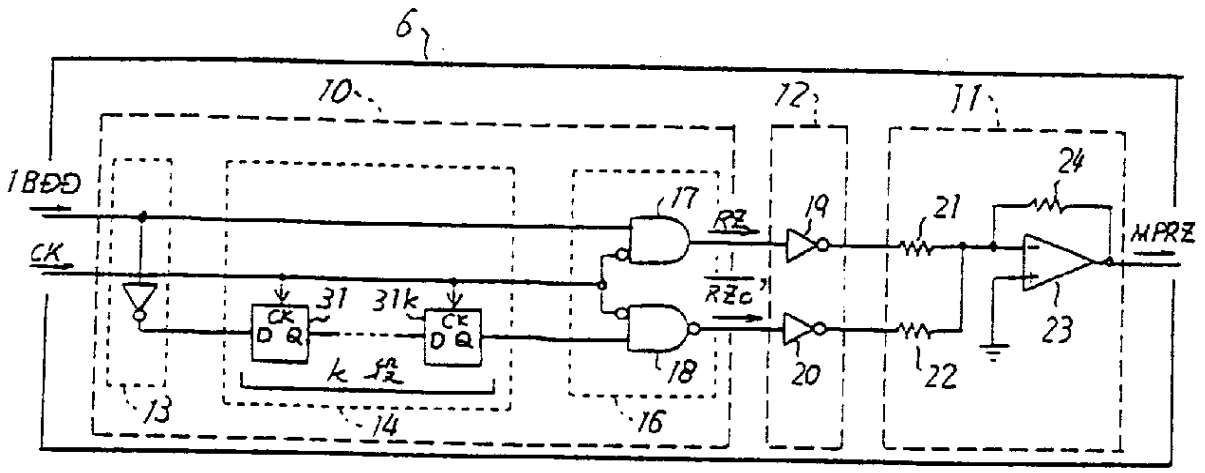

6
10
12
11
IBDD
CK
17
RZ
RZc'
19
21
24
MPRZ
23
31
31k
k 段
18
20
22
13
14
16

图 16

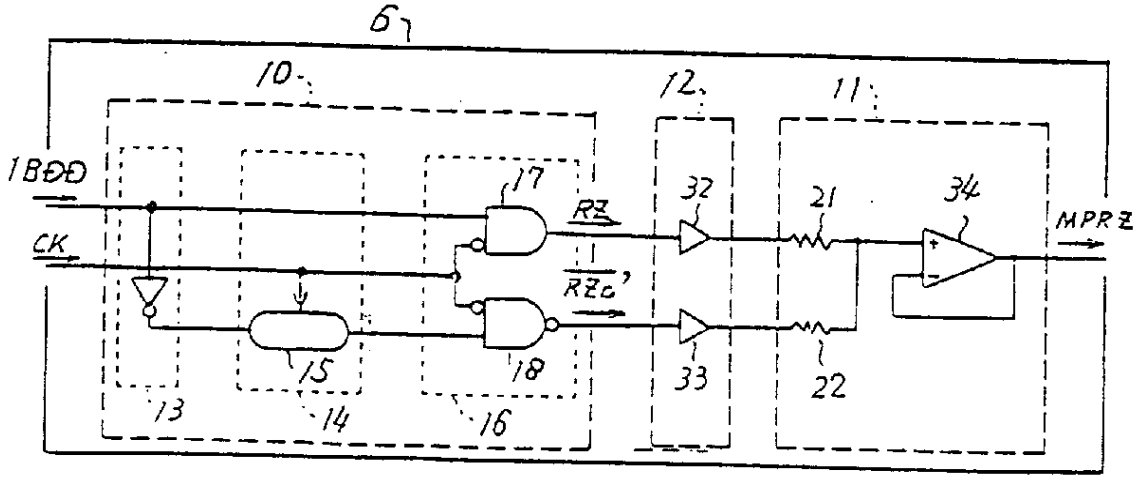

6
10
12
11
IBDD
CK
17
RZ
RZc'
32
21
34
MPRZ
15
18
33
22
13
14
16

图 17

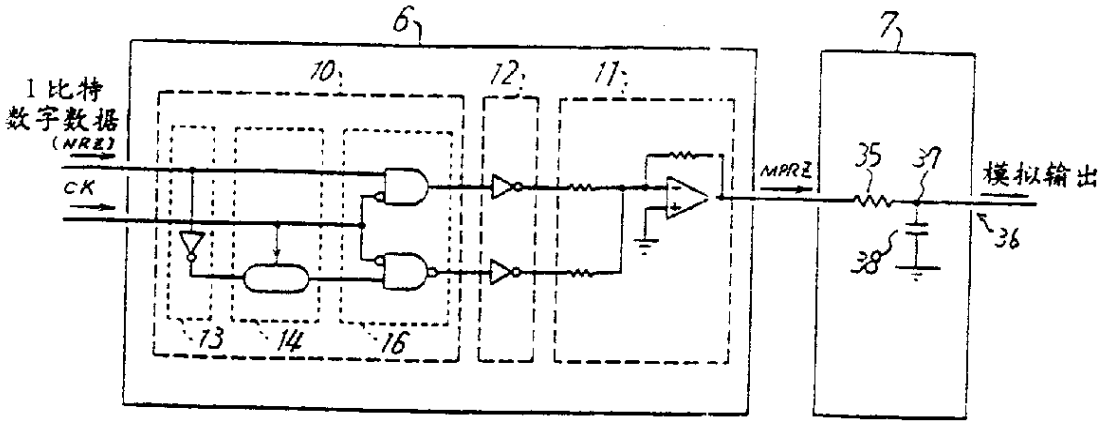


图 18

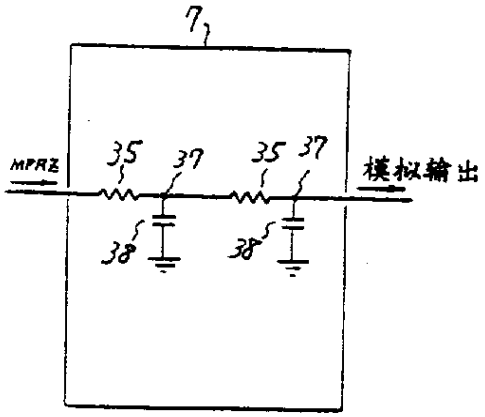


图 19

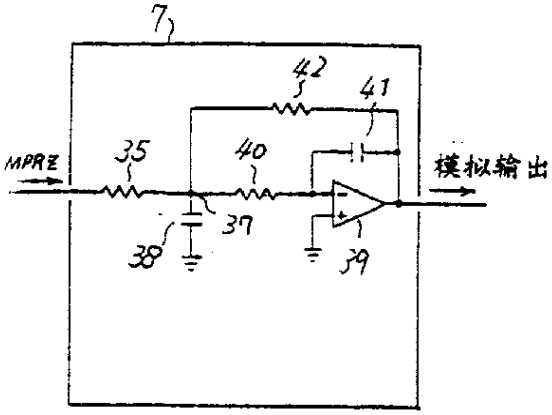


图 20

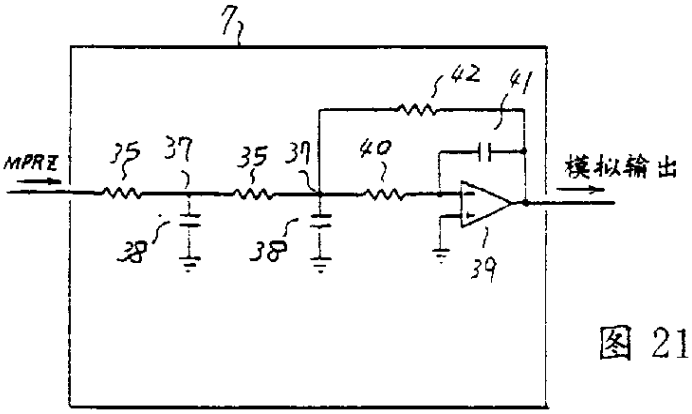


图 21

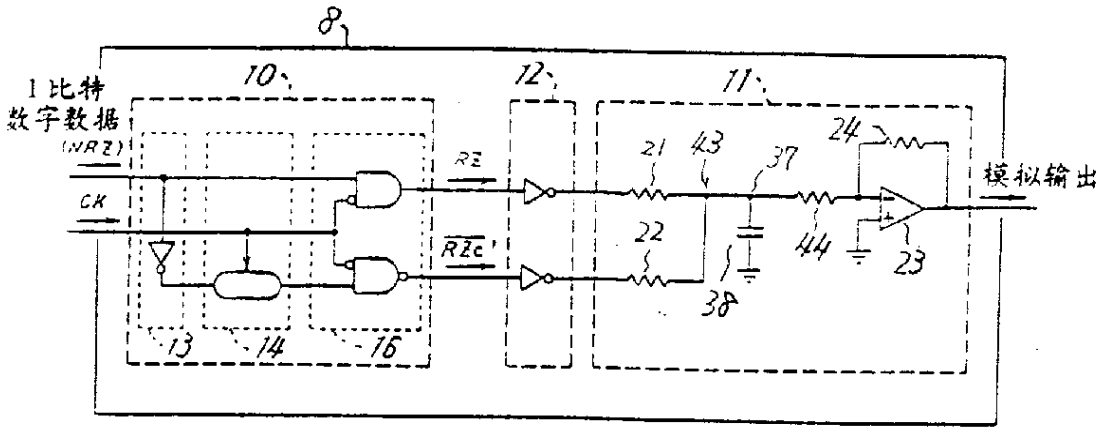

8
10
12
11
1比特
数字数据
(NRZ)
CK
RZ
RZc'
21
43
37
24
22
44
23
38
模拟输出
13
14
16

图 22

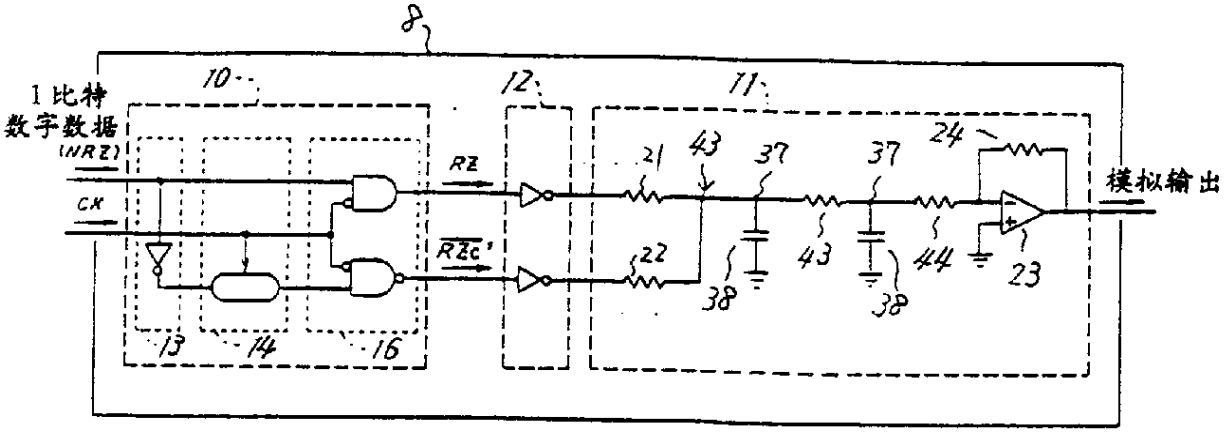

8
10
12
11
1比特
数字数据
(NRZ)
CK
RZ
RZc'
21
43
37
37
24
22
44
23
38
38
模拟输出
13
14
16

图 23

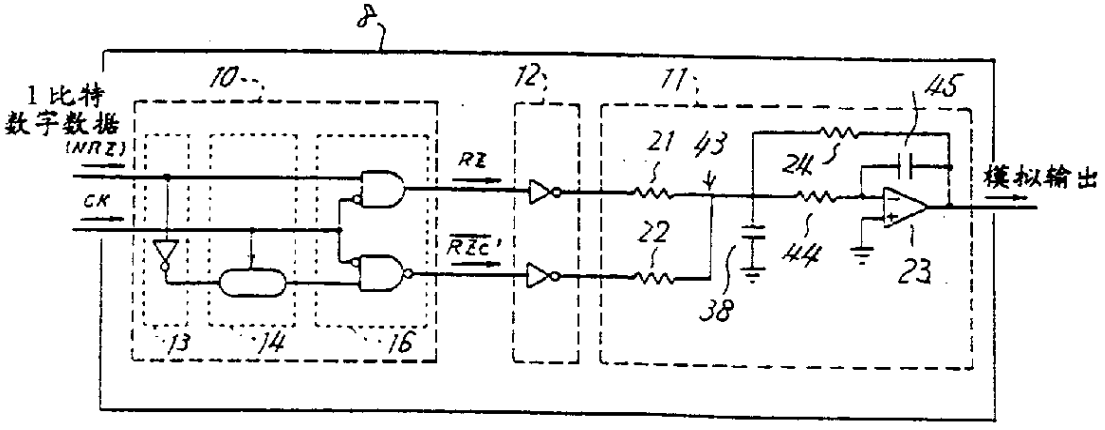

8
10
12
11
45
1比特
数字数据
(NRZ)
CK
RZ
RZc'
21
43
24
22
44
23
38
模拟输出
13
14
16

图 24

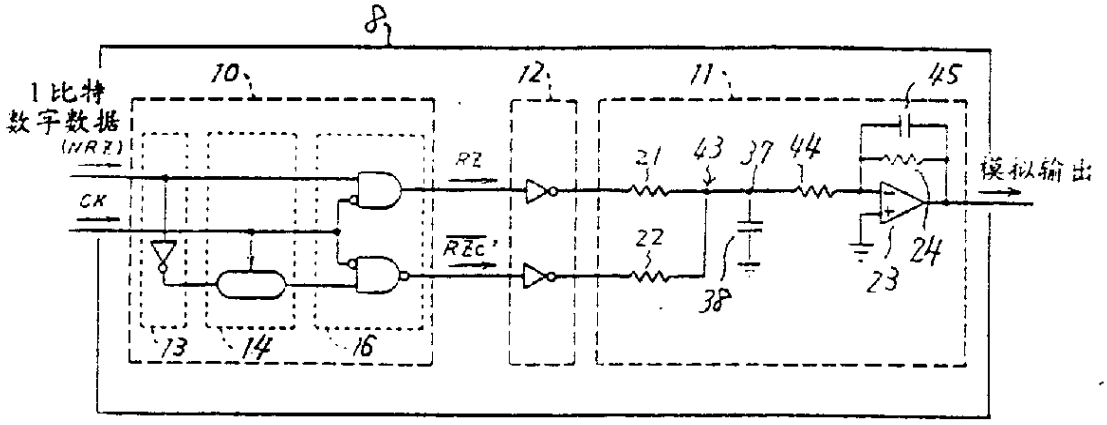

8
1比特
数字数据
(NRZ)
CK
10
12
11
45
RZ
RZc'
21
43
37
44
22
38
23
24
13
14
16
模拟输出

图 25

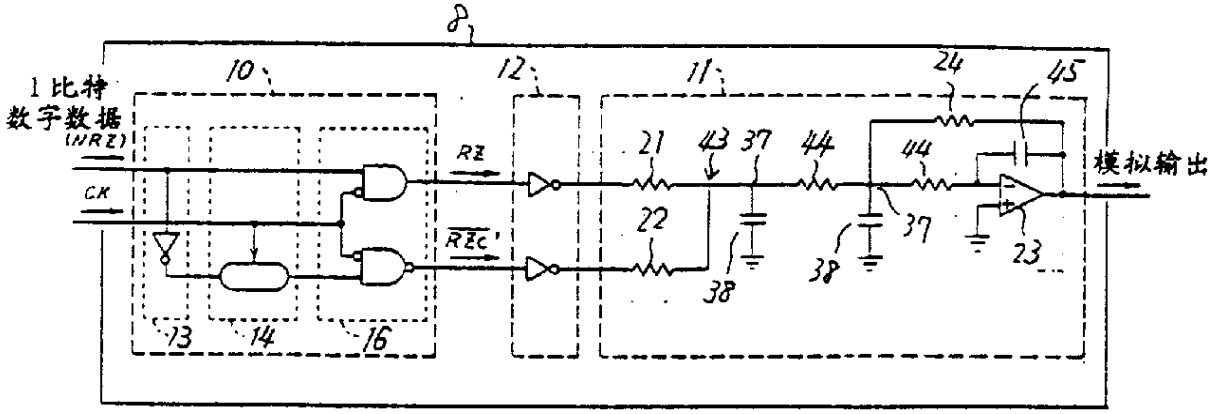

8
1比特
数字数据
(NRZ)
CK
10
12
11
24
45
RZ
RZc'
21
43
37
44
22
38
23
13
14
16
模拟输出

图 26

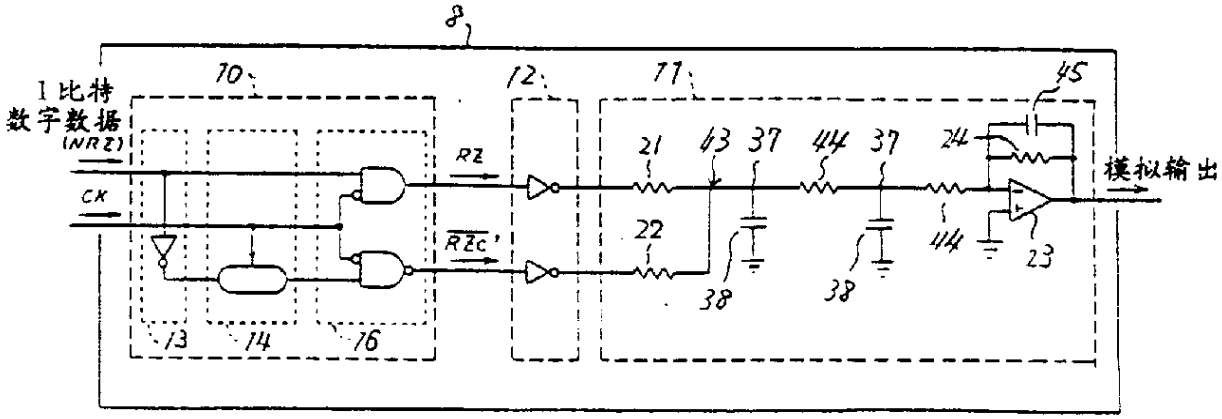

8
1比特
数字数据
(NRZ)
CK
10
12
11
45
RZ
RZc'
21
43
37
44
22
38
23
24
13
14
16
模拟输出

图 27

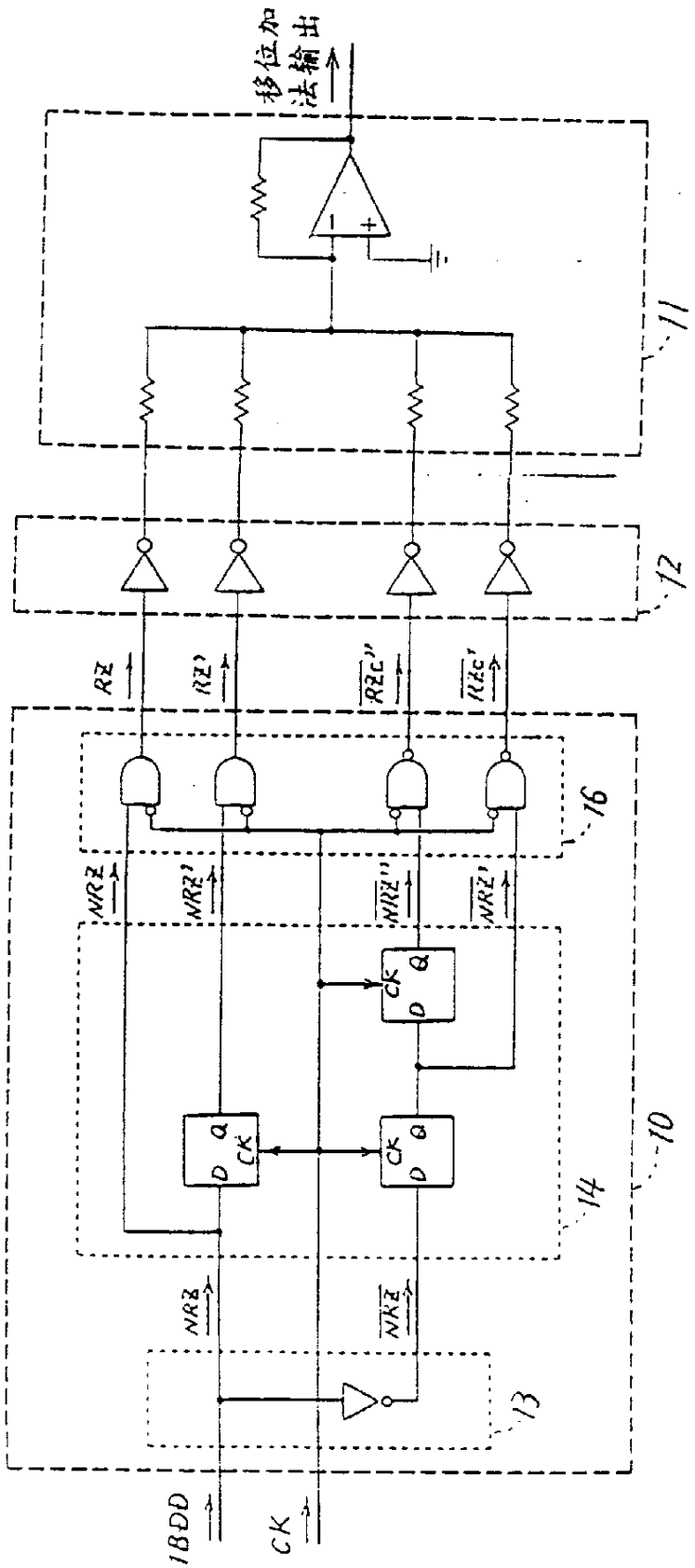

移位加法输出
11
12
RZ
RZ'
RZC''
RZC'
16
NRZ
NRZ'
NRZ''
NRZ'
CK
D
Q
14
10
NRZ
NRZ
13
1BDD
CK

图 28

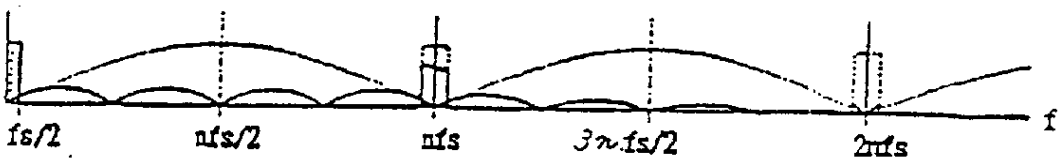

fs/2
nfs/2
nfs
3nfs/2
2nfs
f

图 29

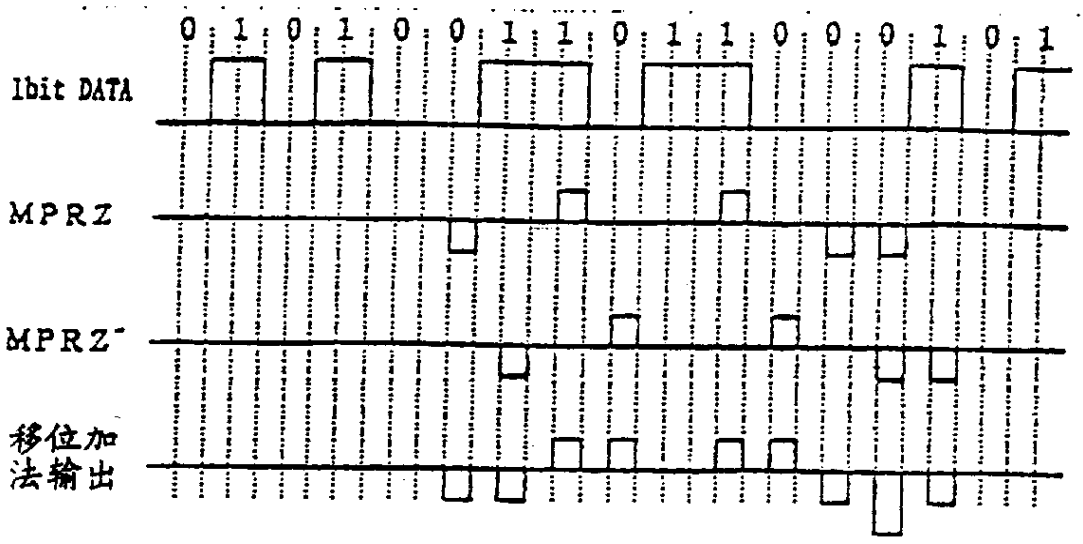

0 1 0 1 0 0 1 1 0 1 1 0 0 0 1 0 1
1bit DATA
MPRZ
MPRZ⁻
移位加
法输出

图 30