



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2015년02월27일  
(11) 등록번호 10-1496815  
(24) 등록일자 2015년02월23일

(51) 국제특허분류(Int. Cl.)  
H01G 4/12 (2006.01) H01G 4/30 (2006.01)  
H01G 2/06 (2006.01)  
(21) 출원번호 10-2013-0048126  
(22) 출원일자 2013년04월30일  
심사청구일자 2013년04월30일  
(65) 공개번호 10-2014-0129611  
(43) 공개일자 2014년11월07일  
(56) 선행기술조사문헌  
JP05074644 A\*  
JP09266133 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전기주식회사  
경기도 수원시 영통구 매영로 150 (매탄동)  
(72) 발명자  
한병우  
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)  
오대복  
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)  
(뒷면에 계속)  
(74) 대리인  
특허법인씨엔에스

전체 청구항 수 : 총 13 항

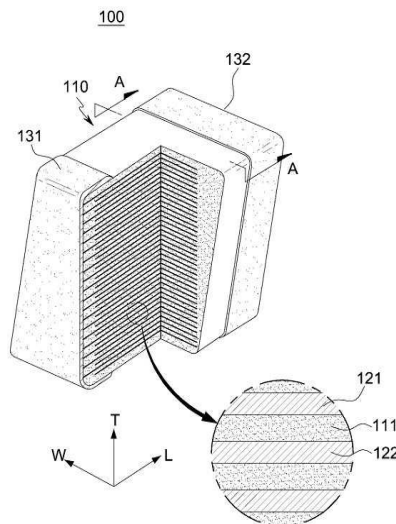
심사관 : 전한철

(54) 발명의 명칭 적층 세라믹 전자 부품 및 그 실장 기판

(57) 요약

본 발명은, 두께 방향으로 적층된 복수의 유전체층을 포함하며, 폭을 W로, 두께를 T로 규정할 때,  $T/W > 1.0$ 을 만족하는 세라믹 본체; 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 세라믹 본체의 양 단면을 통해 번갈아 노출된 복수의 제1 및 제2 내부 전극; 및 상기 세라믹 본체의 양 단면에서 상하 양 주면 까지 형성되며, 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결된 제1 및 제2 외부 전극; 을 포함하며, 상기 세라믹 본체는 두께-폭 단면이 일측으로 기울어진 사다리꼴 형상으로 형성되며, 아랫변과 일 측 변의 기울기를  $\theta$ 로 규정할 때,  $86^\circ \leq \theta < 90^\circ$ 의 범위를 만족하는 적층 세라믹 전자 부품을 제공한다.

대표도 - 도1



(72) 발명자

**최재열**

경기 수원시 영통구 매영로 150, (매탄동, 삼성  
전기)

**김상혁**

경기 수원시 영통구 매영로 150, (매탄동, 삼성  
전기)

---

**특허청구의 범위**

**청구항 1**

두께 방향으로 적층된 복수의 유전체층을 포함하며, 폭을 W로, 두께를 T로 규정할 때,  $T/W > 1.0$ 을 만족하는 세라믹 본체;

상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 세라믹 본체의 양 단면을 통해 번갈아 노출된 복수의 제1 및 제2 내부 전극; 및

상기 세라믹 본체의 양 단면에서 상하 양 주면 까지 형성되며, 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결된 제1 및 제2 외부 전극; 을 포함하며,

상기 세라믹 본체는 두께-폭 단면이 폭 방향으로 기울어진 사다리꼴 형상으로 형성되며, 실장 면과 폭 방향의 일 측면의 기울기를  $\theta$ 로 규정할 때,  $86^\circ \leq \theta < 90^\circ$ 의 범위를 만족하는 적층 세라믹 전자 부품.

**청구항 2**

제1항에 있어서,

상기 복수의 제1 및 제2 내부 전극은 상기 세라믹 본체가 기울어진 형상을 따라 폭 방향으로 오프셋 되게 배치되는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 3**

제1항에 있어서,

상기 유전체층의 평균 두께를  $t_d$ 라 하면,  $0.1\mu\text{m} \leq t_d \leq 0.6\mu\text{m}$ 를 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 4**

제1항에 있어서,

상기 제1 및 제2 내부 전극의 두께는  $0.6\mu\text{m}$  이하인 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 5**

제1항에 있어서,

상기 유전체층의 평균 두께를  $t_d$ 로, 상기 제1 및 제2 내부 전극의 두께를  $t_e$ 로 규정할 때,  $t_e/t_d \leq 0.833$ 을 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 6**

제1항에 있어서,

상기 유전체층의 적층 수는 500 층 이상인 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 7**

폭 방향으로 적층된 복수의 유전체층을 포함하며, 폭을 W로, 두께를 T로 규정할 때,  $T/W > 1.0$ 을 만족하는 세라믹 본체;

상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 세라믹 본체의 양 단면을 통해 번갈아 노출된 복수의 제1 및 제2 내부 전극; 및

상기 세라믹 본체의 양 단면에서 상하 양 주면 까지 형성되며, 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결된 제1 및 제2 외부 전극; 을 포함하며,

상기 세라믹 본체는 두께-폭 단면이 폭 방향으로 기울어진 사다리꼴 형상으로 형성되며, 실장 면과 폭 방향의 일 측면의 기울기를  $\theta$ 로 규정할 때,  $86^\circ \leq \theta < 90^\circ$ 의 범위를 만족하는 적층 세라믹 전자 부품.

### 청구항 8

제7항에 있어서,

상기 복수의 제1 및 제2 내부 전극은 상기 세라믹 본체의 측면이 기울어진 형상을 따라 함께 기울어지게 배치되는 것을 특징으로 하는 적층 세라믹 전자 부품.

### 청구항 9

제7항에 있어서,

상기 유전체층의 평균 두께를  $t_d$ 라 하면,  $0.1\mu\text{m} \leq t_d \leq 0.6\mu\text{m}$ 를 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품.

### 청구항 10

제7항에 있어서,

상기 제1 및 제2 내부 전극의 두께는  $0.6\mu\text{m}$  이하인 것을 특징으로 하는 적층 세라믹 전자 부품.

### 청구항 11

제7항에 있어서,

상기 유전체층의 평균 두께를  $t_d$ 로, 상기 제1 및 제2 내부 전극의 두께를  $t_e$ 로 규정할 때,  $t_e/t_d \leq 0.833$ 을 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품.

### 청구항 12

제7항에 있어서,

상기 유전체층의 적층 수는 500 층 이상인 것을 특징으로 하는 적층 세라믹 전자 부품.

### 청구항 13

상부에 제1 및 제2 전극 패드를 갖는 인쇄회로기판; 및

상기 제1 및 제2 전극 패드 위에 설치된 제1항 내지 제12항 중 어느 한 항의 적층 세라믹 전자 부품; 을 포함하는 적층 세라믹 전자 부품의 실장 기판.

명세서

**기술분야**

[0001] 본 발명은 적층 세라믹 전자 부품 및 그 실장 기판에 관한 것이다.

**배경 기술**

[0002] 최근 전자 제품의 소형화 추세에 따라, 이러한 전자 제품에 사용되는 적층 세라믹 전자 부품 역시 소형화 및 고용량화가 요구되고 있다.

[0003] 이에 따라 유전체층과 내부 전극의 박막화 및 다층화가 다양한 방법으로 시도되고 있으며, 근래에는 유전체층의 두께를 얇게 하면서 그 적층 수를 증가시킨 적층 세라믹 전자 부품이 제조되고 있다.

[0004] 상기 적층 세라믹 전자 부품의 소형화가 가능하고, 유전체층과 내부 전극의 박막화가 가능하면서 고용량화 구현을 위해 적층 수를 증가시킬 수 있게 되었다.

[0005] 그러나, 위와 같이 유전체층 및 내부 전극의 두께를 얇게 하면서 적층 수를 증가시키면 적층 세라믹 전자 부품의 고용량 구현은 가능하나, 적층 수 증가로 인해 적층 세라믹 전자 부품의 두께가 폭에 비해 큰 형태가 된다.

[0006] 위와 같이 적층 세라믹 전자 부품의 두께가 폭에 비해 크게 형성된 경우, 일반적으로 적층 세라믹 전자 부품의 양 단면에 형성된 외부 전극은 그 둘레 면이 불룩하게 라운드 된 현상을 갖게 된다.

[0007] 따라서, 적층 세라믹 전자 부품을 인쇄회로기판 등에 실장 할 때 적층 세라믹 전자 부품이 실장된 상태를 유지하지 못하고 넘어지는 문제가 빈번히 발생하여 적층 세라믹 전자 부품의 실장 불량율이 증가되는 문제점이 있다.

[0008] 하기 특허문헌 1은 소형화 및 고용량화 대응의 적층 세라믹 콘덴서를 개시하고 있으나, 적층 세라믹 콘덴서를 인쇄회로기판에 실장 했을 때 넘어지는 문제를 해결하기 위한 수단은 개시하지 않는다.

**선행기술문헌**

**특허문헌**

[0009] (특허문헌 0001) 일본공개특허 제2005-129802호

**발명의 내용**

**해결하려는 과제**

[0010] 당 기술 분야에서는, 적층 수 증가에 따라 두께가 폭에 비해 커 고용량을 구현하면서도, 적층 세라믹 전자 부품을 인쇄회로기판 등에 실장 할 때 넘어지는 문제를 해결하여 실장 불량 및 쇼트 발생을 줄일 수 있는 새로운 방안이 요구되어 왔다.

**과제의 해결 수단**

[0011] 본 발명의 일 측면은, 두께 방향으로 적층된 복수의 유전체층을 포함하며, 폭을 W로, 두께를 T로 규정할 때,

T/W > 1.0을 만족하는 세라믹 본체; 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 세라믹 본체의 양 단면을 통해 번갈아 노출된 복수의 제1 및 제2 내부 전극; 및 상기 세라믹 본체의 양 단면에서 상하 양 주면 까지 형성되며, 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결된 제1 및 제2 외부 전극; 을 포함하며, 상기 세라믹 본체는 두께-폭 단면이 일측으로 기울어진 사다리꼴 형상으로 형성되며, 아랫면과 일 측면의 기울기를  $\theta$ 로 규정할 때,  $86^\circ \leq \theta < 90^\circ$ 의 범위를 만족하는 적층 세라믹 전자 부품을 제공한다.

- [0012] 본 발명의 다른 측면은, 폭 방향으로 적층된 복수의 유전체층을 포함하며, 폭을 W로, 두께를 T로 규정할 때, T/W > 1.0을 만족하는 세라믹 본체; 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 세라믹 본체의 양 단면을 통해 번갈아 노출된 복수의 제1 및 제2 내부 전극; 및 상기 세라믹 본체의 양 단면에서 상하 양 주면 까지 형성되며, 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결된 제1 및 제2 외부 전극; 을 포함하며, 상기 세라믹 본체는 두께-폭 단면이 일측으로 기울어진 사다리꼴 형상으로 형성되며, 아랫면과 일 측면의 기울기를  $\theta$ 로 규정할 때,  $86^\circ \leq \theta < 90^\circ$ 의 범위를 만족하는 적층 세라믹 전자 부품을 제공한다.
- [0013] 본 발명의 일 실시 예에서, 상기 복수의 제1 및 제2 내부 전극은 상기 세라믹 본체가 기울어진 형상을 따라 폭 방향으로 오프셋 되게 배치될 수 있다.
- [0014] 본 발명의 일 실시 예에서, 상기 복수의 제1 및 제2 내부 전극은 상기 세라믹 본체의 측면이 기울어진 형상을 따라 함께 기울어지게 배치될 수 있다.
- [0015] 본 발명의 일 실시 예에서, 상기 유전체층의 평균 두께를 td라 하면,  $0.1\mu\text{m} \leq td \leq 0.6\mu\text{m}$ 를 만족할 수 있다.
- [0016] 본 발명의 일 실시 예에서, 상기 제1 및 제2 내부 전극의 두께는  $0.6\mu\text{m}$  이하일 수 있다.
- [0017] 본 발명의 일 실시 예에서, 상기 유전체층의 평균 두께를 td로, 상기 제1 및 제2 내부 전극의 두께를 te로 규정할 때,  $te/td \leq 0.833$ 을 만족할 수 있다.
- [0018] 본 발명의 일 실시 예에서, 상기 유전체층의 적층 수는 500 층 이상일 수 있다.

**발명의 효과**

- [0019] 본 발명의 일 실시 형태에 따르면, 적층 수 증가에 따라 고용량을 구현하면서도, 세라믹 본체를 두께-폭 단면이 일측으로 기울어진 사다리꼴 형상으로 형성하고, 그 아랫면과 일 측면의 기울기를 일정 범위로 제한함으로써, 외부 전극 둘레 면의 라운드 된 형상을 최소화하여 인쇄회로기판 등에 실장시 넘어지는 현상을 방지하여 적층 세라믹 전자 부품의 실장 불량율 및 쇼트 발생을 줄일 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0020] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이다.
- 도 2는 도 1의 A-A'선 단면도이다.
- 도 3은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 제1 및 제2 내부 전극의 다른 실시 예를 나타낸 단면도이다.
- 도 4는 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이다.
- 도 5는 도 4의 B-B'선 단면도이다.
- 도 6은 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 제1 및 제2 내부 전극의 다른 실시 예를 나타

넌 단면도이다.

도 7은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0021] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.
- [0022] 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.
- [0023] 또한, 본 발명의 실시 형태는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
- [0024] 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [0025] 또한, 각 실시 형태의 도면에서 나타난 동일한 사상의 범위 내의 기능이 동일한 구성 요소는 동일한 참조 부호를 사용하여 설명한다.
- [0026] 이하에서는 본 발명의 일 실시 형태에 따른 적층 세라믹 전자 부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 본 발명이 이에 한정되는 것은 아니다.

**[0027] 적층 세라믹 커패시터**

- [0028] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이다.
- [0029] 도 1을 참조하면, 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터(100)는 세라믹 본체(110), 복수의 제1 및 제2 내부 전극(121, 122) 및 제1 및 제2 외부 전극(131, 132)를 포함한다.
- [0030] 세라믹 본체(110)는 복수의 유전체층(111)을 두께 방향으로 적층한 다음 소성한 것으로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0031] 이러한 세라믹 본체(110)의 형상은 특별히 제한되지 않으며, 예를 들어 육면체 형상을 가질 수 있다.
- [0032] 본 발명의 실시 형태를 명확하게 설명하기 위해 세라믹 본체(110)의 육면체 방향을 정의하면, 도면 상에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다.
- [0033] 또한, 본 실시 형태에서는 설명의 편의를 위해 세라믹 본체(110)의 서로 대향하는 두께 방향의 면을 제1 및 제2 주면으로, 제1 및 제2 주면을 연결하며 서로 대향하는 길이 방향의 면을 제1 및 제2 단면으로, 서로 대향하는 폭 방향의 면을 제1 및 제2 측면으로 정의하기로 한다.
- [0034] 세라믹 본체(110)는 고용량 구현을 위해 유전체층(111)의 적층 수를 증가시킨 형태로서, 폭을 W로, 두께를 T로 규정할 때,  $T/W > 1.0$ 을 만족하여 세라믹 본체(110)의 폭에 비하여 두께가 더 크게 형성된다.
- [0035] 이때, 유전체층(111)의 적층 수는 특별히 제한 되지 않으나, 기판에 실장시 충분한 공간 확보가 되면서 고용량을 구현하기 위해 예를 들어 500 층 이상으로 적층할 수 있다.
- [0036] 유전체층(111)은 고유전률의 세라믹 재료를 포함할 수 있으며, 예를 들어 티탄산바륨( $BaTiO_3$ )계 세라믹 분말 등

을 포함할 수 있으나, 충분한 정전 용량을 얻을 수 있는 한 본 발명이 이에 한정되는 것은 아니다.

- [0037] 또한, 유전체층(111)에는 상기 세라믹 분말과 함께, 필요시 전이금속 산화물 또는 탄화물, 희토류 원소, 마그네슘(Mg) 또는 알루미늄(Al) 등과 같은 다양한 종류의 세라믹 첨가제, 유기용제, 가소제, 결합제 및 분산제 등이 더 첨가될 수 있다.
- [0038] 이때, 유전체층(111)의 평균 두께를  $t_d$ 라 하면, 초소형 및 초고용량 적층 세라믹 커패시터를 제조하기 위해  $0.1 \mu\text{m} \leq t_d \leq 0.6 \mu\text{m}$ 의 범위를 만족할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0039] 유전체층(111)의 평균 두께( $t_d$ )는 세라믹 본체(110)의 폭 방향 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 이미지를 스캔 하여 측정할 수 있다.
- [0040] 예를 들어, 세라믹 본체(110)의 길이(L) 방향의 중앙부에서 절단한 폭 및 두께 방향(W-T) 단면을 주사전자현미경(SEM, Scanning Electron Microscope)로 스캔한 이미지에서 추출된 임의의 유전체층에 대해서, 폭 방향으로 등 간격인 30개의 지점에서 그 두께를 측정하여 평균값을 측정할 수 있다.
- [0041] 상기 등 간격인 30개의 지점은 제1 및 제2 내부 전극(121, 122)이 중첩되어 용량을 형성하는 영역에서 측정될 수 있다.
- [0042] 또한, 이러한 평균값 측정을 10개 이상의 유전체층으로 확장하여 평균값을 측정하면 유전체층의 평균 두께를 더욱 일반화할 수 있다.
- [0043] 제1 및 제2 내부 전극(121, 122)은 서로 다른 극성을 갖는 전극으로서, 유전체층(111)을 형성하는 세라믹 시트를 사이에 두고 서로 대향되게 배치되며, 세라믹 본체(110) 내에서 세라믹 본체(110)의 제1 및 제2 단면을 통해 각각 노출되도록 형성될 수 있다.
- [0044] 이때, 제1 및 제2 내부 전극(121, 122)은 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.
- [0045] 또한, 제1 및 제2 내부 전극(121, 122)은 도전성 금속으로 형성되며, 예를 들어 은(Ag), 팔라듐(Pd), 백금(Pt), 니켈(Ni) 및 구리(Cu) 중 하나 또는 이들의 합금 등으로 이루어진 것을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0046] 제1 및 제2 내부 전극(121, 122)의 평균 두께는 정전 용량을 형성할 수 있다면 특별히 제한은 없으며, 예를 들어  $0.6 \mu\text{m}$  이하일 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0047] 다만, 제1 및 제2 내부 전극(121, 122)의 평균 두께가  $0.6 \mu\text{m}$ 를 초과하여 너무 두껍게 형성되는 경우 세라믹 본체(110) 내부에 크랙이 발생할 수 있다.
- [0048] 제1 및 제2 내부 전극(121, 122)의 평균 두께는 세라믹 본체(110)의 폭 방향 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 이미지를 스캔 하여 측정할 수 있다.
- [0049] 예를 들어, 세라믹 본체(110)의 길이(L) 방향의 중앙부에서 절단한 폭 및 두께 방향(W-T) 단면을 주사전자현미경(SEM, Scanning Electron Microscope)로 스캔한 이미지에서 추출된 임의의 내부 전극에 대해서, 폭 방향으로 등 간격인 30개의 지점에서 그 두께를 측정하여 평균값을 측정할 수 있다.
- [0050] 상기 등 간격인 30개의 지점은 제1 및 제2 내부 전극(121, 122)이 중첩되는 영역을 의미하는 용량 형성부에서 측정될 수 있다.
- [0051] 또한, 이러한 평균값 측정을 10개 이상의 내부 전극으로 확장하여 평균값을 측정하면, 내부 전극의 평균 두께를 더욱 일반화할 수 있다.
- [0052] 또한, 유전체층(111)의 평균 두께를  $t_d$ 로, 제1 및 제2 내부 전극(121, 122)의 두께를  $t_e$ 로 규정할 때,  $t_e/t_d \leq 0.833$ 을 만족할 수 있다. 이때,  $t_e/t_d$ 가 너무 크게 되면 유전체층(111)과 제1 및 제2 내부 전극(121, 122)의 소



결 수축 차이에 의해 적층 세라믹 커패시터(100) 내부의 스트레스가 상승하게 되고, 이로 인해 적층 세라믹 커패시터(100) 내부에 크랙 발생이 증가될 수 있다.

[0053] 따라서, 적층 세라믹 커패시터(100)의 내부 크랙 발생을 보다 효과적으로 막을 수 있으며, 제1 및 제2 내부 전극(121, 122)의 연결성 또한 개선되어 정전 용량의 대용량화를 구현할 수 있는 바람직한  $t_e/t_d$ 의 범위는,  $t_e/t_d \leq 0.833$ 가 될 수 있다.

[0054] 제1 및 제2 외부 전극(131, 132)은 세라믹 본체(110)의 제1 및 제2 단면에서 제1 및 제2 주면 까지 연장 형성되며, 세라믹 본체(110)의 제1 및 제2 단면을 통해 번갈아 노출된 복수의 제1 및 제2 내부 전극(121, 122)과 전기적으로 연결된다. 이때, 제1 및 제2 외부 전극(131, 132)은 내습성 향상을 위해 세라믹 본체(110)의 제1 및 제2 단면에서 제1 및 제2 측면까지 연장 형성될 수 있다.

[0055] 또한, 제1 및 제2 외부 전극(131, 132)은 도전성 금속으로 형성되며, 예를 들어 은(Ag), 니켈(Ni) 및 구리(Cu) 등으로 형성될 수 있다. 이러한 제1 및 제2 외부 전극(131, 132)은 상기 도전성 금속 분말에 글라스 프리트를 첨가하여 마련된 도전성 페이스트를 도포한 후 소성하여 형성될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.

[0056] 한편, 제1 및 제2 외부 전극(131, 132) 상에는 필요시 제1 및 제2 도금층(미도시)이 형성될 수 있다.

[0057] 상기 제1 및 제 2 도금층은 적층 세라믹 커패시터(100)를 인쇄회로기판에 솔더로 실장 할 때 상호 간의 접촉 강도를 높이기 위한 것이다.

[0058] 상기 제1 및 제2 도금층은 예를 들어 제1 및 제2 외부 전극(131, 132) 상에 형성된 니켈(Ni) 도금층과, 상기 니켈 도금층 상에 형성된 주석(Sn) 도금층을 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.

[0059] 도 2는 도 1의 A-A'선 단면도로서, 본 발명의 일 실시 형태에 따른 세라믹 본체의 두께-폭 단면을 나타낸 것이다.

[0060] 도 2를 참조하면, 세라믹 본체(110)는 두께-폭 단면이 일측으로 기울어진 사다리꼴 형상으로 형성되며, 아랫변과 일 측면의 기울기를  $\theta$ 로 규정할 때,  $86^\circ \leq \theta < 90^\circ$ 의 범위를 만족한다.

[0061] 하기 표 1은 상기  $\theta$ 의 수치, 즉 세라믹 본체(110)의 아랫변과 일 측면의 기울기에 따른 적층 세라믹 커패시터(100)의 인쇄회로기판 실장시 넘어짐 여부를 나타낸 것이다.

표 1

[0062]

샘플#	$\theta(^{\circ})$	적층 세라믹 커패시터 넘어짐 여부	
		발생빈도수	결과
1	84	2/50	NG
2	85	2/50	NG
3	86	0/50	OK
4	87	0/50	OK
5	88	0/50	OK
6	89	0/50	OK

[0063] 상기 표 1을 참조하면, 샘플 1 및 2의 경우, 세라믹 본체의 실장 면, 즉 아랫변과 이와 두께 방향으로 연결된 일 측면의 기울기가 지나치게 기울어진 형상으로서, 적층 세라믹 커패시터를 인쇄회로기판 위에 50번 실장 했을 때 각각 2번의 넘어짐이 발생하여 실장 불량률이 발생함을 확인할 수 있다.

[0064] 그리고, 샘플 4 내지 6의 경우, 세라믹 본체(100)의 실장 면, 즉 아랫변과 이와 두께 방향으로 연결된 일 측면

의 기울기가 적당하게 기울어진 형상으로서, 적층 세라믹 커패시터(100)를 인쇄회로기판 위에 50번 실장 했을 때 넘어짐이 발생하지 않아, 상기  $\theta$ 의 값이 실장이 양호한 범위 내에 있음을 확인할 수 있다.

[0065] 도 3은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 제1 및 제2 내부 전극의 다른 실시 예를 나타낸 단면도이다.

[0066] 도 3을 참조하면, 복수의 제1 및 제2 내부 전극(121, 122)은 세라믹 본체(110)가 기울어진 형상을 따라 폭 방향으로 오프셋 되게 배치될 수 있다.

[0067] 여기서, 그 외 세라믹 본체(110) 및 제1 및 제2 외부 전극(131, 132)이 형성된 구조는 앞서 설명한 일 실시 형태와 동일하므로 중복을 피하기 위하여 이에 대한 구체적인 설명을 생략한다.

[0068] **변형 예**

[0069] 도 4는 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이다.

[0070] 여기서, 제1 및 제2 외부 전극(131, 132)이 형성된 구조는 앞서 설명한 일 실시 형태와 동일하므로 중복을 피하기 위하여 이에 대한 구체적인 설명을 생략하며, 앞서 설명한 실시 형태와 상이한 구조를 갖는 제1 및 제2 내부 전극(121', 122')을 토대로 구체적으로 설명하기로 한다.

[0071] 도 4를 참조하면, 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터(100')는 복수의 유전체층(111)이 폭 방향으로 적층된 세라믹 본체(110)를 포함한다.

[0072] 따라서, 제1 및 제2 내부 전극(121', 122')은 유전체층(111)을 형성하는 세라믹 시트를 사이에 두고 서로 대향되게 폭 방향으로 배치되며, 세라믹 본체(110) 내에서 세라믹 본체(110)의 제1 및 제2 단면을 통해 각각 노출되도록 형성될 수 있다. 이때, 제1 및 제2 내부 전극(121', 122')은 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.

[0073] 도 5는 도 4의 B-B'선 단면도로서, 본 발명의 다른 실시 형태에 따른 세라믹 본체의 두께-폭 단면을 나타낸 것이다.

[0074] 도 5를 참조하면, 세라믹 본체(110)는 두께-폭 단면이 일측으로 기울어진 사다리꼴 형상으로 형성되며, 아랫변과 일 측면의 기울기를  $\theta$ 로 규정할 때,  $86^\circ \leq \theta < 90^\circ$ 의 범위를 만족한다.

[0075] 도 6은 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 제1 및 제2 내부 전극의 다른 실시 예를 나타낸 단면도이다.

[0076] 도 6을 참조하면, 복수의 제1 및 제2 내부 전극(121', 122')은 세라믹 본체(110)의 측면이 기울어진 형상을 따라 함께 기울어지게 배치될 수 있다.

[0077] 여기서, 그 외 세라믹 본체(110) 및 제1 및 제2 외부 전극(131, 132)이 형성된 구조는 앞서 설명한 일 실시 형태와 동일하므로 중복을 피하기 위하여 이에 대한 구체적인 설명을 생략한다.

[0078] **적층 세라믹 커패시터의 제조 방법**

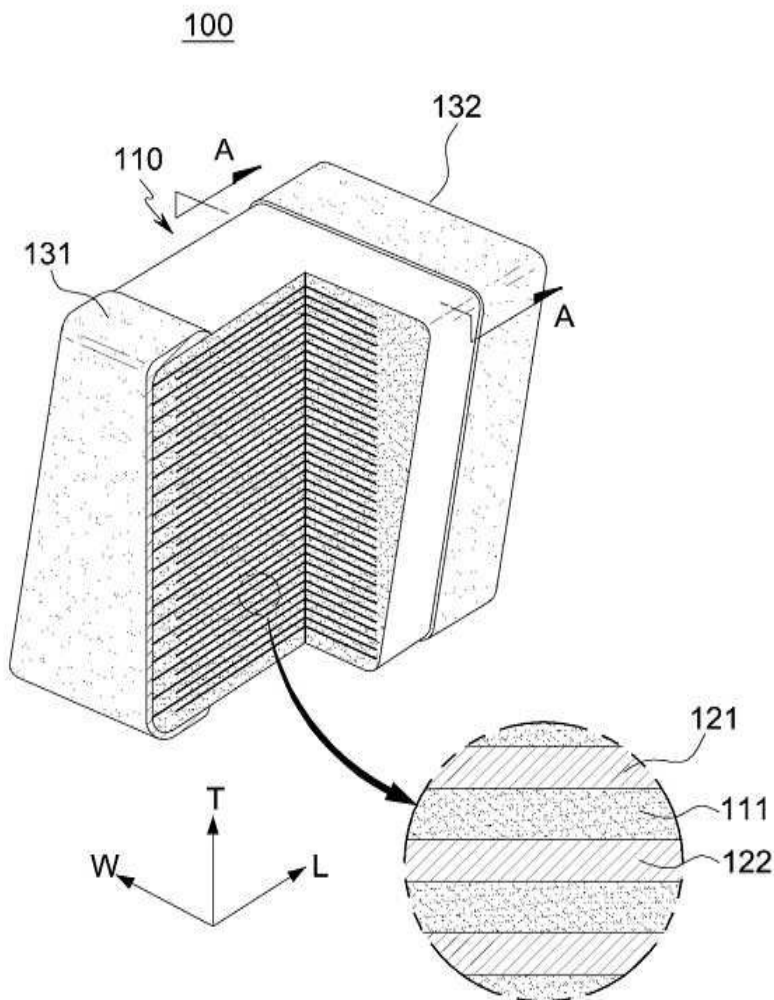
- [0079] 이하, 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 제조 방법을 설명한다.
- [0080] 먼저, 복수의 세라믹 시트를 마련한다. 상기 세라믹 시트는 세라믹 본체(110)의 유전체층(111)을 형성하기 위한 것으로, 세라믹 분말, 폴리머 및 용제 등을 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 등의 공법을 통해 캐리어 필름 상에 도포 및 건조하여 수  $\mu\text{m}$  두께의 시트(sheet) 형상으로 제작한다.
- [0081] 다음으로, 상기 세라믹 시트의 적어도 일면에 소정의 두께로 도전성 페이스트를 인쇄하여 길이 방향을 따라 일정 간격을 두고 복수의 내부 전극 패턴을 형성한다.
- [0082] 상기 내부 전극 패턴을 형성하기 위한 도전성 페이스트의 인쇄 방법으로는 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0083] 다음으로, 상기 내부 전극 패턴이 형성된 복수의 세라믹 시트를 두께 방향을 따라 상기 내부 전극 패턴이 서로 교호하도록 번갈아 500층 이상 적층하고 적층 방향으로부터 가압하여 적층체를 마련한다.
- [0084] 다음으로, 상기 적층체를 0603(길이×폭) 규격으로서 1개의 커패시터에 대응하는 영역마다 두께-폭 단면이 일측으로 기울어진 사다리꼴 형상으로 절단하여 두께/폭이 1.0을 초과하는 칩을 만들고, 1050 내지 1200 °C의 고온에서 소성한 후 연마하여 제1 및 제2 내부 전극(121, 122)을 갖는 세라믹 본체(110)를 마련한다.
- [0085] 다음으로, 세라믹 본체(110)의 제1 및 제2 단면에 제1 및 제2 내부 전극(121, 122)의 노출된 부분과 각각 전기적으로 연결되도록 제1 및 제2 외부 전극(131, 132)을 형성한다.
- [0086] 또한, 필요시 제1 및 제2 외부 전극(131, 132)을 형성하는 단계 이후에, 제1 및 제2 외부 전극(131, 132)의 표면을 전기 도금 등의 방법으로 도금 처리하여 제1 및 제2 도금층(미도시)을 형성할 수 있다.
- [0087] 이때, 세라믹 본체(110)의 아랫변과 일 측면의 기울기를  $\theta$ 로 규정할 때,  $86^\circ \leq \theta < 90^\circ$ 의 범위를 만족하도록 한다.
- [0088] **적층 세라믹 커패시터의 실장 기관**
- [0089] 도 7은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이다.
- [0090] 도 7을 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)의 실장 기관(200)은 적층 세라믹 커패시터(100)가 수평하도록 또는 수직하도록 실장된 인쇄회로기판(210)과, 인쇄회로기판(210)의 상면에 서로 이격되게 형성된 제1 및 제2 전극 패드(221, 222)를 포함한다.
- [0091] 이때, 적층 세라믹 커패시터(100)는 제1 및 제2 외부 전극(131, 132)의 제2 주면이 각각 제1 및 제2 전극 패드(221, 222) 위에 접촉되게 위치한 상태에서 솔더링(230)에 의해 인쇄회로기판(210)과 전기적으로 연결될 수 있다.
- [0092] 이상에서 본 발명의 실시 형태들에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고, 청구 범위에 기재된 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 다양한 수정 및 변형이 가능하다는 것은 당 기술 분야의 통상의 지식을 가진 자에게는 자명할 것이다.

**부호의 설명**

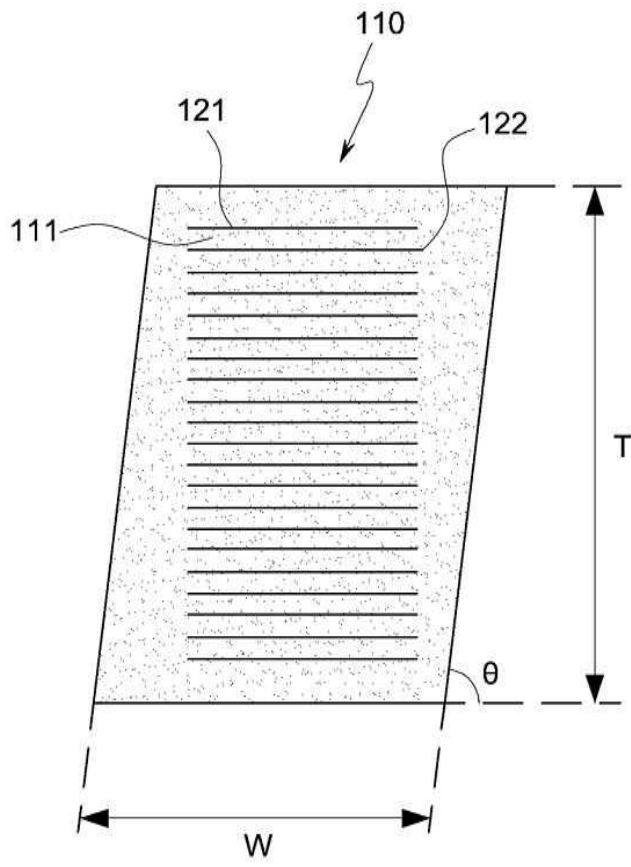
- [0093] 100, 100' ; 적층 세라믹 커패시터                      110 ; 세라믹 본체  
 111 ; 유전체층  
 121, 121', 122, 122' ; 제1 및 제2 내부 전극  
 131, 132 ; 제1 및 제2 외부 전극  
 200 ; 실장 기판    210 ; 인쇄회로기판  
 221, 222 ; 제1 및 제2 패드    230 ; 솔더링

**도면**

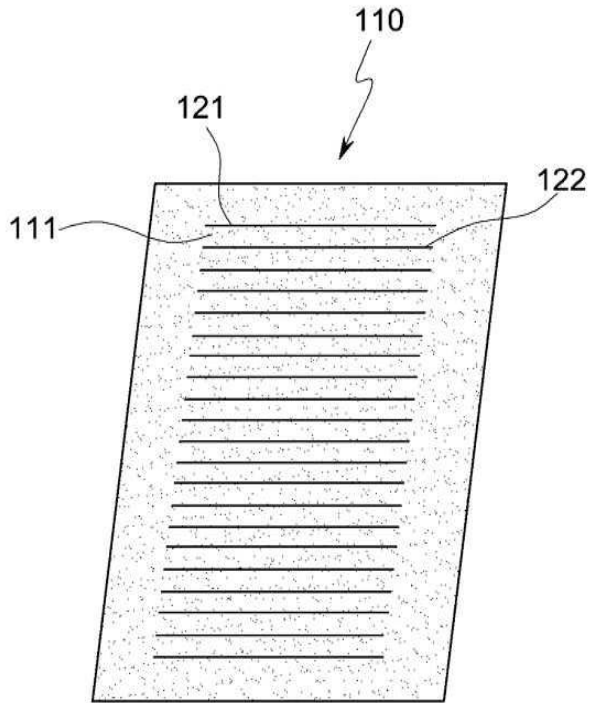
**도면1**



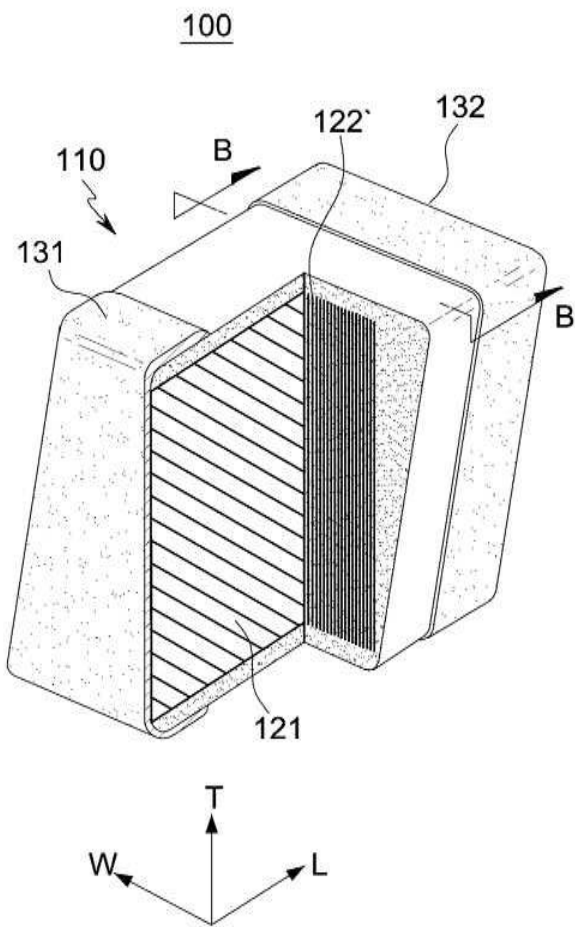
도면2



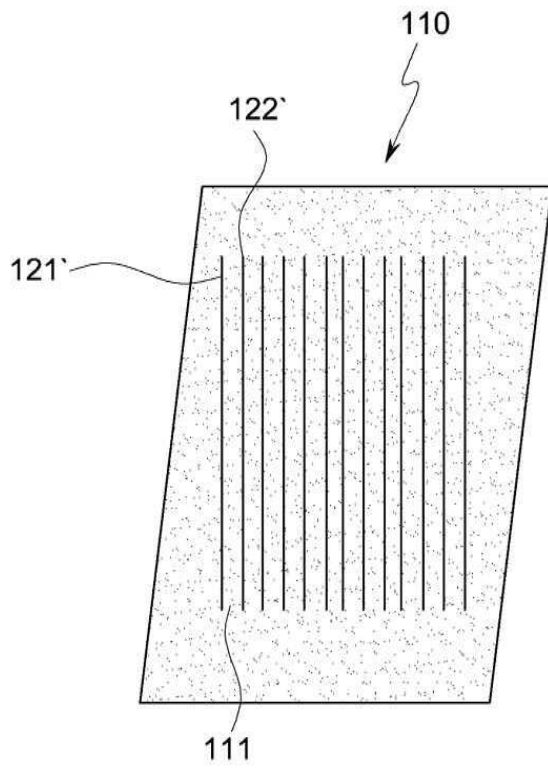
도면3



도면4

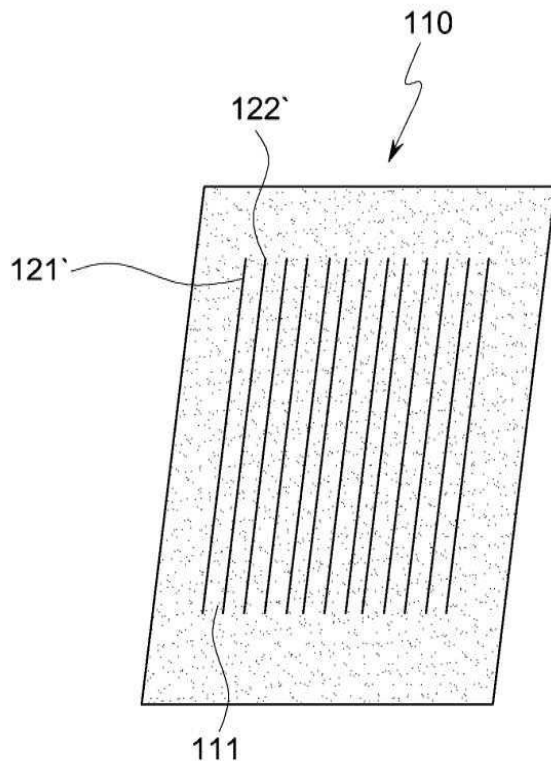


도면5





도면6



도면7

