

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7010184号

(P7010184)

(45)発行日 令和4年1月26日(2022.1.26)

(24)登録日 令和4年1月17日(2022.1.17)

(51)国際特許分類

F I

H 0 1 L 29/739 (2006.01)

H 0 1 L 29/78 6 5 5 B

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 2 D

請求項の数 4 (全16頁)

(21)出願番号	特願2018-171732(P2018-171732)	(73)特許権者	000004260
(22)出願日	平成30年9月13日(2018.9.13)		株式会社デンソー
(65)公開番号	特開2020-43301(P2020-43301A)		愛知県刈谷市昭和町1丁目1番地
(43)公開日	令和2年3月19日(2020.3.19)	(74)代理人	110001128
審査請求日	令和3年2月17日(2021.2.17)		特許業務法人ゆうあい特許事務所
		(72)発明者	宮田 征典
			愛知県刈谷市昭和町1丁目1番地 株式
			会社デンソー内
		(72)発明者	米田 秀司
			愛知県刈谷市昭和町1丁目1番地 株式
			会社デンソー内
		(72)発明者	妹尾 賢
			愛知県豊田市トヨタ町1番地 トヨタ自
			動車株式会社内
		(72)発明者	薬師川 裕貴
			最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

フィールドストップ層(20)を有する半導体装置であって、
 第1導電型のドリフト層(11)と、
 前記ドリフト層上に形成された第2導電型のベース層(12)と、
 前記ベース層の表層部に形成された第1導電型のエミッタ領域(16)と、
 前記ベース層のうちの前記ドリフト層と前記エミッタ領域との間に形成されたゲート絶縁膜(14)と、
 前記ゲート絶縁膜上に形成されたゲート電極(15)と、
 前記ドリフト層のうちの前記ベース層側と反対側に形成された第2導電型のコレクタ層(21)と、
 前記コレクタ層と前記ドリフト層との間に形成され、前記ドリフト層よりも高キャリア濃度とされた第1導電型の前記フィールドストップ層と、
 前記ベース層および前記エミッタ領域と電氣的に接続される第1電極(19)と、
 前記コレクタ層と電氣的に接続される第2電極(22)と、を備え、
 前記フィールドストップ層および前記コレクタ層は、前記フィールドストップ層におけるキャリア濃度が最大となる最大ピーク位置と前記コレクタ層におけるキャリア濃度が最大となる最大ピーク位置との間の距離を $X[\mu m]$ 、前記フィールドストップ層を構成するドーズ量に対する前記コレクタ層を構成するドーズ量の比である不純物総量比を Y とすると、 $Y = 0.69X^2 + 0.08X + 0.86$ を満たす構成とされており、

前記コレクタ層は、前記コレクタ層と前記フィールドストップ層との積層方向において、前記コレクタ層の最大ピーク位置が当該コレクタ層の中心（Ｃ１）より前記ドリフト層側に位置している半導体装置。

【請求項２】

前記コレクタ層は、前記キャリア濃度が複数のピークを有するように構成され、前記中心より前記ドリフト層側と反対側に、前記キャリア濃度が最大となる最大ピークよりも小さい補助ピークを有している請求項１に記載の半導体装置。

【請求項３】

前記フィールドストップ層は、前記コレクタ層と前記フィールドストップ層との積層方向において、前記フィールドストップ層におけるキャリア濃度が最大となる最大ピーク位置が当該フィールドストップ層の中心（Ｃ２）より前記ドリフト層側に位置している請求項１または２に記載の半導体装置。

10

【請求項４】

前記フィールドストップ層は、前記コレクタ層と前記フィールドストップ層との積層方向において、前記フィールドストップ層におけるキャリア濃度が最大となる最大ピーク位置が当該フィールドストップ層の中心（Ｃ２）より前記コレクタ層側に位置している請求項１または２に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【０００１】

20

本発明は、絶縁ゲートバイポーラトランジスタ（以下では、単にＩＧＢＴという）素子が形成された半導体装置に関するものである。

【背景技術】

【０００２】

従来より、インバータ等に使用されるスイッチング素子として、ＩＧＢＴ素子が形成された半導体装置を用いることが提案されている（例えば、特許文献１参照）。具体的には、この半導体装置は、Ｎ型のドリフト層を有し、このドリフト層上にＰ型のベース層が形成されている。そして、半導体装置では、ベース層を貫通するように複数のトレンチが形成されている。各トレンチには、トレンチの壁面を覆うようにゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成されている。さらに、ベース層の表層部には、トレンチの側面に接するようにＮ＋型のエミッタ領域が形成されている。

30

【０００３】

ドリフト層を挟んでベース層と反対側には、Ｐ型のコレクタ層が形成されている。また、半導体装置には、ベース層およびエミッタ領域と電氣的に接続される上部電極が形成されていると共に、コレクタ層と電氣的に接続される下部電極が形成されている。

【０００４】

さらに、この半導体装置では、耐圧を向上するため、コレクタ層上にドリフト層よりも高キャリア濃度とされたＮ型のフィールドストップ層（以下では、単にＦＳ層という）が形成されている。

【先行技術文献】

40

【特許文献】

【０００５】

【文献】特開２０１７－１１０００号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

しかしながら、上記半導体装置では、ＦＳ層が形成されていることにより、短絡時において、空乏層の端部がコレクタ層から遠くなり易い。このため、半導体装置では、空乏層の端部となる部分に注入される正孔が減少することによって電子が過剰状態となり、電界強度のピークが下部電極側で発生する可能性がある。そして、半導体装置は、電界強度のピ

50

ークが下部電極側で発生すると当該ピーク部分の近傍でアバランシェ降伏が発生し、破壊されてしまう可能性がある。つまり、上記のように F S 層を有する半導体装置では、短絡耐量が低くなる可能性がある。

【 0 0 0 7 】

本発明は上記点に鑑み、短絡耐量を向上できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

上記目的を達成するための請求項 1 では、F S 層 (2 0) を有する半導体装置であって、第 1 導電型のドリフト層 (1 1) と、ドリフト層上に形成された第 2 導電型のベース層 (1 2) と、ベース層の表層部に形成された第 1 導電型のエミッタ領域 (1 6) と、ベース層のうちのドリフト層とエミッタ領域との間に形成されたゲート絶縁膜 (1 4) と、ゲート絶縁膜上に形成されたゲート電極 (1 5) と、ドリフト層のうちのベース層側と反対側に形成された第 2 導電型のコレクタ層 (2 1) と、コレクタ層とドリフト層との間に形成され、ドリフト層よりも高キャリア濃度とされた第 1 導電型の F S 層と、ベース層およびエミッタ領域と電氣的に接続される第 1 電極 (1 9) と、コレクタ層と電氣的に接続される第 2 電極 (2 2) と、を備え、F S 層およびコレクタ層は、F S 層におけるキャリア濃度が最大となる最大ピーク位置とコレクタ層におけるキャリア濃度が最大となる最大ピーク位置との間の距離を $X [\mu m]$ 、F S 層を構成するドーズ量に対するコレクタ層を構成するドーズ量の比である不純物総量比を Y とすると、 $Y = 0.69X^2 + 0.08X + 0.86$ を満たす構成とされており、コレクタ層は、コレクタ層とフィールドストップ層との積層方向において、コレクタ層の最大ピーク位置が当該コレクタ層の中心 (C 1) よりドリフト層側に位置している。

【 0 0 1 0 】

これによれば、短絡時に正孔が注入され易くなるため、下部電極側の電界強度が高くなることを抑制できる。したがって、短絡耐量の向上を図ることができる。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】第 1 実施形態における半導体装置の断面図である。

【図 2】半導体基板の他面からの深さと、キャリア濃度との関係を示す図である。

【図 3】半導体装置の作動を示すタイミングチャートである。

【図 4】半導体装置の電界強度を示す図である。

【図 5】短絡評価を行う際の回路構成を示す図である。

【図 6】短絡時において、電界強度のピークが下部電極側で発生する原理を説明するための図である。

【図 7】半導体装置の電界強度を示す図である。

【図 8】短絡時において、電界強度のピークが下部電極側で発生し難くなる原理を説明するための図である。

【図 9 A】F S 層とコレクタ層とのピーク間距離と、下部の電界強度との関係を示す図である。

【図 9 B】F S 層とコレクタ層とのピーク間距離と、下部の電界強度との関係を示す図である。

【図 9 C】F S 層とコレクタ層とのピーク間距離と、下部の電界強度との関係を示す図である。

【図 10 A】F S 層とコレクタ層とのピーク間距離と、下部の電界強度との関係を示す図である。

【図 10 B】F S 層とコレクタ層とのピーク間距離と、下部の電界強度との関係を示す図である。

【図 11】F S 層とコレクタ層とのピーク間距離と、不純物総量比との関係を示す図である。

【図 12】第 2 実施形態における半導体基板の他面からの深さと、キャリア濃度との関係

を示す図である。

【図 1 3】第 3 実施形態における半導体基板の他面からの深さと、キャリア濃度との関係を示す図である。

【図 1 4】第 4 実施形態における半導体基板の他面からの深さと、キャリア濃度との関係を示す図である。

【図 1 5】他の実施形態における半導体基板の他面からの深さと、キャリア濃度との関係を示す図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0013】

(第 1 実施形態)

第 1 実施形態の半導体装置について図 1 を参照しつつ説明する。なお、本実施形態の半導体装置 1 は、例えば、インバータ、DC/DC コンバータ等の電源回路に使用されるパワースイッチング素子として利用されると好適である。

【0014】

図 1 に示されるように、半導体装置 1 は、ドリフト層 11 として機能する N 型の半導体基板 10 を有している。そして、ドリフト層 11 上(すなわち、半導体基板 10 の一面 10a 側)には、P 型のベース層 12 が形成されている。

【0015】

また、半導体基板 10 には、ベース層 12 を貫通してドリフト層 11 に達する複数のトレンチ 13 が形成されており、ベース層 12 は複数のトレンチ 13 によって分断されている。本実施形態では、複数のトレンチ 13 は、半導体基板 10 の一面 10a の面方向のうちの一方方向(すなわち、図 1 中紙面奥行き方向)に沿ってストライプ状に等間隔に形成されている。

【0016】

そして、複数のトレンチ 13 は、それぞれトレンチ 13 の壁面を覆うように形成されたゲート絶縁膜 14 と、当該ゲート絶縁膜 14 の上に形成されたゲート電極 15 とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。なお、本実施形態では、ゲート絶縁膜 14 は、酸化膜等で構成され、ゲート電極 15 は、ドーパトポリシリコン等で構成される。

【0017】

ベース層 12 の表層部には、N⁺型のエミッタ領域 16 および P⁺型のボディ領域 17 が形成されている。具体的には、エミッタ領域 16 は、ドリフト層 11 よりも高キャリア濃度で構成され、ベース層 12 内において終端し、かつ、トレンチ 13 の側面に接するように形成されている。一方、ボディ領域 17 は、ベース層 12 よりも高キャリア濃度で構成され、エミッタ領域 16 と同様に、ベース層 12 内において終端するように形成されている。

【0018】

より詳しくは、エミッタ領域 16 は、トレンチ 13 間の領域において、トレンチ 13 の長手方向に沿ってトレンチ 13 の側面に接するように棒状に延設され、トレンチ 13 の先端よりも内側で終端する構造とされている。また、ボディ領域 17 は、2 つのエミッタ領域 16 に挟まれてトレンチ 13 の長手方向(つまりエミッタ領域 16)に沿って棒状に延設されている。なお、本実施形態のボディ領域 17 は、半導体基板 10 の一面 10a を基準としてエミッタ領域 16 よりも深く形成されている。

【0019】

半導体基板 10 の一面 10a 上には、BPSG (Boro-phospho silicate glass の略) 等で構成される層間絶縁膜 18 が形成されており、層間絶縁膜 18 には、エミッタ領域 16 の一部およびボディ領域 17 を露出させるコンタクトホール 18a が形成されている。そ

10

20

30

40

50

して、層間絶縁膜 18 上には、コンタクトホール 18 a を通じてエミッタ領域 16 およびボディ領域 17 と電氣的に接続される上部電極 19 が形成されている。

【0020】

ドリフト層 11 のうちのベース層 12 側と反対側（すなわち、半導体基板 10 の他面 10 b 側）には、ドリフト層 11 よりも高キャリア濃度とされた N⁺ 型の FS 層 20 が形成されている。

【0021】

そして、FS 層 20 を挟んでドリフト層 11 と反対側には、半導体基板 10 の他面 10 b を構成する P⁺ 型のコレクタ層 21 が形成されている。コレクタ層 21 上（すなわち、半導体基板 10 の他面 10 b 上）には、コレクタ層 21 と電氣的に接続される下部電極 22 が形成されている。

10

【0022】

なお、本実施形態の FS 層 20 およびコレクタ層 21 は、半導体基板 10 の他面 10 b 側から不純物がイオン注入された後に熱処理されることで構成される。このため、FS 層 20 およびコレクタ層 21 は、図 2 に示されるように、キャリア濃度が正規分布となっている。この場合、キャリア濃度は、1 つのピークを有する分布となるため、このピークが最大ピークとなる。また、具体的には後述するが、本実施形態では、FS 層 20 のキャリア濃度における最大ピーク位置と、コレクタ層 21 のキャリア濃度における最大ピーク位置との間の距離 X が規定される。以下では、FS 層 20 のキャリア濃度における最大ピーク位置と、コレクタ層 21 のキャリア濃度における最大ピーク位置との間の距離 X を、単に FS 層 20 とコレクタ層 21 とのピーク間距離 X ともいう。

20

【0023】

以上が本実施形態における半導体装置 1 の構成である。なお、本実施形態では、N 型、N⁻ 型、N⁺ 型が本発明の第 1 導電型に相当し、P 型、P⁺ 型が本発明の第 2 導電型に相当している。また、本実施形態では、上部電極 19 が第 1 電極に相当し、下部電極 22 が第 2 電極に相当している。そして、本実施形態の半導体基板 10 は、上記のように、コレクタ層 21、FS 層 20、ドリフト層 11、ベース層 12、エミッタ領域 16、ボディ領域 17 を有する構成とされている。

【0024】

次に、このような半導体装置 1 の作動について、図 3 を参照しつつ説明する。

30

【0025】

まず、上記半導体装置 1 は、電流が流れるオン状態とされるには、上部電極 19 に下部電極 22 より低い電圧が印加されている状態において、時点 1 にてゲート電極 15 に所定の閾値以上の電圧が印加される。これにより、半導体装置 1 は、ゲート - エミッタ間電圧 V_{ge} が上昇し、ベース層 12 のうちのトレンチ 13 と接する部分に N 型の反転層（すなわち、チャンネル）が形成される。そして、半導体装置 1 は、エミッタ領域 16 から反転層を介して電子がドリフト層 11 に供給されると共に、コレクタ層 21 からホールがドリフト層 11 に供給され、伝導度変調によりドリフト層 11 の抵抗値が低下してオン状態となる。つまり、半導体装置 1 には、コレクタ - エミッタ間電圧 V_{ce} が低下して電流 I_c が流れる。なお、所定の閾値以上の電圧とは、ゲート - エミッタ間電圧 V_{ge} を MOS ゲートの閾値電圧 V_{th} より高くする電圧のことである。

40

【0026】

そして、半導体装置 1 は、時点 t_2 にてゲート電極 15 に印加されていた電圧が停止されると、ゲート - エミッタ間電圧 V_{ge} が低下し、反転層が消滅してオフ状態となる。つまり、半導体装置 1 は、電流 I_c が減少してオフ状態となる。この場合、半導体装置 1 は、短絡が発生すると、図 3 中の点線で示されるように、電流 I_c が急峻に増加しつつ、コレクタ - エミッタ間電圧 V_{ce} が急峻に低下する。

【0027】

ここで、短絡時における半導体装置 1 の電界強度について、図 4 を参照しつつ説明する。なお、図 4 は、図 5 に示されるように、半導体装置 1 を電源 30 にコイル 40 を介して接

50

続した状態で短絡評価を行った際のシミュレーション結果を示す図である。また、図 4 は、F S 層 2 0 を $2.0 \times 10^{12} \text{ cm}^{-2}$ のドーズ量で構成し、コレクタ層 2 1 を $3.56 \times 10^{12} \text{ cm}^{-2}$ のドーズ量で構成し、F S 層 2 0 とコレクタ層 2 1 とのピーク間距離 X を $1.5 \mu\text{m}$ とした場合のシミュレーション結果を示す図である。

【0028】

図 4 に示されるように、半導体装置 1 におけるオフ時の電界強度は、ベース層 1 2 とドリフト層 1 1 との接合部近傍でピークが発生し、コレクタ層 2 1 側に向かって徐々に小さくなる。一方、半導体装置 1 における短絡時の電界強度は、ベース層 1 2 とドリフト層 1 1 との接合部近傍よりも下部電極 2 2 側である F S 層 2 0 内でピークが発生している。このように、短絡時において、電界強度のピークが F S 層 2 0 内で発生するのは、図 6 に示されるように、F S 層 2 0 のうちの電界強度における下部電極 2 2 側の端部となる部分に注入される正孔が少なく、電子が過剰状態となるためである。そして、半導体装置 1 は、このように電界強度のピークが下部電極 2 2 側で発生すると、アバランシェ降伏が発生して破壊される可能性がある。なお、図 6 では、正孔を h で示し、電子を e で示している。

10

【0029】

このため、本発明者らは、短絡時において、F S 層 2 0 のうちの電界強度のピークと成り得る位置に注入される正孔を増加して電子の過剰状態を緩和することにより、電界強度のピークが下部電極 2 2 側で発生し難くなると考えた。そして、本発明者らは、まず、F S 層 2 0 のうちの電界強度のピークと成り得る位置に注入される正孔が増加するように、コレクタ層 2 1 のキャリア濃度を高くして同様のシミュレーションを行い、図 7 に示す結果を得た。なお、図 7 は、F S 層 2 0 を $2.0 \times 10^{12} \text{ cm}^{-2}$ のドーズ量で構成し、コレクタ層を $1.65 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で構成し、F S 層 2 0 とコレクタ層 2 1 とのピーク間距離 X を $1.5 \mu\text{m}$ とした場合のシミュレーション結果を示す図である。

20

【0030】

図 7 に示されるように、コレクタ層 2 1 を高キャリア濃度にしても、半導体装置 1 におけるオフ時の電界強度はほとんど変化しない。一方、半導体装置 1 における短絡時の電界強度は、F S 層 2 0 内にピークが発生しておらず、ベース層 1 2 とドリフト層 1 1 との接合部近傍がピークとなっていることが確認される。このように、電界強度のピークが F S 層 2 0 内で発生し難くなるのは、図 8 に示されるように、コレクタ層 2 1 のキャリア濃度を高くすることにより、F S 層 2 0 のうちの電界強度のピークと成り得る位置に注入される正孔が増加して電子の過剰状態が緩和されるためである。なお、図 8 では、正孔を h で示し、電子を e で示している。

30

【0031】

以上より、短絡時において、電界強度のピークが下部電極 2 2 側で発生し難いようにするためには、F S 層 2 0 のうちの電界強度のピークと成り得る位置に注入される正孔を増加させればよいことになる。なお、短絡時において、F S 層 2 0 のうちの電界強度のピークと成り得る位置は、F S 層 2 0 のキャリア濃度および F S 層 2 0 のキャリア濃度の最大ピーク位置に依存する。また、F S 層 2 0 のうちの電界強度のピークと成り得る位置に注入される正孔の量は、コレクタ層 2 1 のキャリア濃度、および F S 層 2 0 とコレクタ層 2 1 とのピーク間距離 X に依存する。

40

【0032】

このため、本発明者らは、F S 層 2 0 のキャリア濃度、コレクタ層 2 1 のキャリア濃度、F S 層 2 0 とコレクタ層 2 1 とのピーク間距離 X についてさらに詳細な検討を行った。言い換えると、本発明者らは、F S 層 2 0 を構成するドーズ量、コレクタ層 2 1 を構成するドーズ量、F S 層 2 0 とコレクタ層 2 1 とのピーク間距離 X についてさらに詳細な検討を行った。そして、本発明者らは、図 9 A ~ 図 9 C に示されるシミュレーション結果を得た。

【0033】

なお、図 9 A ~ 図 9 C は、コレクタ層 2 1 を構成するドーズ量を $3.82 \times 10^{12} \text{ cm}^{-2}$ で一定とし、F S 層 2 0 を構成するドーズ量を変化させた場合の図である。つまり、図 9 A ~ 図 9 C は、コレクタ層 2 1 のキャリア濃度を一定とし、F S 層 2 0 のキャリア濃

50

度を変化させた場合の図である。また、図 9 A ~ 図 9 C は、電源電圧を 7.57 V、ゲート電極 15 に印加される電圧を 16 V としたシミュレーション結果であって、短絡時の下部電極 22 側の電界強度を示している。以下では、短絡時の下部電極 22 側の電界強度を単に下部の電界強度ともいう。

【0034】

さらに、図 9 A ~ 図 9 C において、第 1 ~ 第 4 位置は、FS 層 20 におけるキャリア濃度のピークの位置を示しており、第 1 位置が他面 10 b 側に最も近く、第 2、第 3、第 4 位置の順に他面 10 b から離れた位置となっている。さらに、図 9 A ~ 図 9 C 中の不純物総量比 Y は、FS 層 20 を構成するドーズ量に対するコレクタ層 21 を構成するドーズ量の比である。但し、FS 層 20 のキャリア濃度は、FS 層 20 を構成するドーズ量に依存し、コレクタ層 21 のキャリア濃度は、コレクタ層 21 を構成するドーズ量に依存する。このため、不純物総量比 Y は、FS 層 20 のキャリア濃度に対するコレクタ層 21 のキャリア濃度の比ということもできる。

10

【0035】

図 9 A ~ 図 9 C に示されるように、第 1 ~ 第 4 位置における各プロットを用いて導出される近似曲線は、同じであることが確認される。つまり、下部の電界強度は、FS 層 20 におけるキャリア濃度のピーク位置には依存せず、FS 層 20 とコレクタ層 21 とのピーク間距離 X に依存することが確認される。すなわち、下部の電界強度は、FS 層 20 とコレクタ層 21 とのピーク間距離 X が等しければ、FS 層 20 におけるキャリア濃度のピーク位置が異なっても同じとなる。

20

【0036】

そして、図 9 A に示されるように、半導体装置 1 は、FS 層 20 を構成する際のドーズ量が $4 \times 10^{12} \text{ cm}^{-2}$ である場合、つまり不純物総量比 Y が 0.955 の場合には、ピーク間距離 X が $0.4 \mu\text{m}$ 以上になると下部の電界強度が上昇し始める。なお、下部の電界強度が上昇し始めるとは、短絡時にアバランシェ降伏が発生し易くなることである。

【0037】

同様に、図 9 B に示されるように、半導体装置 1 は、FS 層 20 を構成する際のドーズ量が $2 \times 10^{12} \text{ cm}^{-2}$ である場合、つまり不純物総量比 Y が 1.910 の場合には、ピーク間距離 X が $1.2 \mu\text{m}$ 以上になると下部の電界強度が上昇し始める。

【0038】

さらに、図 9 C に示されるように、半導体装置 1 は、FS 層 20 を構成する際のドーズ量が $1 \times 10^{12} \text{ cm}^{-2}$ である場合、つまり不純物総量比 Y が 3.820 の場合には、ピーク間距離 X が $1.8 \mu\text{m}$ 以上になると下部の電界強度が上昇し始める。

30

【0039】

また、本発明者らは、FS 層 20 を構成するドーズ量およびコレクタ層 21 を構成するドーズ量を変化させて同様のシミュレーションを行い、図 10 A および図 10 B に示す結果を得た。

【0040】

すなわち、図 10 A に示されるように、半導体装置 1 は、FS 層 20 を構成する際のドーズ量が $2 \times 10^{12} \text{ cm}^{-2}$ であり、コレクタ層 21 を構成する際のドーズ量が $5.22 \times 10^{12} \text{ cm}^{-2}$ である場合、ピーク間距離 X が $0.7 \mu\text{m}$ 以上になると下部の電界強度が上昇し始める。つまり、半導体装置 1 は、不純物総量比 Y が 1.305 である場合、ピーク間距離 X が $0.7 \mu\text{m}$ 以上になると下部の電界強度が上昇し始める。

40

【0041】

また、図 10 B に示されるように、半導体装置 1 は、FS 層 20 を構成する際のドーズ量が $1 \times 10^{12} \text{ cm}^{-2}$ であり、コレクタ層 21 を構成する際のドーズ量が $3.12 \times 10^{12} \text{ cm}^{-2}$ である場合、ピーク間距離 X が $1.7 \mu\text{m}$ 以上になると下部の電界強度が上昇し始める。つまり、半導体装置 1 は、不純物総量比 Y が 3.120 である場合、ピーク間距離 X が $1.7 \mu\text{m}$ 以上になると下部の電界強度が上昇し始める。

【0042】

50

以上より、下部の電界強度は、不純物総量比 Y と、 FS 層 20 とコレクタ層 21 とのピーク間距離 X とに依存することが確認される。そして、上記図 9A ~ 図 9C、図 10A、および図 10B を用いて不純物総量比 Y と FS 層 20 とコレクタ層 21 とのピーク間距離 X との関係について纏めると、図 11 に示されるようになる。なお、図 11 は、図 9A ~ 図 9C、図 10A および図 10B における各不純物総量比 Y の下部の電界強度が上昇し始める FS 層 20 とコレクタ層 21 とのピーク間距離 X をプロットした図である。

【0043】

図 11 に示されるように、半導体装置 1 は、 FS 層 20 とコレクタ層 21 とのピーク間距離を $X [\mu m]$ 、不純物総量比を Y とすると、 $Y = 0.69X^2 + 0.08X + 0.86$ を満たせば、下部の電界強度が増加することを抑制できることが確認される。このため、本実施形態では、 FS 層 20 およびコレクタ層 21 は、 $Y = 0.69X^2 + 0.08X + 0.86$ を満たすように形成されている。これにより、下部の電界強度が高くなることを抑制でき、短絡耐量を向上できる。

10

【0044】

なお、 FS 層 20 およびコレクタ層 21 は、 $Y = 0.69X^2 + 0.08X + 0.86$ を満たす範囲で形成されれば短絡耐量を向上できるが、不純物総量比 Y を高くし過ぎると、テール電流によってスイッチング速度が低下する可能性がある。このため、不純物総量比 Y は、用途に応じて適宜設計されることが好ましく、例えば、スイッチング速度が重要視される場合には、 $0.69X^2 + 0.08X + 0.86$ で設定される値の近傍の値とされることが好ましい。これによれば、スイッチング速度が低下することを抑制しつつ、短絡耐量の向上を図ることができる。

20

【0045】

また、上記のように、 FS 層 20 とコレクタ層 21 とのピーク間距離 X および不純物総量比 Y を選択する場合、コレクタ層 21 は、他面 10b を構成する部分のキャリア濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上となるようにされることが好ましい。これにより、コレクタ層 21 を下部電極 22 とオーミック接触された状態とできる。

【0046】

以上説明したように、本実施形態では、 FS 層 20 およびコレクタ層 21 は、 $Y = 0.69X^2 + 0.08X + 0.86$ を満たすように形成されている。このため、短絡時において、下部の電界強度が高くなることを抑制でき、短絡耐量の向上を図ることができる。

30

【0047】

(第2実施形態)

第2実施形態について説明する。第2実施形態は、第1実施形態に対し、コレクタ層 21 におけるキャリア濃度の分布を変更したものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

【0048】

本実施形態の半導体装置 1 は、基本的な構成は上記第1実施形態と同様である。そして、本実施形態では、コレクタ層 21 は、図 12 に示されるように、キャリア濃度が複数のピークを有するように構成されている。具体的には、コレクタ層 21 と FS 層 20 との積層方向を厚さ方向とすると、コレクタ層 21 は、厚さ方向において、キャリア濃度の最大ピーク位置が中心 C1 よりもドリフト層 11 側に位置するように形成されている。また、コレクタ層 21 は、厚さ方向において、キャリア濃度における最大ピークよりも小さい補助ピークが中心 C1 よりも他面 10b 側に位置するように形成されている。つまり、コレクタ層 21 は、厚さ方向における中心 C1 を基準として、キャリア濃度の分布が非対称となるように形成されている。

40

【0049】

なお、このようなコレクタ層 21 は、例えば、加速電圧を変更した複数回のイオン注入を行うことによって形成される。

【0050】

以上説明したように、本実施形態では、コレクタ層 21 は、キャリア濃度の最大ピーク位

50

置が中心C 1よりもドリフト層1 1側に位置するように形成されている。このため、半導体装置1では、FS層2 0とコレクタ層2 1とのピーク間距離Xを短くし易くなる。したがって、例えば、コレクタ層2 1におけるキャリア濃度の最大ピーク位置が中心C 1よりも他面1 0 b側に位置している場合と比較して、FS層2 0のうちの電界強度のピークと成り得る位置に注入される正孔を増加し易くなり、短絡耐量の向上を図ることができる。

【0051】

また、コレクタ層2 1は、当該コレクタ層2 1の中心C 1より他面側に補助ピークを有するように形成されている。このため、コレクタ層2 1を他面1 0 bから深くまで形成しても、コレクタ層2 1における他面1 0 bを構成する部分のキャリア濃度を $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上とし易くできる。また、コレクタ層2 1を他面1 0 bから深くまで形成し易くできるため、FS層2 0とコレクタ層2 1との界面を他面1 0 bから深い位置にし易くできる。つまり、FS層2 0と他面1 0 bとの間隔を長くし易くできる。

10

【0052】

ここで、上記のような半導体装置1は、所定の製造プロセスが行われることによって製造され、製造プロセスにおいて、例えば、半導体基板1 0が他面1 0 b側から研削等して薄くされたり、搬送等されたりする。この場合、半導体基板1 0の他面1 0 b側に傷が導入される可能性がある。そして、FS層2 0が形成されている場合にFS層2 0に傷が達する、またはFS層2 0が形成される前にFS層2 0が形成される部分まで傷が達すると、当該傷によって半導体装置1の耐圧が変化してしまう。つまり、半導体装置1の特性が変化してしまう。特に、オフ時において、空乏層の端部が位置する部分まで傷が達してしまった場合には、半導体装置1の特性が大きく変化してしまう。

20

【0053】

しかしながら、本実施形態では、上記のようにコレクタ層2 1を形成することにより、FS層2 0と他面1 0 bとの間隔を長くし易くできる。このため、本実施形態の半導体装置1では、FS層2 0に傷が達し難い構成とできる。したがって、本実施形態では、半導体装置1の特性が変化することも抑制できる。言い換えると、本実施形態では、半導体装置1の良品効率の向上を図ることができる。

【0054】

(第3実施形態)

第3実施形態について説明する。第3実施形態は、第1実施形態に対し、FS層2 0におけるキャリア濃度の分布を変更したものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

30

【0055】

本実施形態の半導体装置1は、基本的な構成は上記第1実施形態と同様である。そして、本実施形態では、FS層2 0は、図1 3に示されるように、キャリア濃度が複数のピークを有するように構成されている。具体的には、FS層2 0は、厚さ方向において、キャリア濃度の最大ピーク位置が中心C 2よりもドリフト層1 1側に位置するように形成されている。

【0056】

これによれば、FS層2 0は、最大ピーク位置が当該FS層2 0の中心C 2よりもドリフト層1 1側に位置している。このため、例えば、最大ピーク位置が当該FS層2 0の中心C 2に位置している場合と比較して、空乏層の端部をドリフト層1 1側に位置させることができる。したがって、傷が空乏層の端部となる位置まで達し難くなり、半導体装置1の特性が変化することを抑制できる。

40

【0057】

(第4実施形態)

第4実施形態について説明する。第4実施形態は、第1実施形態に対し、FS層2 0におけるキャリア濃度の分布を変更したものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

【0058】

50

本実施形態の半導体装置 1 は、基本的な構成は上記第 1 実施形態と同様である。そして、本実施形態では、F S 層 2 0 は、図 1 4 に示されるように、キャリア濃度が複数のピークを有するように構成されている。具体的には、F S 層 2 0 は、厚さ方向において、キャリア濃度の最大ピーク位置が中心 C 2 よりもコレクタ層 2 1 側に位置するように形成されている。

【 0 0 5 9 】

これによれば、F S 層 2 0 は、最大ピーク位置が当該 F S 層 2 0 の中心 C 2 よりもコレクタ層 2 1 側に位置している。このため、例えば、最大ピーク位置が当該 F S 層 2 0 の中心 C 2 に位置している場合と比較して、F S 層 2 0 とコレクタ層 2 1 とのピーク間距離 X を短くし易くできる。したがって、短絡耐量の向上を図り易くなる。

10

【 0 0 6 0 】

(他の実施形態)

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【 0 0 6 1 】

例えば、上記各実施形態は、第 1 導電型が P 型であり、第 2 導電型が N 型とされていてもよい。

【 0 0 6 2 】

また、上記各実施形態は、半導体基板 1 0 の他面 1 0 b 側に N 型のカソード層が形成された R C (Reverse-Conducting の略) - I G B T に適用されてもよい。

20

【 0 0 6 3 】

さらに、上記各実施形態は、トレンチ 1 3 が形成されておらず、ゲート電極 1 5 が半導体基板 1 0 の一面 1 0 a 上に形成されていてもよい。すなわち、上記各実施形態は、プレーナ型の半導体装置 1 に適用することもできる。

【 0 0 6 4 】

また、上記第 2 実施形態において、図 1 5 に示されるように、コレクタ層 2 1 は、キャリア濃度の分布において、最大ピークよりも小さい補助ピークを複数有する構成とされていてもよい。さらに、上記第 2 実施形態において、コレクタ層 2 1 は、補助ピークを有しない構成とされていてもよい。

【 0 0 6 5 】

30

そして、上記各実施形態を適宜組み合わせてもよい。例えば、上記第 2 実施形態を上記第 3、第 4 実施形態に組み合わせ、コレクタ層 2 1 のキャリア濃度が複数のピークを有するように構成されていてもよい。

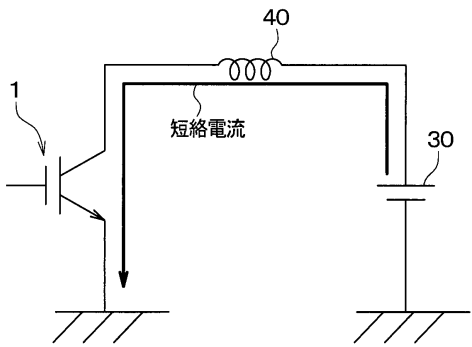
【 符号の説明 】

【 0 0 6 6 】

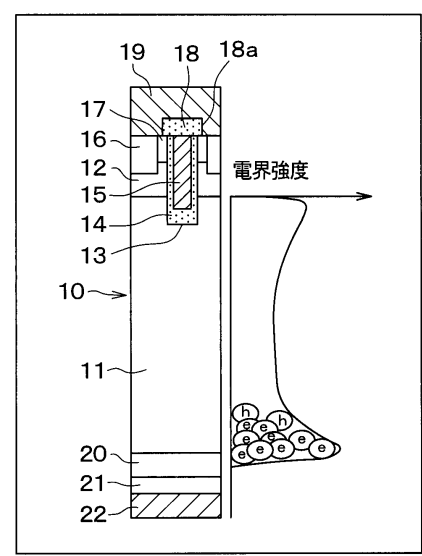
- 1 0 半導体基板
- 1 1 ドリフト層
- 1 2 ベース層
- 1 4 ゲート絶縁膜
- 1 5 ゲート電極
- 1 6 エミッタ領域
- 1 9 第 1 電極
- 2 2 第 2 電極

40

【図 5】

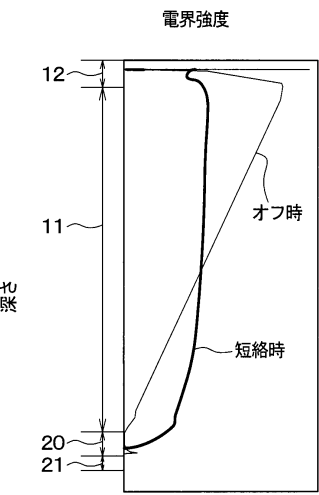


【図 6】

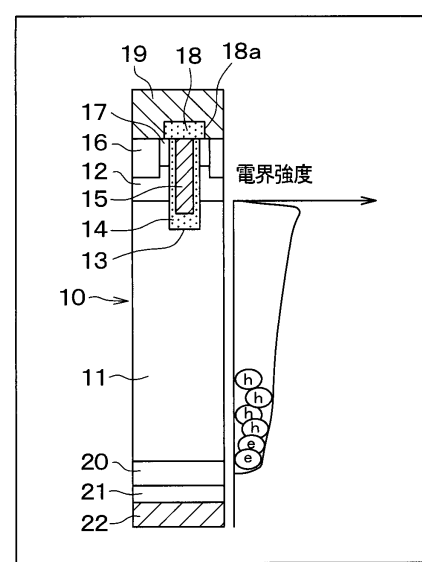


10

【図 7】



【図 8】



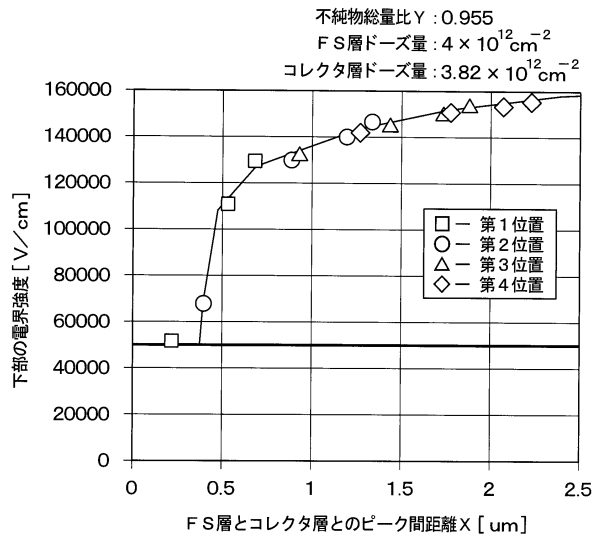
20

30

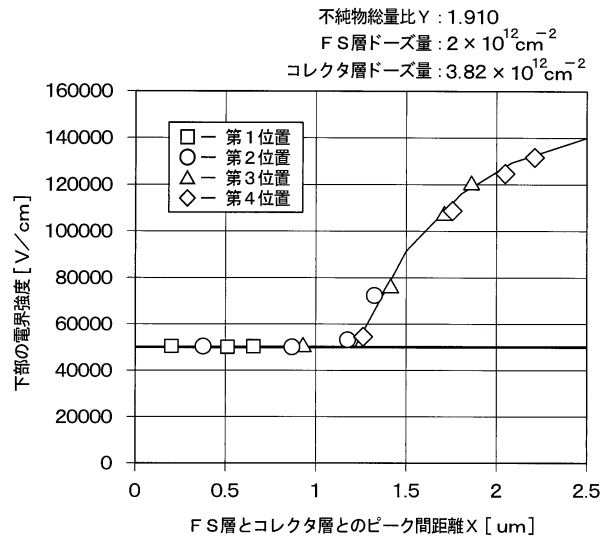
40

50

【図 9 A】

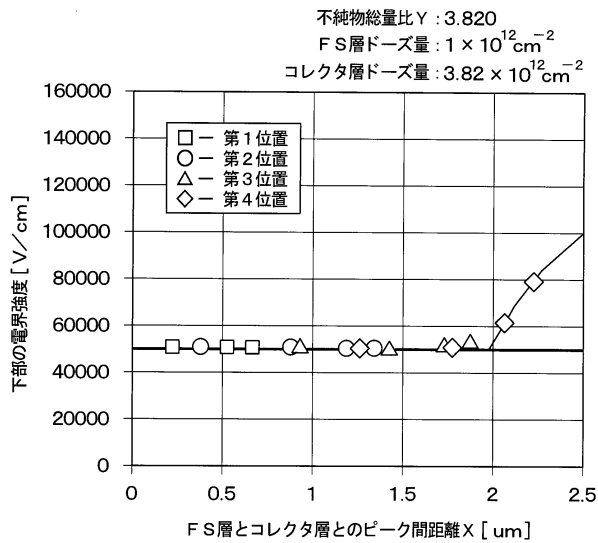


【図 9 B】

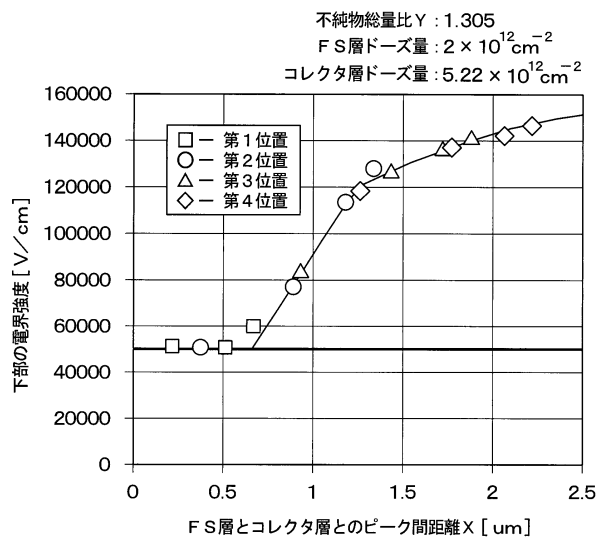


10

【図 9 C】



【図 10 A】



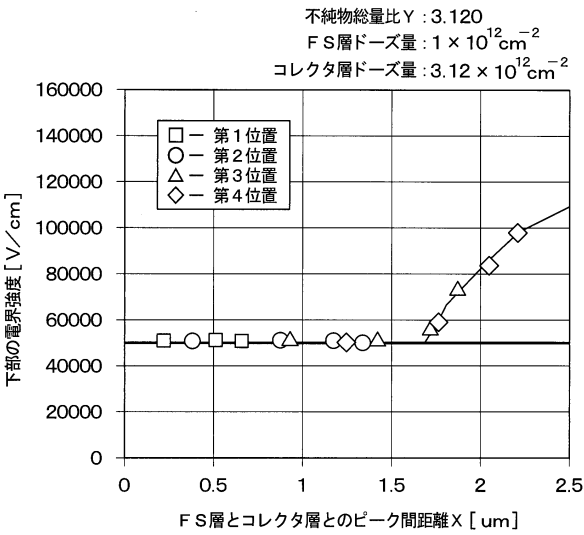
20

30

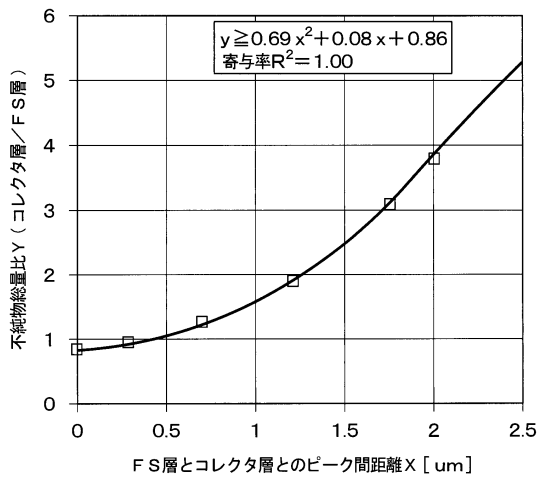
40

50

【図 1 0 B】

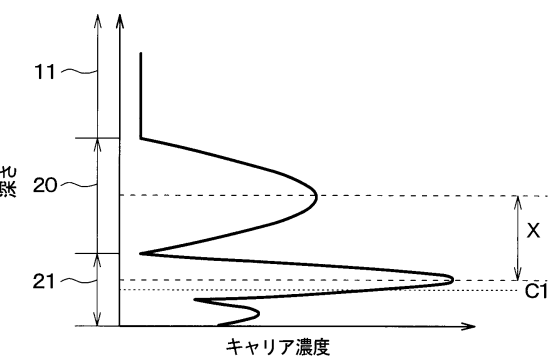


【図 1 1】

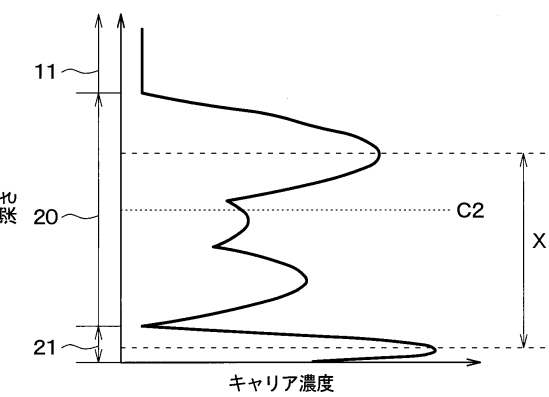


10

【図 1 2】



【図 1 3】



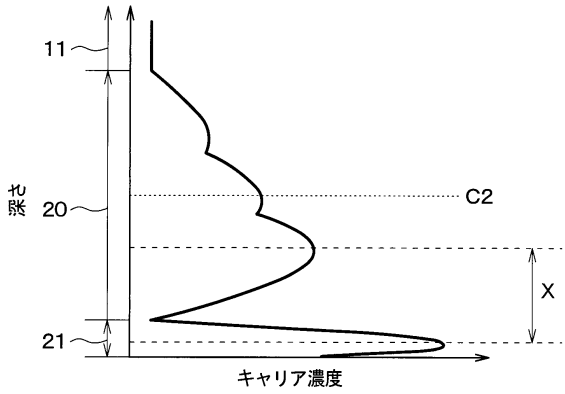
20

30

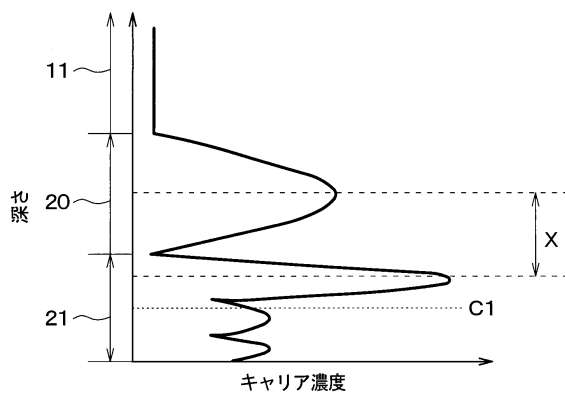
40

50

【図 14】



【図 15】



10

20

30

40

50

フロントページの続き

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

審査官 岩本 勉

(56)参考文献 国際公開第2016/204126(WO, A1)

特開2012-156207(JP, A)

米国特許出願公開第2008/0001257(US, A1)

(58)調査した分野 (Int.Cl., DB名)

H01L 29/739

H01L 29/78