



MINISTERO DELLO SVILUPPO ECONOMICO  
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE  
UFFICIO ITALIANO BREVETTI E MARCHI

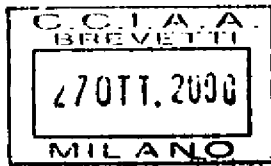
# UTBM

<b>DOMANDA NUMERO</b>	<b>102000900884883</b>
<b>Data Deposito</b>	<b>27/10/2000</b>
<b>Data Pubblicazione</b>	<b>27/04/2002</b>

<b>Sezione</b>	<b>Classe</b>	<b>Sottoclasse</b>	<b>Gruppo</b>	<b>Sottogruppo</b>
G	06	F		

Titolo

**CIRCUITO DI LETTURA DI MEMORIE NON VOLATILI**



Titolare: STMicroelectronics S.r.l. I0093000/FPO

\*\*\* \* \*\*\*

DESCRIZIONE

La presente invenzione si riferisce ai circuiti di  
 5 lettura di celle di memoria non volatili. In  
 particolare, la presente invenzione si riferisce ai  
 circuiti di lettura del tipo a sensing in tensione.

Come noto, la memorizzazione di un dato in formato  
 digitale in una cella di memoria non volatile quale, ad  
 10 esempio, una cella flash-EEPROM (Electric Erasable  
 Programmable Read Only Memory) avviene programmando  
 opportunamente la tensione di soglia della cella.

La necessità di utilizzare dispositivi di memoria  
 con capacità sempre più elevate ha reso di particolare  
 15 interesse le memorie multilivello. In via teorica, in  
 una memoria multilivello è possibile programmare la  
 tensione di soglia di una sua cella non ad uno tra due  
 soli possibili livelli (come avviene per le celle  
 bilivello) ma ad uno tra  $2^n - 1$  livelli, consentendo di  
 20 memorizzare n bit in una singola cella.

Per la lettura del dato memorizzato in una cella di  
 memoria sono note due diverse tecniche. Secondo una di  
 tali tecniche, denominata "sensing" in corrente, la  
 lettura è effettuata mantenendo costanti, e ad un  
 25 opportuno valore, le tensioni applicate al drain, al

Ing. Marco MACCALLI  
 N. Iscr. ALBO 826 B  
 (in proprio e per gli altri)

A handwritten signature in black ink, appearing to read 'Maccalli'.

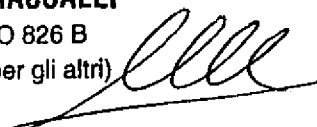
source e al gate della cella di memoria da leggere. In simili condizioni di polarizzazione la cella indirizzata assorbirà, quindi, una corrente di drain funzione del suo stato di programmazione.

5 Al contrario, l'altra tecnica di lettura, denominata sensing in tensione, prevede che la lettura sia effettuata mantenendo costante la corrente di drain assorbita dalla cella indirizzata fissate le condizioni di polarizzazione ai terminali di drain e di source. In  
10 particolare, il sensing in tensione avviene agendo sulla tensione di gate per forzare la cella di memoria ad assorbire una corrente predeterminata. Valutando la tensione di gate che in condizioni di regime porta la cella ad assorbire tale corrente si determina la tensione  
15 di soglia programmata nella cella, la quale è in corrispondenza biunivoca con la tensione di gate, risalendo, quindi, al dato memorizzato nella cella stessa. Questa tecnica di lettura necessita, in una delle sue possibili realizzazioni, di un circuito di  
20 controllo che regola la tensione di gate applicata alla cella affinché essa assorba la corrente predeterminata.

Il brevetto US 6034888 descrive un circuito di lettura di tipo a sensing in tensione in cui è impiegato un circuito di retroazione negativa comprendente un  
25 amplificatore operazionale che riceve ad un ingresso non-

**Ing. Marco MACCALLI**

N. Iscr. ALBO 826 B  
(in proprio e per gli altri)



invertente la tensione di drain della cella di memoria da leggere e ad un ingresso invertente una tensione di polarizzazione. Tale amplificatore operazionale fornisce in uscita la tensione da applicare al terminale di gate della cella. I tempi, indicati nel brevetto stesso, necessari al raggiungimento di una condizione di regime possono essere, a seconda della particolare configurazione circuitale, pari a  $1 \mu\text{s}$  oppure pari a 500 ns. Inoltre, in questo brevetto viene osservato che il nodo (indicato con il numero 16) del circuito di retroazione descritto con riferimento alla figura 1, che collega l'ingresso non-invertente dell'amplificatore operazionale al terminale di drain della cella di memoria, può causare instabilità del circuito di lettura.

L'instabilità del circuito di lettura realizzato secondo questo documento è riconducibile alla presenza di nodi ad alta impedenza ai quali corrispondono dei poli a bassa frequenza della funzione di trasferimento del circuito di retroazione.

Tale instabilità rappresenta un notevole svantaggio perché rende necessario l'utilizzo di circuiti aggiuntivi di compensazione che, oltre a complicare la configurazione circuitale, inducono un aumento dei tempi di lettura, vale a dire, del tempo impiegato per raggiungere la condizione di regime in corrispondenza



della quale è valutato il dato programmato nella cella.

Inoltre, si noti che il documento sopracitato non affronta problematiche legate al consumo di potenza da parte del circuito stesso.

5 Nella realizzazione di dispositivi integrati in piastrine a semiconduttore, quali le memorie, vi è una tendenza a ridurre la tensione d'alimentazione abbassandola, ad esempio, sino a valori di 3 V o 1,8 V. Tale tendenza si scontra con la necessità, propria dei  
10 circuiti di lettura nel contesto multilivello, di fornire alla cella di memoria da leggere una tensione di gate maggiore di quella d'alimentazione al fine d'interagire correttamente con la cella stessa.

Questa necessità risulta così stringente per le  
15 celle multilivello, in quanto un allargamento dell'intervallo di tensioni applicabili al terminale di gate della cella di memoria rende meno critica la discriminazione della tensione di soglia programmata fra un numero di possibili valori, che si desidera il più  
20 alto possibile. Per fornire tensioni sufficientemente elevate, i convenzionali circuiti di lettura ricorrono a dispositivi survoltori integrati.

Si osservi che per la lettura di memorie con un numero elevato di celle, l'area nella piastrina a  
25 semiconduttore destinata ai survoltori e la potenza da

**Ing. Marco MACCALLI**

N. Iscr. ALBO 826 B

(in proprio e per gli altri)



questi assorbita può divenire considerevole. Quindi, è essenziale realizzare circuiti di lettura per i quali le dimensioni e/o il numero dei survoltori impiegati siano limitati.

5           Scopo della presente invenzione è quello di realizzare un circuito di lettura di celle di memoria che non presenti gli svantaggi sopra indicati con riferimento ai circuiti di lettura convenzionali.

Lo scopo della presente invenzione è raggiunto da un  
10           circuito di lettura di una cella di memoria non volatile provvista di un terminale d'uscita per una corrente d'uscita e di un terminale di controllo per ricevere una tensione di controllo di detta corrente d'uscita, detto  
15           circuito comprendendo: un circuito di retroazione elettricamente collegabile a detto terminale d'uscita e a detto terminale di controllo per generare detta tensione di controllo a partire da un segnale di riferimento e dalla corrente d'uscita,

            caratterizzato dal fatto che detto circuito di  
20           retroazione comprende mezzi di amplificazione di corrente provvisti di un primo terminale per ricevere un segnale di errore in corrente ottenuto a partire dal segnale di riferimento e dalla corrente d'uscita, e di un secondo terminale per fornire una corrente amplificata.

25           Le caratteristiche ed i vantaggi della presente

**Ing. Marco MACCALLI**  
N. Iscr. ALBO 826 B  
(in proprio e per gli altri)



invenzione risulteranno evidenti dalla lettura della presente descrizione dettagliata di una sua forma di realizzazione preferita, fornita a puro titolo di esempio non limitativo e fatta con l'ausilio degli annessi  
5 disegni, nei quali:

la figura 1 mostra per blocchi funzionali un particolare circuito di lettura di celle di memoria in accordo con l'invenzione;

la figura 2 mostra un particolare diagramma  
10 circuitale del circuito di lettura di figura 1.

In figura 1 è mostrato per blocchi funzionali un particolare circuito di lettura di una matrice di celle di memoria 1. Tale circuito di lettura comprende un decodificatore di colonna 4, un limitatore di tensione di  
15 colonna o "bitline limiter" 8, un circuito di retroazione 100, un convertitore analogico/digitale 5 ed un decodificatore di riga 3.

La matrice di memoria 1 comprende una pluralità di celle di memoria non volatile, delle quali in figura 1 è  
20 mostrata una sola cella di memoria 2. Ad esempio, la cella 2 è una cella di tipo flash-EEPROM, di tipo bilivello o multilivello. Come noto, una cella di questo tipo impiega un MOSFET (Metal Oxide Semiconductor Field Effect Transistor) a gate flottante per il quale la  
25 memorizzazione di un dato avviene programmando



opportunamente la tensione di soglia  $V_{th}$ .

In maggior dettaglio, la cella di memoria 2 è provvista di terminale di source S collegato a massa o a terra, un terminale di drain D collegato al  
5 decodificatore di colonna 4 e un terminale di gate G collegato al decodificatore di riga 3. Il decodificatore di colonna 4 ed il decodificatore di riga 3 realizzati, ad esempio, in modo convenzionale, sulla base di un opportuno segnale d'indirizzo ADD consentono di  
10 selezionare, rispettivamente, una colonna ed una riga della matrice di memoria 1 in modo da indirizzare una cella di memoria.

Nel caso di figura 1, il decodificatore di colonna 4 consente di collegare, tramite il bitline limiter 8, il  
15 terminale di drain D della cella di memoria 2 ad un terminale d'ingresso 9 del circuito di retroazione 100, mentre il decodificatore di riga 3 consente di collegare, tramite un ramo conduttivo 16, il terminale di gate G con un nodo o terminale d'uscita 7 del circuito di  
20 retroazione 100.

Il bitline limiter 8 permette di mantenere ad un valore opportuno la tensione del terminale di drain D della cella di memoria 2 selezionata dai decodificatori 3 e 4. Tale bitline limiter 8 può essere realizzato in  
25 modo convenzionale.

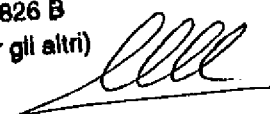
**Ing. Marco MACCALLI**  
N. Iscr. ALBO 826 B  
(In proprio e per gli altri)



Il circuito comprendente la cella di memoria 2 ed il circuito di lettura di figura 1 è un circuito del tipo a sensing in tensione a retroazione negativa. Il circuito di retroazione 100 fornisce al terminale di gate G della cella di memoria 2 una tensione di controllo, o di regolazione, tale da forzare la cella stessa ad assorbire una corrente di valore predeterminato. Preferibilmente, il circuito di lettura di figura 1 e la matrice di memoria 1 sono realizzati su un unico circuito integrato (chip) in una piastrina di materiale semiconduttore.

Il circuito di retroazione 100 comprende uno stadio a bassa tensione 101 ed uno stadio ad alta tensione 102. Lo stadio a bassa tensione 101 include uno specchio di corrente 10 formato, ad esempio, da MOSFET di tipo p, avente un ramo d'ingresso collegato al terminale d'ingresso 9 ed un ramo d'uscita collegato ad un nodo 11. Lo specchio di corrente 10 consente di alimentare al nodo 11 una corrente  $mI$  multipla di un fattore  $m$  della corrente  $I$  presente al terminale d'ingresso 9. Il nodo 11 è anche collegato ad un generatore di corrente 12 atto a generare una corrente di riferimento  $I_{REF}$ . Lo specchio di corrente 10 è alimentato da una tensione  $V_{dd}$  quale, ad esempio, la tensione di alimentazione standard fornita da un alimentatore esterno al chip contenente il circuito di figura 1 e la matrice di memoria 1. Ad esempio, tale

Ing. Marco MACCALLI  
N. Iscr. ALBO 826 B  
(in proprio e per gli altri)



tensione di alimentazione può essere pari a 5 V, 3 V o 1,8 V.

Il nodo 11 è provvisto di un ramo conduttore 13 di collegamento dello stadio a bassa tensione 101 con lo stadio ad alta tensione 102.

Lo stadio ad alta tensione 102 include mezzi di amplificazione di corrente comprendenti, ad esempio, un amplificatore di corrente 14 provvisto di un terminale d'ingresso 6, collegato al ramo conduttore 13, e del terminale d'uscita 7. In particolare, tale amplificatore di corrente 14 è di tipo invertente, ossia, fornisce al terminale d'uscita 7 una corrente avente un'ampiezza pari all'ampiezza della corrente presente al terminale d'ingresso 6 moltiplicata per un opportuno fattore di guadagno A ed avente una fase opposta alla fase della corrente presente al terminale d'ingresso 6.

Preferibilmente, l'amplificatore di corrente 14 presenta uno stadio d'ingresso ad impedenza opportunamente bassa in modo che il polo che tale stadio d'ingresso introduce nella funzione di trasferimento del circuito di lettura di figura 1 sia un polo non dominante posto sufficientemente fuori banda in modo da non influenzare criticamente la stabilità del circuito retroazionato.

Tipicamente, l'amplificatore di corrente 14 è



alimentato da una tensione  $V_{pp}$  maggiore della tensione di alimentazione  $V_{dd}$ . La tensione  $V_{pp}$  può essere ottenuta a partire dalla tensione  $V_{dd}$  con survoltori o circuiti a pompa di carica di tipo convenzionale e realizzati per  
5 integrazione.

Il nodo d'uscita 7 dell'amplificatore 14 è collegato al terminale di gate (G) della cella di memoria 2.

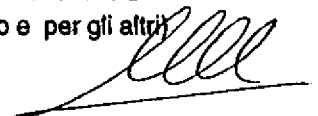
Inoltre, a tale nodo d'uscita 7 è collegato un condensatore di compensazione 15 di capacità  $C_L$ , a sua  
10 volta, collegato fra il nodo 7 e la terra. Tipicamente, tale condensatore 15 ha una capacità  $C_L$  opportunamente superiore alla capacità parassita equivalente dovuta ad altri componenti collegati al nodo d'uscita 7, quali il gate G della cella 2, il decodificatore di riga 3 e il  
15 ramo conduttivo 16. In tale modo, nel dimensionamento del circuito di figura 1, è possibile trascurare i contributi capacitivi, non determinabili a priori con esattezza, di questi elementi e fare riferimento alla capacità  $C_L$  di valore predeterminato. Ad esempio, il  
20 condensatore 15 può avere una capacità  $C_L$  di qualche unità di pF.

Il condensatore 15 è tale da essere caricabile e scaricabile dalla corrente d'uscita dell'amplificatore 14 per generare la tensione di controllo da applicare a tale  
25 terminale di gate G.

**Ing. Marco MACCALLI**

N. Iscr. ALBO 826 B

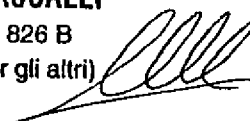
(In proprio e per gli altri)



Si noti inoltre che, preferibilmente, l'amplificatore di corrente 14 è tale da presentare uno stadio d'uscita avente un'impedenza di valore opportunamente elevato in modo che, unitamente ad un  
5 opportuno valore della capacità  $C_1$  del condensatore 15, il polo al nodo d'uscita 7 è un polo dominante della funzione di trasferimento del circuito di lettura di figura 1. In tal caso, il circuito retroazionato  
10 mostrato in figura 1 presenta una funzione di trasferimento approssimabile con una funzione a singolo polo e, quindi, il circuito risulta incondizionatamente stabile.

Il terminale di gate G è collegato al convertitore analogico/digitale 5, di tipo convenzionale, il quale  
15 consente di convertire la tensione analogica generata al nodo d'uscita 7 in un insieme o parola di  $n$  bit corrispondente al dato immagazzinato nella cella di memoria 2.

Verrà ora descritto il funzionamento del circuito di  
20 retroazione 100 per fornire al terminale di gate G della cella di memoria 2 la tensione di controllo  $V_G$  tale da far sì che la corrente presente al terminale di drain D della cella stessa assuma un valore prefissato,  $I_{0cell}$ .  
Si osservi che la tensione di controllo di gate  $V_{GR}$   
25 (valutata a regime) per la quale si è ottenuto



l'assorbimento della corrente  $I_{0cell}$  è correlata in modo biunivoco con la tensione di soglia  $V_{TH}$  programmata nella cella di memoria 2 secondo la relazione:

$$V_{GR} = V_{TH} + V_{OV} \quad (1)$$

5       dove la tensione  $V_{OV}$  è la tensione di sovrapiilotaggio o overdrive necessaria affinché nella cella di memoria 2 fluisca la corrente  $I_{0cell}$ .

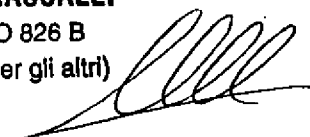
In una fase iniziale, la tensione di gate della cella di memoria 2, indirizzata dai decodificatori 3 e 4,  
10 è impostata ad un valore iniziale  $V_0$  scelto, vantaggiosamente, all'interno di un intervallo  $\Delta V_{th}$  di variazione delle tensioni di soglia. Ad esempio, tale intervallo  $\Delta V_{th}$  è esteso tra 2V e 6,5 V.

In corrispondenza di tale tensione iniziale  $V_0$  la  
15 cella di memoria 2 assorbe una corrente  $I_{cell}$  (di valore anche nullo) che viene moltiplicata per il fattore  $m$  sopra definito dallo specchio di corrente 10 e, quindi, alimentata al nodo 11. Con riferimento ai versi di circolazione delle correnti indicati in figura 1, sul  
20 ramo 13 è presente una corrente  $I_e$  pari alla differenza fra la corrente  $mI_{cell}$  uscente dallo specchio di corrente 10 e la corrente  $I_{REF}$  generata dal generatore di corrente 12 :  $I_e = mI_{cell} - I_{REF}$ . Si noti che, il nodo 11 ha la funzione di nodo di comparazione fra la corrente derivata  
25 dalla cella 2 e moltiplicata dallo specchio di corrente

**Ing. Marco MACCALLI**

N. Iscr. ALBO 826 B

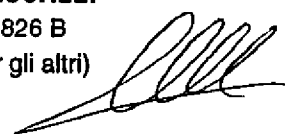
(In proprio e per gli altri)



10 e la corrente di riferimento  $I_{REF}$ , mentre la corrente  $I_e$  rappresenta un segnale d'errore per il circuito di retroazione 100.

Si consideri il caso in cui la corrente  $mI_{cell}$  è  
5 inferiore alla corrente  $I_{REF}$ . Ciò corrisponde alla situazione in cui la corrente  $I_{cell}$  è inferiore alla corrente  $I_{0cell}$  sopra definita. In questa condizione, la tensione di over drive  $V_{ov}$  della cella di memoria 2 è inferiore al valore indicato dalla relazione (1) e  
10 pertanto, per imporre la corrente  $I_{0cell}$  nella cella di memoria 2 è necessario innalzare la tensione  $V_G$  del terminale di gate G. Nella ipotesi suddetta, la corrente  $I_e$  in ingresso all'amplificatore di corrente 14 ha un segno negativo e l'amplificatore 14 fornisce al terminale  
15 d'uscita 7 una corrente  $I_u$  di verso e di ampiezza tali da caricare il condensatore 15 portando il terminale di gate G ad un valore di tensione  $V_G'$  maggiore del valore iniziale  $V_0$ .

Si supponga che in corrispondenza di tale valore di  
20 tensione  $V_G'$  la corrente  $mI_{cell}$  diventi superiore alla corrente di riferimento  $I_{REF}$ . In tal caso, si verifica un aumento della corrente  $I_e$  rispetto al valore assunto in precedenza facendo sì che l'amplificatore di corrente 14 fornisca in uscita una corrente di verso ed ampiezza tali  
25 da scaricare, almeno in parte, il condensatore 15 e,



conseguentemente, ridurre la tensione del terminale di gate G della cella di memoria 2.

Questo controllo della tensione  $V_G$  del terminale di gate G della cella di memoria 2 prosegue sino a quando  
5 viene raggiunta una condizione di equilibrio per la quale la corrente  $I_e$  in ingresso all'amplificatore di corrente 14 risulti nulla.

Nell'esempio descritto l'amplificatore di corrente (14) è, vantaggiosamente, alimentato da una tensione  $V_{pp}$ ,  
10 maggiore della tensione di alimentazione  $V_{dd}$ , perché la tensione di controllo da applicare al terminale di gate G della cella di memoria 2 è, normalmente, superiore alla tensione  $V_{dd}$  fornita dalla sola alimentazione.

La lettura della cella di memoria 2 viene completata  
15 convertendo, tramite il convertitore analogico/digitale 5, la tensione  $V_{GR}$  applicata al terminale di gate G di tale cella nella parola di  $n$  bit corrispondente al dato programmato nella cella stessa.

Si osservi che lo specchio di corrente 10,  
20 introducendo un fattore moltiplicativo della corrente, consente di effettuare nel nodo 11 una comparazione fra correnti di valore relativamente elevato in modo da minimizzare il peso di eventuali imprecisioni nella corrente di riferimento  $I_{REF}$ . Ciò consente al circuito di  
25 lettura sopra descritto di operare con elevate



prestazioni in termini di precisione, rendendo possibile una corretta lettura di celle di memoria multilivello e, in particolare, di celle aventi più di otto possibili livelli programmazione.

5        Inoltre, l'utilizzo dello specchio di corrente 10 consente di mantenere limitata la corrente assorbita dalla cella (ad esempio, a meno di 15-20  $\mu\text{A}$ ) e quindi di limitare gli stress a cui è sottoposta, allungando la vita media del dato memorizzato. In più, come detto in  
10 precedenza, lo specchio di corrente 10 può essere alimentato dalla tensione di alimentazione  $V_{dd}$  e quindi non richiede l'impiego di dispositivi survoltori.

Si noti che il circuito di retroazione 100 presenta un'ottimizzazione dell'impiego delle alte tensioni  
15 mantenendo elevate le prestazioni in termini di precisione. Infatti, nel circuito di lettura 100 sono alimentati dalla tensione  $V_{pp}$ , generata da uno o più survoltori, solo quegli stadi per i quali la tensione di alimentazione  $V_{dd}$  può risultare insufficiente, come può  
20 avvenire, ad esempio, per lo stadio 102 comprendente l'amplificatore di corrente 14. Quindi, per il circuito di figura 1 può essere impiegato un numero limitato di survoltori oppure possono essere impiegati survoltori aventi dimensioni contenute, riducendo i consumi di  
25 potenza e l'area occupata dal circuito stesso su una



piastrina a semiconduttore. In particolare, nel caso di utilizzo di celle di memoria multilivello, il risparmio di area permette di non vanificare il guadagno di area che la tecnologia multilivello ha consentito di  
5 raggiungere.

Inoltre, il circuito di retroazione 100 presenta un comportamento nei confronti della stabilità migliorato rispetto a quello dei circuiti di lettura noti. Infatti, come detto in precedenza, lo stadio d'ingresso  
10 dell'amplificatore di corrente 14 può essere dimensionato in modo da non originare instabilità. In particolare, lo stadio d'ingresso e lo stadio d'uscita dell'amplificatore di corrente 14 possono essere dimensionati in modo da rendere il circuito retroazionato di figura 1  
15 incondizionatamente stabile.

La maggior stabilità raggiungibile dal circuito di retroazione 100 consente di evitare l'impiego di circuiti di compensazione che causano un allungamento dei tempi di lettura e, quindi, presenta il vantaggio di consentire al  
20 circuito di lettura stesso di operare con elevate velocità.

Il tecnico del ramo, sulla base della precedente descrizione, può facilmente progettare particolari configurazioni circuitali che implementano le funzioni  
25 dei blocchi mostrati in figura 1.

**Ing. Marco MACCALLI**  
N. Iscr. ALBO 826 B  
(in proprio e per gli altri)



Per completezza di descrizione nella figura 2 sono mostrate delle possibili configurazioni circuitali che possono essere impiegate per tali blocchi funzionali. In tale figura 2, per semplicità di rappresentazione, non sono mostrati il decodificatore di riga 3, il decodificatore di colonna 4 e la matrice di memoria 1, sostituibili da condensatori e resistori di capacità e resistenza opportune.

La cella di memoria 2 presenta il terminale di drain collegato ad un primo terminale o nodo 51 del bitline limiter 8.

Inoltre, per tenere conto del contributo capacitivo del decodificatore di colonna 4, della capacità del terminale di drain D della cella di memoria 2 e delle capacità dei terminali di drain di altre celle di memoria della colonna della matrice 1 a cui appartiene la cella 2 è stato introdotto un condensatore di capacità  $C_{BL}$  disposto tra il nodo 51 e la terra.


Tale bitline limiter 8, il cui funzionamento è noto al tecnico del ramo è, vantaggiosamente, alimentato in bassa tensione, ossia, con la tensione di alimentazione standard  $V_{dd}$ .

Si sottolinea il fatto che il bitline limiter 8 permette di trascurare il peso capacitivo del primo terminale 51 collegato al terminale di drain D della

**Ing. Marco MACCALLI**

N. Iscr. ALBO 826 B

(In proprio e per gli altri)




cella di memoria 2. Infatti, il bitline limiter 8 mantiene sostanzialmente costante la tensione del primo terminale 51 facendo sì che tale terminale appaia per un segnale dinamico come una massa e quindi presenti una  
5 bassa resistenza. Ciò comporta che il bitline limiter 8 non è significativo per la stabilità del circuito di figura 1.

Un secondo terminale del bitline limiter 8 è collegato al ramo d'ingresso dello specchio di corrente  
10 comprendente, nell'esempio, un transistor PMOS,  $M_2$ , avente un terminale di drain collegato ad un proprio terminale di gate. Lo specchio di corrente 10 comprende anche un transistor PMOS,  $M_3$ , avente un terminale di gate collegato al terminale di gate del transistor  $M_2$ .  
15 I transistori  $M_2$  ed  $M_3$ , sono alimentati ai rispettivi terminali di source dalla tensione di alimentazione  $V_{dd}$ .

Come evidente al tecnico del ramo, durante il funzionamento dello specchio di corrente 10 in corrispondenza di un terminale di drain del transistor  
20  $M_3$  è presente una corrente pari alla corrente presente al terminale di drain del transistor  $M_2$  moltiplicata per il sopra citato fattore di moltiplicazione  $m$ , dipendente dai rapporti di aspetto dei transistori  $M_2$  ed  $M_3$ .

Il transistor  $M_3$  dello specchio di corrente 10  
25 presenta il terminale di drain collegato al nodo 11, che

**Ing. Marco MACCALLI**  
N. iscr. ALBO 826 B  
(in proprio e per gli altri)



consente la comparazione della corrente uscente dallo specchio di corrente 10 con la corrente di riferimento  $I_{REF}$ , fornita dal generatore di corrente 12.

Tale nodo 11 è collegato al terminale d'ingresso 6  
5 dell'amplificatore di corrente 14 comprendente uno stadio d'ingresso 54 ed uno stadio d'uscita includente un primo specchio di corrente 17 ed un secondo specchio di corrente 18.

Lo stadio d'ingresso 54 include un transistor NMOS,  
10  $M_4$ , ed un transistor PMOS,  $M_5$ , polarizzati a gate comune ed aventi rispettivi terminali di source collegati al terminale d'ingresso 6 per ricevere la corrente  $I_e$ . Il transistor  $M_4$  presenta un terminale di drain collegato al primo specchio di corrente 17 includente due  
15 transistori PMOS, mentre il transistor  $M_5$  presenta un terminale di drain collegato al secondo specchio di corrente 18 includente due transistori NMOS. Inoltre, i transistori  $M_4$  ed  $M_5$  presentano terminali di gate collegati rispettivamente ad uno stadio di  
20 polarizzazione. Tale stadio può essere dimensionato in modo che lo stadio d'ingresso 54 operi in classe AB.

Ad esempio, lo stadio di polarizzazione include un primo transistor di polarizzazione NMOS,  $M_{10}$ , avente un terminale di drain collegato, tramite un resistore di  
25 resistenza  $R_{HV}$ , ad un terminale al quale è alimentata la

**Ing. Marco MACCALLI**  
N. Iscr. ALBO 826 B  
(in proprio e per gli altri)



tensione  $V_{pp}$ , ottenuta amplificando opportunamente la tensione di alimentazione  $V_{dd}$ . Il primo transistor di polarizzazione  $M_{10}$  presenta un terminale di source collegato ad un terminale di source di un secondo transistor di polarizzazione PMOS,  $M_{11}$ , avente un terminale di drain collegato ad un generatore 63 di corrente  $I_{HV}$  e quindi alla terra. Il primo ed il secondo transistor di polarizzazione  $M_{10}$ ,  $M_{11}$  sono collegati a diodo, ossia, presentano i rispettivi terminali di gate collegati ai rispettivi terminali di drain. Inoltre, i terminali di gate dei due transistori di polarizzazione  $M_{10}$  e  $M_{11}$  sono rispettivamente collegati ai terminali di gate dei transistori  $M_4$  ed  $M_5$  in modo da fornire a questi ultimi un opportuna tensione di polarizzazione. Il dimensionamento dello stadio di polarizzazione consente di fissare la corrente statica che l'amplificatore 14 assorbirà a regime, cioè in presenza di un segnale d'errore nullo, dai survoltori. Il valore di tale corrente è fissato dalla corrente fornita dal generatore di corrente  $I_{HV}$ .

Si osservi che facendo operare l'amplificatore di corrente 14 in classe AB si ottiene il vantaggio di simmetrizzare il comportamento del circuito di lettura secondo l'invenzione, nel senso che le sue prestazioni in fase di carica del condensatore 15 sono sostanzialmente



equivalenti a quelle in fase di scarica dello stesso.

Le condizioni iniziali di polarizzazione del condensatore 15 possono essere convenientemente poste a metà del range entro cui verrà regolata la tensione del terminale di gate della cella di memoria letta.

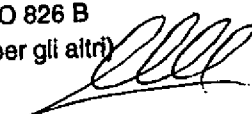
Inoltre, si noti che lo stadio d'ingresso 54 includendo i transistori  $M_4$  ed  $M_5$  collegati a gate comune presenta una bassa impedenza d'ingresso che consente di ottenere i vantaggi in termini di stabilità e di velocità sopra esposti.

Il primo specchio di corrente 17 include un transistor PMOS,  $M_6$ , avente un terminale di gate collegato ad un proprio terminale di drain e al terminale di drain del transistor  $M_4$  incluso nello stadio d'ingresso 54. Inoltre, il terminale di gate del transistor  $M_6$  è collegato ad un terminale di gate di un transistor PMOS,  $M_8$ , avente un terminale di drain collegato al nodo di uscita 7.

I transistori  $M_6$  ed  $M_8$  presentano rispettivi terminali di source collegati ad un terminale sul quale è disponibile la tensione  $V_{pp}$ . Durante il funzionamento, questo primo specchio di corrente 17 fornisce in corrispondenza del terminale di drain del transistor  $M_8$  una corrente pari alla corrente presente al terminale di drain del transistor  $M_6$  moltiplicata per un opportuno

**Ing. Marco MACCALLI**

N. Iscr. ALBO 826 B  
(in proprio e per gli altri)

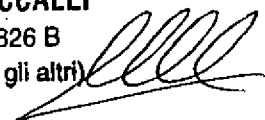


fattore di moltiplicazione  $M$ .

Il secondo specchio di corrente 18 include un transistore NMOS,  $M_7$ , avente un terminale di drain collegato al proprio terminale di gate e al terminale di drain del transistore  $M_5$  dello stadio d'ingresso 54. Inoltre, il terminale di gate del transistore  $M_7$  è collegato ad un terminale di gate di un transistore NMOS,  $M_9$ , avente un terminale di drain collegato al nodo di uscita 7. I transistori  $M_7$  ed  $M_9$  presentano rispettivi terminali di source collegati alla terra. Durante il funzionamento, questo secondo specchio di corrente 18 fornisce in corrispondenza del terminale di drain del transistore  $M_9$  una corrente pari alla corrente presente al terminale di drain del transistore  $M_7$  moltiplicata per un opportuno fattore di moltiplicazione, preferibilmente, uguale al fattore di moltiplicazione del primo specchio di corrente ai fini della simmetria del comportamento del circuito di lettura.

Si osservi che l'impedenza d'uscita dell'amplificatore 14, ossia, l'impedenza vista dal nodo d'uscita 7, è data dall'impedenza vista al drain dei transistori  $M_8$  e  $M_9$ , ciascuno dei quali è collegato a source comune e quindi è tale da presentare un'impedenza elevata. Come sopra accennato, scegliendo opportunamente l'impedenza di uscita dei transistori  $M_8$  e  $M_9$  e della

Ing. Marco MACCALLI  
N. Iscr. ALBO 826 B  
(in proprio e per gli altri)



capacità  $C_L$  de condensatore 15 è possibile ottenere una funzione di trasferimento del circuito di lettura di figura 2 avente sostanzialmente un singolo polo.

Con riferimento al funzionamento dell'amplificatore  
5 14, si osservi che quando la corrente  $I_e$  presente sul ramo 13 aumenta rispetto ad un valore di equilibrio si verifica un aumento della corrente che attraversa il transistore PMOS,  $M_5$ , presente nello stadio d'ingresso 54 e che entra nel transistore  $M_7$ , del secondo specchio di  
10 corrente 18. Il secondo specchio di corrente 18 presenterà una corrente crescente di verso entrante nel terminale di drain del transistore  $M_9$  e tale da scaricare opportunamente il condensatore 15 attraverso il nodo 7.

Quando la corrente  $I_e$  presente sul ramo 13  
15 diminuisce rispetto ad un valore di equilibrio si verifica un aumento della corrente che attraversa il transistore NMOS,  $M_4$ , presente nello stadio d'ingresso 54 e che esce dal terminale di drain del transistore  $M_6$  incluso nel primo specchio di corrente 17. Il primo  
20 specchio di corrente 17 presenterà una corrente crescente di verso uscente dal terminale di drain del transistore  $M_8$  e tale da caricare opportunamente il condensatore 15 attraverso il nodo 7.

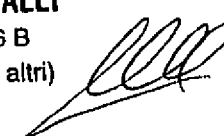
L'inserimento di una realizzazione circuitale del  
25 circuito di retroazione 100 all'interno di un circuito di



lettura ha dimostrato i vantaggi offerti dalla presente invenzione. Si è osservato che con il circuito di lettura sopra descritto è possibile raggiungere tempi di lettura considerevolmente inferiori a quelli raggiunti dai circuiti realizzati secondo la tecnica nota. Infatti, per raggiungere la tensione di controllo di gate con uno scarto inferiore a 5 mV rispetto al valore di regime, il circuito in accordo con l'invenzione ha impiegato un tempo inferiore a 250 ns e, in particolare, inferiore a 120 ns.

Inoltre, si è osservato un assorbimento di corrente dai survoltori inferiore a 20  $\mu$ A, durante il funzionamento statico, ed un assorbimento di corrente in dinamica di circa 200  $\mu$ A per un tempo di circa 50 ns.

Le elevate prestazioni in termini di precisione, stabilità, tempi di lettura, consumi e ingombro raggiungibili con il circuito di lettura in accordo con l'invenzione risultano particolarmente vantaggiose per le memorie multilivello consentendo, a differenza dei circuiti di lettura convenzionali, di utilizzare l'approccio multilivello anche con un numero di livelli superiore a otto. L'utilizzo di memorie multilivello con elevate capacità di memorizzazione è particolarmente conveniente nell'ambito di dispositivi portatili, quali, ad esempio, telefoni mobili, agende elettroniche,



walkman, macchine fotografiche, telecamere digitali.

**Ing. Marco MACCALLI**  
N. Iscr. ALBO 826 B  
(in proprio e per gli altri)

A handwritten signature in black ink, consisting of stylized, cursive letters that appear to read 'M. MacCalli'.

Rivendicazioni

1.Circuito di lettura di una cella di memoria non volatile (2) provvista di un terminale d'uscita (D) per  
5 una corrente d'uscita e di un terminale di controllo (G) per ricevere una tensione di controllo di detta corrente d'uscita, detto circuito comprendendo:

un circuito di retroazione (100) elettricamente collegabile a detto terminale d'uscita e a detto  
10 terminale di controllo per generare detta tensione di controllo a partire da un segnale di riferimento e dalla corrente d'uscita,

caratterizzato dal fatto che detto circuito di retroazione comprende mezzi di amplificazione di corrente  
15 (14) provvisti di un primo terminale (6) per ricevere un segnale di errore in corrente ottenuto a partire dal segnale di riferimento e dalla corrente d'uscita, e di un secondo terminale (7) per fornire una corrente amplificata.

20 2.Circuito di lettura secondo la rivendicazione 1 inoltre comprendente:

mezzi di generazione di corrente (12) per generare detto segnale di riferimento,

un nodo di comparazione (11) elettricamente  
25 collegabile a detti mezzi di generazione di corrente e al

**Ing. Marco MACCALLI**

N. Iscr. ALBO 826 B  
(in proprio e per gli altri)



terminale d'uscita (D) di detta cella di memoria (2), il nodo di comparazione essendo tale da fornire al primo terminale (6) di detti mezzi di amplificazione (14) il segnale di errore in corrente ottenuto dalla differenza fra il segnale di riferimento e una prima corrente correlata alla corrente d'uscita.

3.Circuito di lettura secondo la rivendicazione 1 in cui detta corrente amplificata ha fase opposta alla fase del segnale di errore in corrente.

10 4.Circuito di lettura secondo la rivendicazione 1 in cui detti mezzi di amplificazione di corrente (14) comprendono uno stadio d'ingresso (54) avente impedenza d'ingresso di valore basso in modo che a detto stadio d'ingresso è associato un polo non dominante.

15 5.Circuito di lettura secondo la rivendicazione 4 in cui detti mezzi di amplificazione di corrente (14) comprendono uno stadio d'uscita ( $M_8; M_9, 15$ ) avente un'impedenza di valore elevato in modo che la funzione di trasferimento di detto circuito di lettura abbia un polo dominante associato a detto stadio d'uscita.

25 6.Circuito di lettura secondo la rivendicazione 1 in cui il secondo terminale (7) è operativamente collegato al terminale di controllo (G) di detta cella di memoria (2), e a detto secondo terminale è collegato un elemento capacitivo di compensazione (15) caricabile e scaricabile

**Ing. Marco MACCALLI**

N. Iscr. ALBO 826 B

(in proprio e per gli altri)



dalla corrente amplificata fornita dai mezzi di amplificazione di corrente (14) per generare detta tensione di controllo.

5 7.Circuito di lettura secondo la rivendicazione 6 in cui detto elemento capacitivo (15) ha una capacità superiore almeno ad una capacità parassita associata a detto secondo terminale (7).

10 8.Circuito di lettura secondo la rivendicazione 2 in cui fra il nodo di comparazione (11) e il terminale d'uscita (D) è interposto uno specchio di corrente (10) per generare detta prima corrente a partire dalla corrente d'uscita.

15 9.Circuito di lettura secondo la rivendicazione 8 in cui detti mezzi di generazione di corrente (12) e detto specchio di corrente (10) sono alimentabili con una prima tensione di alimentazione e detti mezzi di amplificazione di corrente (14) sono alimentabili con una seconda tensione maggiore di detta prima tensione di alimentazione.

20 10.Circuito di lettura secondo la rivendicazione 1 in cui detti mezzi di amplificazione di corrente (14) comprendono un amplificatore di corrente in classe AB.

25 11.Circuito di lettura secondo la rivendicazione 4 in cui detto stadio d'ingresso (54) comprende un transistor d'ingresso ( $M_4$ ) ed un secondo transistor d'ingresso ( $M_5$ )

aventi rispettivi terminali di source collegati a detto primo terminale (6), ciascuno di detti primo e secondo transistori d'ingresso essendo polarizzati a gate comune.

12. Circuito di lettura secondo la rivendicazione 5 in cui detto stadio d'uscita comprende un primo (17) e un secondo specchio di corrente (18) collegati al secondo terminale (7) per moltiplicare per un fattore moltiplicativo una corrente fornita dallo stadio d'ingresso e alimentare al secondo terminale la corrente amplificata.

13. Circuito di lettura secondo la rivendicazione 12 in cui detti primo (17) e secondo (18) specchio di corrente comprendono rispettivamente un primo ( $M_8$ ) e secondo ( $M_9$ ) transistori d'uscita collegati al secondo terminale (7), ciascuno di detti primo e secondo transistori di uscita essendo polarizzati a source comune.

14. Circuito di lettura secondo la rivendicazione 1 in cui detti mezzi di amplificazione comprendono MOSFET.

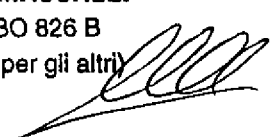
15. Circuito di lettura secondo la rivendicazione 1 in cui al terminale di uscita (D) di detta cella di memoria (2) sono collegati mezzi di limitazione di tensione (8) per mantenere sostanzialmente costante la tensione di tale terminale d'uscita.

16. Circuito di lettura secondo la rivendicazione 1 in cui il terminale di controllo (G) di detta cella di

**Ing. Marco MACCALLI**

N. Iscr. ALBO 826 B

(in proprio e per gli altri)



memoria (2) è collegato ad un convertitore analogico-digitale (5) per convertire la tensione di controllo in una parola digitale correlata ad una tensione di soglia programmata nella detta cella di memoria.

5 17.Circuito integrato comprendente:

una matrice di memoria non volatile (1) avente una pluralità di celle di memoria ordinate secondo righe e colonne, detta pluralità includendo una cella di memoria (2) provvista di un terminale d'uscita (D) per una  
10 corrente d'uscita e di un terminale di controllo (G) per ricevere una tensione di controllo di detta corrente d'uscita,

caratterizzato dal fatto che detto circuito comprende un circuito di lettura di detta cella di memoria  
15 realizzato secondo almeno una delle rivendicazioni da 1 a 16.

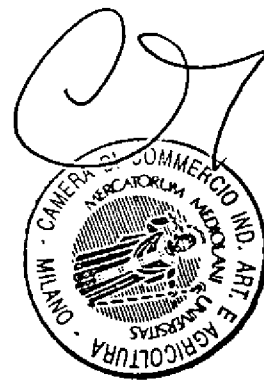
18.Circuito integrato secondo la rivendicazione 17 in cui detto circuito di lettura comprende un decodificatore di riga (3) ed un decodificatore di colonna (4)  
20 operativamente associati a detta matrice di memoria (1) per selezionare una cella di memoria di detta pluralità a partire da un segnale di indirizzo.

19.Circuito integrato secondo la rivendicazione 17 ove il circuito di lettura è realizzato secondo la  
25 rivendicazione 9, detta prima tensione di alimentazione

essendo una tensione di alimentazione del circuito integrato fornita dall'esterno dello stesso, e la seconda tensione di alimentazione è generata dall'interno del circuito integrato a partire dalla prima tensione di  
5 alimentazione.

20.Circuito integrato secondo la rivendicazione 17 in cui le celle di detta pluralità di celle di memoria sono celle multilivello ciascuna programmabile in una pluralità di livelli di programmazione.

10



**Ing. Marco MACCALLI**

N. iscr. ALBO 826 B

(In proprio e per gli altri)

MI 2000 A002337

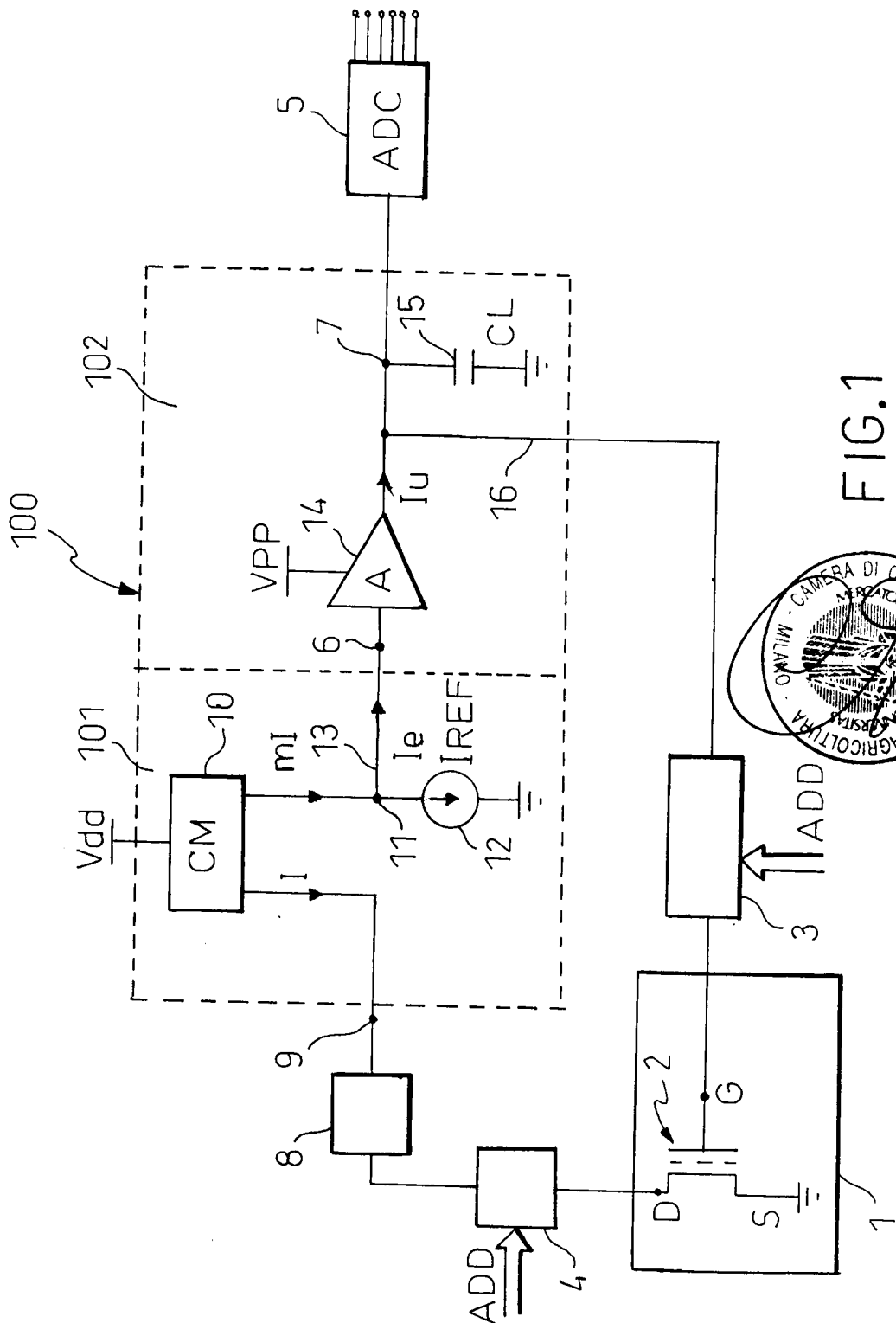
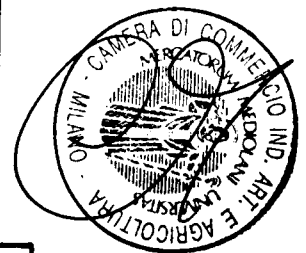


FIG.1



A handwritten signature in black ink, appearing to read "Marco Maccalli".

MI 2000 A002337

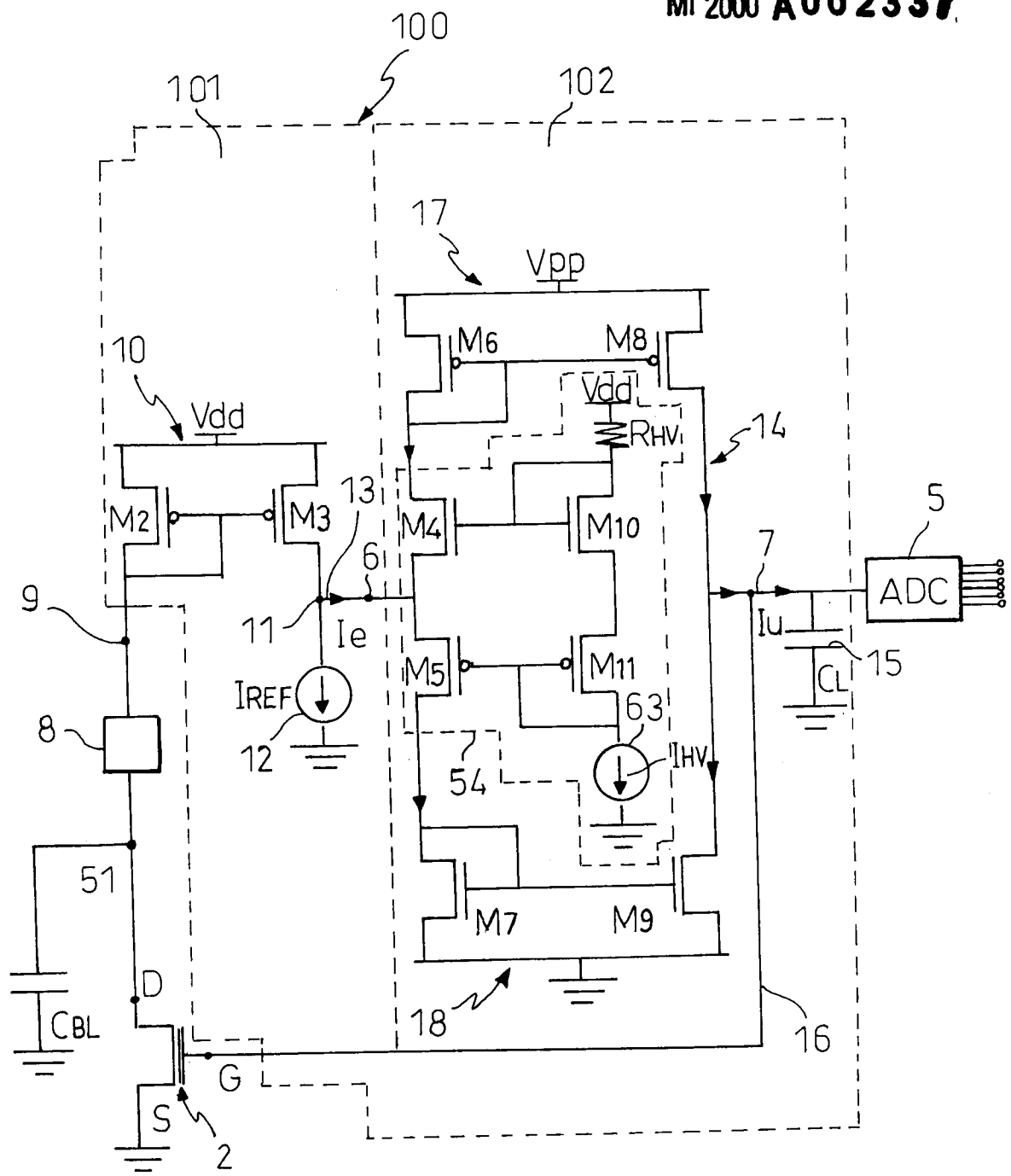


FIG. 2



*Marco Maccalli*