

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 16/02 (2006.01)

G11C 16/06 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510068513.7

[45] 授权公告日 2009年3月11日

[11] 授权公告号 CN 100468574C

[22] 申请日 2005.4.28

[21] 申请号 200510068513.7

[30] 优先权

[32] 2004.4.28 [33] JP [31] 134486/2004

[73] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 小宫学 富田泰弘 諏访仁史

[56] 参考文献

US6646930B2 2003.11.11

US5777925A 1998.7.7

US2003/0200406A1 2003.10.23

审查员 王 可

[74] 专利代理机构 永新专利商标代理有限公司

代理人 王 英

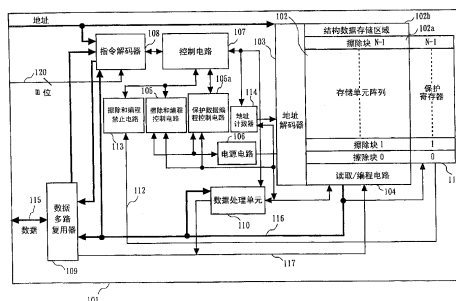
权利要求书2页 说明书8页 附图4页

[54] 发明名称

非易失性半导体存储器件

[57] 摘要

非易失性半导体存储器件(101)包括连接到指令解码器(108)的特殊指令使能/无效信号线(120)。特殊指令使能/无效信号经信号线(120)从外部输入给指令解码器(108)。由此,在初始化该器件(101)时,指令解码器(108)可以使特殊指令有效并且该器件(101)可以转变到对应特殊指令的模式。另一方面,指令解码器(108)可以使特殊指令无效,例如,当用户使用该器件(101)时,由此,即使在错误地发布特殊指令时,也能防止执行特殊指令。



1、一种在指令基础上进行操作的非易失性半导体存储器件，包括：

包括多个非易失性存储单元的存储单元阵列；

用于对从外部输送给它的指令进行解码的指令解码器；以及

用于根据由所述指令解码器执行的解码的结果来控制所述存储单元阵列的控制电路，其中

把至少一个特殊指令使能/无效控制信号输入到所述指令解码器，所述特殊指令使能/无效控制信号用于控制是否允许执行可以执行的指令当中的至少一个指令，

所述指令解码器输出根据所述特殊指令控制信号的解码结果，并且

所述特殊指令使能/无效控制信号从外部输送给它。

2、根据权利要求 1 所述的非易失性半导体存储器件，其中可以执行的指令当中的所述至少一个指令是用于保护预定存储区域或者用于转移到测试模式的指令。

3、一种在指令基础上进行操作的非易失性半导体存储器件，包括：

包括多个非易失性存储单元的存储单元阵列；

用于对从外部输送给它的指令进行解码的指令解码器；以及

用于根据由所述指令解码器执行的解码的结果来控制所述存储单元阵列的控制电路，其中

把至少一个特殊指令使能/无效控制信号输入到所述指令解码器，所述特殊指令使能/无效控制信号用于控制是否允许执行可以执

行的指令当中的用于保护预定存储区域或者用于转移到测试模式的至少一个指令，并且

所述指令解码器输出根据所述特殊指令控制信号的解码结果。

4、根据权利要求3所述的非易失性半导体存储器件，还包括：
用于在所述控制电路的控制下以易失性方式储存数据的至少一个寄存器，其中

从所述寄存器输出所述特殊指令控制信号。

5、根据权利要求4所述的非易失性半导体存储器件，其中
把初始数据储存在所述存储单元阵列中的存储单元，以及
所述控制电路在预定时序读取所述初始数据并将读取的初始数据传输给所述寄存器。

非易失性半导体存储器件

发明领域

本发明涉及一种非易失性半导体存储器件，特别涉及一种能电擦除和编程数据的非易失性半导体存储器件。

背景技术的说明

有些非易失性半导体存储器件在来自外部器件的指令的基础上进行诸如编程、擦除和各种控制等的操作。此外，非易失性半导体存储器件具有一些模式，以便在制造工艺期间进行初始化。该模式在外部输送的指令的基础上进行转换。然而，当用户任意改变初始设置时，非易失性半导体存储器件发生故障。因此，这样构成非易失性半导体存储器件以至于用户不能执行用于转移到进行初始设置的模式的指令。以用于将模式转移到各种测试模式的指令作为上述的禁止用户执行的指令的例子。作为这种指令的例子，可以举出用于读取或写入非易失半导体存储器件中的结构数据的指令。

此外，非易失性半导体存储器件设有将由用户设置的指令，以便禁止或不禁止执行。作为这种指令的例子，可以举出用于保护预定存储区域的指令（以下称为保护指令）。保护指令是用于禁止向预定存储区域编程或从预定存储区域擦除的指令，以便保护储存在存储区域中的数据 and 程序不受到由 CPU 的失控、噪声等引起的损坏。

如上所述，在初始化时执行并禁止由用户执行的指令以及由用户设置以便禁止执行的指令被称为“特殊指令”。下面以保护指令作为特殊指令的例子。

下面将参照附图说明现有技术的非易失性半导体存储器件的结

构。图 4 是示出现有技术的非易失性半导体存储器件的典型结构的方框图。图 4 所示的非易失性半导体存储器件 401 包括存储单元阵列 402、擦除块 402a、结构数据存储区域 402b、地址解码器 403、读取/编程电路 404、擦除和编程控制电路 405、保护数据编程控制电路 405a、电源电路 406、控制电路 407、指令解码器 408、数据多路复用器 (Data MUX) 409、数据处理单元 (DPU) 410、保护寄存器 411、保护信息信号线 412、擦除和编程禁止电路 413、地址计数器 414、输入/输出数据总线 415、输出总线 416、和输入总线 417。

接着，将说明执行保护指令以便保护擦除块 402a 的过程。首先，把保护指令和要保护的目标擦除块 402a 的地址输入到指令解码器 408 中。指令解码器 408 将输入的保护指令进行解码并向控制电路 407 输出作为结果的信号。

控制电路 407 根据从指令解码器 408 输出的信号把保护命令输出给保护数据编程控制电路 405a，由此控制地址计数器 414 和 DPU 410 并在结构数据存储区域 402b 中设置要保护的目标擦除块 402a 的数量。此外，控制电路 407 通过读取/编程电路 404 将用于保护擦除块 402a 的数据转移到与目标擦除块 402a 的数量相对应的保护寄存器 411。由此，保护了擦除块 402a，从而保护了储存在该块中的数据和程序。

然而，一般情况下，一旦保护了存储区域，该存储区域不可以轻易的解除保护。因此，已经由于 CPU 失控、噪声等错误执行了保护指令而被保护的存储区域就变成了坏区。再者，在错误发布用于转移到测试模式的指令的情况下，有可能擦除和编程结构数据，由此导致在有些情况下非易失性半导体存储器件中的故障。

发明内容

因此，本发明的目的是提供一种非易失性半导体存储器件，其在

错误地发布特殊指令的情况下可以禁止执行特殊指令。

根据本发明的非易失性半导体存储器件包括：包括多个非易失性存储单元的存储单元阵列、用于对从外部输送给它的指令进行解码的指令解码器、以及用于根据由指令解码器执行的解码结果控制存储单元阵列的控制电路，其中把至少一个特殊指令控制信号输入给指令解码器，所述特殊指令控制信号用于控制是否允许执行可以执行的指令当中的至少一个指令，并且指令解码器输出根据特殊指令控制信号进行解码的结果。

在这种情况下，优选把特殊指令控制信号从外部输送给它。

或者，根据本发明的非易失性半导体存储器件还包括用于在控制电路的控制下按照易失性方式存储数据的至少一个寄存器，其中从该寄存器输出特殊指令控制信号。

或者，把初始数据储存在存储单元阵列中的存储单元中，并且控制电路可以读取初始数据并将读取的初始数据在预定时序传输给寄存器。

从下面结合附图对本发明的详细说明使本发明的这些和其他目的、特征、方案和优点变得更加明显。

附图简述

图 1 是显示根据本发明第一实施例的非易失性半导体存储器件的结构方框图；

图 2 是显示根据本发明第二实施例的非易失性半导体存储器件的结构方框图；

图 3 是显示根据本发明第三实施例的非易失性半导体存储器件的结构方框图；以及

图 4 是显示现有技术非易失性半导体存储器件的结构方框图。

优选实施例的详细说明

下面将参照附图说明本发明的实施例。图 1 是显示根据本发明第一实施例的非易失性半导体存储器件的结构方框图。

图 1 所示的非易失性半导体存储器件 101 包括存储单元阵列 102、擦除块 102a、结构数据存储区域 102b、地址解码器 103、读取/编程电路 104、擦除和编程控制电路 105、保护数据编程控制电路 105a、电源电路 106、控制电路 107、指令解码器 108、数据多路复用器 (Data MUX) 109、数据处理单元 (DPU) 110、保护寄存器 111、保护信息信号线 112、擦除和编程禁止电路 113、地址计数器 114、输入/输出数据总线 115、输出总线 116、输入总线 117 和特殊指令使能/无效信号线 120。

通过将非易失性存储单元设置成阵列来形成存储单元阵列 102。此外，擦除块 102a 是包括多个存储单元的块。以擦除块为单位擦除、或擦除和编程存储单元。图 1 所示的存储单元阵列 102 包括 N 片擦除块 102a。

结构数据存储区域 102b 是存储单元阵列 102 中的区域并储存关于保护的信息、修整数据等。地址解码器 103 将从外部输入到非易失性半导体存储器件 101 中的地址进行解码。当从存储单元阵列 102 读取数据和将数据编程到存储单元阵列 102 中时，读取/编程电路 104 将高电压施加于被访问的存储单元的漏极。擦除和编程控制电路 105 控制存储单元中的数据的擦除和编程。保护数据编程控制电路 105a 将用于保护擦除块 102a 的数据编程到结构数据存储区域 102b 中。

电源电路 106 包括产生高于电源电压的电压的升压电路等。控制电路 107 包括擦除和编程算法控制器。指令解码器 108 对从外部输入给非易失性半导体存储器件 101 的指令进行解码。Data MUX 109 在输入和输出数据之间进行切换。DPU 110 产生将要编程的数据和用于擦除和编程的预期值。

提供的保护寄存器 111 的数量与擦除块 102a 的数量 (N 片) 相同, 并且每个保护寄存器 111 对应一个擦除块 102a。保护寄存器 111 以易失性方式储存用于控制是否保护相应擦除块 102a 的数据。此外, 保护寄存器 111 通过保护信息信号线 112 向擦除和编程禁止电路 113 输出保护信息信号。擦除和编程禁止电路 113 根据保护信息信号控制是否允许从存储单元阵列 102 进行擦除和对其进行编程。

地址计数器 114 在内部产生地址。输入/输出数据总线 115 是用于指令的输入或数据输入/输出的总线。输出总线 116 是用于从读取/编程电路 104 输出的数据的总线。输入总线 117 是用于从外部接收将要编程的数据等的总线。

特殊指令使能/无效信号线 120 连接到指令解码器 108。特殊指令使能/无效信号线 120 是用于将控制是否执行特殊指令的信号 (下面将其称为特殊指令使能/无效信号) 从非易失性半导体存储器件 101 的外部输入到指令解码器 108 的信号线。当输入 “H” 电平的特殊指令使能/无效信号时, 指令解码器 108 使特殊指令有效。

更具体地说, 在输入 “H” 电平的特殊指令使能/无效信号的同时指令解码器 108 接收特殊指令的情况下, 指令解码器 108 对特殊指令进行解码。另一方面, 在输入 “L” 电平的特殊指令使能/无效信号的同时指令解码器 108 接收特殊指令的情况下, 指令解码器 108 不对特殊指令进行解码。再者, 在指令解码器 108 接收特殊指令以外的指令的情况下, 指令解码器 108 对指令进行解码, 而不管特殊指令使能/无效信号是否为 “H” 或 “L” 电平。

提供的特殊指令使能无效信号线 120 的数量与特殊指令的数量相同。由此, 可以控制指令解码器 108, 以便指令解码器 108 是否使每个特殊指令有效。图 1 所示的 “m 位” 表示提供了对应 m 条特殊指令的 m 条特殊指令使能/无效信号线 120。

下面将以执行保护指令以便保护擦除块 102a 的过程作为用于执

行特殊指令的例子。首先，选择对应保护指令的特殊指令使能/无效信号线 120，并通过信号线向指令解码器 108 输入“H”电平的特殊指令使能/无效信号。由此，指令解码器 108 使保护指令有效。接着，将保护指令和将要保护的目标擦除块 102a 的地址输入到指令解码器 108。指令解码器 108 对输入的保护指令进行解码并把作为结果的信号输出给控制电路 107。

控制电路 107 根据从指令解码器 108 输出的信号把保护命令输出给保护数据编程控制电路 105A，由此控制地址计数器 114 和 DPU 110 并在结构数据存储区域 102b 中设置擦除块 102a 的数量。此外，控制电路 107 通过读取/编程电路 104 将用于保护擦除块 102a 的数据传输到对应擦除块 102a 数量的保护寄存器 111。由此，保护了擦除块 102a。

完成了擦除块 102a 的保护，之后用于保护指令的特殊指令使能/无效信号变为“L”电平，然后指令解码器 108 使保护指令无效。

特殊指令使能/无效信号线 120 的一端连接到非易失性半导体存储器件 101 的外部连接端子。当执行特殊指令时（例如，当初始化时），把“H”电平的电压施加于该外部连接端子。另一方面，当禁止特殊指令时（例如，当由用户使用时），外部连接端子的电位固定到“L”电平。

如上所述，根据本实施例的非易失性半导体存储器件设有特殊指令使能/无效信号线，其中把特殊指令使能/无效信号输入给指令解码器。指令解码器根据特殊指令使能/无效信号激活或无效特殊指令。由此，即使在错误地发布特殊指令时，也可以防止执行特殊指令。

图 2 是显示根据本发明第二实施例的非易失性半导体存储器件的结构方框图。根据第二实施例的非易失性半导体存储器件 201 设有易失性寄存器 202 和特殊指令使能/无效信号线 220，代替包含在根据第一实施例的非易失性半导体存储器件 101 中的特殊指令使能/无效信号线 120。在第二实施例的构件当中，与第一实施例中所述的相

同构件用相同的参考标记表示并省略其说明。

在起动之后，在预定时序，把用于控制是否使特殊指令有效的数据从非易失性半导体存储器件 201 的外部通过输入/输出数据总线 115 输入给易失性寄存器 202。易失性寄存器 202 存储输入的数据并把特殊指令使能/无效信号输出给指令解码器 108。

在非易失性半导体存储器件 201 中，提供的易失性寄存器 202 的数量与特殊指令的数量相同。每个易失性寄存器 202 对应地连接到一个特殊指令使能/无效信号线 220 上。通过特殊指令使能/无效信号线 220 从易失性寄存器 202 将特殊指令使能/无效信号输入给指令解码器 108。图 2 中所示的“m 位”表示 m 条特殊指令使能/无效信号线 220 连接到 m 个易失性寄存器 202 和指令解码器 108 上。

当执行特殊指令时（例如，初始化时），从 m 个易失性寄存器 202 当中的对应特殊指令的易失性寄存器输出“H”电平的特殊指令使能/无效信号。通过对应的特殊指令使能/无效信号线 220 把该信号输入给指令解码器 108。由此，指令解码器 108 使特殊指令有效。

另一方面，当禁止执行特殊指令时（例如，当由用户使用），从 m 个易失性寄存器 202 当中的对应特殊指令的易失性寄存器输出“L”电平的特殊指令使能/无效信号。由此，指令解码器 108 使特殊指令无效。

如上所述，根据本实施例的非易失性半导体存储器件设有储存用于控制是否使特殊指令有效的数据的易失性寄存器。易失性寄存器把特殊指令使能/无效信号输出给指令解码器。由此，即使在错误地发布特殊指令时，也能防止执行特殊指令。

图 3 是显示根据本发明第三实施例的非易失性半导体存储器件的结构方框图。在根据第二实施例的非易失性半导体存储器件 201 中，把用于控制是否使特殊指令有效的数据通过输入/输出数据总线 115 从非易失性半导体存储器件 201 的外部输入给易失性寄存器 202。

另一方面，在根据第三实施例的非易失性半导体存储器件 301 中，从结构数据存储区域 102b 把该数据输入给易失性寄存器 202。

在非易失性半导体存储器件 301 中，在初始化时，用于控制是否使特殊指令有效的数据存储的结构数据存储区域 102b 中。在非易失性半导体存储器件 301 起动之后的预定时序，由控制电路 107 把该数据传输给易失性寄存器 202。易失性寄存器 202 储存传输的数据并把特殊指令使能/无效信号输出给指令解码器 108。特殊指令的执行和禁止在第二实施例中已经说明过了，因此这里省略了其说明。

如上所述，根据本实施例的非易失性半导体存储器件将用于控制是否在起动之后的预定时序使在初始化时储存在结构数据存储区域中的特殊指令有效的数据传输给易失性寄存器。易失性寄存器储存传输的数据并把特殊指令使能/无效信号输出给指令解码器。由此，即使在错误地发布特殊指令时，也可以防止执行特殊指令。

尽管已经详细说明了本发明，但是前面的说明在各个方面都是说明性的而非限制性的。应该理解在不脱离本发明的范围的情况下可以设计许多其它修改和变化。

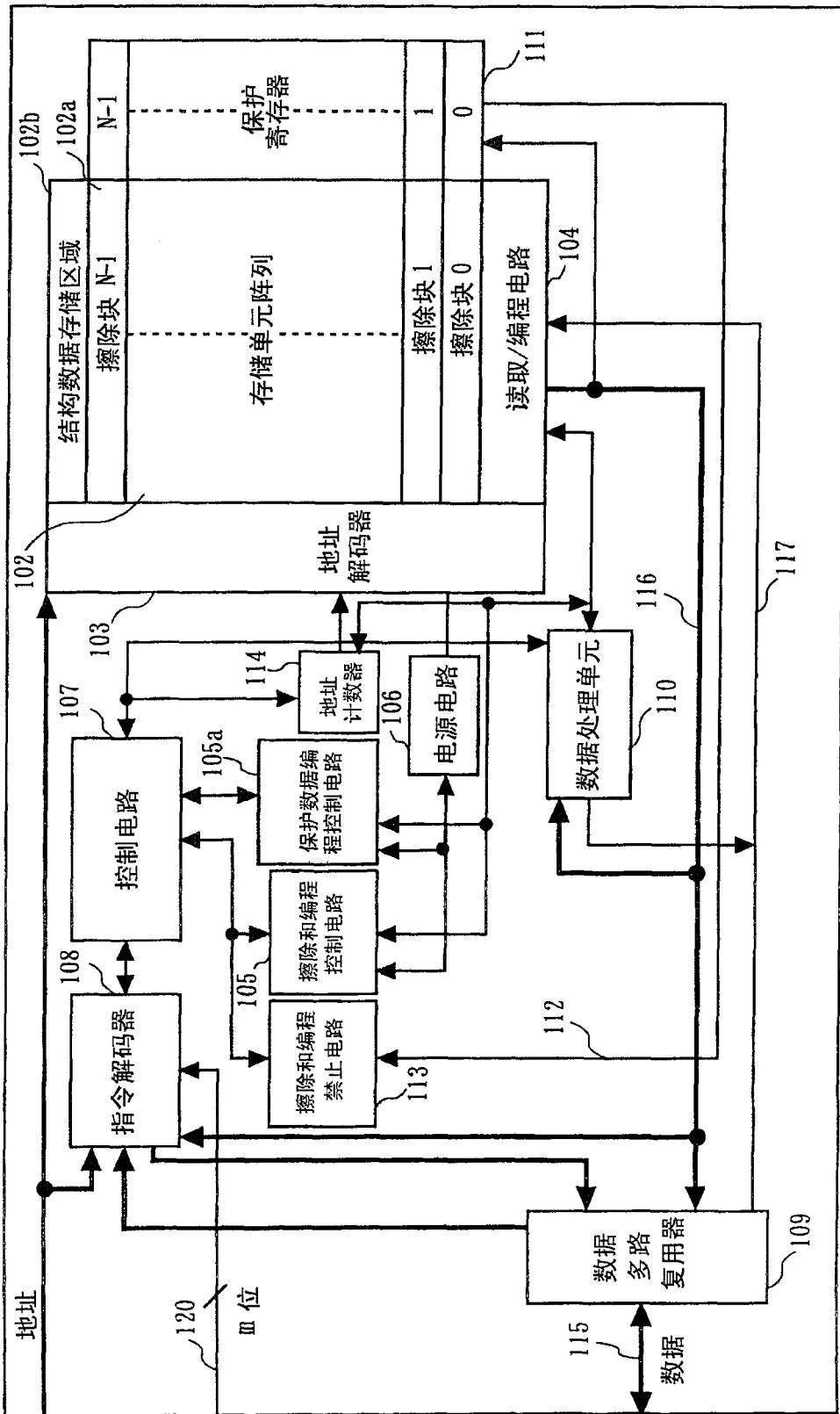


图1

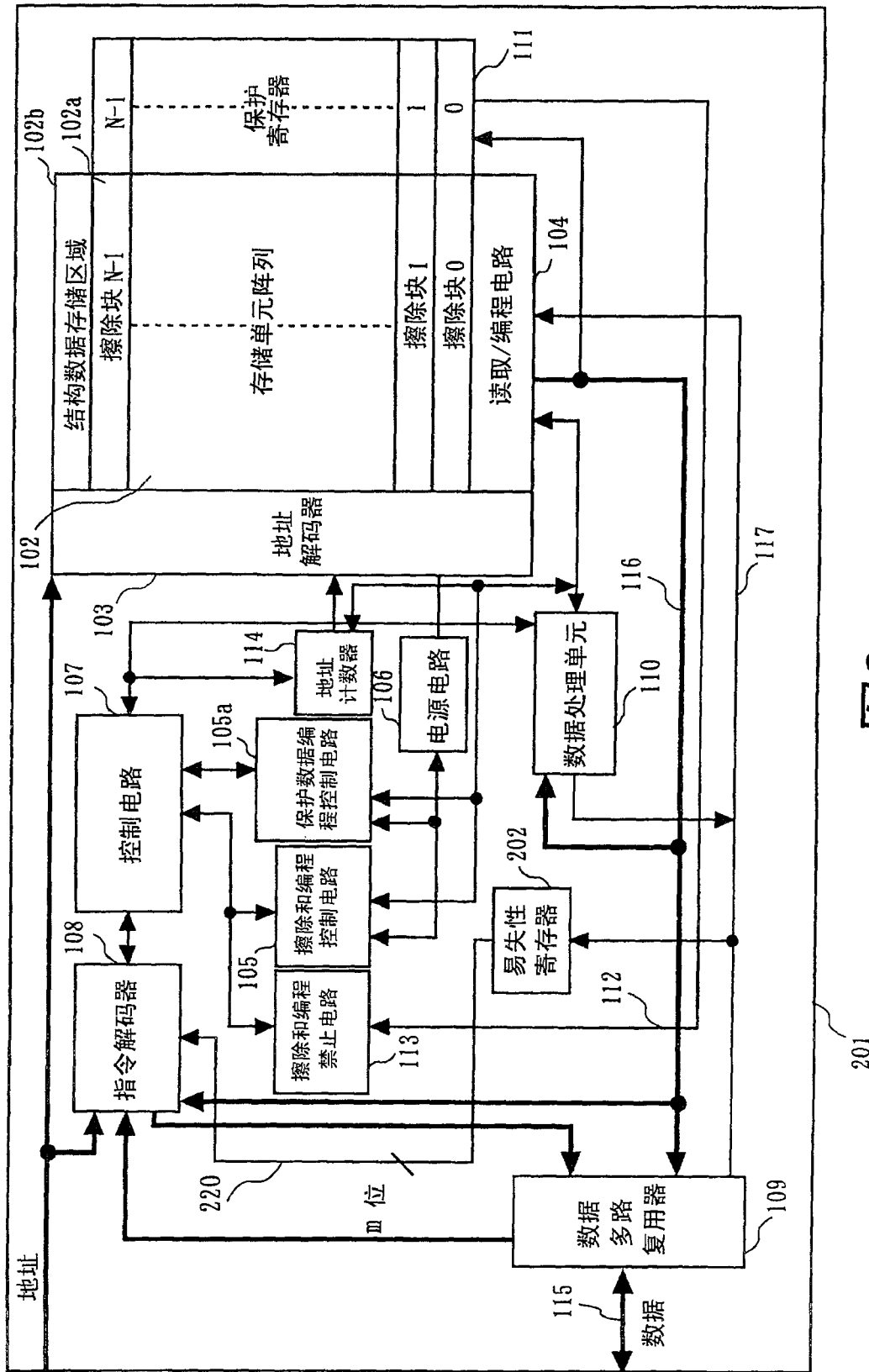


图2

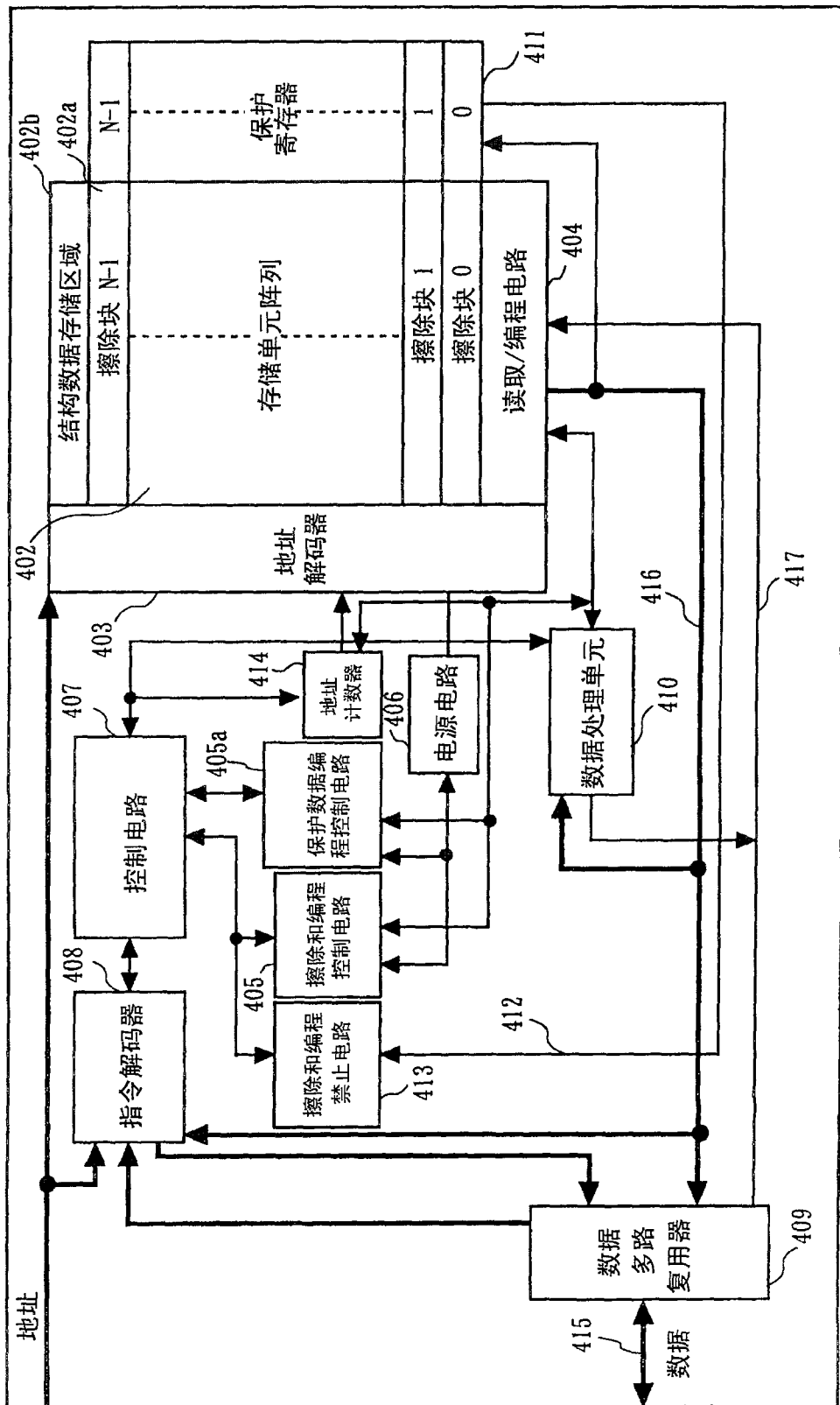


图4