



(12) 发明专利

(10) 授权公告号 CN 108807257 B

(45) 授权公告日 2022. 10. 28

(21) 申请号 201810385554.6

(22) 申请日 2018.04.26

(65) 同一申请的已公布的文献号
申请公布号 CN 108807257 A

(43) 申请公布日 2018.11.13

(30) 优先权数据
2017-088042 2017.04.27 JP

(73) 专利权人 株式会社冈本工作机械制作所
地址 日本国群马县安中市乡原2993番地

(72) 发明人 山本荣一 寺久保欣浩 三井贵彦
伊东利洋

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314
专利代理师 程伟 王锦阳

(51) Int.Cl.

H01L 21/683 (2006.01)

H01L 21/304 (2006.01)

(56) 对比文件

JP 2016051836 A, 2016.04.11

JP 2003282671 A, 2003.10.03

JP 2008140823 A, 2008.06.19

US 2014355170 A1, 2014.12.04

JP 2013084770 A, 2013.05.09

审查员 赖淑妹

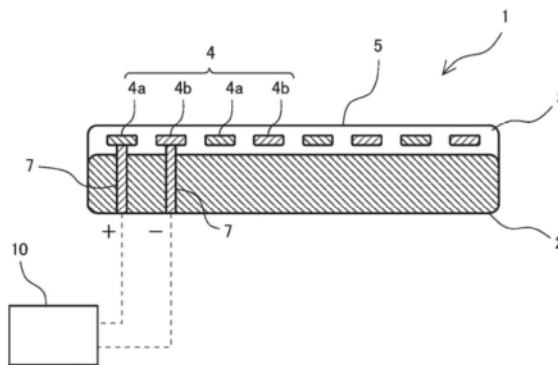
权利要求书1页 说明书8页 附图5页

(54) 发明名称

静电吸附夹盘及其制造方法、以及半导体装置的制造方法

(57) 摘要

本发明涉及静电吸附夹盘及其制造方法、以及半导体装置的制造方法。本发明提供一种静电吸附夹盘及其制造方法以及半导体装置的制造方法,可使半导体晶圆的剥离容易且可抑制半导体晶圆的破裂,并且将半导体晶圆高精度地修整以谋求薄层化。该利用静电力来保持半导体晶圆的静电吸附夹盘,具有基板、接合在基板的一主面的合成树脂片及配设在合成树脂片的内部的至少一对电极,且在合成树脂片的表面形成有供半导体晶圆抵接的经平坦化的研削面。借此,可将半导体晶圆予以吸附保持,并且容易地进行剥离,且可抑制剥离时的破损。此外,借由形成经过平坦化的研削面作为保持面,可将半导体晶圆的厚度均匀地进行修整,以谋求薄层化。



1. 一种静电吸附夹盘的制造方法, 该静电吸附夹盘为借由静电力而保持半导体晶圆, 该制造方法包括:

将在内部设置有至少一对电极的合成树脂片接合在基板的步骤;

使所述基板旋转, 将接合在所述基板的所述合成树脂片的表面以旋转的磨石研削而形成平坦化的研削面的步骤; 其中

在形成所述研削面的步骤中, 在被研削加工的所述合成树脂片的表面, 从所述磨石的外侧供给研削液, 并且, 以喷射角度5至20度及喷出压力3至20MPa将洗净液喷附至所述磨石的未供研削加工用的部分的刀尖。

2. 根据权利要求1所述的静电吸附夹盘的制造方法, 其中, 在形成所述研削面的步骤之后, 执行下列步骤: 形成从所述基板的背面达到所述电极的多个孔, 对所述孔埋设金属并形成供电用电极。

3. 根据权利要求1或2所述的静电吸附夹盘的制造方法, 其中, 所述磨石为细微性#500至8000的钻石磨石,

所述研削面为平坦化成TTV为 $1\mu\text{m}$ 以下、评价区域 $25\text{mm} \times 25\text{mm}$ 的LTV为 $0.1\mu\text{m}$ 以下。

4. 一种半导体装置的制造方法, 其使用以权利要求1至3中任一项所述的静电吸附夹盘的制造方法所制造的静电吸附夹盘, 且具备:

使半导体晶圆的装置面抵接于所述静电吸附夹盘的经平坦化的所述研削面并对所述电极施加电压, 且利用静电力来保持所述半导体晶圆的步骤; 以及

将保持在所述静电吸附夹盘的所述半导体晶圆的背面予以研削的步骤。

5. 根据权利要求4所述的半导体装置的制造方法, 其中, 具备下列步骤: 在执行将所述半导体晶圆的背面予以研削的步骤之后, 将保持在所述静电吸附夹盘的所述半导体晶圆与所述静电吸附夹盘一同反转, 将所述半导体晶圆的背面接合在其他半导体晶圆的装置面。

静电吸附夹盘及其制造方法、以及半导体装置的制造方法

技术领域

[0001] 本发明涉及一种借由静电力来保持半导体晶圆的静电吸附夹盘及其制造方法以及利用该静电吸附夹盘的半导体装置的制造方法。

背景技术

[0002] 以往,在使半导体晶圆薄层化的过程等中,进行隔着树脂将承载晶圆接合于半导体晶圆,而借由承载晶圆来保持半导体晶圆。借此,在薄层化加工时或搬送时等半导体晶圆破裂的风险会减低。

[0003] 另一方面,例如专利文献1所揭示,具有一种借由静电力(库伦力)来保持半导体晶圆的静电保持装置。此时,可将半导体晶圆等薄板状的保持对象物直接接合在静电保持装置,并且借由将电极予以除电以去除静电力,而可容易地将保持对象物予以剥离。

[0004] (现有技术文献)

[0005] (专利文献)

[0006] 专利文献1:日本特开2003-282671号公报。

发明内容

[0007] (发明所欲解决的课题)

[0008] 在半导体装置的领域中,除了半导体晶圆的大型化,三维安装化也在进展中。为了提高半导体装置的集成率,其课题为使半导体晶圆薄层化,并层叠更多层的装置。

[0009] 具体而言,三维安装的各层的半导体晶圆在目前形成为40至50 μm 的厚度。往后,要求将半导体晶圆薄层化至10至20 μm ,以使的高性能化及多层化。

[0010] 然而,为了防止半导体晶圆的破裂等,同时谋求更进一步的薄层化,在上述的现有技术中,仍有应改善的问题点。

[0011] 例如上述的现有技术,在利用承载晶圆来保持半导体晶圆的方法中,具有使用于贴合的树脂的面内有较大不均匀的问题点。也就是,使用于接合的树脂通常为30至50 μm 的厚度,其面内不均匀为2至3 μm 。该不均匀会在薄层化研削时直接造成半导体晶圆的厚度的不均匀。因此,当厚度10 μm 左右的半导体晶圆时,所述的厚度的不均匀会对装置性能或良率造成大幅的影响。

[0012] 此外,在利用承载晶圆来保持半导体晶圆的方法中,半导体晶圆为在其背面被研削或研磨而经过薄层化之后,会在半导体晶圆与树脂的界面剥离。因此,会有在该剥离时半导体晶圆破裂的风险。

[0013] 另一方面,如专利文献1揭示的现有技术所示,在借由静电力来保持半导体晶圆等保持对象物的静电保持装置的方法中,如前所述,可去除静电力而容易地将保持对象物予以剥离。因此,可减低在剥离时属于保持对象物的半导体晶圆破裂的风险。

[0014] 然而,在现有技术的静电保持装置中,会有因埋设于绝缘体的内部的电极材而在绝缘体的表面产生5至10 μm 的扭曲的问题。因此,现有技术的静电保持装置的可使用的步骤

限于搬送或化学蒸镀 (CVD)、溅镀等,而无法利用作为背面基准的微细的光刻或薄层化研削的步骤中的保持装置。

[0015] 具体而言,当在产生静电保持装置的扭曲的绝缘体的表面吸附有半导体晶圆时,也会在半导体晶圆的表面产生5至10 μm 的扭曲。因此,在光刻中,会有在半导体晶圆的表面产生成为焦点深度外的部分,而无法形成良好的图案。

[0016] 此外,当现有技术的静电保持装置用于半导体晶圆的薄层化研削时,由于产生在静电保持装置的表面的扭曲,因而会在半导体晶圆中发生5至10 μm 的修整厚度的不均匀,而有制品不良或特性的不均匀等问题。

[0017] 本发明为鉴于上述课题而研创,其目的在于提供一种静电吸附夹盘及其制造方法以及半导体装置的制造方法,可容易地进行半导体晶圆的剥离且可抑制半导体晶圆的破裂,并且可高精度地修整半导体晶圆以谋求薄层化。

[0018] (解决课题的手段)

[0019] 本发明的静电吸附夹盘为借由静电力来保持半导体晶圆的静电吸附夹盘,其具有:基板;合成树脂片,其接合于所述基板的一主面;至少一对电极,其配设于所述合成树脂片的内部;在所述合成树脂片的表面,形成有供所述半导体晶圆抵接的平坦化的研削面。

[0020] 此外,本发明的静电吸附夹盘的制造方法为借由静电力而保持半导体晶圆的静电吸附夹盘的制造方法,其具备:将在内部设置有至少一对电极的合成树脂片接合在基板的步骤;将接合在所述基板的所述合成树脂片的表面借由磨石研削而形成被平坦化的研削面的步骤。

[0021] 此外,本发明的半导体装置的制造方法具备:利用所述静电吸附夹盘而使半导体晶圆的装置面抵接于所述静电吸附夹盘的平坦化的所述研削面并对所述电极施加电压,而利用静电力来保持所述半导体晶圆的步骤;将保持在所述静电吸附夹盘的所述半导体晶圆的背面予以研削的步骤。

[0022] (发明的效果)

[0023] 依据本发明的静电吸附夹盘,具有基板、接合于基板的一主面的合成树脂片,及配设在合成树脂片的内部的至少一对电极。借此,借由对一对电极施加电压,而可将半导体晶圆予以吸附并保持,借由将施加于电极的电压予以除去,而可容易地剥离半导体晶圆。因此,可抑制剥离时的半导体晶圆的破损。

[0024] 此外,在合成树脂片的表面,形成有供半导体晶圆抵接的经平坦化的研削面。借此,可将静电吸附夹盘利用在对于保持面要求高平坦度的光刻或薄层化研削的步骤。并且,借由形成经过平坦化的研削面作为保持面,即可在薄层研削中,可将半导体晶圆的厚度均匀地修整而谋求更进一步的薄层化。

[0025] 依据本发明的静电吸附夹盘,研削面的显示研削面全体的平坦度的TTV (Total Thickness Variation,总厚度变异)为1 μm 以下,显示评价区域25mm \times 25mm的平坦度的LTV (Local Thickness Variation,区域厚度变异)也可为0.1 μm 以下。借此,可大幅地将静电吸附夹盘的适用范围予以扩大,而可贡献半导体晶圆的微细化、高性能化、超薄层化及多层化。

[0026] 例如,借由将本发明的静电吸附夹盘运用在光刻,在半导体晶圆的整批全面曝光中,可形成1 μm 的线空间或电洞。此外,在利用步进电动机的晶片曝光中,可形成0.1 μm 的线

空间或电洞。如此,依据本发明,实现高精确度的微细加工。

[0027] 此外,在将本发明的静电吸附夹盘适用于半导体晶圆的薄层化研削时,借由TTV提升,装置间的特性稳定性会提升,而可期待薄层化限界的大幅减低。

[0028] 具体而言,与利用现有技术的承载晶圆且隔着树脂而与半导体晶圆贴合的方法相比较,在本发明的静电吸附夹盘中,可将显示装置表面的凹凸的TTV抑制在1/3以下的 $1\mu\text{m}$ 以下,将LTV抑制在1/10以下的 $0.1\mu\text{m}$ 以下。此外,即使半导体晶圆厚度10至 $20\mu\text{m}$ 的超薄层化,由于不会有剥离半导体晶圆与静电吸附夹盘时的剥离应力,因此也可期待良率的大幅提升。

[0029] 如此,可利用具有压倒性平坦的研削面作为保持面的静电吸附夹盘来实施各种制程。

[0030] 此外,依据本发明的静电吸附夹盘的制造方法,具备:将在内部设置有至少一对的电极的合成树脂片接合在基板的步骤;以及形成对接合在基板的合成树脂片的表面以磨石研削而平坦化的研削面的步骤。借此,可容易地进行半导体晶圆的剥离,且可获得具有适当的高平坦度的研削面作为保持面的静电吸附夹盘。

[0031] 此外,依据本发明的静电吸附夹盘的制造方法,在形成研削面的步骤中,也可采用细微性#500至8000的钻石磨石。借此,可将覆盖电极的合成树脂片高效率且高精度地予以研削,而能获得适于半导体晶圆的保持的高精确度且平坦的研削面。

[0032] 此外,依据本发明的静电吸附夹盘的制造方法,在形成研削面的步骤中,也能以喷出压力3至20MPa将洗净液喷附至磨石的未作为研削加工用的部分的刀尖。借此,由于利用洗净液来去除附着在磨石的刀尖的合成树脂片的削屑,同时对合成树脂片进行研削,因此可高精度且容易地对合成树脂片的表面进行研削,且可形成高平坦的研削面。特别是,使洗净液喷射的压力为重要,借由上述的较优选的喷出压力,可去除附着在磨石的刀尖的合成树脂片的削屑。

[0033] 此外,依据本发明的半导体装置的制造方法,其具备:利用所述的本发明的静电吸附夹盘,使半导体晶圆的装置面抵接于静电吸附夹盘的经平坦化的研削面,对电极施加电压而利用静电力来保持半导体晶圆的步骤;及将保持在静电吸附夹盘的半导体晶圆的背面进行研削的步骤。借此,可高精度地使对背面进行研削的后的半导体晶圆的厚度一致,并且可高品质且高良率地制造厚度10至 $20\mu\text{m}$ 的超薄层化的半导体晶圆。

附图说明

[0034] 图1为显示本发明实施方式的静电吸附夹盘的概略构成的剖视图。

[0035] 图2为显示本发明实施方式的静电吸附夹盘的制造方法的图,图2(a)为显示准备有基板的状态,图2(b)为在基板接合有合成树脂片的状态,图2(c)为显示对合成树脂片进行研削的状态,图2(d)为显示在基板形成有孔的状态,图2(e)为显示在基板形成有供电用电极的状态的图。

[0036] 图3为显示本发明实施方式的静电吸附夹盘的制造方法的图,图3(a)为对合成树脂片进行研削之前的状态,图3(b)为显示对合成树脂片进行过研削的状态的图。

[0037] 图4为显示本发明实施方式的半导体装置的制造方法的图,图4(a)为在半导体晶圆安装有静电吸附夹盘的状态,图4(b)为显示对半导体晶圆的背面进行研削的状态,图4

(c) 为显示对半导体晶圆进行层叠而接合的状态,图4 (d) 为显示从半导体晶圆拆下静电吸附夹盘的状态的图。

[0038] 符号说明

[0039]	1	静电吸附夹盘
[0040]	2	基板
[0041]	3	合成树脂片
[0042]	4、4a、4b	电极
[0043]	5	研削面
[0044]	6	孔
[0045]	7	供电用电极
[0046]	10	供电装置
[0047]	11	磨石
[0048]	12	台座
[0049]	13	研削液供给喷嘴
[0050]	14	洗净液供给装置
[0051]	15	洗净液供给喷嘴
[0052]	20、20A	半导体晶圆
[0053]	21	磨石
[0054]	22	台座
[0055]	23	研削液供给喷嘴。

具体实施方式

[0056] 以下,依据附图详细地说明本发明实施方式的静电吸附夹盘及其制造方法以及利用该静电吸附夹盘的半导体装置的制造方法。

[0057] 图1为显示本发明实施方式的静电吸附夹盘1的概略构成的剖视图。参照图1,静电吸附夹盘1为借由静电力来保持半导体晶圆20(参照图4)。静电吸附夹盘1是在半导体晶圆20的薄层化制程及薄层化后的再配线制程或搬送时等保持半导体晶圆20,且使用作为用以排除破裂的风险的承载晶圆。

[0058] 静电吸附夹盘1具有基板2、接合于基板2的一主面的合成树脂片3、配设于合成树脂片3的内部的至少一对电极4。

[0059] 基板2为高刚性的大致圆形状的板状体,例如硅基板等。基板2的表面借由研削或研磨而平坦化。在进行该平坦化的基板2的一表面接合有合成树脂片3。

[0060] 合成树脂片3由具有诱电性的合成树脂制的片材构件所形成,且形成大致圆板状的形态。就合成树脂片3的材质而言,虽可采用各种的合成树脂,但从强度、绝缘性、耐热性、热膨张等的观点而言,较优选为例如聚酰亚胺系树脂。由于合成树脂片3由高耐热性的聚酰亚胺系的树脂所形成,因此静电吸附夹盘1也可在200℃左右以上的高温下使用。例如,由聚酰亚胺系的树脂所构成的静电吸附夹盘1,也可运用在光刻或CVD成膜等比较高温的制程。

[0061] 在合成树脂片3的内部,遍及合成树脂片3的大致整面,配设有例如由铜、铝等金属所构成的电极4。电极4由以一笔画的方式连续地配置的至少一对电极4a及电极4b所构成。

也就是,合成树脂片3为一对或二对以上的电极4a、4b被由合成树脂覆盖而被绝缘的状态的片材。

[0062] 此外,静电吸附夹盘1具有对电极4供电的供电用电极7。供电用电极7是由例如铜、铝等的金属所形成,且贯穿基板2,而从静电吸附夹盘1的外部连接至电极4。

[0063] 借由供电装置10对电极4a与电极4b之间施加电压,合成树脂片3发挥用以吸附并保持半导体晶圆20的静电力。另一方面,借由将施加在电极4的电压予以去除,而可将半导体晶圆20从合成树脂片3容易地剥离。因此,可抑制剥离时的半导体晶圆20的破损。

[0064] 在此,静电吸附夹盘1在从供电装置10进行供电之后,在从供电装置10脱离并停止供电之后仍维持静电力的自己保持型的静电吸附装置。静电吸附夹盘1用于在以静电力贴合半导体晶圆20后,即使拆下供电装置10的连接,其长时间吸附力也不会降低,而可长达数日间保持半导体晶圆20。

[0065] 由于静电吸附夹盘1为自己保持型,因此在静电吸附夹盘1与半导体晶圆20贴合的状态下容易地进行处理容易。因此,自己保持型的静电吸附夹盘1也可适用于例如高速旋转的台座22(参照图4(b))上进行的半导体晶圆20的薄层化研削步骤等。也就是,静电吸附夹盘1也可拆下供电装置10的连接,因此在半导体研削装置中,无须设置从供电装置10供电至静电吸附夹盘1的配线或旋转连接用连接器等。此外,在旋转的台座22上不对电极4供电时,也不会发生半导体晶圆20脱落而飞出等一般通电型的静电吸附装置的问题。

[0066] 此外,如上所述,就静电吸附夹盘1而言,较优选为自己保持型。然而,静电吸附夹盘1也可为用以发挥静电力而恒常地需要来自供电装置10的通电的恒常通电型的静电吸附装置。

[0067] 此外,在合成树脂片3的表面,也就是在与接合有基板2的面相反侧的面,形成有用用来供半导体晶圆20抵接的经平坦化的研削面5。借此,可采用对保持面要求高平坦度的光刻或薄层化研削的步骤的静电吸附夹盘1。此外,借由形成有经过平坦化的研削面5作为保持面,而可在薄层研削中,均匀地修整半导体晶圆20的厚度,以谋求更进一步的薄层化。

[0068] 详细而言,研削面5的显示研削面5整体的平坦度的TTV为 $1\mu\text{m}$ 以下。此外,研削面5的显示评价区域 $25\text{mm}\times 25\text{mm}$ 的平坦度的LTV为 $0.1\mu\text{m}$ 以下,该评价区域 $25\text{mm}\times 25\text{mm}$ 相当于形成在半导体晶圆20的晶片尺寸。借此,大幅地扩大静电吸附夹盘1的适用范围,而可贡献半导体晶圆20的微细化、高性能化、超薄层化及多层化。

[0069] 例如,借由将静电吸附夹盘1适用于光刻,即可在半导体晶圆20的总括整面曝光中,可形成 $1\mu\text{m}$ 的线空间或电洞。此外,在利用步进电动机的晶片曝光中,可形成 $0.1\mu\text{m}$ 的线空间或电洞。如此,依据静电吸附夹盘1,而实现高精确度的微细加工。

[0070] 此外,在将静电吸附夹盘1适用在半导体晶圆20的薄层化研削时,借由TTV提升,装置间的特性稳定性会提升,而可期待薄层化限度的大幅减低。

[0071] 具体而言,与利用现有技术的承载晶圆并隔着树脂与半导体晶圆20贴合的方法相比较,在静电吸附夹盘1中,可将显示半导体晶圆20的装置表面的凹凸的TTV抑制在现有技术的 $1/3$ 以下的 $1\mu\text{m}$ 以下。此外,依据静电吸附夹盘1,可将半导体晶圆20的LTV相对于现有技术抑制在 $1/10$ 以下的 $0.1\mu\text{m}$ 以下。

[0072] 静电吸附夹盘1在半导体晶圆20的薄层化中,可促进其厚度均匀性的大幅改善及薄层化,因此可适用在三维积体电路,而可贡献超多层化。

[0073] 此外,在静电吸附夹盘1中,剥离半导体晶圆20及静电吸附夹盘1时的剥离应力极小。因此,在将半导体晶圆20超薄层化成厚度10至20 μm 的步骤中,可期待良率的大幅提升。

[0074] 此外,依据静电吸附夹盘1,可形成对薄层化的半导体晶圆20的微细的图案,特别是可达成后钻孔制程中的背面TSV步骤的TSV开孔精确度的提升及电极形成及再配线的微细化。如此,借由将静电吸附夹盘1适用在三维积体电路的制造,而可贡献于装置的高性能化及高积体化。

[0075] 如此,可利用具有极平坦的研削面5作为保持面的静电吸附夹盘1来实施制造半导体装置的各种制程。

[0076] 接着,参照图2及图3,对静电吸附夹盘1的制造方法详细地进行说明。

[0077] 图2(a)至图2(e)为显示静电吸附夹盘1的制造方法的图。图2(a)为显示准备有基板2的状态,图2(b)为显示在基板2接合有合成树脂片3的状态,图2(c)为显示对合成树脂片3进行研削的状态,图2(d)为显示在基板2形成有孔6的状态,图2(e)为显示在基板2形成有供电用电极7的状态。

[0078] 图3为显示静电吸附夹盘1的制造方法的图。图3(a)为显示对合成树脂片3进行研削之前的状态,图3(b)为显示合成树脂片3研削后的状态。

[0079] 首先,如图2(a)所示,准备借由研削或研磨而将表面予以平坦化的大致圆板状的高刚性的基板2。基板2载置于未图示的台座等上。

[0080] 接着,如图2(b)所示,在基板2的上表面层叠有在内部具有电极4的合成树脂片3。此外,基板2及合成树脂片3为借由例如热压接等而接合并予以一体化。

[0081] 在合成树脂片3贴附于基板2的主面的状态下,于合成树脂片3的表面,如图3(a)所示,在整面具有5至10 μm 左右的表面扭曲(凹凸)。此外,在合成树脂片3的表面,依据电极4的有无而具有3至5 μm 的凹凸。

[0082] 因此,接着如图2(c)及图3(b)所示,进行对合成树脂片3的表面进行研削而形成大致平坦的研削面5的步骤。在形成研削面5的步骤中,如图2(c)所示,一体地接合的基板2及合成树脂片3以合成树脂片3为上,载置并保持在研削装置的台座12上。台座12例如为由多孔陶瓷等所构成的真空式的夹盘台座,基板2为借由真空吸引力而保持在台座12。

[0083] 并且,借由磨石11对合成树脂片3的上表面进行研削。借此,合成树脂片3的上表面用于将图3(a)所示的凹凸予以去除,如图3(b)所示进行平坦化。借此,形成高平坦度的研削面5。

[0084] 在此,磨石11可使用钻石系或陶瓷系的磨石。磨石11的细微性较优选为#500至#8000,更优选为#3000至#5000,最优选为#4000。在本实施方式中,就磨石11而言,是采用以玻璃化熔结使细微性#4000的多结晶钻石硬化的磨石。借此,可获得优异的加工性,且能以适当的面粗度获得高平坦度的研削面5。

[0085] 此外,就获得优异的平坦度的适当加工条件而言,磨石11的送出速度以10至30 $\mu\text{m}/\text{min}$ 为优选,且以20 $\mu\text{m}/\text{min}$ 为最优选。由磨石11所产生的切入量为以合成树脂片3的表面扭曲的最大值的2至3倍为优选。磨石11的旋转速度为以1000至2000 min^{-1} 为优选,以1450 min^{-1} 为最优选。基板2的旋转速度为以200至400 min^{-1} 为优选,以299 min^{-1} 为最优选。

[0086] 此外,在被研削加工的合成树脂片3的表面,从研削装置的未图示的研削液供给装置经由研削液供给喷嘴13供给洗净液。研削液为使用例如纯水等。

[0087] 上述虽为较优选的研削条件,但仅利用上述的研削方法,对于进行合成树脂片3的高精确度的研削极为困难。在本实施方式的静电吸附夹盘1的制造方法中,除了上述的研削方法之外,在磨石11的未供研削加工用的刀尖喷附高压的洗净液。详细言之,从研削装置的洗净液供给装置14经由洗净液供给喷嘴15,喷出朝磨石11的刀尖加压的纯水等洗净液。

[0088] 在此,喷附至磨石11的洗净液的压力、喷射角度及从洗净液供给喷嘴15至磨石11的刀尖为止的距离为重要。借由将所述条件予以适当地设定,且采用上述的适当的研削条件,即能以洗净液去除附着在磨石11的刀尖的合成树脂片3的研磨屑并同时合成树脂片3进行研削。借此,可高精度且容易地研削合成树脂片3的表面,且可形成高平坦的研削面5。

[0089] 具体而言,洗净液的喷出压力以3至20MPa为优选,以6至8MPa为更优选。洗净液的喷射角度以5至20度为优选,以8至12度为更优选。从洗净液供给喷嘴15至磨石11的刀尖为止的距离为10至30mm,且以15至25mm为优选,以20mm为更优选。

[0090] 在执行形成研削面5的步骤之后,如图2(d)所示,在基板2形成有用以形成供电用电极7(参照图2(e))的多个孔6。孔6为以从基板2的背面,也就是未接合有合成树脂片3的主面达到电极4的方式形成。

[0091] 具体而言,借由采用例如YAG激光等,形成孔6的贯穿基板2的部分,然后采用例如CO₂激光等,形成孔6的通过合成树脂片3的部分。借此,在形成有孔6的部分中,露出有电极4。此外,借由在孔6的合成树脂片3部分的加工使用CO₂激光,由于CO₂激光不会对金属进行加工,因此会有若孔6达到电极4而可自动地停止加工的优点。

[0092] 接着,如图2(e)所示,进行对开口的孔6埋设金属并形成供电用电极7的步骤。供电用电极7为利用喷墨法或印刷法、镀覆法而埋设在孔6。

[0093] 借由以上的步骤,可获得在表面具有高平坦的研削面5作为保持半导体晶圆20(参照图4)的保持面的静电吸附夹盘1。

[0094] 接着,参照图4,对利用静电吸附夹盘1的半导体装置的制造方法详细地说明。

[0095] 图4为显示利用静电吸附夹盘1的半导体装置的制造方法的图。图4(a)为在半导体晶圆20安装有静电吸附夹盘1的状态,图4(b)为研削有半导体晶圆20的背面的状态,图4(c)为层叠并接合有半导体晶圆20的状态,图4(d)为显示从半导体晶圆20拆下静电吸附夹盘1的状态的图。

[0096] 如图4(a)至(d)所示,静电吸附夹盘1作为保持半导体晶圆20的承载晶圆,利用在半导体晶圆20的薄层化制程及层叠制程。

[0097] 具体而言,首先依据习知的方法在由硅等所构成的半导体晶圆20的表面形成有电路。此外,也可在半导体晶圆20形成有贯通电极。此外,也可进行边缘切除,以去除半导体晶圆20的周围端部的倾斜或圆角等。

[0098] 此外,如图4(a)所示,在静电吸附夹盘1的经平坦化的研削面5上,使形成有电路的装置面20a朝下而载置有半导体晶圆20。

[0099] 接着,对一对电极4a及电极4b,借由供电装置10分别施加正电位(+)及负电位(-)。于是,借由施加有电压的电极4所产生的静电力,而成为半导体晶圆20与静电吸附夹盘1贴合的状态。

[0100] 例如,借由从供电装置10对一对电极4a施加+500V,对电极4b施加-500V的电压,将

施加有电压的状态保持30秒钟,半导体晶圆20与静电吸附夹盘1为借由50kPa以上的吸附力而接合。借此,半导体晶圆20与静电吸附夹盘1的贴合完成。

[0101] 如前所述,静电吸附夹盘1为自己保持型,因此即使在上述供电之后停止来自供电装置10的供电,且从静电吸附夹盘1脱离供电装置10,半导体晶圆20与静电吸附夹盘1的吸附力也被保持。

[0102] 接着,一体地接合的半导体晶圆20与静电吸附夹盘1从供电装置10拆卸下,如图4(b)所示,而安装在研削装置的台座22。台座22由例如多孔陶瓷所构成的板状体等。接合有半导体晶圆20的静电吸附夹盘1被真空吸附并保持在台座22。

[0103] 此外,半导体晶圆20被研削装置将背面予以研削或研磨而薄层化。详细言之,台座22及磨石21会分别旋转,且磨石21的刀尖会滑擦于半导体晶圆20的背面,以从半导体晶圆20的背面去除既定量的硅及贯通电极。在此,对被研削加工的半导体晶圆20的背面,从研削装置的未图示的研削液供给装置经由研削液供给喷嘴23供给例如纯水等洗净液。

[0104] 如上所述,借由将具有高精度度地平坦化的研削面5的静电吸附夹盘1利用作为承载晶圆,即可在一般的研削加工条件下获得高精度度地薄层化的半导体晶圆20。也就是,可获得一种实现与静电吸附夹盘1的研削面5大致同等的TTV及LTV的被高精度度地薄层化的半导体晶圆20。

[0105] 此外,在半导体晶圆20的薄层化过程中,也可对磨石21的未供研削加工用的刀尖喷附高压的洗净液。也就是,也可从研削装置的未图示的洗净液供给装置经由洗净液供给喷嘴,喷出朝向磨石21的刀尖加压的纯水等洗净液。借此,可利用洗净液去除附着在磨石21的刀尖的研磨屑,同时对半导体晶圆20进行研削。因此,可高精度度且容易地对半导体晶圆20的背面进行研削。

[0106] 在半导体晶圆20的背面研削结束之后,也可进行贯穿电极的出头或头面的修整等步骤。并且,被薄层化的半导体晶圆20与静电吸附夹盘1一同从台座22拆下,且如图4(c)所示,例如被反转而层叠在加工过的其他半导体晶圆20A。被薄层化的半导体晶圆20保持在静电吸附夹盘1,因此在从台座22进行拆卸或搬送等之际破损的风险较少。

[0107] 接着,借由例如因表面活性化所致的常温接合等,将被层叠的半导体晶圆20与半导体晶圆20A予以接合。也就是,在已加工的半导体晶圆20A的表面接合经薄层化半导体晶圆20的背面。

[0108] 此外,如图4(d)所示,将静电吸附夹盘1的电极4予以除电,且从半导体晶圆20将静电吸附夹盘1予以拆下。在此,可在不会对半导体晶圆20施加过大的负荷的情况下,可容易地将静电吸附夹盘1予以拆下。因此,不容易发生半导体晶圆20的破裂或缺陷等损伤。

[0109] 反复进行上述的图4(a)至(d)所示的半导体晶圆20的薄层化制程及层叠制程既定次数,然后经由一般的各种后步骤,获得高密度地层叠化的高品质的半导体装置。

[0110] 此外,本发明不限于上述实施方式,除此之外,也可在不脱离本发明的要旨的范围内实施各种变更。

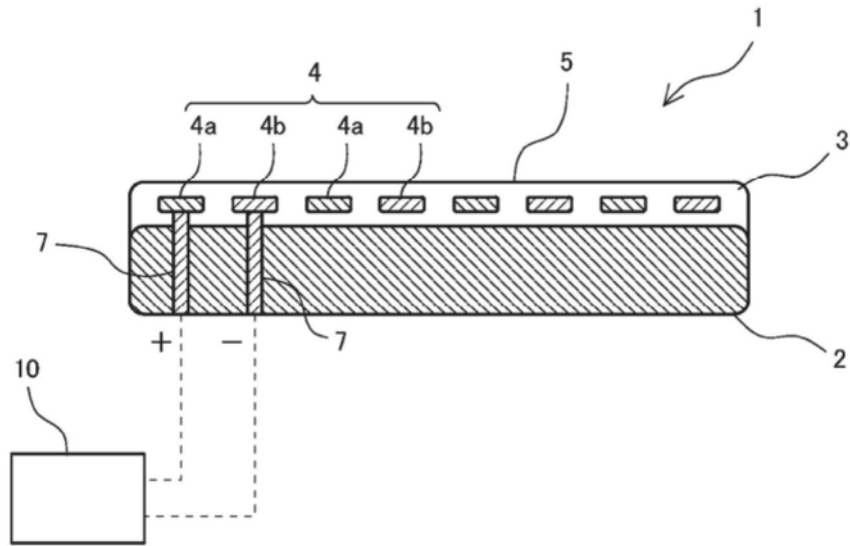


图1

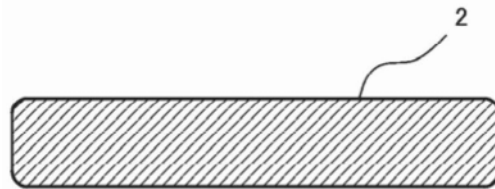


图2 (a)

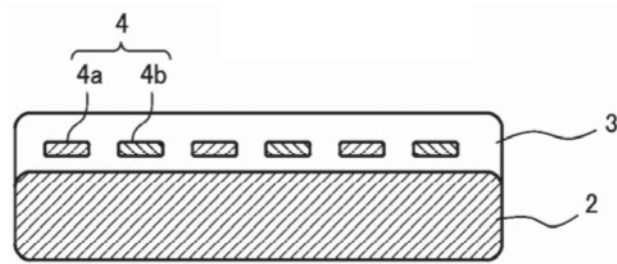


图2 (b)

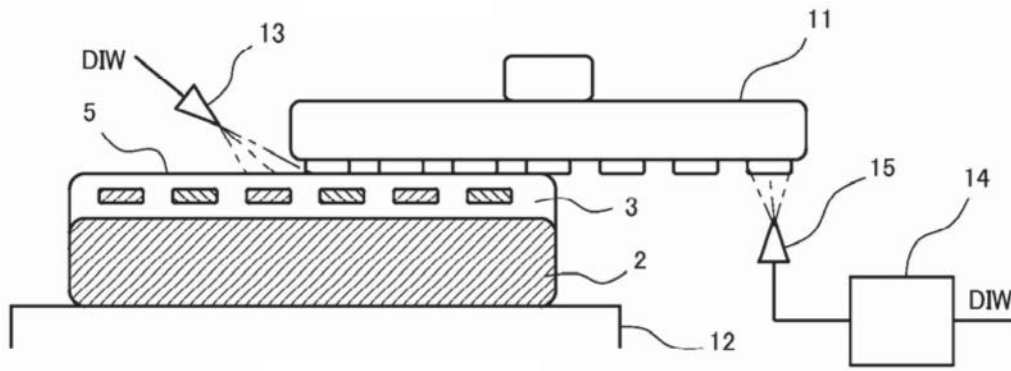


图2(c)

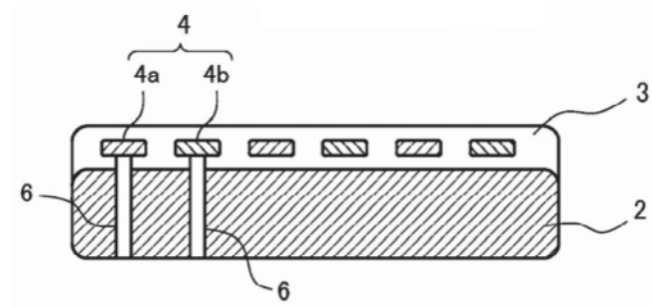


图2(d)

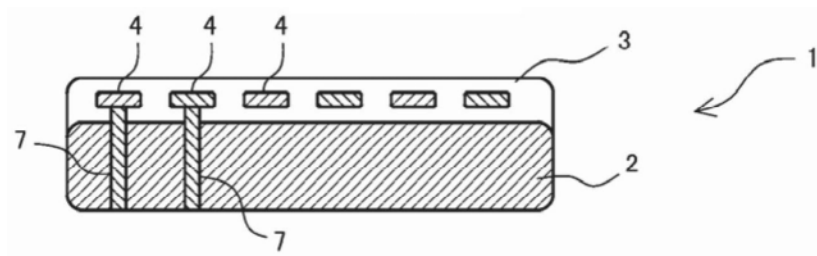


图2(e)

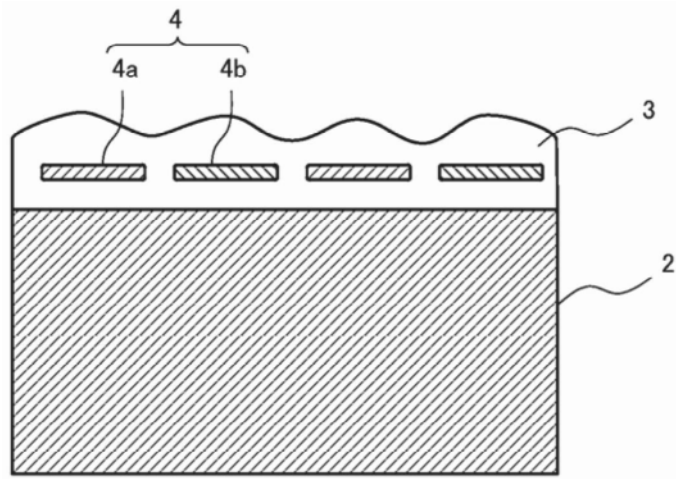


图3 (a)

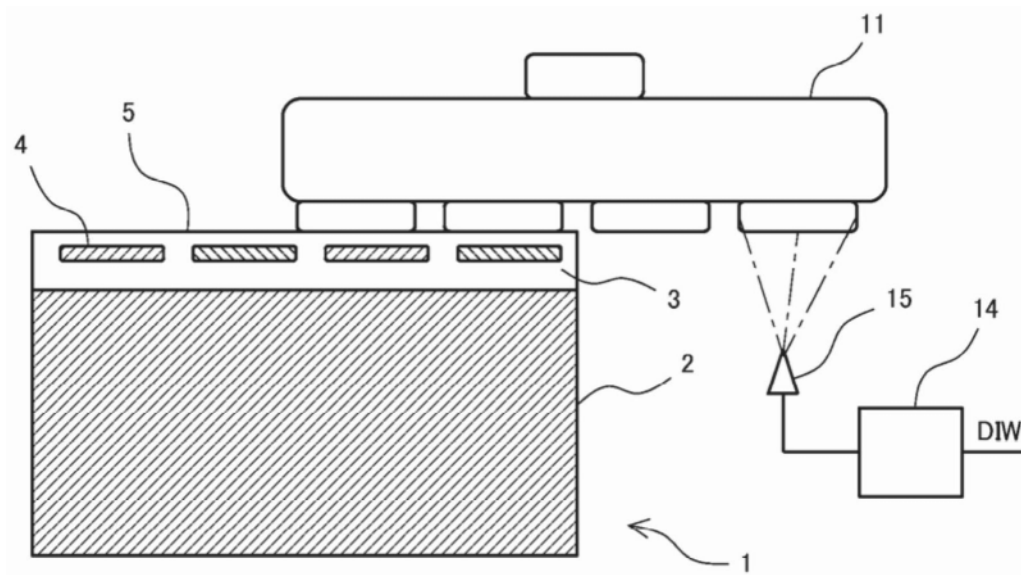


图3 (b)

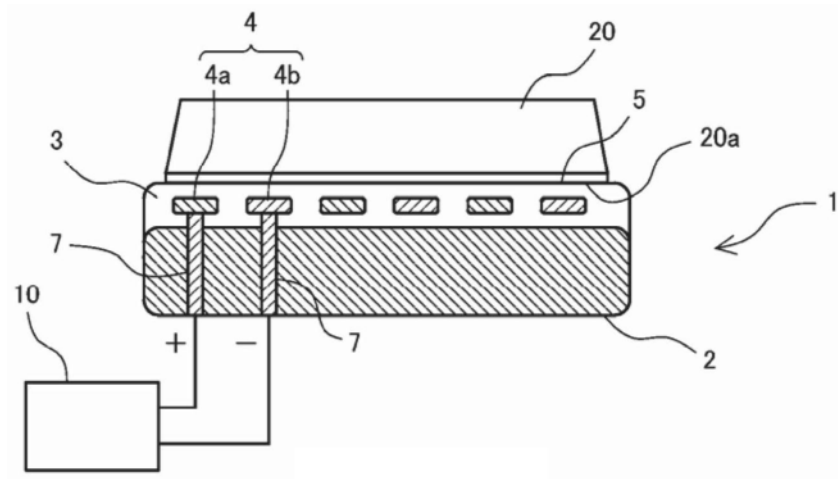


图4(a)

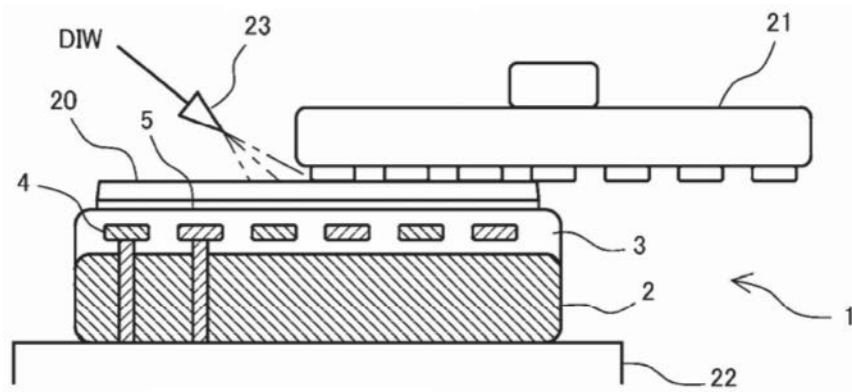


图4(b)

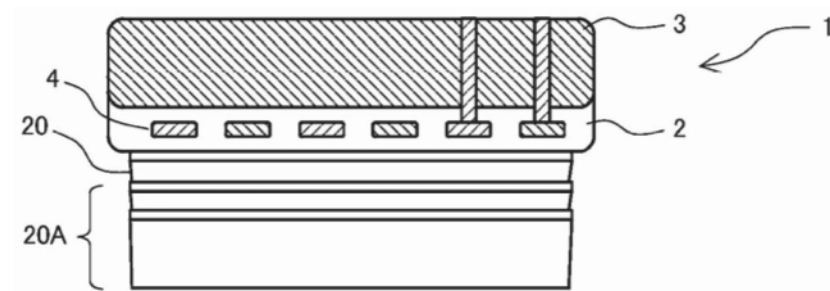


图4(c)

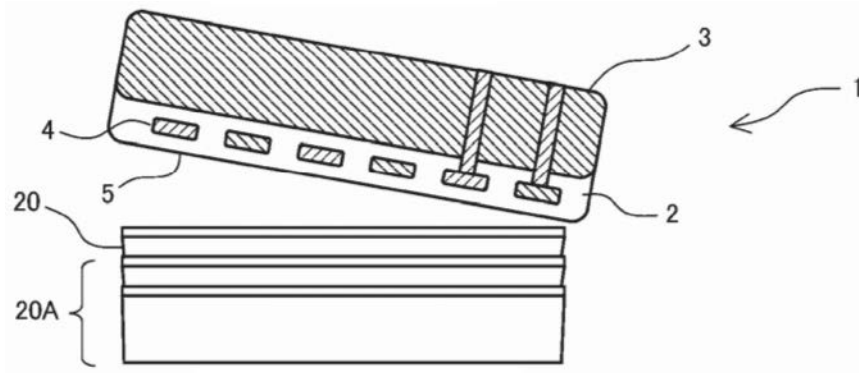


图4(d)