(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년02월28일
(11) 등록번호 10-2775593
(24) 등록일자 2025년02월26일

(51) 국제특허분류(Int. Cl.)
H10D 30/67 (2025.01) *H10B 10/00* (2023.01)
H10B 12/00 (2023.01) *H10D 62/10* (2025.01)
H10D 64/27 (2025.01)
(52) CPC특허분류
H10D 30/6713 (2025.01)
H10B 10/12 (2023.02)
(21) 출원번호 10-2024-0015259
(22) 출원일자 2024년01월31일
심사청구일자 2024년01월31일
(56) 선행기술조사문헌
KR1020160108606 A*
(뒷면에 계속)
전체 청구항 수 : 총 6 항

(73) 특허권자
경상국립대학교산학협력단
경상남도 진주시 진주대로 501 (가좌동)
(72) 발명자
김정식
경상남도 진주시 진주대로 501
방민지
경상남도 진주시 개양로5번길 10
하종현
경상남도 진주시 내동로348번길 10
(74) 대리인
김종석

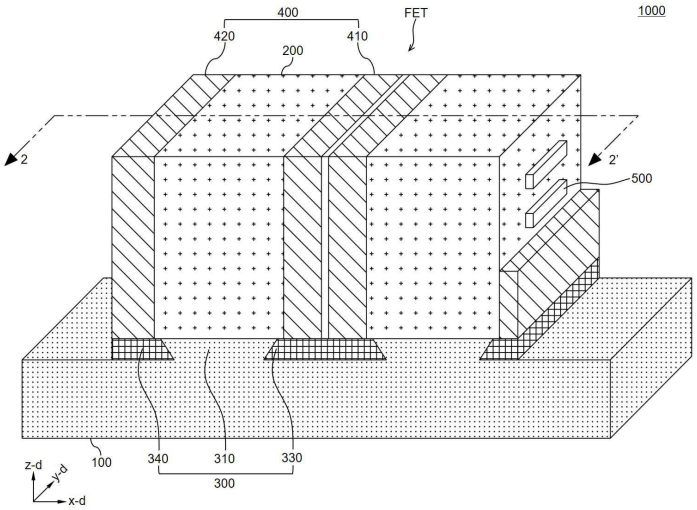
심사관 : 윤광준

(54) 발명의 명칭 **반도체 메모리 소자 및 그 제조 방법**

(57) 요 약

본 발명에 의한 반도체 메모리 소자는, 기판부, 상기 기판부의 상부에 마련되는 게이트 구조물, 상기 게이트 구조물의 일측 및 타측에 마련되는 소스-드레인 구조물 및 상기 기판부의 상면에서, 상기 소스-드레인 구조물의 하부면 중 적어도 일부와 면접촉하는 캐리어 차단부를 포함하는 것을 특징으로 한다.

대 표 도 - 도1



(52) CPC특허분류
H10B 12/00 (2023.02)
H10D 30/6735 (2025.01)
H10D 30/6757 (2025.01)
H10D 62/121 (2025.01)

(56) 선행기술조사문헌
KR1020050099877 A*
KR1020230043691 A
KR1020230126035 A
KR1020230010871 A
KR1020230174071 A
*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업
과제고유번호 1711199602
과제번호 00272892
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구(과기정통부)
연구과제명 5 나노 이하 로직 반도체 정적 무작위 메모리에 대한 방사선 열화 연구
과제수행기관명 경상국립대학교 산학협력단
연구기간 2023.09.01 ~ 2024.02.29
이 발명을 지원한 국가연구개발사업
과제고유번호 1345370630
과제번호 LINC3.0-2023-11
부처명 교육부
과제관리(전문)기관명 한국연구재단
연구사업명 산학협력고도화지원
연구과제명 3단계산학연협력선도대학육성사업(LINC3.0)(0.5)
과제수행기관명 경상국립대학교
연구기간 2023.03.01 ~ 2024.02.29

명 세 서

청구범위

청구항 1

기판부;

상기 기판부의 상부에 마련되는 게이트 구조물;

상기 게이트 구조물의 일측 및 타측에 마련되는 소스-드레인 구조물; 및

상기 기판부의 상면에서, 상기 소스-드레인 구조물의 하부면 중 적어도 일부와 면접촉하는 캐리어 차단부를 포함하고,

상기 소스-드레인 구조물은,

상기 게이트 구조물을 사이에 두고 상호 대향하는 드레인 구조물 및 소스 구조물을 포함하며,

상기 소스 구조물과 상기 드레인 구조물 사이 방향이 채널 영역으로 규정되고,

상기 캐리어 차단부는,

상기 게이트 구조물의 하부면 중 적어도 일부와 면접촉하는 게이트측 차단부; 및

상기 게이트측 차단부와 마주하고, 상기 드레인 구조물의 하부면 중 적어도 일부와 면접촉하는 드레인측 차단부를 포함하고,

상기 게이트측 차단부는,

드레인측 상부 말단이 상기 게이트 구조물의 드레인측 하부 말단으로부터 수평 차단거리만큼 이격되는 것을 특징으로 하는 반도체 메모리 소자.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 캐리어 차단부는,

상기 게이트측 차단부의 드레인 방향 측면에 형성되고, 하강하는 경사를 갖는 제1경사부를 포함하고,

상기 드레인측 차단부는,

상기 제1경사부 중 적어도 일부와 면접촉하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 5

제4항에 있어서,

상기 제1경사부는,

드레인 방향에서 소스 방향을 따라 하강하는 테이퍼 구조로 형성되는 것을 특징으로 하는 반도체 메모리 소자.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 수평 차단거리는,

상기 게이트 구조물의 드레인측 말단에서부터 소스 방향을 향해 형성되는 것을 특징으로 하는 반도체 메모리 소자.

청구항 8

제1항에 있어서,

상기 소스 구조물 및 상기 드레인 구조물 사이에 마련되고, 상기 게이트 구조물을 관통하는 적어도 하나의 채널 구조물을 포함하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 9

제8항에 있어서,

상기 채널 구조물은,

장축의 적어도 일부에서, 전체 테두리면이 상기 게이트 구조물과 면접촉하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 10

삭제

청구항 11

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 단일사건혼란(Single Event Upset, SEU) 등 방사선에 의한 피해를 최소화할 수 있는 반도체 메모리 소자 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 최근, 인공위성 산업이 민간 영역에서도 대대적으로 활성화되는 등, 우주산업은 급격히 발전하고 있다.

[0003] 한편, 우주 공간에서는 상당히 높은 수준의 방사선들이 존재하는 관계로, 우주 제품에 활용되는 반도체 메모리 소자는 뛰어난 내방사선 특성을 지녀야 한다. 이에 대한 일 예로, 선행하는 한국 공개특허 제10-2018-0041853호에는 파워 서플라이의 차폐 기구 및 그 제조방법이 개시되어 있다. 그러나, 상기 선행문헌에 따르면 반도체 등 전자제품들은 내방사선 특성을 갖는 상당한 크기의 방호 케이스에 밀폐되어야 한다. 이로 인해, 우주 장비의 부피 및 무게가 증가하는 등 상당한 문제점들이 발생하게 된다.

[0004] 또한, 반도체 구조의 설계 변경 및 특수 소재의 활용을 통해 방사선 피해를 최소화하기 위한 다양한 선행기술들이 존재한다. 그러나, 이러한 선행기술들에 따르면, 고가의 내방사선 소재의 사용, 복잡한 반도체 설계 구조 등 각종 제약이 발생하게 된다.

[0005] 종합하면, 별도의 방호 케이스, 특수 소재 사용, 복잡한 설계 구조 등 각종 요인으로 인해, 우주용 반도체의 집적률은 비우주용 대비 상당히 낮을 수 밖에 없다. 또한, 우주용 반도체는 비우주용 반도체 대비 식각/클리닝 등에서 추가 공정을 요하여, 이로 인해 제조 비용 상승이 야기된다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 한국 공개특허 제10-2018-0041853호

발명의 내용

해결하려는 과제

[0007] 상술한 과제 해결의 일환으로, 본 발명은 별다른 차폐용 보호구나 특수 소재의 사용 없이도, 높은 내방사선 특성을 지닌 반도체 메모리 소자 및 그 제조 방법을 제공하고자 하는 것을 그 목적으로 한다.

과제의 해결 수단

[0008] 본 발명에 의한 반도체 메모리 소자는, 기판부, 상기 기판부의 상부에 마련되는 게이트 구조물, 상기 게이트 구조물의 일측 및 타측에 마련되는 소스-드레인 구조물 및 상기 기판부의 상면에서, 상기 소스-드레인 구조물의 하부면 중 적어도 일부와 면접촉하는 캐리어 차단부를 포함하는 것을 특징으로 한다.

[0009] 또한, 상기 소스-드레인 구조물은, 상기 게이트 구조물을 사이에 두고 상호 대향하는 드레인 구조물 및 소스 구조물을 포함하며, 상기 소스 구조물과 상기 드레인 구조물 사이 방향이 채널 영역으로 규정되는 것을 특징으로 한다.

[0010] 또한, 상기 캐리어 차단부는, 상기 게이트 구조물의 하부면 중 적어도 일부와 면접촉하는 게이트측 차단부 및 상기 게이트측 차단부와 마주하고, 상기 드레인 구조물의 하부면 중 적어도 일부와 면접촉하는 드레인측 차단부를 포함하는 것을 특징으로 한다.

[0011] 또한, 상기 캐리어 차단부는, 상기 게이트측 차단부의 드레인 방향 측면에 형성되고, 하강하는 경사를 갖는 제1경사부를 포함하고, 상기 드레인측 차단부는, 상기 제1경사부 중 적어도 일부와 면접촉하는 것을 특징으로 한다.

[0012] 또한, 상기 제1경사부는, 드레인 방향에서 소스 방향을 따라 하강하는 테이퍼 구조로 형성되는 것을 특징으로 한다.

[0013] 또한, 상기 게이트측 차단부는, 드레인측 상부 말단이 상기 게이트 구조물의 드레인측 하부 말단으로부터 수평 차단거리만큼 이격되는 것을 특징으로 한다.

[0014] 또한, 상기 수평 차단거리는, 상기 게이트 구조물의 드레인측 말단에서부터 소스 방향을 향해 형성되는 것을 특징으로 한다.

[0015] 또한, 상기 소스 구조물 및 상기 드레인 구조물 사이에 마련되고, 상기 게이트 구조물을 관통하는 적어도 하나의 채널 구조물을 포함하는 것을 특징으로 한다.

[0016] 또한, 상기 채널 구조물은, 장축의 적어도 일부에서, 전체 테두리면이 상기 게이트 구조물과 면접촉하는 것을 특징으로 한다.

[0017] 그리고, 기판부의 상부에 적어도 하나의 채널 가이드부가 마련되는 가이드 제공 단계, 상기 기판부의 상부에서, 게이트 구조물이 상기 채널 가이드부와 접촉하도록 마련되는 게이트 형성 단계 및 상기 채널 가이드부에 도핑이 수행됨으로써 채널 구조물이 형성되는 채널 형성 단계를 포함하는 것을 특징으로 한다.

[0018] 또한, 상기 가이드 제공 단계는, 상기 기판부의 상부에 기립하는 적어도 2개의 게이트 가이드부가 형성되고, 상기 채널 가이드부는, 상기 게이트 가이드부들을 연결하도록 마련되고, 전체 테두리면이 상기 게이트 구조물과 면접촉하는 것을 특징으로 한다.

발명의 효과

[0019] 본 발명에 의한 반도체 메모리 소자 및 그 제조 방법에 따르면, 기판부와 드레인/소스 사이에 별도의 캐리어 차단부가 마련된다. 이에 따라, 상기 캐리어 차단부가 방사선으로 인해 전리된 각종 입자의 유입을 최대한 완화하는 등, 효과적인 내방사선 특성이 제공된다.

[0020] 게다가, 상기 캐리어 차단부는 일반적인 소재, 단순한 형상, 최소화된 추가 공정을 통해 적용 가능하며, 이를 바탕으로 우주용 반도체의 고집적화가 용이하게 수행될 수 있다.

[0021] 또한, 별도의 채널 가이드부가 제공됨으로써, GAA 등 3차원 채널 특성을 가지는 반도체 소자가 더욱 용이하게 제조될 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명에 의한 반도체 메모리 소자의 일실시예를 나타내는 절개도이다.

도 2는 도 1에 도시된 2-2' 방향에서 바라본 상태를 나타내는 단면도이다.

도 3은 도 2에 도시된 3-3' 방향에서 바라본 상태를 나타내는 단면도이다.

도 4는 본 발명에 의한 반도체 메모리 소자의 제조방법을 나타내는 흐름도이다.

도 5는 도 4에 도시된 가이드 제공 단계의 일실시예를 나타내는 단면도이다.

도 6은 도 4에 도시된 게이트 형성 단계의 일실시예를 나타내는 단면도이다.

도 7은 도 4에 도시된 소스-드레인 준비 단계의 일실시예를 나타내는 단면도이다.

도 8a 내지 도 8c는 도 4에 도시된 차단부 형성 단계의 일실시예를 나타내는 단면도이다.

도 9는 본 발명의 다른 실시예에 의한 반도체 메모리 소자를 나타내는 단면도이다.

도 10은 단일사건혼란 이후 각 실시예에서의 회복 시간을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명의 구체적인 설명에 앞서, 본 발명을 실시하기 위한 구체적인 사항들은 다음에 기재할 실시예 및 도면에 포함되어 있다. 또한, 명세서 전체에 기재된 동일 참조 부호는 동일 구성요소를 지칭한다. 또한, 본 명세서에서의 단수형 표현들은 문구에서 특별히 언급하지 않는 이상 복수형도 포함한다.

[0024] 도 1은 본 발명에 의한 반도체 메모리 소자의 일실시예를 나타내는 절개도이다.

[0025] 그리고, 도 2는 도 1에 도시된 2-2' 방향에서 바라본 상태를 나타내는 단면도이다. 그리고, 도 3은 도 2에 도시된 3-3' 방향에서 바라본 상태를 나타내는 단면도이다.

[0026] 그리고, 도 4는 본 발명에 의한 반도체 메모리 소자의 제조방법을 나타내는 흐름도이다.

[0027] 도 1 내지 도 4를 참조하면, 본 발명에 의한 반도체 메모리 소자(1000)는 전계효과 트랜지스터(field effect transistor, FET)를 포함할 수 있다. 또한, 상기 전계효과 트랜지스터(FET)는 기판부(100)의 상면에서 다수 마련될 수 있다. 또한, 다수의 전계효과 트랜지스터(FET)는 직렬/병렬 등 다양한 구조적 조합으로 마련될 수 있다.

[0028] 또한, 상기 전계효과 트랜지스터(FET)는 다양한 게이트 구조를 가질 수 있다. 바람직하게는, 상기 전계효과 트랜지스터(FET)는 게이트-올-어라운드(gate-all-around, GAA) 종류일 수 있다. 여기서, 전계효과 트랜지스터(FET)가 일종의 나노시트(nano sheet) 구조인 것으로 도시되어 있으나, 그 외 다양한 GAA 종류가 적용될 수 있다.

[0029] 또한, 전계효과 트랜지스터(FET)는 동적램(DRAM), 정적램(SRAM), 그 외 다양한 메모리 소자일 수 있다.

[0030] 또한, 전계효과 트랜지스터(FET)는 적어도 게이트 영역(GA), 소스 영역(SA), 드레인 영역(DA) 및 채널 영역(CA)으로 구분될 수 있다.

[0031] 보다 상세하게는, 상기 게이트 영역(GA)에는 게이트가 마련된다. 그리고, 상기 소스 영역(SA)은 게이트 영역(GA)의 일측에 마련된다. 또한, 상기 드레인 영역(DA)은 게이트 영역(GA)의 타측에 마련된다. 이때, 소스 영역(SA)과 드레인 영역(DA)은 게이트 영역(GA)을 사이에 두고 상호 마주할 수 있다. 또한, 채널이 게이트를 가로지르는 특성상, 채널 영역(CA)은 게이트 영역(GA)을 가로지를 수 있다.

[0032] 그리고, 본 발명에 의한 반도체 메모리 소자(1000)는 기판부(100), 게이트 구조물(200), 캐리어 차단부(300), 소스-드레인 구조물(400) 및 채널 구조물(500)을 포함한다. 또한, 본 발명에 의한 반도체 메모리 소자(1000)의 제조 방법은 가이드 제공 단계(S100), 게이트 형성 단계(S200), 소스-드레인 준비 단계(S300), 차단부 형성 단계(S400) 및 채널 형성 단계(S500)를 포함한다.

[0033] 이하, 도 2의 구도에 대응되는 다른 도면들을 더 참조하여 상기 각 단계들에 대해 설명하도록 한다.

[0034] 먼저, 도 5는 도 4에 도시된 가이드 제공 단계의 일실시예를 나타내는 단면도이다.

[0035] 도 5를 더 참조하면, 상기 가이드 제공 단계(S100)를 통해 기판부(100)가 마련된다. 또한, 상기 기판부(100)에는 게이트 가이드부(GG) 및 채널 가이드부(CG)가 마련된다.

[0036] 상기 기판부(100)에는 게이트, 채널, 소스, 드레인 등 다양한 소자들이 배치될 수 있다. 이러한 소자들은 스택(stack), 에피택시(epitaxy), 증착, 그 외 다양한 방법으로 기판부(100)상에 마련될 수 있다.

[0037] 또한, 기판부(100)는 실리콘(Si)계 소재를 포함하는 재료로 제조될 수 있다. 예컨대, 기판부(100) 제조를 위하여, 단결정 실리콘, 다결정 실리콘, 비결정질 실리콘, 그 외 다양한 종류들이 선택될 수 있다.

[0038] 또한, 기판부(100) 제조를 위하여, 저마늄(Ge) 등의 Ⅳ족 반도체, 실리콘저마늄(SiGe)이나 실리콘카바이드(SiC) 등의 Ⅳ-Ⅳ족 화합물 반도체, 갈륨아세나이드(GaAs)/인듐아세나이드(InAs)/인듐포스파이드(InP) 등의 Ⅲ-Ⅴ족 화합물 반도체 등도 선택될 수 있다. 또한, 기판부(100)는 실리콘 벌크(Si bulk) 기판, SOI(Silicon On Insulator) 기판, 에피택셜(Epitaxial) 웨이퍼, 폴리시드(polished) 웨이퍼, 열처리된(Annealed) 웨이퍼, 기타 다양한 웨이퍼들을 기반으로 제조될 수 있다.

[0039] 여기서, 기판부(100)의 평면상 수평 방향은 제1방향(x-d) 및 제2방향(y-d)으로 규정될 수 있다. 또한, 기판부(100)의 높이 방향은 제3방향(z-d)으로 규정될 수 있다.

[0040] 그리고, 상기 게이트 가이드부(GG)는 기판부(100)의 상부면에서 수평 방향을 따라 적어도 2개가 마련된다. 또한, 게이트 가이드부(GG)는 제3방향(z-d)을 따라 소정의 높이를 지닌다. 게이트 가이드부(GG)들의 각종 이격 거리는 게이트 영역(GA)에 대응될 수 있다.

[0041] 또한, 마주하는 게이트 가이드부(GG)들간 수평 이격 거리는 게이트의 수평 방향 폭/길이에 대응될 수 있다. 여기서, 상기 수평 방향이 제1방향(x-d)인 것으로 도시되어 있으나, 적용예에 따라서 상기 수평 방향은 제2방향(y-d)으로도 적용 가능하다.

[0042] 그리고, 상기 채널 가이드부(CG)는 제1방향(x-d)을 따라서 마련된다. 또한, 채널 가이드부(CG)는 상호 마주하는 게이트 가이드부(GG)를 연결시킨다.

[0043] 또한, 기설정된 채널 설계안에 대응하여, 채널 가이드부(CG)는 제3방향(z-d)을 따라 다수 마련될 수 있다. 여기서, 채널 가이드부(CG)의 구체적인 설치 위치는 기설정된 채널 설계안에 대응된다. 또한, 채널 가이드부(CG)는 나노시트 등 다양한 GAA 형태의 채널에 대응되는 형상을 지닐 수 있다.

[0044] 또한, 게이트 가이드부(GG)와 채널 가이드부(CG)는 상호 일체형으로 형성될 수 있다. 또한, 게이트 가이드부(GG)와 채널 가이드부(CG)는 스택 내지 에피택셜 방식으로 형성될 수 있다.

[0045] 또한, 가이드부들(GG, CG)과 기판부(100)는 상호 일체형으로 형성될 수 있다. 이를 위해, 식각 내지 트렌치(Trench) 등 다양한 공법들이 활용될 수 있다.

[0046] 다음으로, 도 6은 도 4에 도시된 게이트 형성 단계의 일실시예를 나타내는 단면도이다.

[0047] 도 6을 더 참조하면, 상기 게이트 형성 단계(S200)에서는 기판부(100)의 상부면에 상기 게이트 구조물(200)이 마련된다. 또한, 증착, 그 외 다양한 방법에 의해 상기 게이트 구조물(200)이 형성될 수 있다.

[0048] 또한, 게이트 구조물(200)은 각 채널 가이드부(CG)를 감싸도록 마련된다. 이에 따라, 게이트 구조물(200)에서, 채널 가이드부(CG)가 관통하는 위치에는 채널 경로(201)가 형성된다. 이러한 채널 경로(201)는 게이트 구조물(200)의 소스 영역(SA)측과 드레인 영역(DA)측을 개구한다. 또한, 채널 경로(201)는 게이트 구조물(200)의 내부를 중공시킨다. 또한, 채널 경로(201)는 채널 영역(CA)에 대응된다.

[0049] 다음으로, 도 7은 도 4에 도시된 소스-드레인 준비 단계의 일실시예를 나타내는 단면도이다.

[0050] 도 7을 더 참조하면, 상기 소스-드레인 준비 단계(S300)를 통해 각 게이트 가이드부(GG)들이 제거된다. 이때, 에칭 등 다양한 방식을 통해 게이트 가이드부(GG)들이 제거될 수 있다.

[0051] 다음으로, 도 8a 내지 도 8c는 도 4에 도시된 차단부 형성 단계의 일실시예를 나타내는 단면도이다.

[0052] 도 8a 내지 도 8c를 더 참조하면, 상기 차단부 형성 단계(S400)를 통해 게이트 구조물(200)의 하부면에는 상기 캐리어 차단부(300)가 형성된다. 또한, 차단부 형성 단계(S400)는 하방 에칭 단계(S410), 수평 에칭 단계(S420) 및 보충 단계(S430)를 포함할 수 있다.

[0053] 더 상세하게는, 먼저 도 7 및 도 8a로 도시된 순과 같이, 하방 에칭 단계(S410)에서, 게이트 구조물(200)의 드레인측과 이웃하는 기판부(100)의 상부면이 에칭된다. 또한, 하방 에칭 단계(S410)에서, 게이트 구조물(200)의 소스측과 이웃하는 기판부(100)의 상부면이 에칭된다. 이때, 드레인측과 소스측의 에칭 형태들은 제3방향(z-d)에 대하여 상호 대칭될 수 있다.

[0054] 또한, 기판부(100)는 차단 깊이(he)에 해당하는 만큼 하방으로 에칭된다. 상기 차단 깊이(he)는 다양한 범위 내로 설정될 수 있다.

[0055] 이에 따라, 기판부(100)와 게이트 구조물(200) 사이에는 게이트측 차단부(310)가 형성된다. 이러한 게이트측 차단부(310)는 기판부(100)로부터 상방으로 돌출된 형상을 지니게 된다. 또한, 게이트 구조물(200)의 하부면은 게이트측 차단부(310)의 상부면과 면접촉한다. 또한, 게이트측 차단부(310)의 제1방향(x-d) 치수는 채널 영역(CA)에 대응될 수 있다.

[0056] 다음으로, 도 8a에서 도 8b로 도시된 순과 같이, 상기 수평 에칭 단계(S420)에서, 게이트측 차단부(310)의 드레인측과 소스측 측면에는 추가적인 에칭이 수행된다.

[0057] 보다 상세하게는, 게이트측 차단부(310)의 드레인측 상부 말단은 게이트 구조물(200)의 드레인측 하부 말단으로부터 수평 차단거리(hd)만큼 수평으로 에칭된다. 아울러, 제3방향(z-d)축에 대칭되도록, 게이트측 차단부(310)의 소스측에도 상기 수평 차단거리(hd)에 대응되는 에칭이 수행된다. 이에 따라, 게이트 구조물(200)과 게이트측 차단부(310)는 상기 수평 차단거리(hd)에 대응되는 만큼 단차지는 구조를 형성하게 된다. 또한, 해당 계단형 구조에서, 게이트 구조물(200)이 드레인 방향으로 더 돌출된다.

[0058] 다음으로, 게이트측 차단부(310)의 드레인측 측면이 소정의 경사각을 갖고 테이퍼지도록, 추가적인 에칭이 수행된다. 이에 따라, 게이트측 차단부(310)의 드레인측 측면은 제1경사부(321)로 규정될 수 있다.

[0059] 또한, 제1경사부(321)는 드레인 방향에서 소스 방향을 향해 하강하는 테이퍼 구조로 형성된다.

[0060] 또한, 제1경사부(321)의 수직 높이는 전술한 차단 깊이(he)에 대응된다. 즉, 제1경사부(321)의 하부측 종료점은 차단 깊이(he) 지점과 동일 수평 선상에 마련된다. 여기서, 제1경사부(321)의 길이/경사각은 다양한 범위내로 설정될 수 있다.

[0061] 아울러, 게이트측 차단부(310)의 소스측에는 제3방향(z-d)에 대하여 제1경사부(321)와 대칭되는 제2경사부(322)가 형성된다.

[0062] 다음으로, 도 8b에서 도 8c로 도시된 순과 같이, 상기 보충 단계(S430)를 통해, 기판부(100)의 상부면에는 드레인측 차단부(330) 및 소스측 차단부(340)가 형성된다.

[0063] 보다 상세하게는, 상기 드레인측 차단부(330)는 게이트 구조물(200)의 드레인측에 형성된다. 또한, 드레인측 차단부(330)의 게이트측 측면은 제1경사부(321)와 면접촉한다. 이러한 드레인측 차단부(330)는 증착, 그 외 다양한 방법에 의해 형성될 수 있다.

[0064] 아울러, 상기 소스측 차단부(340)는 제3방향(z-d)에 대하여 드레인측 차단부(330)와 대칭되도록 형성된다. 또한, 드레인측 차단부(330), 게이트측 차단부(310) 및 소스측 차단부(340)의 상부면들은 동일 수평선상에 마련될 수 있다.

[0065] 한편, 반도체 제품에 방사선으로부터 영향을 받는 경우, 기판에는 전리된 입자 및 각종 누설 전류가 발생할 수 있다. 이때, 상기 캐리어 차단부(300)는 기판과 소스/드레인 경계부에서의 전리된 입자 내지 각종 누설 전류의 흐름을 차단하게 된다. 그리하여, 기판부(100)와 소스/드레인 경계부에는 캐리어의 이동/생성이 최대한 방지된다.

[0066] 더 상세하게는, 상술한 수평 차단거리(hd)에 대응되는 만큼 기판부(100)와 소스/드레인 사이에는 게이트측 차단부(310) 및 드레인측/소스측 차단부(330/340)가 위치하게 된다. 즉, 기판부(100)와 접하는 소스/드레인측 코너가 물리적으로 2중 차폐됨으로써, 소스/드레인으로는 전리입자 유입 등이 최소화된다.

[0067] 또한, 경사부(321, 322)의 경사 구조에 대응하여, 드레인측/소스측 차단부(330/340)는 드레인/소스보다 더 큰 제1방향(x-d) 치수를 가지게 된다. 이러한 치수 차이를 통해, 기판부(100)와 접하는 소스/드레인측 코너에서는 차단부(330, 340)의 확장된 면적에 의한 차폐 효과가 더욱 향상된다.

[0068] 특히, 상기 캐리어 차단부(300)에 따르면, 단일사건혼란(Single Event Upset, SEU)이 발생한 후, 반도체의 정상 상태 회복 시간이 더욱 단축될 수 있다.

[0069] 따라서, 바람직하게는, 게이트측 차단부(310)는 윗변의 길이가 더 큰 일종의 등변 사다리꼴 구조를 지닐 수 있다. 또한, 해당 등변 사다리꼴 구조의 윗변 양단은 게이트의 아랫변 양단으로부터 각기 수평 차단거리(hd)만큼 이격될 수 있다. 또한, 드레인측/소스측 차단부(330/340)는 게이트측 차단부(310)와 줄지어 마련될 수 있다. 또한, 드레인측/소스측 차단부(330/340)는 게이트측 차단부(310)가 상하 역전된 형상을 지닐 수 있다.

[0070] 또한, 드레인측 차단부(330) 및 소스측 차단부(340)는 실리콘 옥사이드, 기판부(100)와 동일한 소재, 그 외 다양한 소재로 제조될 수 있다.

[0071] 다음으로, 도 8c 및 도 2로 도시된 순과 같이, 상기 채널 형성 단계(S500)를 통해 상기 소스-드레인 구조물(400) 및 채널 구조물(500)이 형성된다. 또한, 상기 소스-드레인 구조물(400)은 드레인 구조물(410) 및 소스 구조물(420)을 포함한다.

[0072] 보다 상세하게는, 기존에 잔류하는 채널 가이드부(CG)에는 소정의 물질들이 도핑된다. 이러한 도핑 과정을 통해, 채널 경로(201)의 내측에는 상기 채널 구조물(500)이 형성된다.

[0073] 다음으로, 기판부(100)의 상부에서, 게이트 구조물(200)의 양측에 각기 상기 드레인 구조물(410) 및 소스 구조물(420)이 형성된다. 또한, 소스-드레인 구조물(400)은 증착 내지 에피택시(Epitaxy) 등 다양한 방법에 의해 형성될 수 있다.

[0074] 여기서, 전술한 GAA 게이트 구조에 대응하여, 채널 구조물(500)의 전체 테두리면은 채널 경로(201)와 면접촉할 수 있다.

[0075] 다음으로, 도 9는 본 발명의 다른 실시예에 의한 반도체 메모리 소자를 나타내는 단면도이다. 그리고, 도 10은 단일사건혼란 이후 각 실시예에서의 회복 시간을 나타내는 그래프이다. 도 9 및 도 10을 더 참조하여 본 발명의 각 실시예들 및 해당 실시예들에 대한 비교 시험예를 설명하도록 한다.

[0077] **[실시예 1]**

[0078] 전술한 제조 방법에 따라 본 실시예에 의한 소자가 설정되었다.

[0079] 보다 상세하게는, 게이트 구조물(200), 드레인 구조물(410) 및 채널 구조물(500) 각각의 제1방향(x-d), 제2방향(y-d) 및 제3방향(z-d) 치수는 8nm, 8nm 및 40nm로 설정되었다.

[0080] 특히, 도 1, 도 2 및 도 8c와 같이, 경사부(321, 322)의 상부측 말단은 게이트 구조물(200)의 드레인/소스측 단부로부터 수평 차단거리(hd)만큼 이격된다. 또한, 본 실시예에서 차단 깊이(he), 수평 차단거리(hd) 및 각 경사부(321,322)의 길이는 5nm, 1nm 및 7.07nm로 설정되었다.

[0081] 또한, 드레인측 차단부(330) 및 소스측 차단부(340)는 실리콘 옥사이드에 의해 제조된 것으로 설정되었다.

[0082] 그리고, 본 실시예에서의 소자는 6개 트랜지스터로 구성되는 정적램(SRAM) 소자로 설정되었다.

[0084] **[실시예 2]**

[0085] 도 9를 참조하면, 본 실시예에서 수평 차단거리(hd)는 0에 해당한다. 즉, 본 실시예에서, 제1경사부(321)의 상부측 시작점은 게이트 구조물(200)의 드레인측 단부에 해당된다.

[0086] 또한, 본 실시예에서, 제1경사부(321)의 하부측 종료점은 게이트 구조물(200)로부터 이격되도록 마련된다.

[0087] 그 외, 본 실시예의 나머지 사항들은 상기 실시예 1과 동일하다.

[0089] **[시험예 1]**

[0090] 단일사건혼란(Single Event Upset, SEU)을 모사하기 위하여, 우주 방사선으로부터 유발된 중이온(heavy ion)이 각 실시예에 따른 소자들에 충돌하는 상황이 가정되었다. 또한, 해당 모사 실험을 위하여, Sentaurus TCAD 소프트웨어가 활용되었다.

[0091] 보다 상세하게는, 각 소자의 드레인 구조물(410)에 중이온에 의한 10 $MeV \cdot cm^2/mg$의 선형 에너지 전달(LET, Liner Energy Transfer)이 가해지는 조건이 설정되었다.

[0092] 또한, 각 드레인 구조물(410)은 n-channel MOSFET(nMOSFET)의 드레인으로 설정되었다. 또한, 해당 드레인 구조물(410)이 OFF인 상태에서 상기 LET가 가해지는 상황이 가정되었다.

[0093] 그리고, 각 드레인 구조물(410)은 도시되지 않은 비트라인(Bit line) 및 워드라인(Word line)과 연결된다. 그리고, 도 10을 참조하면, Hold 상태를 기준으로 각 비트라인의 전압(V_{BL}) 및 워드라인의 전압(V_{WL})은 0.7V 및 0V이다.

[0094] 그리고, 워드라인이 on 됨으로써 write 작동이 실행된 후, 다시 워드라인이 off되어 hold 상태가 진행된 후인 250ps(pemto seconds)에서 상기 LET 충돌이 진행되었다.

[0095] 그 결과, 실시예 1에 따른 소자의 경우, 90ps 이후인 340ps 부근에서 비트라인전압(V_{BL})이 정상적으로 회복되었다. 반면, 실시예 2에 따른 소자의 경우, 350ps 이후인 600ps 부근에서 비트라인전압(V_{BL})이 정상적으로 회복되었다.

[0096] 이와 같이, 수평 차단거리(hd) 유무 및 경사부(321, 322)의 경사 방향에 따라, 단일사건혼란 후 적어도 4배 가량의 회복 시간 차이가 발생하는 것으로 파악되었다.

[0097] 첨언하여, 본 시험예는 본 발명의 출원시를 기준으로 집적률이 가장 우수하e다고 알려진 nano sheet GAA 구조를 기준으로 진행된 것이다. 그러나, 이는 설명을 위한 일 예일 뿐이며, 상술한 캐리어 차단부(300)의 우수성은 다른 게이트 구조에도 마찬가지로 적용된다. 예컨대, Planar, FinPET, 그 외 다양한 게이트 구조에도 캐리어 차단부(300)가 적용될 수 있다.

[0098] 이상과 같이 본 발명은 반도체 메모리 소자 및 그 제조 방법을 제공하고자 하는 것을 주요한 기술적 사상으로 하고 있다. 그리고, 도면을 참고하여 상술한 실시예는 단지 일부의 실시 예에 불과하고, 본 발명의 권리범위는 특허 청구범위를 기준으로 정해져야 한다. 아울러, 본 발명의 권리범위는 다양하게 파생 가능한 균등한 실시예에도 미친다.

부호의 설명

[0099] 1000 : 본 발명에 의한 반도체 메모리 소자

100 : 기판부

200 : 게이트 구조물

201 : 채널 경로

300 : 캐리어 차단부

310 : 게이트측 차단부

321 : 제1경사부

322 : 제2경사부

330 : 드레인측 차단부

340 : 소스측 차단부

400 : 소스-드레인 구조물

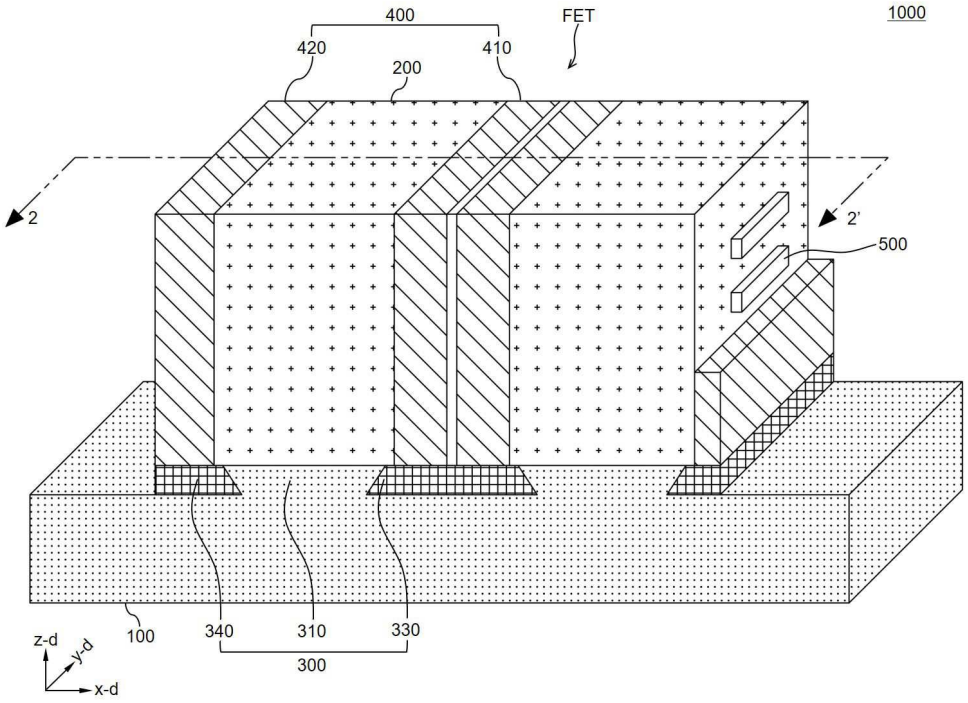
410 : 드레인 구조물

420 : 소스 구조물

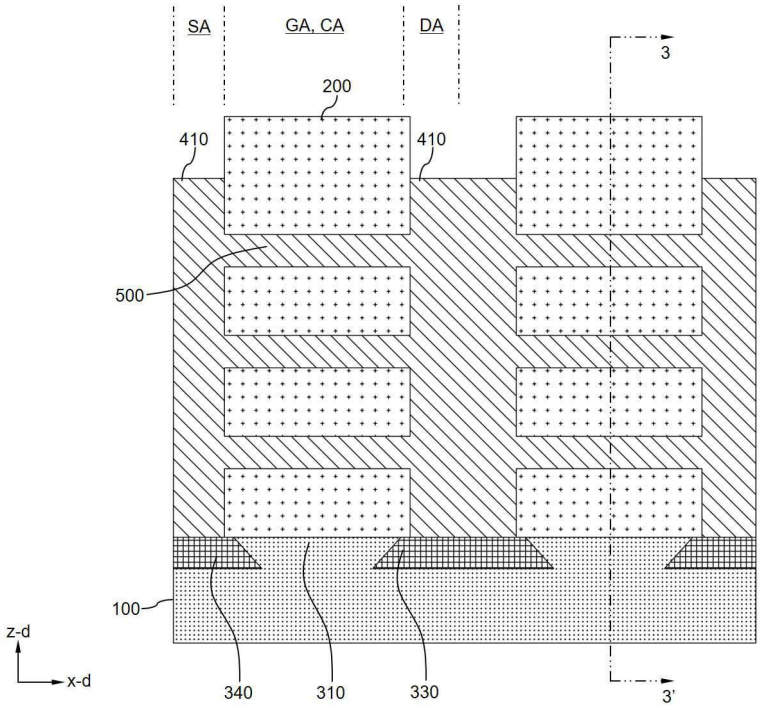
500 : 채널 구조물

도면

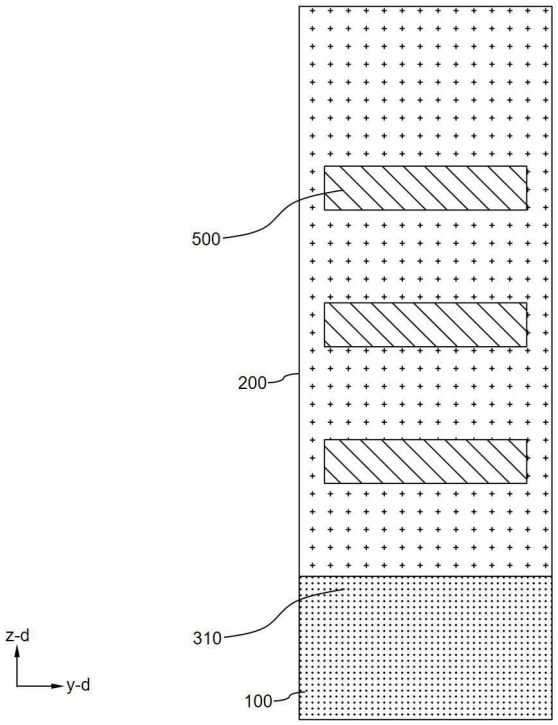
도면1



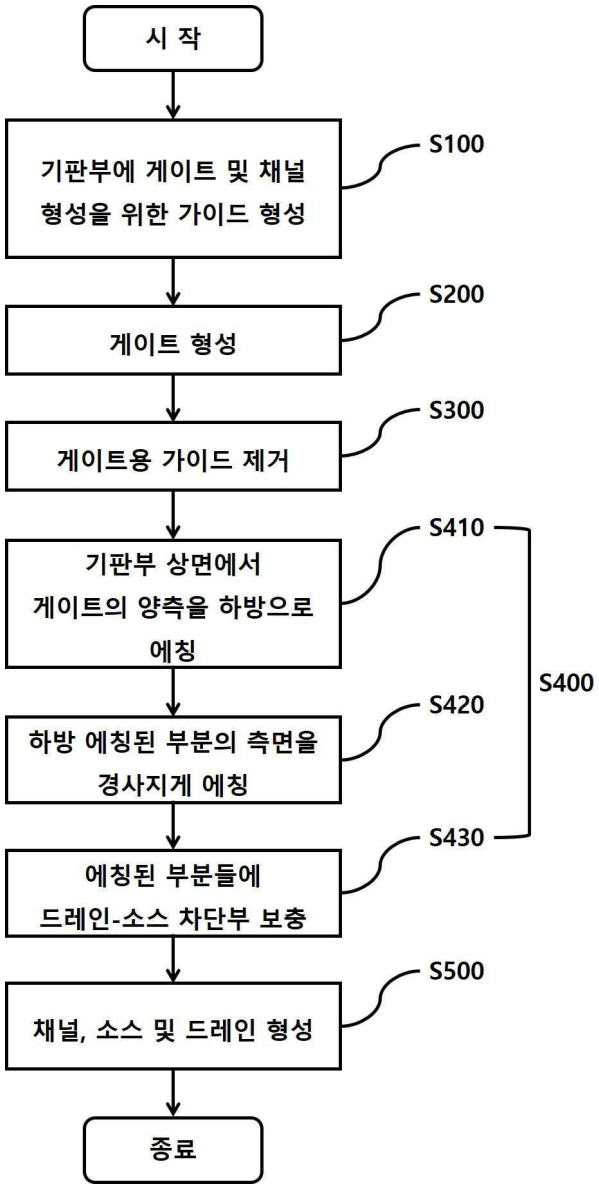
도면2


SA
GA, CA
DA
3
200
410
410
500
100
z-d
x-d
340
310
330
3'

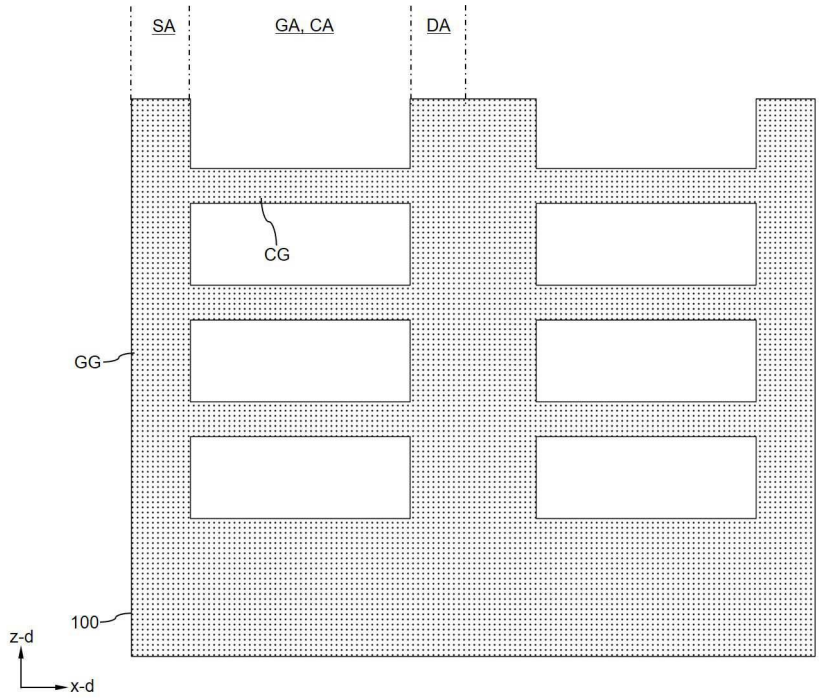
도면3


500
200
310
100
z-d
y-d

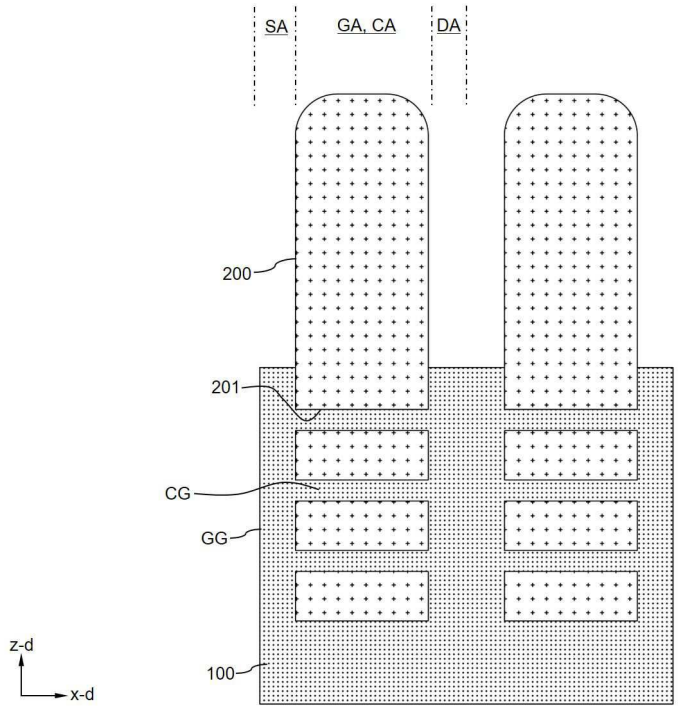
도면4


시 작
기판부에 게이트 및 채널 형성을 위한 가이드 형성
S100
게이트 형성
S200
게이트용 가이드 제거
S300
기판부 상면에서 게이트의 양측을 하방으로 에칭
S410
하방 에칭된 부분의 측면을 경사지게 에칭
S420
에칭된 부분들에 드레인-소스 차단부 보충
S430
S400
채널, 소스 및 드레인 형성
S500
종료

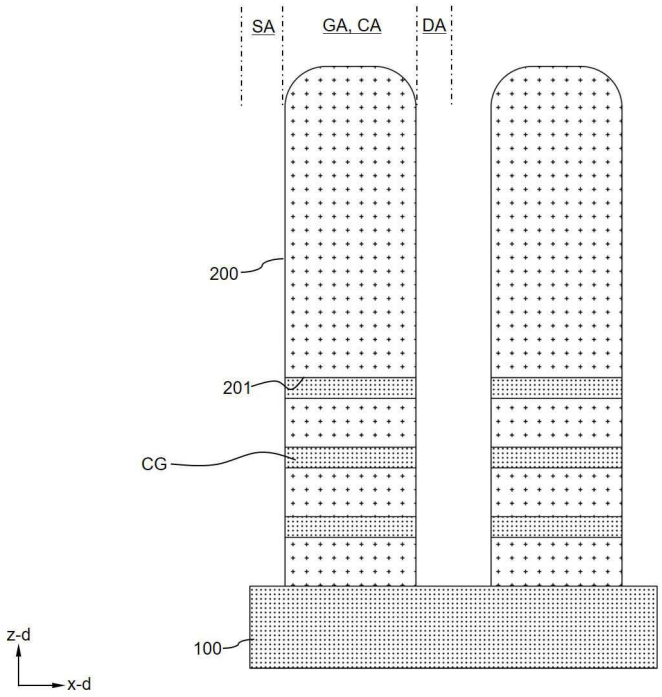
도면5



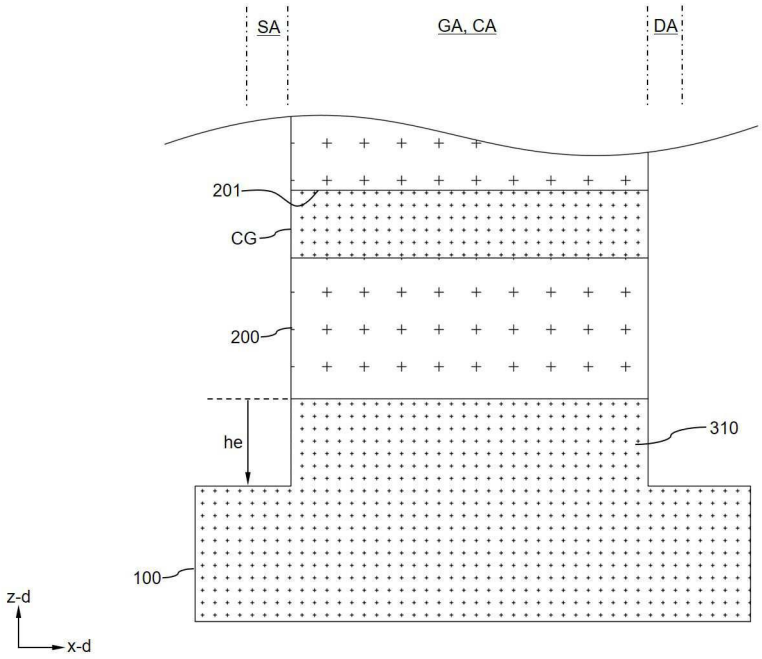
도면6



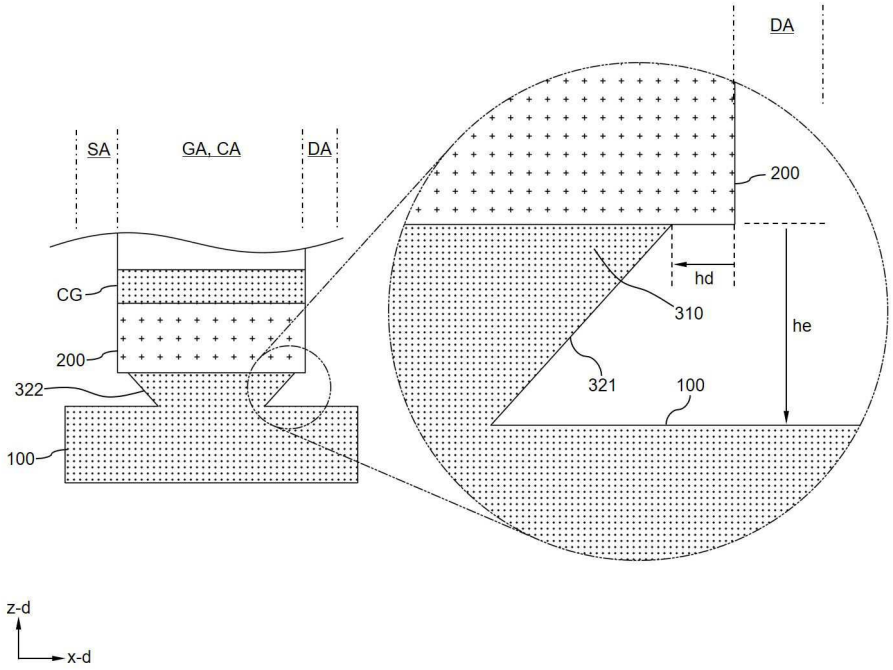
도면7


SA
GA, CA
DA
200
201
CG
100
z-d
x-d

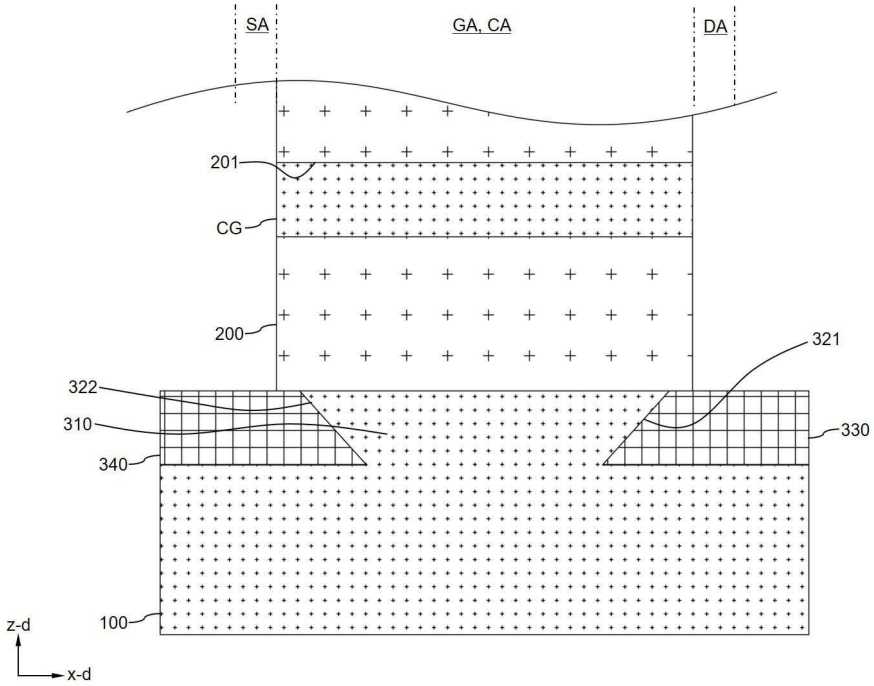
도면8a


SA
GA, CA
DA
201
CG
200
he
310
100
z-d
x-d

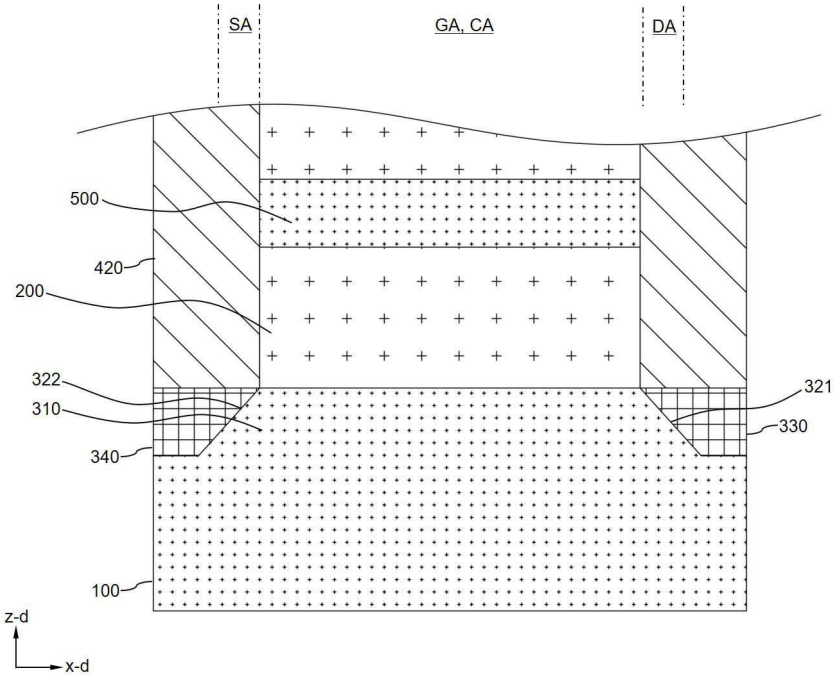
도면8b


SA
GA, CA
DA
CG
200
322
100
DA
200
hd
310
he
321
100
z-d
x-d

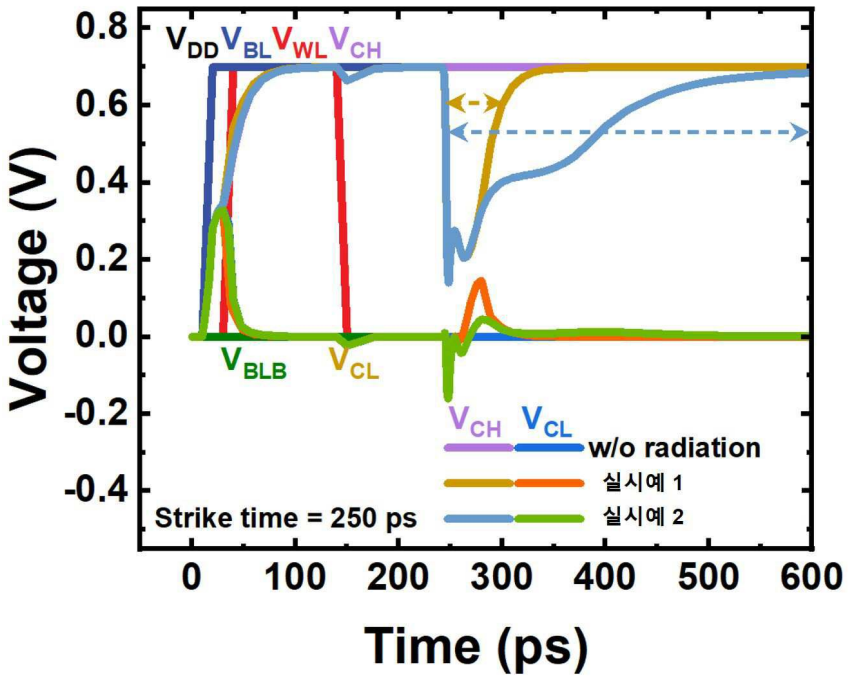
도면8c


SA
GA, CA
DA
201
CG
200
321
322
310
330
340
100
z-d
x-d

도면9


SA
GA, CA
DA
500
420
200
322
310
340
100
321
330
z-d
x-d

도면10


0.8
0.6
0.4
0.2
0.0
-0.2
-0.4
Voltage (V)
0
100
200
300
400
500
600
Time (ps)
V_{DD} V_{BL} V_{WL} V_{CH}
V_{BLB}
V_{CL}
V_{CH} V_{CL}
w/o radiation
실시예 1
실시예 2
Strike time = 250 ps