

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 11 月 3 日(03.11.2011)

PCT

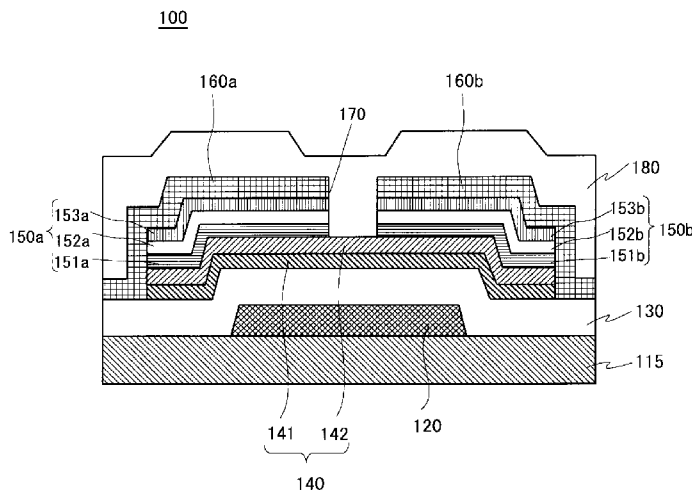
(10) 国際公開番号
WO 2011/135874 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2011/051269
- (22) 国際出願日: 2011 年 1 月 25 日(25.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-104765 2010 年 4 月 30 日(30.04.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中西 研二
(NAKANISHI, Kenji). 守口 正生(MORIGUCHI,
Masao). 星野 淳之(HOSHINO, Atsuyuki).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
一 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SAME, AND DISPLAY DEVICE

(54) 発明の名称: 半導体装置およびその製造方法ならびに表示装置

[図1]



(57) Abstract: Disclosed is a reverse stagger type TFT (100) wherein contact layers (150a, 150b), which electrically connect a channel layer (140) with the source and drain electrodes (160a, 160b), include n^+ amorphous silicon layers (151a, 151b), n^+ fine crystalline silicon layers (152a, 152b), and n^+ fine crystalline silicon layers (153a, 153b). The n^+ fine crystalline silicon layers (152a, 152b) have a crystallization ratio smaller than that of the n^+ fine crystalline silicon layers (153a, 153b), and the n^+ fine crystalline silicon layers are formed between the n^+ amorphous silicon layers (151a, 151b) and the n^+ fine crystalline silicon layers (153a, 153b). In such case, since an incubation layer formed on the surfaces of the n^+ amorphous silicon layers (151a, 151b) is thin, the resistance values of the contact layers (150a, 150b) are reduced. Thus, the contact resistance of the TFT (100) is reduced, and mobility is increased.

(57) 要約: 逆スタガ型の TFT (100) において、チャネル層 (140) と、ソース電極およびドレイン電極 (160a、160b) とをそれぞれ電氣的に接続するコンタクト層 (150a、150b) は、 n^+ 非晶質シリコン層 (151a、151b)、 n^+ 微結晶シリコン層 (152a、152b)、 n^+ 微結晶シリコン層 (153a、153b) を含む。n

[続葉有]

WO 2011/135874 A1



⁺微結晶シリコン層（152a、152b）は、ⁿ⁺微結晶シリコン層（153a、153b）よりも結晶化率が小さく、ⁿ⁺非晶質シリコン層（151a、151b）と、ⁿ⁺微結晶シリコン層（153a、153b）との間に形成されている。この場合、ⁿ⁺非晶質シリコン層（151a、151b）の表面に形成されるインキュベーション層の膜厚が薄くなるので、コンタクト層（150a、150b）の抵抗値が小さくなる。これにより、TFT（100）のコンタクト抵抗を小さくし、移動度を大きくすることができる。

明 細 書

発明の名称：半導体装置およびその製造方法ならびに表示装置 技術分野

[0001] 本発明は、半導体装置およびその製造方法ならびに表示装置に関し、特に、アクティブマトリクス型表示装置の各画素形成部に含まれるスイッチング素子、または駆動回路を構成する薄膜トランジスタとして好適な半導体装置およびその製造方法ならびに表示装置に関する。

背景技術

[0002] 従来、薄膜トランジスタ（Thin Film Transistor：以下、「TFT」という）において、チャネル層と、ソース電極およびドレイン電極とをそれぞれ電氣的に接続するコンタクト層として、非晶質シリコン層、または非晶質シリコン層にレーザアニール等のアニール処理を施して形成した多結晶シリコン層が用いられていた。しかし、非晶質シリコン層の移動度は $0.5 \text{ cm}^2/\text{V} \cdot \text{sec}$ 程度と小さいという問題があった。一方、多結晶シリコン層の移動度は約 $100 \text{ cm}^2/\text{V} \cdot \text{sec}$ と大きい、アニール処理が必要になるので、コンタクト層の形成工程が複雑化するという問題があった。

[0003] そこで、近年、非晶質シリコン層よりも移動度が大きく、かつアニール処理が不要な微結晶シリコン層が、TFTのコンタクト層として用いられるようになってきた。しかし、微結晶シリコンの成長速度は、非晶質シリコンの約半分程度である。このため、微結晶シリコン層からなるコンタクト層の形成に長時間を要するという問題があった。

[0004] 日本の特開平8-172195号公報には、チャネル層上に、微結晶シリコン層を含む積層シリコン層からなるコンタクト層を備えた、逆スタガ型TFTが記載されている。具体的には、コンタクト層として、チャネル層側から順に、 n 型不純物を高濃度にドーピングした n^+ 非晶質シリコン層と n 型不純物を高濃度にドーピングした n^+ 微結晶シリコン層とを積層した2層構造の積層シリコン層を用いることが記載されている。これにより、コンタクト層の抵抗値

を小さくするとともに、コンタクト層の形成に要する時間を短縮することができるようになった。

先行技術文献

特許文献

[0005] 特許文献1：日本の特開平 8－1 7 2 1 9 5 号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、日本の特開平 8－1 7 2 1 9 5 号公報に記載の T F T のように、 n^+ 非晶質シリコン層の表面に n^+ 微結晶シリコン層を積層した積層シリコン層をコンタクト層とする T F T では、コンタクト抵抗が大きくなり、その結果移動度が小さくなるという現象が見られる。これは、以下の理由によると考えられる。すなわち、 n^+ 非晶質層の表面に n^+ 微結晶シリコン層を積層する場合、まず n^+ 非晶質シリコン層の表面に厚みが数 nm のインキュベーション層が成長し、次にインキュベーション層上に微結晶シリコン層が成長する。インキュベーション層は、微結晶シリコン層が成長するまでの前駆体であり、その層内に多くのボイドを含む。したがって、インキュベーション層の膜厚が厚ければ厚いほど、コンタクト層の抵抗値は大きくなるので、T F T のコンタクト抵抗が大きくなり、移動度が小さくなったと考えられる。

[0007] そこで、本発明の目的は、小さな抵抗値のコンタクト層を備えた半導体装置を提供することである。また、本発明の他の目的は、そのような半導体装置を容易に製造することができる半導体装置の製造方法を提供することである。

課題を解決するための手段

[0008] 本発明の第 1 の局面は、絶縁基板上に、ゲート電極と、ゲート絶縁膜と、チャネル層と、ソースおよびドレイン電極とをこの順またはこれと逆の順に積層した半導体装置であって、

前記チャネル層と前記ソース電極との間、および前記チャネル層と前記ド

レイン電極との間に互いに分離して形成された２つのコンタクト層をさらに備え、

前記コンタクト層は、導電性不純物を含む第１の微結晶半導体層と、前記第１の微結晶半導体層と同じ型の導電性不純物を含み、前記第１の微結晶半導体層よりも結晶化率が大きな第２の微結晶半導体層とが、前記チャネル層側から第１の微結晶半導体層、第２の微結晶半導体層の順に積層されていることを特徴とする。

- [0009] 本発明の第２の局面は、本発明の第１の局面において、
前記ゲート電極は、前記絶縁基板上に形成され、
前記ゲート絶縁膜は、前記ゲート電極を覆うように形成され、
前記チャネル層は、前記ゲート電極に対応する前記ゲート絶縁膜の表面上に形成され、
前記コンタクト層は、前記第１の微結晶半導体層の表面上に前記第２の微結晶半導体層を積層した積層膜を前記チャネル層の表面上に形成され、
前記ソースおよびドレイン電極は、前記第２の微結晶半導体層の表面上にそれぞれ形成されていることを特徴とする。

- [0010] 本発明の第３の局面は、本発明の第１の局面において、
前記ソースおよびドレイン電極は、前記絶縁基板上に形成され、
前記コンタクト層は、前記第２の微結晶半導体層の表面上に前記第１の微結晶半導体層を積層した積層膜を前記ソースおよびドレイン電極の表面上に所定の距離を隔てそれぞれ形成され、
前記チャネル層は、前記コンタクト層によって挟まれた前記絶縁基板上および前記コンタクト層の前記第１の微結晶半導体層の表面上を覆うように形成され、
前記ゲート絶縁膜は、前記チャネル層を覆うように形成され、
前記ゲート電極は、前記コンタクト層によって挟まれた前記絶縁基板に対応する前記ゲート絶縁膜の表面上に形成されていることを特徴とする。

- [0011] 本発明の第４の局面は、本発明の第２または第３の局面において、

前記コンタクト層は、前記第 1 の微結晶半導体層と前記チャネル層との間に、前記第 1 の微結晶半導体層と同じ型の導電性不純物を含む非晶質半導体層をさらに含むことを特徴とする。

[0012] 本発明の第 5 の局面は、本発明の第 4 の局面において、

前記第 1 の微結晶半導体層は、結晶化率が異なる複数の微結晶半導体層を含み、

前記複数の微結晶半導体層は、前記チャネル層側から前記第 2 の微結晶半導体層に向かって結晶化率が順に大きくなるように形成された微結晶半導体層からなることを特徴とする。

[0013] 本発明の第 6 の局面は、本発明の第 4 の局面において、

前記第 1 の微結晶半導体層の結晶化率は 1 以上 2 以下であることを特徴とする。

[0014] 本発明の第 7 の局面は、絶縁基板上に、ゲート電極と、ゲート絶縁膜と、チャネル層と、コンタクト層と、ソースおよびドレイン電極とをこの順に積層した半導体装置の製造方法であって、

前記コンタクト層は、導電性不純物を含む第 1 の微結晶半導体層と、前記第 1 の微結晶半導体層と同じ型の導電性不純物を含む第 2 の微結晶半導体層を備え、

前記コンタクト層を形成する工程は、

前記チャネル層の表面上に前記第 1 の微結晶半導体層を形成する工程と

、

前記第 1 の微結晶半導体層を形成する工程よりも、原料ガスに対する水素ガスの流量比を大きくして、前記第 1 の微結晶半導体層の表面上に前記第 2 の微結晶半導体層を形成する工程とを含むことを特徴とする。

[0015] 本発明の第 8 の局面は、本発明の第 7 の局面において、

前記コンタクト層を形成する工程は、

前記第 1 の微結晶半導体層を形成する工程の前に、前記チャネル層の表面上に非晶質半導体層を形成する工程をさらに含むことを特徴とする。

- [0016] 本発明の第 9 の局面は、本発明の第 8 の局面において、
前記第 1 の微結晶半導体層は、結晶化率が異なる複数の微結晶半導体層を含み、
前記第 1 の微結晶半導体層を形成する工程は、前記複数の微結晶半導体層に含まれる各微結晶半導体層を形成するごとに、原料ガスに対する水素ガスの流量比を順に大きくすることを特徴とする。
- [0017] 本発明の第 10 の局面は、本発明の第 8 の局面において、
前記第 1 の微結晶半導体層を形成する工程は、原料ガスに対する水素ガスの流量比を 1 : 25 ~ 1 : 75 とすることを特徴とする。
- [0018] 本発明の第 11 の局面は、絶縁基板上に、第 1 から第 6 のいずれかの局面に係る半導体装置が形成されていることを特徴とする、表示装置

発明の効果

- [0019] 上記第 1 の局面によれば、半導体装置のコンタクト層は、第 1 の微結晶半導体層と、第 1 の半導体層よりも結晶化率の大きな第 2 の微結晶半導体層とが、チャネル層側から第 1 の微結晶半導体層、第 2 の微結晶半導体層の順に積層されている。この場合、第 1 の微結晶半導体層のチャネル層側の表面に形成されるインキュベーション層の膜厚を薄くすることができる。これにより、コンタクト層の抵抗値が小さくなるので、半導体装置のコンタクト抵抗を小さくし、移動度を大きくすることができる。
- [0020] 上記第 2 の局面によれば、半導体装置は逆スタガ型であり、チャネル層の表面上に、第 1 の微結晶半導体層と、第 1 の微結晶半導体層よりも結晶化率の大きな第 2 の微結晶半導体層とがこの順に積層されている。この場合、第 1 の微結晶半導体層のチャネル層側の表面に形成されるインキュベーション層の膜厚を薄くすることができる。これにより、コンタクト層の抵抗値が小さくなるので、半導体装置のコンタクト抵抗を小さくし、移動度を大きくすることができる。
- [0021] 上記第 3 の局面によれば、半導体装置は正スタガ型であり、コンタクト層の第 1 の微結晶半導体層の表面上に、チャネル層が形成されている。これに

より、正スタガ型の半導体装置でも、逆スタガ型の半導体装置と同様に、コンタクト抵抗を小さくし、移動度を大きくすることができる。

[0022] 上記第4の局面によれば、コンタクト層は、第1の微結晶半導体層とチャネル層との間にさらに、第1の微結晶半導体層と同じ導電型の非晶質半導体層を含むので、コンタクト層の膜厚が厚くなり、抵抗値が小さくなる。これにより、半導体装置のコンタクト抵抗を小さくし、移動度を大きくすることができる。

[0023] 上記第5の局面によれば、第1の微結晶半導体層は、結晶化率の異なる複数の微結晶半導体層を含む。複数の微結晶半導体層は、チャネル層側から第2の微結晶半導体膜に向かって結晶化率が順に大きくなるように積層された微結晶半導体層からなる。この場合、チャネル層と第1の微結晶半導体層との結晶化率の差、および複数の微結晶半導体層間の結晶化率の差を細かく調整することができるので、チャネル層の表面、および複数の微結晶半導体層の各表面に形成されるインキュベーション層の成長をより一層抑制することができる。これにより、半導体装置のコンタクト抵抗をより一層小さくし、移動度をより一層大きくすることができる。

[0024] 上記第6の局面によれば、第1の微結晶半導体層に含まれる微結晶半導体層の結晶化率を1以上2以下にする。これにより、非晶質半導体層の表面に第1の微結晶半導体層を形成したときに、非晶質半導体層の表面に形成されるインキュベーション層の成長が抑制され、コンタクト層の抵抗値が小さくなる。これにより、半導体装置のコンタクト抵抗を小さくし、移動度を大きくすることができる。

[0025] 上記第7の局面によれば、第1の微結晶半導体層を形成した後に、第1の微結晶半導体層を形成する工程よりも、原料ガスに対する水素ガスの流量比が大きくなるような条件で、第1の微結晶半導体層の表面上に第2の微結晶半導体層を形成する。この場合、第1の微結晶半導体層の結晶化率は、第2の半導体層の結晶化率よりも低くなるので、第1の微結晶半導体層のチャネル層側の表面に形成されるインキュベーション層の成長が抑制され、コンタ

クト層の抵抗値が小さくなる。このように、原料ガスに対する水素ガスの流量比を調整することによって、コンタクト抵抗が小さく、移動度が大きな半導体装置を容易に製造することができる。

[0026] 上記第8の局面によれば、チャネル層を形成した後、第1の微結晶半導体層を形成する前に、チャネル層の表面に非晶質半導体層を形成するので、コンタクト層の膜厚が厚くなり、抵抗値が小さくなる。これにより、コンタクト抵抗が小さく、移動度が大きな半導体装置を容易に製造することができる。

[0027] 上記第9の局面によれば、チャネル層側から結晶化率の小さい順に複数の微結晶半導体層を順に形成するために、微結晶半導体層ごとに原料ガスに対する水素ガスの流量比を順に大きくする。この場合、チャネル層と第1の微結晶半導体層との結晶化率の差、および複数の微結晶半導体層間の結晶化率の差を細かく調整することができるので、チャネル層の表面、および複数の微結晶半導体層の各表面に形成されるインキュベーション層の成長をより一層抑制することができる。このように、原料ガスに対する水素ガスの流量比をより細かく調整することによって、コンタクト抵抗が小さく、移動度が大きな半導体装置を容易に製造することができる。

[0028] 上記第10の局面によれば、第1の微結晶半導体層を、原料ガスに対する水素ガスの流量比が1:25~1:75となる条件で非晶質半導体層の表面に形成する。これにより、非晶質半導体層の表面に形成されるインキュベーション層の成長が抑制され、コンタクト層の抵抗値が小さくなる。このように、原料ガスに対する水素ガスの流量比を調整することによって、コンタクト抵抗が小さく、移動度が大きな半導体装置を容易に製造することができる。

[0029] 上記第11の局面によれば、上記第1から第6の発明に係る半導体装置を用いて表示装置の画素形成部のスイッチング素子を形成すれば、スイッチング素子に流れる電流が大きくなる。これにより、スイッチング素子は、映像信号を、短時間で画素容量に充電できるので、画素形成部の数を増やして表

示装置の高精細化を図ることができる。また、上記第 1 から第 10 の発明に係る半導体装置を用いて駆動回路を構成すれば、駆動回路の動作速度を速くすることができる。その結果、駆動回路の回路規模を小さくすることができるので、表示装置を小型化することができるとともに、表示装置の低消費電力化を図ることができる。

図面の簡単な説明

- [0030] [図1] 第 1 の実施形態に係る逆スタガ型 T F T の構成を示す断面図である。
- [図2] (a) ~ (d) は、図 1 に示す T F T の各製造工程を示す工程断面図である。
- [図3] (a) ~ (c) は、図 1 に示す T F T の各製造工程を示す工程断面図である。
- [図4] 図 1 に示す T F T の各種電気的特性を示す図である。
- [図5] 図 4 に示す各条件によって製造した T F T のゲート電圧ードレイン電流特性を示す図である。
- [図6] 第 2 の実施形態に係る逆スタガ型 T F T の構成を示す断面図である。
- [図7] 第 3 の実施形態に係る正スタガ型 T F T の構成を示す断面図である。
- [図8] (a) はアクティブマトリクス型液晶表示装置に含まれる液晶パネルの構成を示す図であり、(b) は (a) に示す液晶パネルに含まれる T F T 基板の構成を示す図である。

発明を実施するための形態

[0031] < 1. 第 1 の実施形態 >

< 1. 1 T F T の構成 >

本発明の第 1 の実施形態に係る逆スタガ型 T F T 100 の構成を説明する。図 1 は、逆スタガ型 T F T 100 の構成を示す断面図である。絶縁基板であるガラス基板 115 上に、金属からなるゲート電極 120 が形成されている。ゲート電極 120 を含むガラス基板 115 の全体を覆うように、窒化シリコン膜からなるゲート絶縁膜 130 が形成されている。ゲート絶縁膜 130 の膜厚は、例えば 300 nm である。

- [0032] ゲート絶縁膜 130 の表面に、平面視においてゲート電極 120 を跨いで左右に延びる島状のチャネル層 140 が形成されている。チャネル層 140 は、不純物を含まない真性の微結晶シリコン層 141 の表面に、真性の非晶質シリコン層 142 を積層した 2 層構造になっている。微結晶シリコン層 141 の膜厚は例えば 25 nm であり、非晶質シリコン層 142 の膜厚は例えば 100 nm である。なお、チャネル層 140 は、真性の非晶質シリコン層のみによって構成されていてもよく、その場合の非晶質シリコン層の膜厚は例えば 100 nm である。さらに、後述するコンタクト層 150 a、150 b の形成時に、チャネル層 140 の表面がエッチングされないように、チャネル層 140 の表面にチャネル保護膜を設けてもよい。
- [0033] チャネル層 140 の左側表面上にコンタクト層 150 a が形成され、チャネル層 140 の右側表面上にコンタクト層 150 b が形成されている。コンタクト層 150 a とコンタクト層 150 b とは、開口部 170 によってチャネル層 140 上で左右に分離されている。
- [0034] コンタクト層 150 a、150 b はいずれも、チャネル層 140 側から、 n^+ 非晶質シリコン層 151 a、151 b、 n^+ 微結晶シリコン層 152 a、152 b、 n^+ 微結晶シリコン層 153 a、153 b の順に 3 層のシリコン層が積層された積層シリコン層である。コンタクト層 150 a、150 b の膜厚を例えば 75 nm としたとき、 n^+ 非晶質シリコン層 151 a、151 b の膜厚は 15 nm、 n^+ 微結晶シリコン層 152 a、152 b の膜厚は 15 nm、 n^+ 微結晶シリコン層 153 a、153 b の膜厚は 45 nm とする。この場合、微結晶シリコンの抵抗値が小さく、移動度が大きいという特徴を生かすために、コンタクト層 150 a、150 b の抵抗値に大きな影響を与える n^+ 微結晶シリコン層 153 a、153 b の膜厚は少なくとも 40 nm とすることが好ましい。
- [0035] n^+ 微結晶シリコン層 153 a、153 b は、ソース電極 160 a およびドレイン電極 160 b とそれぞれオーミック接続されるように、 n 型不純物を高濃度にドーピングされており、 n^+ 微結晶シリコン層 152 a、152 b の不純

物濃度は、 n^+ 微結晶シリコン層 153 a、153 b の不純物濃度は同一である。しかし、それらの結晶化率および結晶粒径 (grain size) は異なる。 n^+ 微結晶シリコン層 153 a、153 b の結晶化率は 2.9 であるのに対して、 n^+ 微結晶シリコン層 152 a、152 b の結晶化率は 1.1 ~ 1.9 と小さい。本明細書では、結晶化率を I_c / I_a によって表わす。ここで、 I_c はラマン分光測定によって求められる微結晶成分のラマン信号強度であり、 I_a は非晶質成分のラマン信号強度である。したがって、結晶化率が高いほど、微結晶成分の割合が高いことを示している。また、 n^+ 微結晶シリコン層 153 a、153 b の結晶粒径を 1 としたとき、 n^+ 微結晶シリコン層 152 a、152 b の結晶粒径は約 $1/2 \sim 4/5$ と小さい。このように、 n^+ 微結晶シリコン層 152 a、152 b は、 n^+ 微結晶シリコン層 153 a、153 b と比べて、結晶化が進んでいないシリコン層からなる。

[0036] コンタクト層 150 a の右端部からコンタクト層 150 a を覆ってゲート絶縁膜 130 上まで延在するソース電極 160 a と、コンタクト層 150 b の左端部からコンタクト層 150 b を覆ってゲート絶縁膜 130 上まで延在するドレイン電極 160 b とが形成されている。ソース電極 160 a およびドレイン電極 160 b は金属からなる。ソース電極 160 a は、コンタクト層 150 a を介してチャネル層 140 と電氣的に接続され、ドレイン電極 160 b は、コンタクト層 150 b を介してチャネル層 140 と電氣的に接続されている。さらに、ソース電極 160 a とドレイン電極 160 b を含むガラス基板 115 の全体を覆うように、窒化シリコン膜からなる保護膜 180 が形成されている。

[0037] < 1.2 TFT の製造方法 >

次に、TFT 100 の製造方法について説明する。図 2 (a) ~ 図 2 (d) および図 3 (a) ~ 図 3 (c) は、図 1 に示す TFT 100 の各製造工程を示す工程断面図である。図 2 (a) ~ 図 2 (d) および図 3 (a) ~ 図 3 (c) を参照しつつ、TFT 100 の製造方法を説明する。まず、ガラス基板 115 上に、スパッタリング法を用いて、例えば膜厚 100 ~ 500 nm

、好ましくは200nmのチタン（Ti）を主成分とする金属膜（図示しない）を成膜する。なお、チタンを主成分とする金属膜の代わりに、タングステン（W）、モリブデン（Mo）、アルミニウム（Al）等を主成分とする金属膜、またはそれらを積層した積層金属膜を成膜してもよい。

[0038] 金属膜の表面に、フォトリソグラフィ法を用いてレジストパターン（図示しない）を形成する。図2（a）に示すように、レジストパターンをマスクにして、ウエットエッチング法により金属膜をエッチングし、ゲート電極120を形成する。その後、レジストパターンを剥離する。なお、ウエットエッチング法の代わりに、ドライエッチング法を用いてゲート電極120を形成してもよい。

[0039] 図2（b）に示すように、ゲート電極120を含むガラス基板115の全体を覆うように、プラズマCVD（Chemical Vapor Deposition）法を用いて、窒化シリコン膜を成膜する。窒化シリコン膜はゲート絶縁膜130として機能する。窒化シリコン膜の成膜に使用するガスは、モノシランガス（SiH₄）、アンモニアガス（NH₃）、および窒素ガス（N₂）を含む。窒化シリコン膜の膜厚は、例えば200～500nmであり、好ましくは350nmである。なお、ゲート絶縁膜130として、窒化シリコン膜の代わりに、酸化シリコン（SiO₂）膜または酸窒化シリコン（SiON）膜を用いてもよい。

[0040] さらに、ゲート絶縁膜130の表面に、ICP（Inductively Coupled Plasma：誘導結合プラズマ）方式または表面波プラズマ方式等の高密度プラズマCVD装置を用いて、微結晶シリコン膜145を成膜する。さらに、微結晶シリコン膜145の表面に、プラズマCVD法を用いて非晶質シリコン膜146を成膜する。微結晶シリコン膜145の膜厚は、例えば20～30nmであり、好ましくは25nmである。非晶質シリコン膜146の膜厚は、例えば80～120nmであり、好ましくは100nmである。

[0041] 図2（c）に示すように、非晶質シリコン膜146の表面に、プラズマCVD法を用いて、例えば膜厚15nmのn⁺非晶質シリコン膜155を成膜す

る。n⁺非晶質シリコン膜155の主な成膜条件は、以下のとおりである。なお、n型不純物としてリン(P)をドーピングする場合、ホスフィンガス(PH₃)が使用されている。

チャンバ内の圧力 : 60 Pa
放電出力 : 0.04 kW
ガスの流量比 : PH₃: SiH₄: H₂=0.05: 1: 1

[0042] 次に、n⁺非晶質シリコン膜155の表面に、高密度プラズマCVD法を用いて、例えば膜厚15 nmのn⁺微結晶シリコン膜156を成膜する。n⁺微結晶シリコン膜156の主な成膜条件は、以下のとおりである。

チャンバ内の圧力 : 240 Pa
放電出力 : 1.0 kW

なお、n⁺微結晶シリコン膜156は、モノシランガスを1としたときの水素ガスの流量比(以下、「H₂希釈比」という)を、後述するn⁺微結晶シリコン膜157を成膜するときのH₂希釈比よりも小さくなるような条件で成膜される。具体的なH₂希釈比は後述する。

[0043] 次に、n⁺微結晶シリコン膜156の表面に、高密度プラズマCVD法を用いて、例えば膜厚45 nmのn⁺微結晶シリコン膜157を成膜する。n⁺微結晶シリコン膜157の主な成膜条件は、以下のとおりである。

チャンバ内の圧力 : 240 Pa
放電出力 : 1.0 kW
ガスの流量比 : PH₃: SiH₄: H₂=0.05: 1: 150

[0044] 図2(d)に示すように、n⁺微結晶シリコン膜157の表面に、フォトリソグラフィ法を用いてレジストパターン171を形成する。レジストパターン171をマスクにして、ドライエッチング法により、n⁺微結晶シリコン膜157、n⁺微結晶シリコン膜156、n⁺非晶質シリコン膜155、非晶質シリコン膜146、微結晶シリコン膜145の順に連続してエッチングする。その後、レジストパターン171を剥離する。これにより、島状のn⁺微結晶シリコン膜157、n⁺微結晶シリコン膜156、およびn⁺非晶質シリコン膜

155と、非晶質シリコン層142および微結晶シリコン層141を含む島状のチャネル層140とが積層された状態で形成される。

[0045] 図3(a)に示すように、ガラス基板115の全体を覆うように、スパッタリング法によって金属膜161を成膜する。金属膜161は、例えば、チタンを主成分とする金属膜である。金属膜161の膜厚は、例えば50~200nmであり、好ましくは100nmである。なお、チタンを主成分とする金属膜161の代わりに、タングステン、モリブデン、アルミニウム等を主成分とする金属膜、またはそれらを積層した金属膜を成膜してもよい。金属膜161の表面に、フォトリソグラフィ法を用いて、チャネル層140上の中央部に対応する領域に開口部を有するレジストパターン172を形成する。

[0046] 図3(b)に示すように、レジストパターン172をマスクにして、ウェットエッチング法により金属膜161をエッチングし、ソース電極160aとドレイン電極160bを形成する。なお、ウェットエッチング法の代わりにプラズマエッチング法を用いて、金属膜161をエッチングしてもよい。

[0047] さらに、レジストパターン172をマスクにして、プラズマエッチング法により島状の n^+ 微結晶シリコン膜157、 n^+ 微結晶シリコン膜156、 n^+ 非晶質シリコン膜155を順にエッチングし、開口部170によって左右に分離された2つのコンタクト層150a、150bを形成する。このとき、非晶質シリコン層142の膜減りを最小限に抑えるために、 n^+ 非晶質シリコン膜155と非晶質シリコン層142との選択比が大きくなるような条件でエッチングする。

[0048] 図3(c)に示すように、ソース電極160aとドレイン電極160bを含むガラス基板115の全体を覆うように、窒化シリコンからなる保護膜180を成膜する。保護膜180はプラズマCVD法を用いて成膜され、その膜厚は例えば200nmである。以上説明した一連の製造工程によって、TFT100が製造される。

[0049] <1.3 TFTの特性>

図4は、TF T 1 0 0の各種電気的特性を示す図である。図4には、コンタクト層150 a、150 bに含まれる n^+ 微結晶シリコン層152 a、152 b（中間層）の成膜時の H_2 希釈比を変えた5種類のTF T 1 0 0について、 n^+ 微結晶シリコン層152 a、152 bの結晶化率、TF T 1 0 0の移動度、閾値電圧、およびコンタクト抵抗の測定値が記載されている。コンタクト層150 a、150 bに含まれる3層のシリコン層のうち、下層はいずれも n^+ 非晶質シリコン層151 a、151 bである。上層はいずれも、 H_2 希釈比を150とする条件で成膜された n^+ 微結晶シリコン層153 a、153 bである。

[0050] 図4に示す条件（1）～（6）のうち、条件（5）は、 n^+ 微結晶シリコン層152 a、152 bを含まない2層構造のコンタクト層を備えた従来のTF Tを示す。図4に示すように、条件（5）の場合のコンタクト抵抗は、条件（2）～（4）の場合に比べて大きくなっている。

[0051] 一般に、 n^+ 非晶質シリコン層上に n^+ 微結晶シリコン層を成膜するとき、 n^+ 非晶質シリコン層の表面にまずインキュベーション層が形成される。このとき、 n^+ 非晶質シリコン層上に成膜する n^+ 微結晶シリコン層の結晶化率が大きければ大きいほど、インキュベーション層の膜厚が厚くなり、コンタクト層の抵抗値が大きくなると考えられる。

[0052] 従来の条件（5）の場合は、下層である n^+ 非晶質シリコン層上に、結晶化率が2.9と非常に大きな n^+ 微結晶シリコン層を成膜した。これにより、 n^+ 非晶質シリコン層の表面に膜厚の厚いインキュベーション層が形成され、TF Tのコンタクト抵抗が大きくなり、移動度が低下したと考えられる。

[0053] 条件（1）の場合には、 n^+ 微結晶シリコン層152 a、152 bを形成したにもかかわらず、そのコンタクト抵抗は、条件（5）の場合よりもさらに大きくなっている。このようにコンタクト抵抗が大きくなったのは、 n^+ 微結晶シリコン層152 a、152 bの結晶化率が0.8と小さいことから、 n^+ 微結晶シリコン層152 a、152 b内に微結晶成分が十分に成長しておらず、 n^+ 微結晶シリコン層152 a、152 bの抵抗値が大きいためと考えら

れる。

[0054] 一方、条件（２）～（４）の場合には、条件（５）の場合に比べて、コンタクト抵抗および移動度はともに改善されている。これは、以下の理由によると考えられる。すなわち、条件（２）～条件（４）では、 n^+ 微結晶シリコン層１５２ａ、１５２ｂの結晶化率は１．１～１．９であり、上層の n^+ 微結晶シリコン層１５３ａ、１５３ｂの結晶化率２．９に比べて小さくなっている。これにより、 n^+ 非晶質シリコン層１５１ａ、１５１ｂと n^+ 微結晶シリコン層１５２ａ、１５２ｂとの結晶化率の差が小さくなった。そこで、 n^+ 非晶質シリコン層１５１ａ、１５１ｂ上に n^+ 微結晶シリコン層１５２ａ、１５２ｂを積層することにより、 n^+ 非晶質シリコン層１５１ａ、１５１ｂの表面に形成されるインキュベーション層の膜厚が薄くなったと考えられる。このようにして、コンタクト層１５０ａ、１５０ｂの抵抗値が小さくなったので、ＴＦＴのコンタクト抵抗が小さくなり、移動度が大きくなったと考えられる。

[0055] また、条件（２）～条件（５）の場合には、 n^+ 微結晶シリコン層１５２ａ、１５２ｂの形成時の H_2 希釈比を１：２５、１：５０、１：７５のように大きくすればするほど、コンタクト抵抗は大きくなり、移動度は小さくなる。これは、以下の理由によると考えられる。 H_2 希釈比が大きくなると、 n^+ 微結晶シリコン層１５２ａ、１５２ｂの結晶化率が大きくなる。それに伴って、 n^+ 非晶質シリコン層１５１ａ、１５１ｂの表面に形成されるインキュベーション層の膜厚が厚くなり、コンタクト層１５０ａ、１５０ｂの抵抗値が大きくなったためと考えられる。なお、 H_2 希釈比の上限値を確認すべく、 H_2 希釈比を１：１００とする条件（６）で n^+ 微結晶シリコン層１５２ａ、１５２ｂを形成し、その結晶化率を測定した。この場合の結晶化率は２．５であり、従来の条件（５）の結晶化率２．９にかなり近いことがわかった。このことから、結晶化率を２以下とするためには、 H_2 希釈比の上限を約１：７５とすればよいと考えられる。

[0056] 以上の結果から、ＴＦＴ１００のコンタクト抵抗を、従来の条件（５）の

場合よりも小さくするためには、 n^+ 微結晶シリコン層 152 a、152 b の結晶化率は次式 (1) で示される範囲にあることが好ましいとわかる。

$$1.0 \leq I_c / I_a \leq 2.0 \quad \cdots (1)$$

n^+ 微結晶シリコン層 152 a、152 b の結晶化率を 1 よりも小さくすれば、 n^+ 微結晶シリコン層 152 a、152 b に含まれる微結晶成分の割合が少なくなるので、 n^+ 微結晶シリコン層 152 a、152 b の抵抗値が大きくなる。また、 n^+ 微結晶シリコン層 152 a、152 b の結晶化率を 2 よりも大きくすれば、 n^+ 非晶質シリコン層 151 a、151 b と n^+ 微結晶シリコン層 152 a、152 b との界面に膜厚の厚いインキュベーション層が形成されるので、コンタクト層 150 a、150 b の抵抗値が大きくなる。このように、結晶化率が 1 より小さい場合にも、2 より大きい場合にも、コンタクト層 150 a、150 b の抵抗値が大きくなるので、TFT 100 のコンタクト抵抗は大きくなり、移動度は小さくなる。なお、図 4 では、 H_2 希釈比が 1 : 25 のときの結晶化率は 1.1 であり、 H_2 希釈比が 1 : 75 のときの結晶化率は 1.9 である。しかし、結晶化率の測定値のばらつきを考慮し、式 (1) において、結晶化率の下限および上限をそれぞれ 1 および 2 とした。

[0057] また、図 4 から、 n^+ 微結晶シリコン層 152 a、152 b の結晶化率が上式 (1) を満たすためには、 n^+ 微結晶シリコン層 152 a、152 b を成膜する時の H_2 希釈比は 1 : 25 ~ 1 : 75 の範囲にあることが好ましいとわかる。

[0058] なお、図 4 に示すように、閾値電圧も、 n^+ 微結晶シリコン層 152 a、152 b の成膜時の H_2 希釈比に応じて変化している。しかし、閾値電圧が H_2 希釈比によって変化する理由はまだ解明されていない。

[0059] 図 5 は、図 4 に示す各条件によって製造した TFT 100 のゲート電圧—ドレイン電流 ($V_g - I_d$) 特性を示す図であり、ソース／ドレイン間に 10 V の電圧を印加したときの $V_g - I_d$ 特性を示す。図 5 に示す各曲線 (1) ~ (5) は、それぞれ図 4 に示す条件 (1) ~ (5) で成膜された n^+ 微結晶シリコン層 152 a、152 b を含む TFT 100 の $V_g - I_d$ 特性を示

す。

[0060] 図5に示すように、曲線(1)～(4)は、従来のTFTの $V_g - I_d$ 特性である曲線(5)とほぼ同様の特性を示している。したがって、曲線(1)～(4)の $V_g - I_d$ 特性を示すTFT100は、従来のTFTと同様に使用される。なお、その中でも曲線(2)は、他の曲線に比べてオン電流がわずかながら大きくなっている。これは、 H_2 希釈比を1:25と小さくすることによって、 n^+ 非晶質シリコン層151a、151bと、 n^+ 微結晶シリコン層152a、152bとの界面に形成されるインキュベーション層の成長が抑制され、コンタクト層150a、150bの抵抗値が小さくなったためと考えられる。また、曲線(4)は、他の曲線に比べてオフ電流がわずかながら小さくなっている。これは、 H_2 希釈比を1:75と大きくすることによって、 n^+ 非晶質シリコン層151a、151bと、 n^+ 微結晶シリコン層152a、152bとの界面に膜厚の厚いインキュベーション層が形成され、コンタクト層150a、150bの抵抗値が大きくなったためと考えられる。

[0061] <1.4 効果>

以上の説明から明らかなように、TFT100のコンタクト層150a、150bでは、 n^+ 非晶質シリコン層151a、151bの表面に、 n^+ 微結晶シリコン層153a、153bよりも結晶化率の低い n^+ 微結晶シリコン層152a、152bが形成されている。これにより、 n^+ 非晶質シリコン層151a、151bの表面に形成されるインキュベーション層の膜厚が薄くなるので、コンタクト層150a、150bの抵抗値を小さくすることができる。これにより、TFT100のコンタクト抵抗を小さくし、移動度を大きくすることができる。

[0062] また、コンタクト層150a、150bは、チャネル層140の表面に形成された n^+ 非晶質シリコン層151a、151bを含むので、コンタクト層150a、150bの膜厚が厚くなり、抵抗値を小さくすることができる。これにより、TFT100のコンタクト抵抗を小さくし、移動度を大きくすることができる。

[0063] また、 n^+ 微結晶シリコン膜 157 を成膜するときよりも、 H_2 希釈比が小さくなるような条件で n^+ 微結晶シリコン膜 156 を成膜すれば、 n^+ 非晶質シリコン層 151 a、151 b の表面に形成されるインキュベーション層の成長を抑制したコンタクト層 150 a、150 b を容易に形成することができる。特に、 n^+ 微結晶シリコン膜 156 を、 H_2 希釈比を 1 : 25 ~ 1 : 75 となる条件で形成することによって、 n^+ 非晶質シリコン層 151 a、151 b の表面に形成されるインキュベーション層の成長を抑制したコンタクト層 150 a、150 b を容易に形成することができる。

[0064] < 1. 5 変形例 >

TFT100 では、 n^+ 微結晶シリコン層 152 a、152 b は、単一の n^+ 微結晶シリコン層によって構成されているとして説明した。しかし、 n^+ 微結晶シリコン層 152 a、152 b は、結晶化率の異なる複数の n^+ 微結晶シリコン層によって構成されていてもよい。この場合、 n^+ 微結晶シリコン層 152 a、152 b では、 n^+ 非晶質シリコン層 151 a、151 b の表面から n^+ 微結晶シリコン層 153 a、153 b に向かって結晶化率が順に大きくなるように n^+ 微結晶シリコン層が積層されている。すなわち、 n^+ 非晶質シリコン層 151 a、151 b の表面に形成された微結晶シリコン膜の結晶化率が最も低く、 n^+ 非晶質シリコン層 151 a、151 b の表面から遠ざかるに連れて、より高い結晶化率を有する微結晶シリコン膜が積層される。これにより、 n^+ 非晶質シリコン層 151 a、151 b と n^+ 微結晶シリコン層 152 a、152 b との結晶化率の差、および複数の n^+ 微結晶シリコン層間の結晶化率の差を細かく調整することができるので、 n^+ 非晶質シリコン層 151 a、151 b の表面、および複数の n^+ 微結晶シリコン層の各表面に形成されるインキュベーション層の成長をより一層抑制することができる。このため、TFT のコンタクト抵抗をより一層小さくし、移動度をより一層大きくすることができる。また、 n^+ 非晶質シリコン層 151 a、151 b の表面から結晶化率が順に大きくなるように n^+ 微結晶シリコン層を順に積層するために、微結晶半導体層ごとに H_2 希釈比を順に大きくするだけでよい。これにより、複数

の n^+ 微結晶シリコン層を含むコンタクト層150a、150bを容易に形成することができる。

[0065] <2. 第2の実施形態>

本発明の第2の実施形態に係るTF T 200の構成を説明する。図6は、逆スタガ型TF T 200の構成を示す断面図である。図6に示すTF T 200の構成要素のうち、図1に示すTF T 100の構成要素と同じ構成要素については同じ参照符号を付し、異なる構成要素を中心に説明する。

[0066] 図6に示すように、TF T 200のコンタクト層250a、250bは2層構造である。すなわち、チャネル層140の表面に形成されたコンタクト層250a、250bはいずれも、チャネル層140側から、 n^+ 微結晶シリコン層252a、252b、 n^+ 微結晶シリコン層253a、253bの順に積層した積層シリコン層である。コンタクト層250a、250bの膜厚を例えば60nmとしたとき、 n^+ 微結晶シリコン層252a、252bの膜厚を15nm、 n^+ 微結晶シリコン層253a、253bの膜厚を45nmとする。このように、TF T 200のコンタクト層250a、250bには、TF T 100のコンタクト層150a、150bに含まれていた n^+ 非晶質シリコン層151a、151bが含まれていない。

[0067] また、TF T 200の製造方法は、図2(a)～図2(d)および図3(a)～図3(c)に示すTF T 100の製造方法のうち、図2(c)に示す工程断面図において、非晶質シリコン膜146の表面に n^+ 非晶質シリコン膜155を成膜することなく、 n^+ 微結晶シリコン膜156と、 n^+ 微結晶シリコン膜157を順に成膜する。なお、 n^+ 微結晶シリコン膜156および n^+ 微結晶シリコン膜157の成膜条件および膜厚は、第1の実施形態の場合と同一であるので、それらの説明を省略する。

[0068] また、コンタクト層250a、250bを2層構造としたことに伴い、図3(b)に示す工程断面図に示すように、 n^+ 微結晶シリコン膜157、 n^+ 微結晶シリコン膜156の順にエッチングして、コンタクト層250a、250bを形成する。

[0069] TFT200のコンタクト層250a、250bを2層構造にすることによって、第1の実施形態に係るTFT100のコンタクト層150a、150bと同程度にまでコンタクト層250a、250bの抵抗値を小さくすることができる。これにより、TFT200は、TFT100と同様の効果を奏することができる。また、コンタクト層250a、250bの構造が簡略化されるので、TFT200の製造工程が簡略化され、製造コストが低減される。

[0070] <3. 第3の実施形態>

本発明の第3の実施形態に係る正スタガ型TFT300の構成を説明する。図7は、正スタガ型TFT300の構成を示す断面図である。

[0071] 図7に示すように、ガラス基板115上にソース電極360aとドレイン電極360bとが所定の距離を隔てて形成されている。ソース電極360aの一端からその表面の一部を覆うようにコンタクト層350aが形成され、コンタクト層350aと所定の距離を隔てて、ドレイン電極360bの一端からその表面の一部を覆うようにコンタクト層350bが形成されている。コンタクト層350a、350bの表面と、2つのコンタクト層350a、350bによって挟まれたガラス基板115を覆うように、チャネル層340が形成されている。チャネル層340を含むガラス基板115の全体を覆うようにゲート絶縁膜330が形成され、ソース電極360aとドレイン電極360bとによって挟まれた領域に対応する、ゲート絶縁膜330上の位置にゲート電極320が形成されている。さらに、TFT300は、保護膜（図示しない）によって覆われている。

[0072] コンタクト層350a、350bは、ソース／ドレイン電極360a、360b側から、n⁺微結晶シリコン層353a、353b、n⁺微結晶シリコン層352a、352b、n⁺非晶質シリコン層351a、351bの順に積層された積層シリコン層からなる。また、チャネル層340は、ガラス基板115側から非晶質シリコン層341、微結晶シリコン層342の順に積層された積層シリコンからなる。なお、各層の膜厚および成膜条件等は、第1の

実施形態に係るTF T 1 0 0の場合と同様であるので、それらの説明を省略する。

[0073] 正スタガ型TF T 3 0 0においても、コンタクト層3 5 0 a、3 5 0 bを3層構造とし、 n^+ 微結晶シリコン層3 5 2 a、3 5 2 bの結晶化率を n^+ 微結晶シリコン層3 5 3 a、3 5 3 bの結晶化率よりも小さくすることによって、 n^+ 非晶質シリコン層3 5 1 a、3 5 1 bと n^+ 微結晶シリコン層3 5 2 a、3 5 2 bとの界面に形成されるインキュベーション層の成長を抑制される。これにより、コンタクト層3 5 0 a、3 5 0 bの抵抗値が小さくなるので、TF T 3 0 0は、第1の実施形態に係るTF T 1 0 0と同様の効果を奏する。なお、 n^+ 微結晶シリコン層3 5 2 a、3 5 2 bの結晶化率は、第1の実施形態の場合と同様に、1以上2以下の範囲であることが好ましい。

[0074] また、TF T 3 0 0ではコンタクト層3 5 0 a、3 5 0 bを3層構造としたが、コンタクト層を2層構造としてもよい。この場合、コンタクト層は n^+ 非晶質シリコン層3 5 1 a、3 5 1 bを含まないので、 n^+ 微結晶シリコン層3 5 2 a、3 5 2 bの表面上にチャネル層を形成する。これにより、2層構造のコンタクト層は、コンタクト層3 5 0 a、3 5 0 bと同程度まで抵抗値が小さくなる。このため、コンタクト層が2層構造のTF Tも、TF T 3 0 0と同様の効果を奏することができる。

[0075] また、正スタガ型のTF Tにおいても、TF T 1 0 0の場合と同様に、 n^+ 微結晶シリコン層3 5 2 a、3 5 2 bは、結晶化率の異なる複数の n^+ 微結晶シリコン層によって構成されていてもよい。この場合、 n^+ 微結晶シリコン層3 5 2 a、3 5 2 bでは、 n^+ 非晶質シリコン層3 5 1 a、3 5 1 bの表面から n^+ 微結晶シリコン層3 5 3 a、3 5 3 bに向かって結晶化率が順に大きくなるように n^+ 微結晶シリコン層が積層されている。これにより、 n^+ 非晶質シリコン層3 5 1 a、3 5 1 bの表面、および複数の n^+ 微結晶シリコン層の各表面に形成されるインキュベーション層の成長をより一層抑制することができる。このため、TF Tのコンタクト抵抗をより一層小さくし、移動度をより一層大きくすることができる。

[0076] < 4. 液晶表示装置 >

図 8 (a) は、アクティブマトリクス型液晶表示装置に含まれる液晶パネル 10 の構成を示す図であり、図 8 (b) は、図 8 (a) に示す液晶パネル 10 に含まれる TFT 基板 20 の構成を示す図である。図 8 (a) に示すように、液晶パネル 10 は、液晶層を挟持するように対向して配置された 2 枚のガラス基板と、2 枚のガラス基板によって挟持された液晶層（図示しない）と、液晶層を封止する封止材 50 とを含む。ガラス基板のうち、TFT を含む複数の画素形成部がマトリクス状に形成されたガラス基板を TFT 基板 20 といい、TFT 基板 20 と対向して配置され、カラーフィルタ（Color Filter）等が形成されたガラス基板を CF 基板 40 という。

[0077] 図 8 (b) に示すように、TFT 基板 20 は画素形成部 30 を含む。図 8 (b) には、便宜上

1 つの画素形成部 30 しか記載されていないが、TFT 基板 20 には複数の画素形成部 30 がマトリクス状に形成されている。画素形成部 30 には、スイッチング素子 31 として機能する TFT と、スイッチング素子 31 に接続された画素電極 32 とが形成されている。画素形成部 30 の外側の額縁領域には、ゲートドライバ 21 とソースドライバ 22（ゲートドライバ 21 とソースドライバ 22 をまとめて「駆動回路」ということがある）とが設けられている。ゲートドライバ 21 は、スイッチング素子 31 をオン／オフさせるタイミングを制御する制御信号をゲート配線 GL に出力し、ソースドライバ 22 は、画素形成部 30 に映像を表示させる映像信号および映像信号を出力するタイミングを制御する制御信号をソース配線 SL に出力する。

[0078] ゲート配線 GL を順に活性化して、活性化されたゲート配線 GL に接続されたスイッチング素子 31 をオン状態にすることにより、ソース配線 SL に与えられた映像信号はスイッチング素子 31 を介して、画素電極 32 に与えられる。画素電極 32 は、CF 基板に形成された共通電極（図示しない）とともに画素容量を形成し、与えられた映像信号を保持する。この結果、映像信号に応じたバックライト光が画素形成部 30 を透過し、映像が液晶パネル

１０に表示される。

[0079] 上述の各実施形態において説明したＴＦＴ１００～３００を用いて液晶表示装置の画素形成部３０のスイッチング素子３１を形成すれば、ＴＦＴ１００～３００のコンタクト抵抗が小さいので、スイッチング素子３１に流れる電流を大きくすることができる。これにより、スイッチング素子３１は、ソース配線ＳＬから与えられる映像信号を、短時間で画素容量に充電できるようになるので、画素形成部３０の数を増やして液晶パネル１０の高精細化を図ることが可能になる。

[0080] また、連続粒界結晶シリコン（Continuous Grain silicon）を用いてゲートドライバ２１およびソースドライバ２２をＴＦＴ基板２０上に形成する場合、ＴＦＴ１００～３００によりゲートドライバ２１およびソースドライバ２２を構成すれば、ゲートドライバ２１およびソースドライバ２２の動作速度を速くすることができる。その結果、ゲートドライバ２１およびソースドライバ２２の回路規模が小さくなるので、液晶パネル１０の額縁を小さくすることができるとともに、液晶表示装置の低消費電力化を図ることができる。

[0081] < ５．その他 >

本発明は、上述のような逆スタガ型また正スタガ型ＴＦＴに限らず、逆コプレナ型および正コプレナ型ＴＦＴにも好適に用いることができる。逆コプレナ型および正コプレナ型ＴＦＴに適用した場合の効果は、逆スタガ型また正スタガ型ＴＦＴに適用した場合の効果と同一であるので、その説明を省略する。

[0082] 上記各実施形態に係るＴＦＴ１００～３００を構成するコンタクト層１５０ａ～３５０ａ、１５０ｂ～３５０ｂを構成する半導体材料はシリコンであると説明した。しかし、コンタクト層１５０ａ～３５０ａ、１５０ｂ～３５０ｂを、ゲルマニウムシリコン等の半導体材料で形成してもよい。

[0083] 上記各実施形態に係るＴＦＴ１００～３００は、ｎチャネル型であるとして説明したが、ｐチャネル型であってもよい。この場合、コンタクト層１５

0 a ~ 3 5 0 a、1 5 0 b ~ 3 5 0 bとなる積層シリコン層には、ボロン（B）等のp型不純物をドーピングする必要がある。p型不純物がドーピングされた積層シリコン層は、ホスフィンガスの代わりに、例えばジボラン（ B_2H_6 ）ガスをチャンバ内に供給することにより成膜される。

[0084] 上記各実施形態に係るTFT 100~300のコンタクト層150 a~350 a、150 b~350 bとなる積層シリコン層の成膜には、モノシランガスを使用したか、ジクロルシラン（ SiH_2Cl_2 ）ガスやジシラン（ Si_2H_6 ）ガスを使用してもよい。

[0085] 上記各実施形態に係るTFT 100~300は、液晶表示装置の他にも、有機EL（Electroluminescence）表示装置やプラズマ表示装置等の表示装置にも使用される。

産業上の利用可能性

[0086] 本発明は、アクティブマトリクス型液晶表示装置等のような表示装置に適しており、特に、その画素形成部に形成されるスイッチング素子、または、画素形成部を駆動する駆動回路を構成するトランジスタに適している。

符号の説明

- [0087] 10…液晶パネル
20…TFT基板
21…ゲートドライバ
22…ソースドライバ
30…画素形成部
31…スイッチング素子
100、200、300…薄膜トランジスタ（TFT）
115…ガラス基板
120、320…ゲート電極
130、330…ゲート絶縁膜
140、340…チャネル層
150 a、250 a、350 a、150 b、250 b、350 b…コンタ

クト層

151a、151b、351a、351b… n^+ 非晶質シリコン層

152a、252a、352a、152b、252b、352b… n^+ 微結
晶シリコン層

153a、253a、353a、153b、253b、353b… n^+ 微結
晶シリコン層

160a、360a…ソース電極

160b、360b…ドレイン電極

請求の範囲

[請求項1] 絶縁基板上に、ゲート電極と、ゲート絶縁膜と、チャネル層と、ソースおよびドレイン電極とをこの順またはこれと逆の順に積層した半導体装置であって、

前記チャネル層と前記ソース電極との間、および前記チャネル層と前記ドレイン電極との間に互いに分離して形成された2つのコンタクト層をさらに備え、

前記コンタクト層は、導電性不純物を含む第1の微結晶半導体層と、前記第1の微結晶半導体層と同じ型の導電性不純物を含み、前記第1の微結晶半導体層よりも結晶化率が大きな第2の微結晶半導体層とが、前記チャネル層側から第1の微結晶半導体層、第2の微結晶半導体層の順に積層されていることを特徴とする、半導体装置。

[請求項2] 前記ゲート電極は、前記絶縁基板上に形成され、
前記ゲート絶縁膜は、前記ゲート電極を覆うように形成され、
前記チャネル層は、前記ゲート電極に対応する前記ゲート絶縁膜の表面上に形成され、

前記コンタクト層は、前記第1の微結晶半導体層の表面上に前記第1の微結晶半導体層を積層した積層膜を前記チャネル層の表面上に形成され、

前記ソースおよびドレイン電極は、前記第2の微結晶半導体層の表面上にそれぞれ形成されていることを特徴とする、請求項1に記載の半導体装置。

[請求項3] 前記ソースおよびドレイン電極は、前記絶縁基板上に形成され、
前記コンタクト層は、前記第2の微結晶半導体層の表面上に前記第1の微結晶半導体層を積層した積層膜を前記ソースおよびドレイン電極の表面上に所定の距離を隔てそれぞれ形成され、

前記チャネル層は、前記コンタクト層によって挟まれた前記絶縁基板上および前記コンタクト層の前記第1の微結晶半導体層の表面上を

覆うように形成され、

前記ゲート絶縁膜は、前記チャネル層を覆うように形成され、

前記ゲート電極は、前記コンタクト層によって挟まれた前記絶縁基板に対応する前記ゲート絶縁膜の表面上に形成されていることを特徴とする、請求項 1 に記載の半導体装置。

[請求項4] 前記コンタクト層は、前記第 1 の微結晶半導体層と前記チャネル層との間に、前記第 1 の微結晶半導体層と同じ型の導電性不純物を含む非晶質半導体層をさらに含むことを特徴とする、請求項 2 または 3 に記載の半導体装置。

[請求項5] 前記第 1 の微結晶半導体層は、結晶化率が異なる複数の微結晶半導体層を含み、

前記複数の微結晶半導体層は、前記チャネル層側から前記第 2 の微結晶半導体層に向かって結晶化率が順に大きくなるように形成された微結晶半導体層からなることを特徴とする、請求項 4 に記載の半導体装置。

[請求項6] 前記第 1 の微結晶半導体層の結晶化率は 1 以上 2 以下であることを特徴とする、請求項 4 に記載の半導体装置。

[請求項7] 絶縁基板上に、ゲート電極と、ゲート絶縁膜と、チャネル層と、コンタクト層と、ソースおよびドレイン電極とをこの順に積層した半導体装置の製造方法であって、

前記コンタクト層は、導電性不純物を含む第 1 の微結晶半導体層と、前記第 1 の微結晶半導体層と同じ型の導電性不純物を含む第 2 の微結晶半導体層を備え、

前記コンタクト層を形成する工程は、

前記チャネル層の表面上に前記第 1 の微結晶半導体層を形成する工程と、

前記第 1 の微結晶半導体層を形成する工程よりも、原料ガスに対する水素ガスの流量比を大きくして、前記第 1 の微結晶半導体層の表

面上に前記第 2 の微結晶半導体層を形成する工程とを含むことを特徴とする、半導体装置の製造方法。

[請求項 8] 前記コンタクト層を形成する工程は、

前記第 1 の微結晶半導体層を形成する工程の前に、前記チャネル層の表面上に非晶質半導体層を形成する工程をさらに含むことを特徴とする、請求項 7 に記載の半導体装置の製造方法。

[請求項 9] 前記第 1 の微結晶半導体層は、結晶化率が異なる複数の微結晶半導体層を含み、

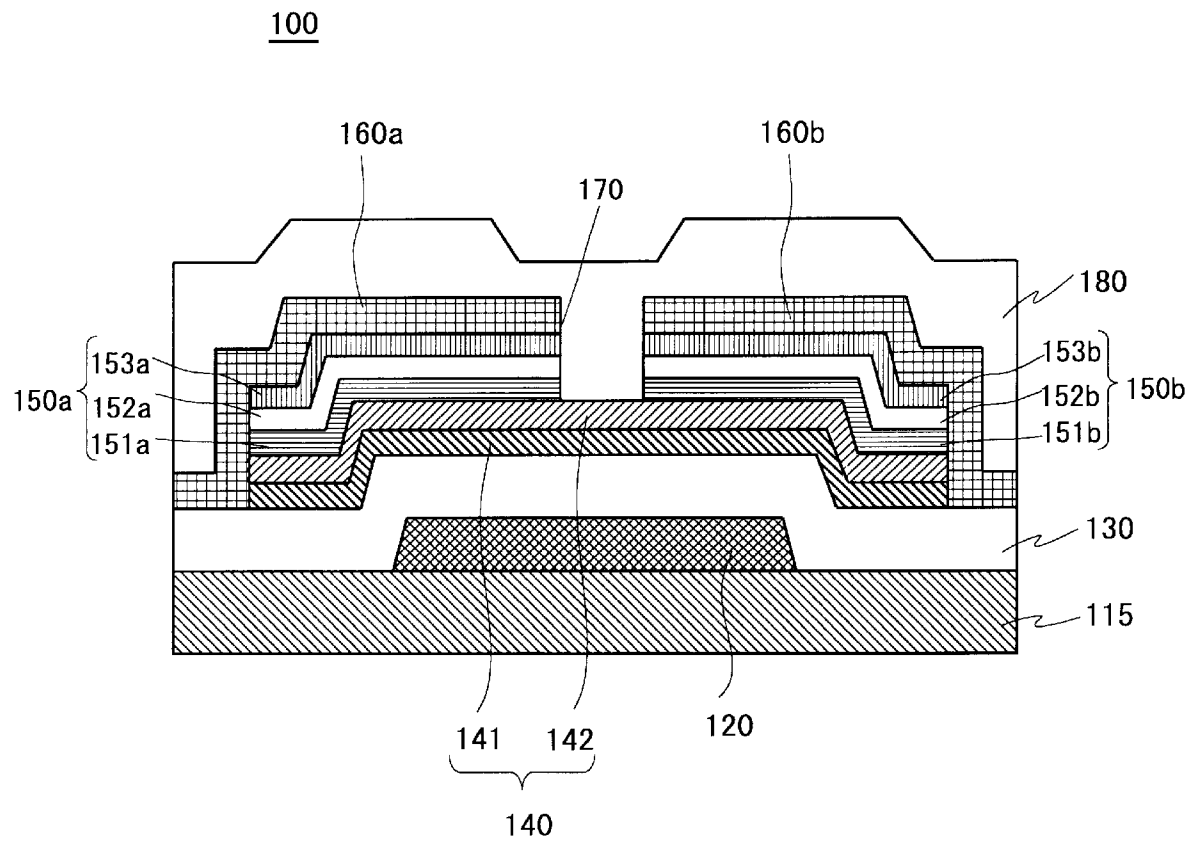
前記第 1 の微結晶半導体層を形成する工程は、前記複数の微結晶半導体層に含まれる各微結晶半導体層を形成するごとに、原料ガスに対する水素ガスの流量比を順に大きくすることを特徴とする、請求項 8 に記載の半導体装置の製造方法。

[請求項 10] 前記第 1 の微結晶半導体層を形成する工程は、原料ガスに対する水素ガスの流量比を

1 : 25 ~ 1 : 75 とすることを特徴とする、請求項 8 に記載の半導体装置の製造方法。

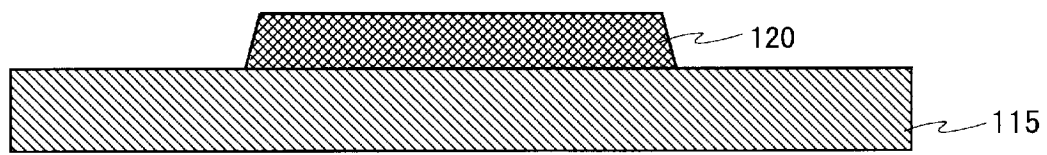
[請求項 11] 絶縁基板上に、請求項 1 から 6 のいずれか 1 項に記載の半導体装置が形成されていることを特徴とする、表示装置。

[図1]

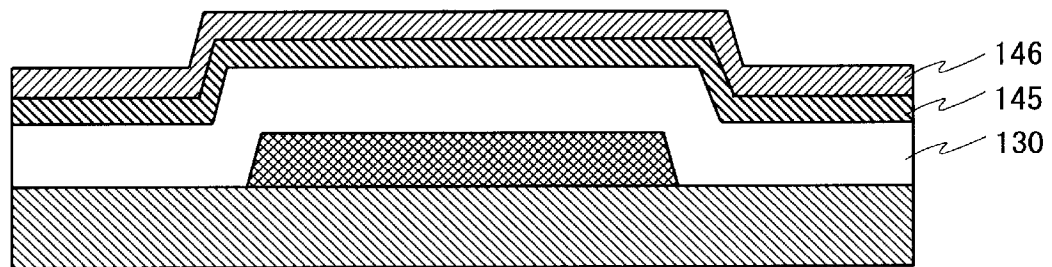


[図2]

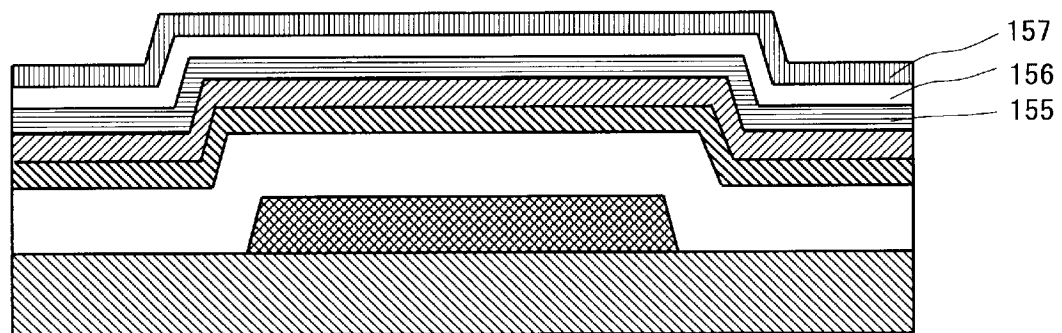
(a)



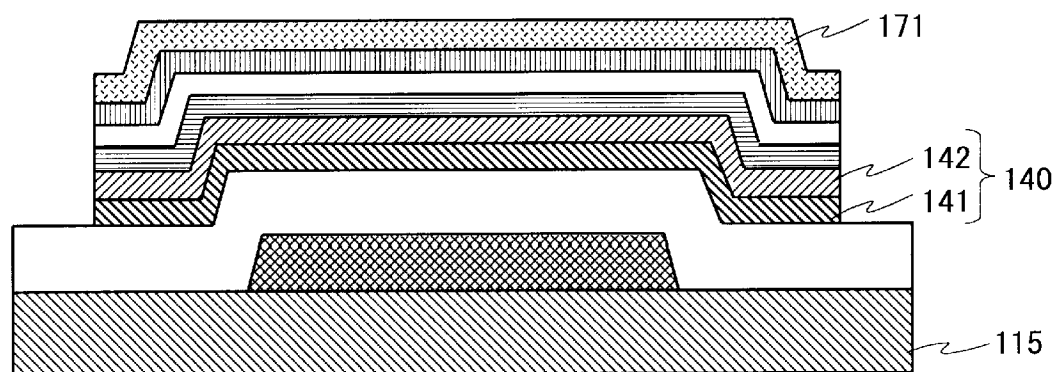
(b)



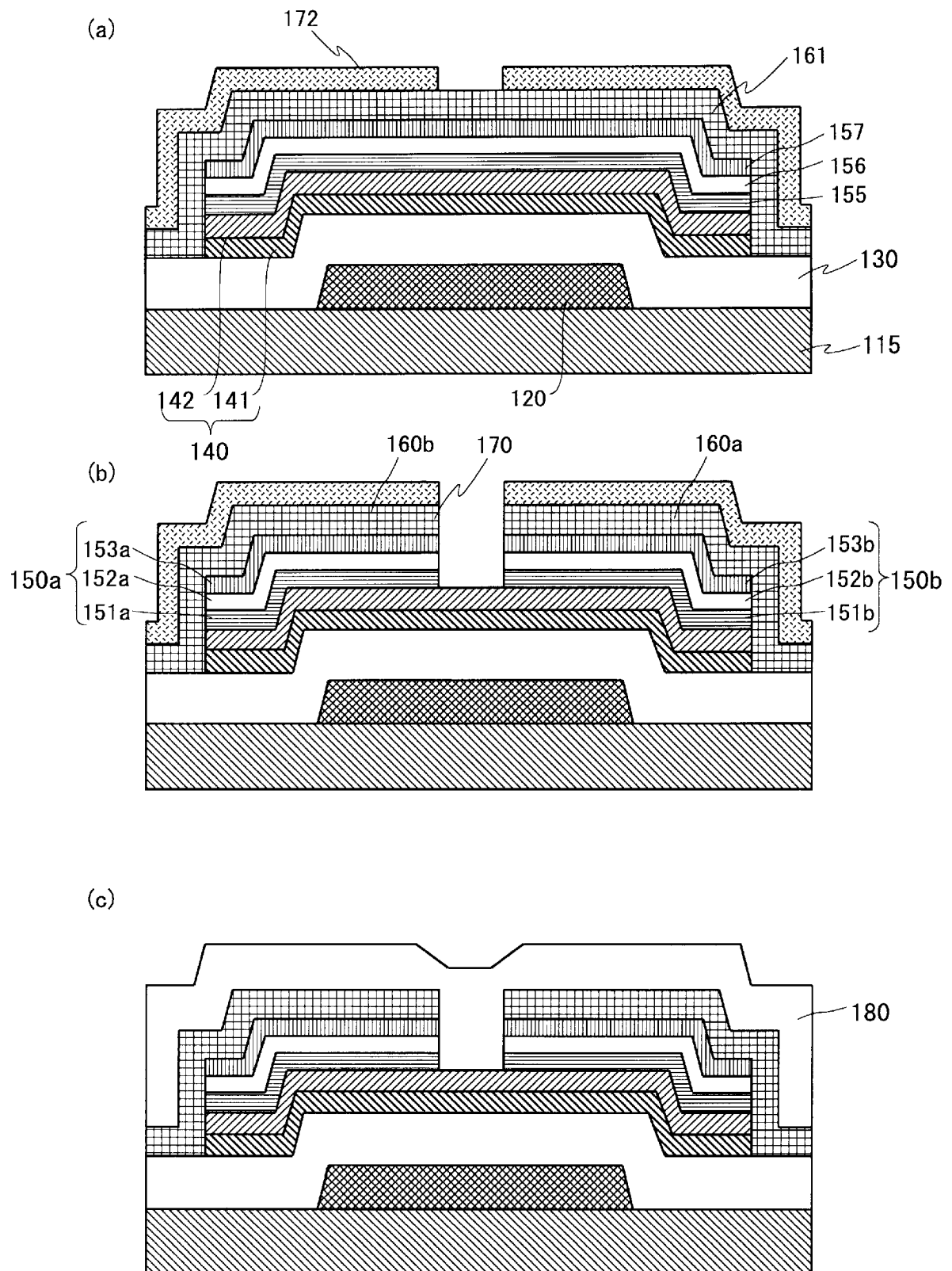
(c)



(d)



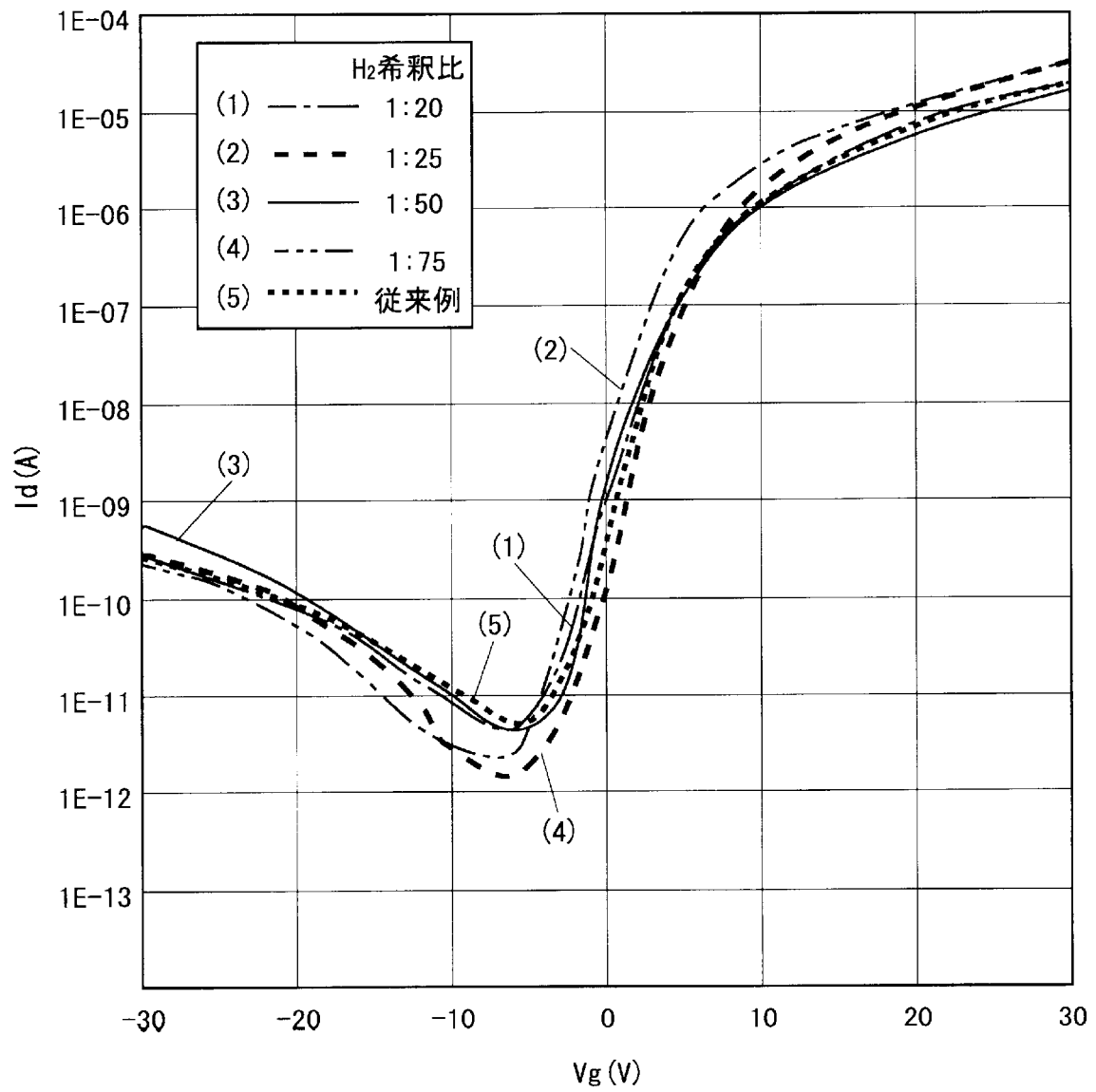
[図3]



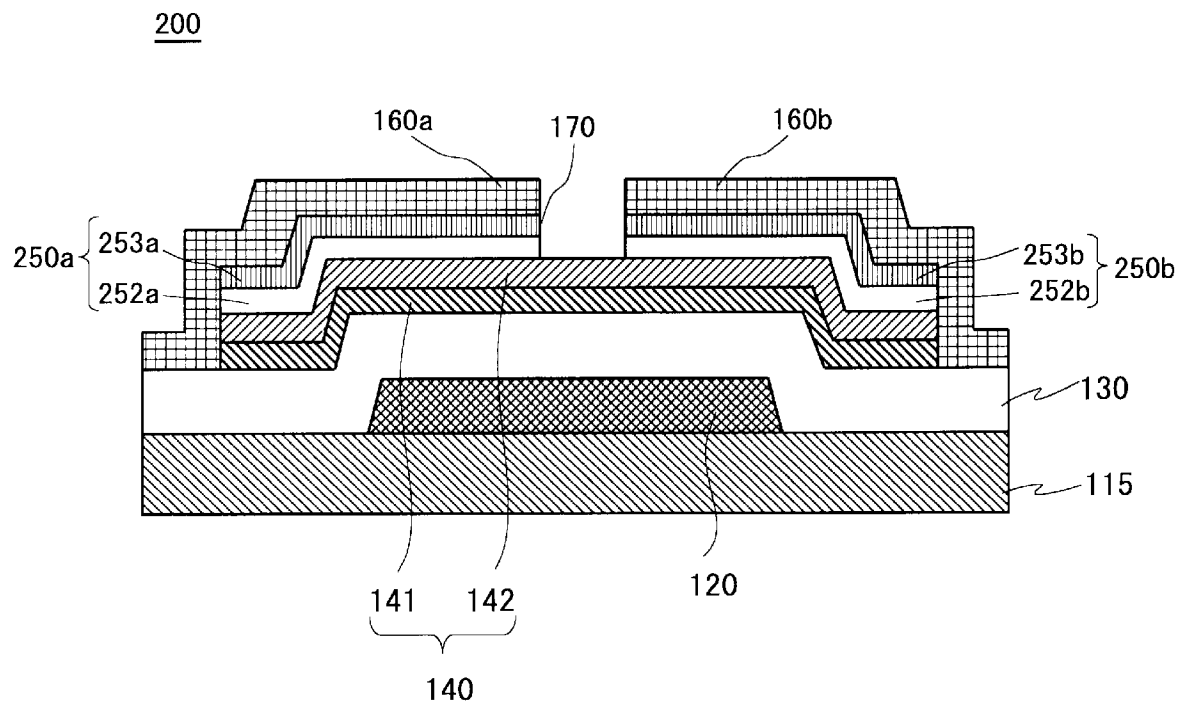
[図4]

条 件	(1)	(2)	(3)	(4)	(5)	(6)
上 層	n型微結晶	n型微結晶	n型微結晶	n型微結晶	n型微結晶	n型微結晶
H ₂ 希釈比	1 : 150	1 : 150	1 : 150	1 : 150	1 : 150	1 : 150
中間層	n型微結晶	n型微結晶	n型微結晶	n型微結晶	n型非晶質	n型微結晶
H ₂ 希釈比	1 : 20	1 : 25	1 : 50	1 : 75		1 : 100
下 層	n型非晶質	n型非晶質	n型非晶質	n型非晶質	n型非晶質	n型非晶質
中間層の結晶化率 (I _c /I _a)	0.8	1.1	1.6	1.9	2.9	2.5
移動度 (cm ² /V·S)	0.590	0.713	0.634	0.604	0.573	—
閾値電圧 (V)	4.703	1.973	3.848	4.252	4.454	—
コンタクト抵抗 (Ω)	7.99E+05	4.51E+05	6.24E+05	6.38E+05	7.27E+05	—

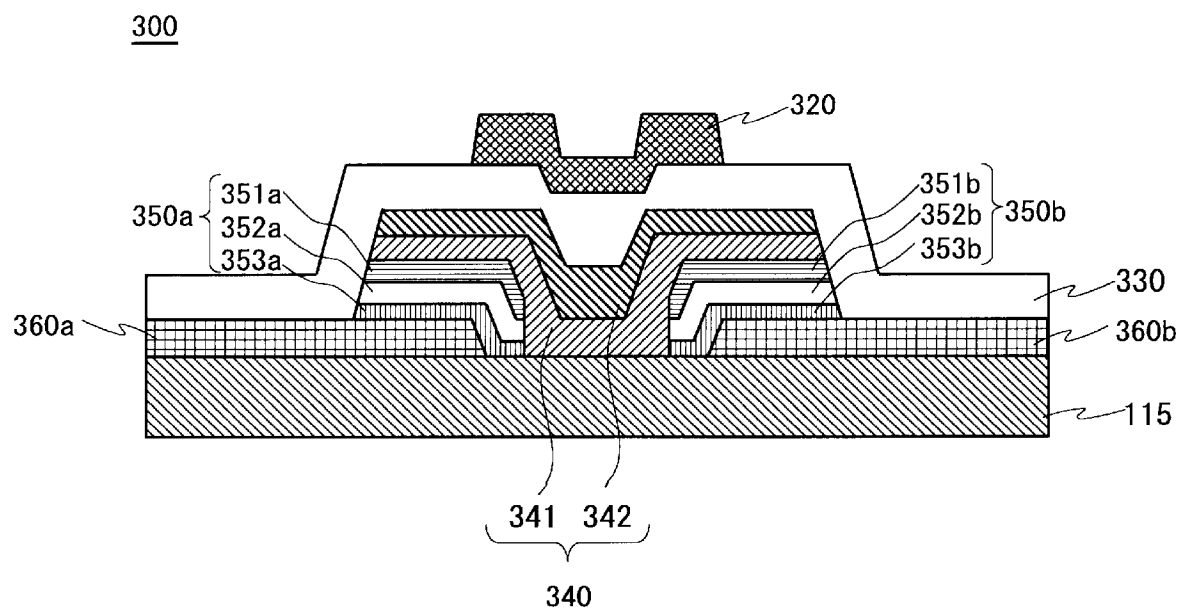
[図5]



[図6]

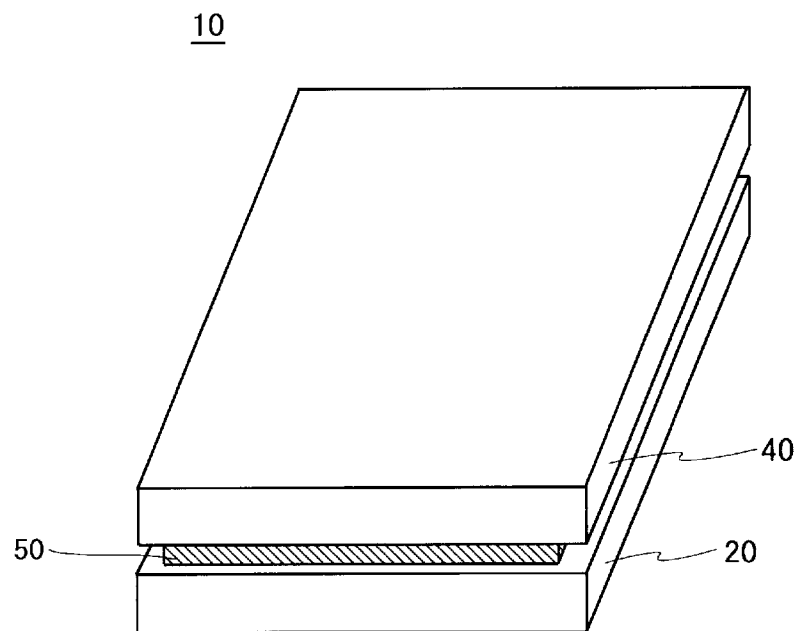


[図7]

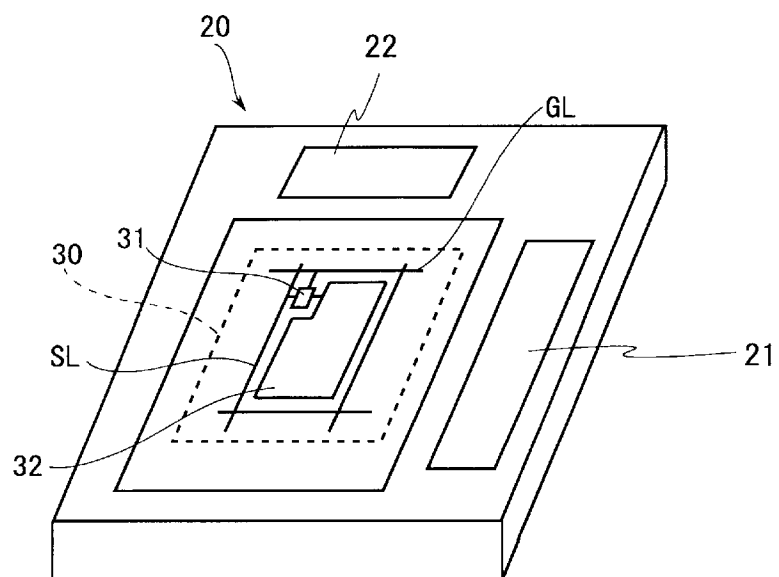


[図8]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/051269

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 08-172195 A (Sharp Corp.), 02 July 1996 (02.07.1996), paragraphs [0015] to [0027]; fig. 1 (Family: none)	1-11
A	WO 2008/123088 A1 (Sony Corp.), 16 October 2008 (16.10.2008), paragraphs [0056] to [0085]; fig. 7 to 9 & JP 2008-258345 A & US 2010/0044709 A & CN 101542742 A & KR 10-2009-0128315 A	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 April, 2011 (05.04.11)

Date of mailing of the international search report
19 April, 2011 (19.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, G02F1/1368, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 08-172195 A（シャープ株式会社）1996.07.02, 段落【0015】 －【0027】、図1（ファミリーなし）	1-11
A	WO 2008/123088 A1（ソニー株式会社）2008.10.16, 段落【0056】 －【0085】、図7－9 & JP 2008-258345 A & US 2010/0044709 A & CN 101542742 A & KR 10-2009-0128315 A	1-11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 4 . 2 0 1 1

国際調査報告の発送日

1 9 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

綿引 隆

4 M

4 8 6 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2