I510941

(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I510941 B

(45)公告日： 中華民國 104 (2015) 年 12 月 01 日

(21)申請案號：099113899 (22)申請日： 中華民國 99 (2010) 年 04 月 30 日

(51)Int. Cl.： *G06F17/50 (2006.01)* *H01L27/04 (2006.01)*

(30)優先權：2009/04/30 美國 61/174,408

2009/05/05 美國 12/435,672

(71)申請人：泰拉創新股份有限公司 (美國) TELA INNOVATIONS, INC. (US)

美國

(72)發明人：貝克 史考特T BECKER, SCOTT T. (US)

(74)代理人：許峻榮

(56)參考文獻：

TW 200811704A US 6700405B1

US 2006/0181310A1

審查人員：林剛煌

申請專利範圍項數：26 項 圖式數：4 共 41 頁

(54)名稱

ＸＯＲ與ＸＮＯＲ邏輯電路及布局

CIRCUITRY AND LAYOUTS FOR XOR AND XNOR LOGIC

(57)摘要

一種互斥或電路包括由第二輸入節點控制的通道閘。當該通道閘受此控制時，其係連接以通過在第一輸入節點的邏輯狀態型式至一輸出節點。一傳輸閘由第一輸入節點控制。當該傳輸閘受此控制時，其係連接以通過在第二輸入節點的邏輯狀態型式至該輸出節點。上拉邏輯由第一與第二輸入節點共同控制。當第一與第二輸入節點皆為高，該上拉邏輯係連接以驅使該輸出節點為低。一種反互斥或電路係定義為相似該互斥或電路，僅不同於該上拉邏輯替換為下拉邏輯，當第一與第二輸入節點皆為高，該下拉邏輯係連接以驅使該輸出節點為高。

An exclusive-or circuit includes a pass gate controlled by a second input node. The pass gate is connected to pass through a version of a logic state present at a first input node to an output node when so controlled. A transmission gate is controlled by the first input node. The transmission gate is connected to pass through a version of the logic state present at the second input node to the output node when so controlled. Pullup logic is controlled by both the first and second input nodes. The pullup logic is connected to drive the output node low when both the first and second input nodes are high. An exclusive-nor circuit is defined similar to the exclusive-or circuit, except that the pullup logic is replaced by pulldown logic which is connected to drive the output node high when both the first and second input nodes are high.

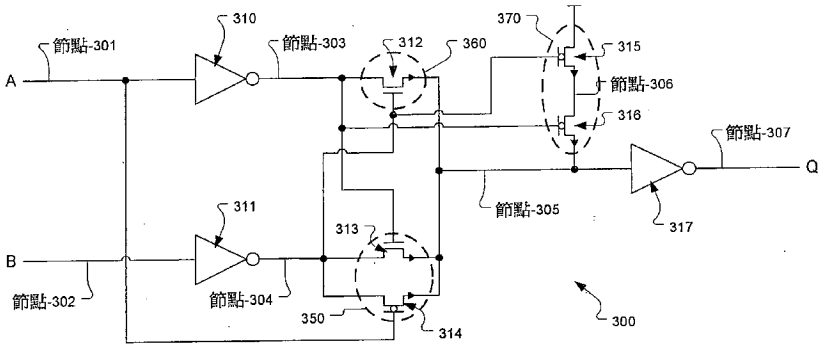

圖 3A

300・・・XOR 邏輯閘電路

301~307・・・節點

310、311、317・・・反相器

314、315、316、310P、311P、317P・・・PMOS 電晶體

312、313、310N、311N、317N・・・NMOS 電晶體

310G、311G、317G、381G、382G・・・連續閘極結構

380-385・・・閘極軌道

350・・・傳輸閘

360・・・通過閘

370・・・上拉邏輯

六、發明說明：

【發明所屬之技術領域】

本發明係關於 XOR 與 XNOR 邏輯電路及布局。

【先前技術】

追求更高的性能與更小的晶粒尺寸驅使半導體產業每兩年約縮減 50%的電路晶片面積。晶片面積的縮減提供邁向更新技術之經濟效益。晶片面積縮減 50%是藉由縮減 25%至 30%的特徵尺寸而達成。特徵尺寸的縮減是由於製造設備與材料的進步。舉例來說，更小的特徵尺寸是由於微影製程的進步而達成，而能有更多層的互連層則部分是由於化學機械研磨(CMP, chemical mechanical polishing)的進步。

在微影技術的發展中，隨著最小的特徵尺寸逼近用以曝光特徵形狀的光源波長，非計畫的交互作用發生於鄰近的特徵之間。今日的最小特徵尺寸係縮減至 45 nm(奈米)以下，而光微影製程所用的光源波長仍維持在 193 nm。最小特徵尺寸與光微影製程所用的光源波長之間的差距係定義為微影間隙(lithographic gap)。微影製程的解析能力隨著微影間隙的增加而減弱。

干擾圖形於光罩上的各形狀與光源交互作用時產生。由鄰近形狀造成的干擾圖形能產生建設性或破壞性干擾。在建設性干擾的情況中，不需要的形狀可能在無意中產生。在破獲性干擾的情況中，預期的形狀可能在無意中移除。在任一情況中，特定形狀以不同於計畫的方式印出，因而可能導致裝置失靈。如光學鄰近效應修正法(OPC, optical proximity correction)的修正方法試圖預測由鄰近形狀造成的影響並修改光罩，致使印刷形狀如預期般製造。光交互作用的預測品質隨著製程幾何的縮小與光交互作用漸趨複雜而低落。

鑒於上述，隨著技術持續朝向更小的半導體元件特徵尺寸發展，尋求電路設計與布局之進步的解決方案，以能改善微影間隙議題之處理。

【發明內容】

在一實施例中揭示互斥或(XOR, exclusive-or)邏輯電路。該XOR邏輯電路包括第一輸入節點、第二輸入節點、與一輸出節點。一通道閘係連接以由在第二輸入節點的邏輯狀態控制。當該通道閘由在第二輸入節點的邏輯狀態控制而傳送時，其連接以通過在第一輸入節點的邏輯狀態型式至該輸出節點。一傳輸閘係連接以由在第一輸入節點的邏輯狀態控制，當該傳輸閘由在第一輸入節點的邏輯狀態控制而傳送時，其連接以通過在第二輸入節點的邏輯狀態型式至該輸出節點。上拉邏輯係連接以由在第一輸入節點的邏輯狀態與在第二輸入節點的邏輯狀態共同控制。當在第一輸入節點的邏輯狀態與在第二輸入節點的邏輯狀態兩者皆為高，該上拉邏輯係連接以驅使在該輸出節點的狀態為低。

在一實施例中揭示互斥或(XOR)邏輯電路布局。該XOR邏輯電路布局包括六個PMOS電晶體與五個NMOS電晶體。該五個NMOS電晶體係與該六個PMOS電晶體中的五個分別配對，致使各對NMOS與PMOS電晶體係定義以共享沿著五個閘極軌道中的一個分別佈置之連續閘極結構。該六個PMOS電晶體中的第六個由沿著第六閘極軌道佈置之閘極結構定義，致使第六PMOS電晶體不與該互斥或邏輯電路布局中的另一個電晶體共享第六閘極軌道。該六個閘極軌道係定向為彼此互相平行。

在一實施例中揭示反互斥或(XNOR, exclusive-nor)邏輯電路。該XNOR邏輯電路包括第一輸入節點、第二輸入節點、與一輸出節點。一通道閘係連接以由在第二輸入節點的邏輯狀態控制。當該通道閘由在第二輸入節點的邏輯狀態控制而傳送時，其連接以通過在第一輸入節點的邏輯狀態型式至該輸出節點。一傳輸閘係連接以由在第一輸入節點的邏輯狀態控制。當該傳輸閘由在第一輸入節點的邏輯狀態控制而傳送時，其連接以通過在第二輸入節點的邏輯狀態型式至該輸出節點。下拉邏輯係連接以由在第一輸入節點的邏輯狀態與在第二輸入節點的邏輯狀態共同控

制。當在第一輸入節點的邏輯狀態與在第二輸入節點的邏輯狀態兩者皆為低，該下拉邏輯係連接以驅使在該輸出節點的狀態為高。

在一實施例中揭示反互斥或(XNOR)邏輯電路布局。該 XNOR 邏輯電路布局包括五個 PMOS 電晶體與六個 NMOS 電晶體。該五個 PMOS 電晶體係與該六個 NMOS 電晶體中的五個分別配對，致使各對 PMOS 與 NMOS 電晶體係定義以共享沿著五個閘極軌道中的一個分別佈置之連續閘極結構。該六個 NMOS 電晶體中的第六個由沿著第六閘極軌道佈置之閘極結構定義，致使第六 NMOS 電晶體不與該反互斥或邏輯電路布局中的另一個電晶體共享第六閘極軌道。該六個閘極軌道係定向為彼此互相平行。

本發明的其他實施態樣與優點將可藉由本發明實例說明、配合隨後詳細說明與隨附圖式而更加明白。

【實施方式】

在下列說明中，為提供對本發明的徹底了解而提出許多具體細節。然而，當可明白熟習本技藝者能在部分或全部具體細節之外實行本發明。在其他情況下，為避免不必要地混淆本發明而未詳細說明熟知的製程作業。

習知的 XOR 電路

圖 1A 呈現習知的 XOR 邏輯閘電路(此後稱為「XOR 100」)。該 XOR 100 包括兩個輸入 A 與 B，以及一個輸出 Q。在節點 101 供給輸入 A。在節點 102 供給輸入 B。在節點 105 供給輸出 Q。圖 1B-1E 呈現 XOR 的狀態表。如圖 1B-1E 所示，XOR 100 為輸入 A 與 B 的多種狀態組合提供相稱狀態的輸出 Q。

如圖 1A 所示，接收輸入 A 的節點 101 連接至 PMOS 電晶體 117 的閘與 NMOS 電晶體 120 的閘。節點 101 亦連接至反相器 110 的輸入。反相器 110 的輸出連接至節點 103。節點 103 連接至 PMOS 電晶體 113 的閘與 NMOS 電晶體 116 的閘。

節點 102 連接到 PMOS 電晶體 114 的閘與 NMOS 電晶體 119

的閘。節點 102 亦連接至反相器 111 的輸入。反相器 111 的輸出連接至節點 104。節點 104 連接至 NMOS 電晶體 115 的閘與 PMOS 電晶體 118 的閘。

PMOS 電晶體 113 與 114 在電源供應(VDD)與節點 105(供給 XOR 100 輸出 Q)之間串聯。NMOS 電晶體 115 與 116 在節點 105 與參考接地電位(GND)之間串聯。PMOS 電晶體 117 與 118 在電源供應(VDD)與節點 105 之間串聯。NMOS 電晶體 119 與 120 在節點 105 與參考接地電位(GND)之間串聯。

基於上述，習知的 XOR 100 包括兩組的上拉(pullup)邏輯，其中第一組由 PMOS 電晶體 113 與 114 定義，而第二組由 PMOS 電晶體 117 與 118 定義。XOR 100 亦包括兩組下拉(pulldown)邏輯，其中第一組由 NMOS 電晶體 115 與 116 定義，而第二組由 NMOS 電晶體 119 與 120 定義。各組上拉與下拉邏輯皆各由輸入 A 的型式與輸入 B 的型式共同控制。因此，習知的 XOR 100 的電路根據輸入 A 與 B，藉由個別使用上拉邏輯組或是下拉邏輯組而分別定義以驅使輸出 Q 為高或低。

此外，當知反相器 110 與 111 各包括一個 PMOS 電晶體與一個 NMOS 電晶體。圖 1G 係依照先前技術呈現反相器組態之實例。該反相器接收輸入信號 A 並產生輸出信號 Q。該反相器包括一個 PMOS 電晶體 192，其具有連接以受輸入信號 A 控制的閘、連接電源供應(VDD)的第一端子、以及連接以供給輸出信號 Q 的第二端子。該反相器亦一個包括 NMOS 電晶體 193，其具有連接以受輸入信號 A 控制的閘、連接以供給輸出信號 Q 的第一端子、以及連接參考接地電位(GND)的第二端子。當該反相器的輸入 A 為高，輸出便為低，反之亦然。基於每個反相器包括一個 PMOS 電晶體與一個 NMOS 電晶體，當知習知的 XOR 100 總共包括 6 個 PMOS 電晶體與 6 個 NMOS 電晶體。

圖 1F 係依照本發明的一實施例呈現 XOR 100 之布局。依照限制閘層布局架構定義 XOR 100 之布局，如此處說明。在圖 1F 的布局中，相應標示如前述參照圖 1A 的各個 PMOS 與 NMOS 電

晶體。在圖 1F 的布局中，亦相應標示如前述圖參照 1A 的各個節點。PMOS 電晶體 118 與 NMOS 電晶體 119 的閘極係定義為共線，致使兩閘在閘層中以端點對端點的間隔 195 分開。並且，PMOS 電晶體 114 與 NMOS 電晶體 115 的閘極亦定義為共線，致使兩閘在閘層中以端點對端點的間隔 196 分開。

當知為布局習知的 XOR 100 在六個閘極軌道中使用限制閘層架構，在 XOR 100 的閘層中最少需要具有兩個閘極端點對端點的間隔，如 195 與 196。此類的端點對端點的閘極間隔係依照要求最小的端點對端點的間隔尺寸之適用設計準則而定義。因此，當知相較於不存在端點對端點的閘極間隔，存在端點對端點的閘極間隔要求 P-型與 N-型擴散區域更加分開，因而要求較大的整體單元高度。

XOR 電路與布局實施例

圖 3A 係依照本發明的一實施例呈現 XOR 邏輯閘電路 300(此後稱為「XOR 300」)。XOR 300 包括兩個輸入 A 與 B，以及一個輸出 Q。在節點 301 供給輸入 A。在節點 302 供給輸入 B。在節點 307 供給輸出 Q。圖 3B-3E 係依照本發明的一實施例呈現 XOR 300 的狀態表。如圖 3B-3E 所示，XOR 300 為輸入 A 與 B 的多種狀態組合提供相稱狀態的輸出 Q。

如圖 3A 所示，接收輸入 A 的節點 301 連接至反相器 310 的輸入與 PMOS 電晶體 314 的閘兩者。接收輸入 B 的節點 302 連接至反相器 311 的輸入。反相器 310 的輸出連接至節點 303。節點 303 連接至：1) NMOS 電晶體 312 的第一端子、2) PMOS 電晶體 316 的閘、以及 3) NMOS 電晶體 313 的閘。反相器 311 的輸出連接至節點 304。節點 304 連接至：1) NMOS 電晶體 312 的閘、2) PMOS 電晶體 315 的閘、3) NMOS 電晶體 313 的第一端子、以及 4) PMOS 電晶體 314 的第一端子。

節點 305 連接至下列各點：1) NMOS 電晶體 312 的第二端子、2) NOMS 電晶體 313 的第二端子、3) PMOS 電晶體 314 的第二端

子、以及 4) PMOS 電晶體 316 的第二端子。PMOS 電晶體 315 的第一端子連接至電源供應(VDD)。PMOS 電晶體 315 的第二端子連接至節點 306，其連接至 PMOS 電晶體 316 的第一端子。節點 305 連接至反相器 317 的輸入。反相器 317 的輸出連接至節點 307，其供給 XOR 300 的輸出 Q。

針對在輸入 A 與 B 施加不同的狀態組合，圖 3B-3E 的狀態表呈現 XOR 300 的各個節點(節點-301 至節點-307)的不同狀態。反相器 310、311 與 317 各包括一個 PMOS 電晶體與一個 NNOS 電晶體。因此，相對於共包括六個 PMOS 電晶體與六個 NMOS 電晶體的習知 XOR 100，XOR 300 共包括六個 PMOS 電晶體與五個 NMOS 電晶體，因而省下一個 NMOS 電晶體。

該 2-輸入 XOR 300 係定義為處理輸入 A 與 B 的四個獨特組合，如圖 3B-3E 所描述。具體而言，NMOS 電晶體 313 與 PMOS 電晶體 314 一起定義由輸入 A 控制的傳輸閘(transmission gate)350。當輸入 A 的狀態為低，即邏輯 0，傳輸閘 350 促使控制輸出 Q 的狀態，致使輸出 Q 的狀態的符合輸入 B 的狀態。NMOS 電晶體 312 定義由輸入 B 控制的通道閘(pass gate)360。當輸入 B 的狀態為低，即邏輯 0，通道閘 360 促使控制輸出 Q 的狀態，致使輸出 Q 的狀態符合輸入 A 的狀態。

PMOS 電晶體 315 與 316 一起定義由輸入 A 與 B 共同控制的上拉邏輯 370。當輸入 A 的狀態與輸入 B 的狀態皆為高，即邏輯 1，傳輸閘 350 與通道閘 360 皆失效，而上拉邏輯 370 控制輸出 Q 的狀態，致使輸出 Q 的狀態為低，即邏輯 0。當輸入 A 與 B 的其中一個狀態為低，即邏輯 0，上拉邏輯 370 失效。

XOR 300 係定義為下列之一：

- 經由輸入B所控制的通道閘360，通過輸入A的狀態型式至輸出Q，
- 經由輸入A所控制的傳輸閘350，通過輸入B的狀態型式至輸出Q，

● 在輸入A與B共同控制下，經由上拉邏輯370驅使輸出Q的狀態為低。

依照前述，XOR 邏輯電路 300 包括第一輸入 A 節點 301、第二輸入 B 節點 302、以及輸出 Q 節點 307。通道閘 360 係連接以藉由在第二輸入節點 302 的邏輯狀態控制。當通道閘 360 藉由在第二輸入節點 302 的邏輯狀態控制而傳送時，其連接以通過在第一輸入節點 301 的邏輯狀態型式至輸出節點 307。傳輸閘 350 係連接以藉由在第一輸入節點 301 的邏輯狀態控制。當傳輸閘 350 藉由在第一輸入節點 301 的邏輯狀態控制而傳送時，其連接以通過在第二輸入節點 302 的邏輯狀態型式至輸出節點 307。上拉邏輯 370 係連接以藉由在第一輸入節點 301 的邏輯狀態與在第二輸入節點 302 的邏輯狀態共同控制。當在第一輸入節點 301 的邏輯狀態與在第二輸入節點 302 的邏輯狀態皆為高時，上拉邏輯 370 連接以驅使在輸出節點 307 的狀態為低。

圖 3F 係依照本發明的一實施例呈現 XOR 300 之布局。在一實施例中，依照限制閘層布局架構定義 XOR 300 之布局，如此處說明。反相器 310 由 PMOS 電晶體 310P 與 NMOS 電晶體 310N 定義，兩者共享沿單閘極軌道 380 定義的連續閘極結構 310G。反相器 311 係由 PMOS 電晶體 311P 與 NMOS 電晶體 311N 定義，兩者共享沿單閘極軌道 384 定義的連續閘極結構 311G。反相器 317 係由 PMOS 電晶體 317P 與 NMOS 電晶體 317N 定義，兩者共享沿單閘極軌道 385 定義的連續閘極結構 317G。

上拉邏輯 370 的 PMOS 電晶體 315 與通道閘 360 的 NMOS 電晶體 312 共享沿單閘極軌道 381 定義的連續閘極結構 381G。上拉邏輯 370 的 PMOS 電晶體 316 與傳輸閘 350 的 NMOS 電晶體 313 共享沿單閘極軌道 382 定義的連續閘極結構 382G。傳輸閘 350 的 PMOS 電晶體 314 係沿單閘極軌道 383 定義。節點 301-307 係藉由接觸點、互連結構(M1、M2)與穿孔(Via1)的多種組合而定義在 XOR 300 之布局上，以構成如圖 3A 所示的多個電晶體之間的連接。

當 XOR 300 的布局係依照限制閘極架構定義時，當知其係使

用六個鄰近的閘極軌道(380-385)定義。在一實施例中，六個鄰近的閘極軌道(380-385)為等距分開。然而，在另一實施例中，可使用不同的垂直間隔分開六個鄰近的閘極軌道(380-385)。並且，當XOR 300的布局係依照限制閘極架構定義時，當知其並不要求佈置閘極線的端點為彼此相對。換句話說，在XOR 300布局中沒有閘極結構沿著任何特定閘極軌道佈置為端點對端點。在閘極特徵之間製造端點對端點的間隔之相關微影技術困難因而避免。

並且，因為在P-型擴散區域與N-型擴散區域之間沒有沿著特定閘極軌道放置端點對端點的閘極間隔，所以不需如佈置/製造端點對端點的閘極間隔之相關設計準則所規定一般，迫使P-型擴散區域與N-型擴散區域之間的垂直布局空間需符合最小尺寸要求。所以若是某些實施例期望，XOR 300布局的整體單元高度(即VDD與GND之間的垂直距離)能夠藉由安排P-型與N-型擴散區域更加接近而減少。

另外，雖然圖3A與3F的示範性實施例呈現上拉邏輯370係定義為使PMOS電晶體315的閘連接至第二輸入反相器311的輸出，且使PMOS電晶體316的閘連接至第一輸入反相器310的輸出，但當知可顛倒PMOS電晶體315與316之堆疊。具體而言，在一實施例中，上拉邏輯370係定義為使PMOS電晶體315的閘連接至第一輸入反相器310的輸出，且使PMOS電晶體316的閘連接到第二輸入反相器311的輸出。

XNOR電路與布局實施例

圖2A係依照本發明的一實施例呈現XNOR邏輯閘電路(此後稱為「XNOR 200」)。XNOR 200包括兩個輸入A與B，以及一個輸出Q。在節點201供給輸入A。在節點202供給輸入B。在節點207供給輸出Q。圖2B-2E係依照發明的一實施例呈現XNOR 200的狀態表。如圖2B-2E所示，XNOR 200為輸入A與B的多種狀態組合提供相稱狀態的輸出Q。

如圖2A所示，接收輸入A的節點201連接至反相器210的

輸入與 NMOS 電晶體 214 的閘。接收輸入 B 的節點 202 連接至反相器 211 的輸入。反相器 210 的輸出連接至節點 203。節點 203 連接至：1) PMOS 電晶體 212 的第一端子、2) PMOS 電晶體 213 的閘、以及 3) NMOS 電晶體 215 的閘。反相器 211 的輸出連接至節點 204。節點 204 連接至：1) PMOS 電晶體 212 的閘、2) NMOS 電晶體 216 的閘、3) PMOS 電晶體 213 的第一端子、以及 4) NMOS 電晶體 214 的第一端子。

節點 205 連接至下列各點：1) PMOS 電晶體 212 的第二端子、2) PMOS 電晶體 213 的第二端子、3) NMOS 電晶體 214 的第二端子、以及 4) NMOS 電晶體 215 的第二端子。NMOS 電晶體 216 的第一端子連接至參考接地電位(GND)。NMOS 電晶體 216 的第二端子連接至節點 206，其連接至 NMOS 電晶體 215 的第一端子。節點 205 連接至反相器 207 的輸入。反相器 217 的輸出連接至節點 207，其供給 XNOR 200 的輸出 Q。針對在輸入 A 與 B 施加不同的狀態組合，圖 2B-2E 的狀態表呈現 XNOR 200 的各個節點(節點-201 至節點-207)之不同狀態。反相器 210、211 與 217 各包括一個 PMOS 電晶體與一個 NMOS 電晶體。因此，XNOR 200 共包括五個 PMOS 電晶體與六個 NMOS 電晶體。

該 2-輸入 XNOR 係定義以處理輸入 A 與 B 的四個獨特組合，如圖 2B-2E 所描繪。具體而言，PMOS 電晶體 213 與 NMOS 電晶體 214 一起定義由輸入 A 控制的傳輸閘 250。當輸入 A 的狀態為高，即邏輯 1，傳輸閘 250 促使控制輸出 Q 的狀態，致使輸出 Q 的狀態符合輸入 B 的狀態。PMOS 電晶體 212 定義由輸入 B 控制的通道閘 260。當輸入 B 的狀態為高，即邏輯 1，通道閘 260 促使控制輸出 Q 的狀態，致使輸出 Q 的狀態符合輸入 A 的狀態。

NMOS 電晶體 215 與 216 一起定義由輸入 A 與 B 共同控制的下拉邏輯 270。當輸入 A 的狀態與輸入 B 的狀態皆為低，即邏輯 0，傳輸閘 250 與通道閘 260 兩者皆失效，而下拉邏輯 270 控制輸出 Q 的狀態，致使輸出 Q 的狀態為高，即邏輯 1。當輸入 A 與 B 的其中一個狀態為高，即邏輯 1，下拉邏輯 270 便失效。

基於前述，XNOR 200 係定義為下列之一：

● 經由輸入B所控制的通道閘260，通過輸入A的狀態型式至輸出Q，

● 經由輸入A所控制的傳輸閘250，通過輸入B的狀態型式至輸出Q，

● 在輸入A與B共同控制下，經由下拉邏輯270驅使輸出Q的狀態為高。

依照前述，XNOR 邏輯電路 200 包括第一輸入 A 節點 201、第二輸入 B 節點 202、以及輸出 Q 節點 207。通道閘 260 係連接以藉由在第二輸入節點 202 的邏輯狀態控制。當通道閘 260 係藉由在第二輸入節點 202 的邏輯狀態控制而傳輸時，其連接以通過在第一輸入節點 201 的邏輯狀態型式至輸出節點 207。傳輸閘 250 係連接以藉由在第一輸入節點 201 的邏輯狀態控制。當傳輸閘 250 係藉由在第一輸入節點 201 的邏輯狀態控制而傳輸時，其連接以通過在第二輸入節點 202 的邏輯狀態型式至輸出節點 207。下拉邏輯 217 係連接以藉由在第一輸入節點 201 的邏輯狀態與在第二輸入節點 202 的邏輯狀態共同控制。當在第一輸入節點 201 的邏輯狀態與在第二輸出節點 202 的邏輯狀態皆為低，下拉邏輯 270 係連接以驅使在輸出節點 207 的狀態為高。

圖 2F 係依照本發明的一實施例呈現 XNOR 200 之布局。在一實施例中，根據限制閘層布局架構定義 XNOR 200 之布局，如此處說明。反相器 210 係藉由 PMOS 電晶體 210P 與 NMOS 電晶體 210N 定義，兩者共享沿單閘極軌道 280 定義的連續閘極結構 210G。反相器 211 係藉由 PMOS 電晶體 211P 與 NMOS 電晶體 211N 定義，兩者共享沿單閘極軌道 284 定義的連續閘極結構 211G。反相器 217 係藉由 PMOS 電晶體 217P 與 NMOS 電晶體 217N 定義，兩者共享沿單閘極軌道 285 定義的連續閘極結構 217G。

下拉邏輯 270 的 NMOS 電晶體 216 與通道閘 260 的 PMOS 電晶體 212 共享沿單閘極軌道 281 定義的連續閘極結構 281G。下拉結構 270 的 NMOS 電晶體 215 與傳輸閘 250 的 PMOS 電晶體 213

共享沿單閘極軌道 282 定義的連續閘極結構 282G。傳輸閘 250 的 NMOS 電晶體 214 係定義為沿單閘極軌道 283。節點 201-207 係藉由接觸點、互連結構(M1、M2)與穿孔(Via1)的多種組合而定義在 XNOR 200 的布局上，以構成如圖 2A 所示的多個電晶體之間的連接。

當依照限制閘極架構定義 XNOR 200 之布局時，當知其係使用六個鄰近的閘極軌道(280-285)而定義。在一實施例中，六個鄰近的閘極軌道(280-285)為等距分開。然而，在另一實施例中，可使用不同的垂直間隔分開六個鄰近的閘極軌道(280-285)。並且，當依照限制閘極架構定義 XNOR 200 之布局時，當知其並不要求佈置閘極線的端點為彼此相對。換句話說，在 XNOR 200 布局中沒有閘極結構沿著任何特定閘極軌道佈置為端點對端點。在閘極特徵之間製造端點對端點的間隔之相關微影技術的困難因而避免。

並且，因為在 P-型擴散區域與 N-型擴散區域之間沒有沿著特定閘極軌道放置端點對端點的閘極間隔，所以不需如佈置/製造端點對端點的閘極間隔之相關設計準則所規定一般，迫使 P-型擴散區域與 N-型擴散區域之間的垂直布局空間需符合最小尺寸要求。所以若是某些實施例期望，XNOR 200 布局的整體單元高度(即 VDD 與 GND 之間的垂直距離)能夠藉由安排 P-型與 N-型擴散區域更加接近而減少。

當知如此處說明之 XOR 300 電路與相關布局可藉由移除輸出反相器 317 而轉換成 XNOR 電路與相關布局。在此轉換過的組態中，輸出節點 307 變成等同於節點 305，且輸出 Q 以及輸入 A 與輸入 B 之間的關係就如同針對 XNOR 200 的圖 2B-2E 之狀態表所示。

當知如此處說明之 XNOR 200 電路與相關布局可藉由移除輸出反相器 217 而轉換成 XOR 電路與相關布局。在此轉換過的組態中，輸出節點 207 變成等同於節點 205，且輸出 Q 以及輸入 A 與輸入 B 之間的關係就如同針對 XOR 300 的圖 3B-3E 之狀態表所

示。

另外，雖然圖 2A 與 2F 的示範性實施例呈現下拉邏輯 270 係定義為使 NMOS 電晶體 216 的閘連接至第二輸入反相器 211 的輸出，且使 NMOS 電晶體 215 的閘連接至第一輸入反相器 210 的輸出，但當知可顛倒 NMOS 電晶體 215 與 216 之堆疊。具體來說，在一實施例中，下拉邏輯 270 係定義為使 NMOS 電晶體 216 的閘連接至第一輸入反相器 210 的輸出，且使 NMOS 電晶體 215 的閘連接至第二輸入反相器 211 的輸出。

限制閘層布局架構

如上述所提，本發明的 XOR 300 與 XNOR 200 電路可在半導體晶片的一部分中以限制閘層布局架構完成。閘層中，定義數個平行的虛擬線延伸橫越該布局。因為這些平行的虛擬線在布局中用以標示各個電晶體的閘極之佈置，所以稱作閘極軌道。在一實施例中，形成閘極軌道的平行虛擬線係由線間的垂直間隔定義，其與特定閘極間距(pitch)等長。因此，閘極段在閘極軌道上的佈置相應於特定閘極間距。在另一實施例中，閘極軌道係以大於或等於特定閘極間距之可變間距而分開。

圖 4A 係依照本發明的一實施例呈現閘極軌道 401A-401E 之實例，其係定義於限制閘層布局架構中。閘極軌道 401A-401E 係由平行虛擬線形成，其延伸橫越晶片的閘層布局，且具有與特定閘極間距 407 等長之線間的垂直間隔。為了說明起見，互補擴散區域 403 與 405 係呈現在圖 4A 中。當知擴散區域 403 與 405 係定義在閘層之下的擴散層中。並且，當知擴散區域 403 與 405 係藉由實例提供，並非限制性地代表關於限制閘層布局架構之擴散層中的擴散區域尺寸、形狀、以及/或是佈置。

在限制閘層布局架構中，定義閘層特徵布局通道在特定閘極軌道的附近，使其延伸介於與該特定閘極軌道相鄰的閘極軌道之間。舉例來說，閘層特徵布局通道 401A-1 至 401E-1 係個別定義在閘極軌道 401A 至 401E 的附近。當知各閘極軌道具有相應的閘

層特徵布局通道。並且，對於位在相鄰已定的布局空間邊緣(例如相鄰單元邊界)之閘極軌道，該相應閘層特徵布局通道以如同該已定的布局空間外側有虛擬閘極軌道一般延伸，如閘層特徵布局通道 401A-1 與 401E-1 所描繪。此外當知各閘層特徵布局通道係定義為沿其相應閘極軌道的整個長度延伸。所以，各閘層特徵布局通道係定義為在該閘層布局相關的晶片部分中，延伸橫越該閘層布局。

在限制閘層布局架構中，特定閘極軌道相關的閘層特徵係定義在該特定閘極軌道相關的閘層特徵布局通道中。連續閘層特徵可包括定義電晶體閘極的部分，以及未定義電晶體閘極的部份。所以，連續閘層特徵可延伸通過下層晶片層的擴散區域與介電區域。

在一實施例中，形成電晶體閘極的各閘層特徵部分係位於特定閘極軌道的實質中心上。此外，在此實施例中，未形成電晶體閘極的閘層特徵部分可位於特定閘極軌道相關的閘層特徵布局通道中。因此，特定閘層特徵基本上可定義在特定閘層特徵布局通道中的任何地方，只要特定閘層的閘極部分是位於相應特定閘層特徵布局通道的閘極軌道中心上，而且只要相對於鄰近的閘層布局通道中的其他閘層特徵，特定閘層特徵符合設計準則的間隔要求。另外，與鄰近閘極軌道相關的閘層特徵布局通道中所定義的閘層特徵之間禁止有實際接觸。

圖 4B 係依照本發明的一實施例，以定義於架構中之數個示範性閘層特徵 409-423 呈現圖 4A 的示範性限制閘層布局架構。閘層特徵 409 係定義在與閘極軌道 401A 相關的閘層特徵布局通道 401A-1 中。閘層特徵 409 的閘極部分係在閘極軌道 401A 的實質中心上。並且，閘層特徵 409 的非閘極部分與定義在鄰近的閘層特徵布局通道 401B-1 中的閘層特徵 411 與 413 保持設計準則的間距要求。相似地，閘層特徵 411-423 係定義在各自的閘層特徵布局通道中，並令其閘極部分在相應個別閘層特徵布局通道的閘極軌道之實質中心上。並且，當知各閘層特徵 411-423 與定義在鄰近的

閘層特徵布局通道中的閘層特徵保持設計準則的間距要求，並避免與定義在鄰近的閘層特徵布局通道中之其他任何閘層特徵有實際接觸。

閘極相應延伸通過擴散區域的各閘層特徵的一部分，其中各閘層特徵係定義其整體在閘層特徵布局通道中。各閘層特徵係定義在其閘層特徵布局通道中，而未與定義在鄰近的閘層特徵布局通道中的其他閘層特徵有實際接觸。如圖 4B 的閘層特徵布局通道 401A-1 至 401E-1 之實例所描繪，各閘層特徵布局通道與特定閘極軌道相關並對應於一布局區域，其沿該特定閘極軌道延伸，並從該特定閘極軌道之各個相對方向垂直向外延伸至最近的鄰近閘極軌道或布局邊界外側的虛擬閘極軌道。

某些閘層特徵可能具有一個以上的接觸頭部分，其定義在沿其長度的任何數量的位置上。定義特定閘層特徵的接觸頭部分作為閘層特徵段，其具有足夠尺寸的高度與寬度以容納閘接觸(gate contact)結構，其中「寬度」係定義為以特定閘層特徵的閘極軌道之垂直方向橫越基板，而其中「高度」係定義為以特定閘層特徵的閘極軌道之平行方向橫越基板。當知從上觀之時，閘層特徵的接觸頭本質上能以任何布局形狀定義，包括正方形或長方形。並且，根據布局要求與電路設計，閘層特徵的特定接觸頭部分可能或可能不具有以上定義的閘接觸。

如上討論，此處揭示的多個實施例之閘層係定義為限制閘層。某些閘層特徵形成電晶體元件的閘極。其他的閘層特徵可形成為在閘層中延伸於兩點之間的導電段。並且，其他的閘層特徵可能對於積體電路作業不具功能。當知無論其功能為何，各閘層特徵係定義為在其個別閘層特徵布局通道中延伸橫越該閘層，而與定義在鄰近的閘層特徵布局通道中之其他閘層特徵無實際接觸。

在一實施例中，閘層特徵係定義為提供有限數量的受控布局形狀對形狀之微影交互作用，其可準確預測並最適化製造與設計過程。在該實施例中，閘層特徵係定義以避免布局形狀-對-布局形

狀之空間關係，其會在布局中引起不良的微影交互作用，使其無法以高機率準確預測與減緩。然而，當知在微影交互作用為可預測與可管理時，可接受相應的閘層特徵布局通道中的閘層特徵方向改變。

無論其功能為何，當知各閘層特徵係定義為沒有任何閘層特徵會在未利用非閘層特徵下，配置成在閘層中沿著特定閘極軌道直接連接至沿不同閘極軌道定義的其他閘極特徵。再者，佈置在不同閘極軌道相關的不同閘層布局通道中的閘層特徵之間的各個連接為透過一個以上的非閘層特徵(可由較高的互連層定義)，即透過該閘層之上的一個以上之互連層，或是藉由在該閘層或閘層之下的局部互連特徵。

當知如此處揭示的 XOR 300 與 XNOR 200 電路與布局能以實體型式儲存，如電腦可讀取媒體中的數位格式。舉例來說，如此處揭示的 XOR 300 以及/或是 XNOR 200 電路之布局能以一個以上的單元(可從一個以上的公用程式(libraries)單元中選擇)儲存於布局資料檔案中。該布局檔案資料可格式化為 GDS II (圖形資料系統，Graphic Data System)資料庫資料、OASIS (開放原圖系統交換標準，Open Artwork System Interchange Standard)資料庫檔案、或是其他適合儲存與傳輸半導體裝置布局的資料檔案格式之型式。並且，XOR 300 以及/或是 XNOR 200 電路之多層布局能被包括在較大半導體元件的多層布局中。較大半導體元件的多層布局亦能以如上標明的布局資料檔案儲存。

並且，此處說明的本發明能以電腦可讀代碼收錄在電腦可讀取媒體中。舉例來說，電腦可讀代碼能包括儲存 XOR 300 以及/或是 XNOR 200 電路布局的布局資料檔案。電腦可讀代碼亦能包括程式指令，其用以選擇一個以上包括 XOR 300 以及/或是 XNOR 200 電路布局之布局公用程式以及/或是單元。該布局公用程式以及/或是單元亦能以數位格式儲存在電腦可讀取媒體中。

此處提及的電腦可讀取媒體為任何一種資料儲存元件，其能儲存之後由電腦系統讀取的資料。電腦可讀取媒體之實例包括硬

碟、網路附加儲存設備(NAS, network attached storage)、唯讀記憶體、隨機存取記憶體、CD-ROMs、CD-Rs、CD-RWs、磁帶、以及其他光學與非光學資料儲存元件。該電腦可讀取媒體亦能分散至多台電腦系統的網路，使得該電腦可讀代碼以分散方式儲存與執行。

此處說明形成本發明一部分的任一作業皆為有用的機器作業。本發明亦關於執行這些作業的元件或裝置。該裝置能為特定目的而專門建構，例如專用目的電腦。當定義為專用目的電腦時，該電腦亦能執行其他不屬專用目的部分之處理、程式執行或常用程式，而仍然能為專用目的運作。或者，該作業能藉由通用目的電腦處理，其由儲存在電腦記憶體、快取記憶體、或透過網路取得之一個以上的電腦程式而選擇性啟動或配置。當透過網路取得資料時，該資料可能藉由網路上的其他電腦處理，如雲端運算資源。

本發明實施例亦可定義為從一狀態轉換資料至另一狀態之機器。該資料可能代表一個項目(article)，其可由電子信號與電子操作資料作為代表。在某些情況下，轉換的資料能形象化地描繪在顯示器上，代表資料轉換結果之實際物件。轉換的資料能一般性地儲存在儲存裝置中，或是透過能建構或描繪實際且實體的物件之特定型式。在某些實施例中，該操作可藉由處理器執行。在此類實例中，該處理器依此從一物轉換資料至另一物。除此之外，該方法能以一台以上能透過網路連接的機器或處理器處理。各機器能從一狀態或一物轉換資料至另一個，且亦能處理資料、儲存資料至儲存裝置、透過網路傳送資料、顯示結果、或是傳輸結果至另一台機器。

進一步當知如此處揭示的 XOR 300 與 XNOR 200 電路與布局能以半導體元件或晶片的一部分來製造。在如積體電路、記憶單元等等的半導體元件之製造中，執行一連串的製造作業以定義在半導體晶圓上的特徵。該晶圓包括以多層結構型式定義在矽基板的積體電路元件。在基板層中形成含擴散區域的電晶體元件。在

後續層中，互連金屬線被圖形化並電氣連接至該電晶體元件以定義預期的積體電路元件。並且，圖形化的導體層以介電材料與其他導體層絕緣。

雖然已透過多個實施例說明本發明，然而應當知悉熟悉此技藝者將可藉由閱讀前述說明內容與研讀圖式而實現本發明的各種變化、新增、置換與等同者。因此，本發明意圖包括落在本發明的真實精神與範疇下的所有此類變化、新增、置換與等同者。

【圖式簡單說明】

圖 1A 呈現習知的 XOR 邏輯閘電路；

圖 1B-1E 呈現圖 1A 的習知 XOR 邏輯閘電路之狀態表；

圖 1F 係依照本發明的一實施例呈現習知 XOR 之布局；

圖 1G 係依照先前技術呈現反相器組態之實例；

圖 2A 係依照本發明的一實施例呈現 XNOR 邏輯閘電路；

圖 2B-2E 係依照本發明的一實施例呈現圖 2A 的 XNOR 邏輯閘電路之狀態表；

圖 2F 係依照本發明的一實施例呈現圖 2A 的 XNOR 邏輯閘電路之布局；

圖 3A 係依照本發明的一實施例呈現 XOR 邏輯閘電路；

圖 3B-3E 係依照本發明的一實施例呈現圖 3A 的 XOR 邏輯閘電路之狀態表；

圖 3F 係依照本發明的一實施例呈現圖 3A 的 XOR 邏輯閘電路之布局；

圖 4A 係依照本發明的一實施例呈現定義在限制閘層布局架構中的閘極軌道之實例；以及

圖 4B 係依照本發明的一實施例呈現圖 4A 的示範性限制閘層布局架構，其具有數個定義在其中的示範性閘層特徵。

【主要元件符號說明】

100　習知的 XOR 邏輯閘電路

101~105　節點
110、111　反相器
113、114、117、118、192　PMOS 電晶體
115、116、119、120、193　NMOS 電晶體
195、196　間隔
200　XNOR 邏輯閘電路
201~207　節點
210、211、217　反相器
212、213、210P、211P、217P　PMOS 電晶體
214、215、216　、210N、211N、211P　NNOS 電晶體
210G、211G、217G、281G、282G、283G　連續閘極結構
280~285　閘極軌道
250　傳輸閘
260　通道閘
270　下拉邏輯
300　XOR 邏輯閘電路
301~307　節點
310、311、317　反相器
314、315、316　、310P、311P、317P　PMOS 電晶體
312、313、310N、311N、317N　NMOS 電晶體
310G、311G、317G、381G、382G　連續閘極結構
380-385　閘極軌道
350　傳輸閘
360　通過閘
370　上拉邏輯
403、405　擴散區域
401A~401E　閘極軌道
401A-1~401E-1　閘層特徵布局通道
407　閘極間距
409、411、413、415、417、419、421、423　閘層特徵

A、B　輸入

Q　輸出

GND　參考接地電位

VDD　電源供應

M1、M2　互連結構

公告本

發明專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※ 申請案號： 99113899

※ 申請日： 99. 4. 30　　※IPC 分類： G06F 17/50 (2006.01)
H01L 27/04 (2006.01)

一、發明名稱：（中文/英文）

XOR 與 XNOR 邏輯電路及布局/ CIRCUITRY AND LAYOUTS FOR XOR AND XNOR LOGIC

二、中文發明摘要：

一種互斥或電路包括由第二輸入節點控制的通道閘。當該通道閘受此控制時，其係連接以通過在第一輸入節點的邏輯狀態型式至一輸出節點。一傳輸閘由第一輸入節點控制。當該傳輸閘受此控制時，其係連接以通過在第二輸入節點的邏輯狀態型式至該輸出節點。上拉邏輯由第一與第二輸入節點共同控制。當第一與第二輸入節點皆為高，該上拉邏輯係連接以驅使該輸出節點為低。一種反互斥或電路係定義為相似該互斥或電路，僅不同於該上拉邏輯替換為下拉邏輯，當第一與第二輸入節點皆為高，該下拉邏輯係連接以驅使該輸出節點為高。

三、英文發明摘要：

An exclusive-or circuit includes a pass gate controlled by a second input node. The pass gate is connected to pass through a version of a logic state present at a first input node to an output node when so controlled. A transmission gate is controlled by the first input node. The transmission gate is connected to pass through a version of the logic state present at the second input node to the output node when so controlled. Pullup logic is controlled by both the first and second input nodes. The pullup logic is connected to drive the output node low when both the first and second input nodes are high. An

exclusive-nor circuit is defined similar to the exclusive-or circuit, except that the pullup logic is replaced by pulldown logic which is connected to drive the output node high when both the first and second input nodes are high.

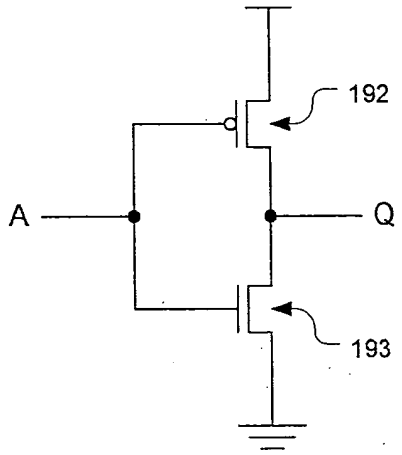

圖 1G

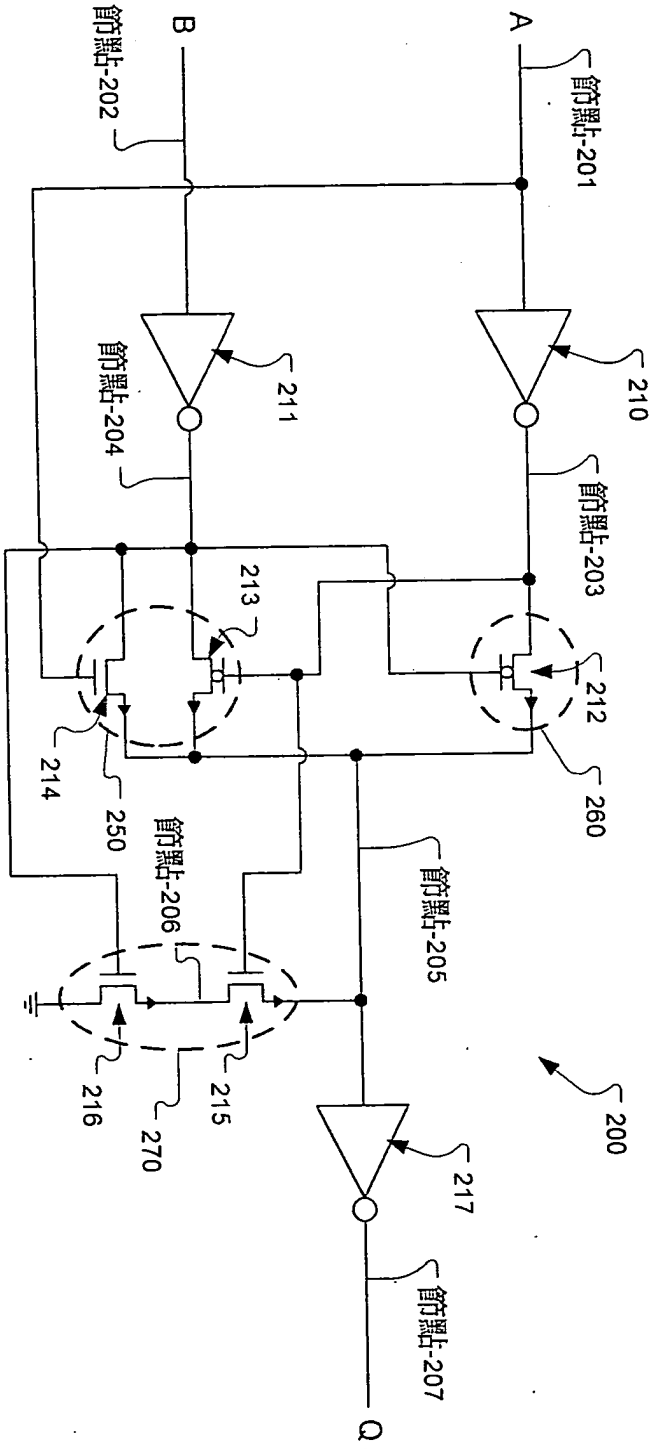
A
節點-201
210
節點-203
212
260
B
節點-202
211
節點-204
213
214
250
節點-205
節點-206
215
216
270
217
200
節點-207
Q

圖 2A

A (節點-201)	0
B (節點-202)	0
Q (節點-207)	1
節點-203	1
節點-204	1
節點-205	0
節點-206	0

圖 2B

A (節點-201)	0
B (節點-202)	1
Q (節點-207)	0
節點-203	1
節點-204	0
節點-205	1
節點-206	1

圖 2C

A (節點-201)	1
B (節點-202)	0
Q (節點-207)	0
節點-203	0
節點-204	1
節點-205	1
節點-206	0

圖 2D

A (節點-201)	1
B (節點-202)	1
Q (節點-207)	1
節點-203	0
節點-204	0
節點-205	0
節點-206	0

圖 2E

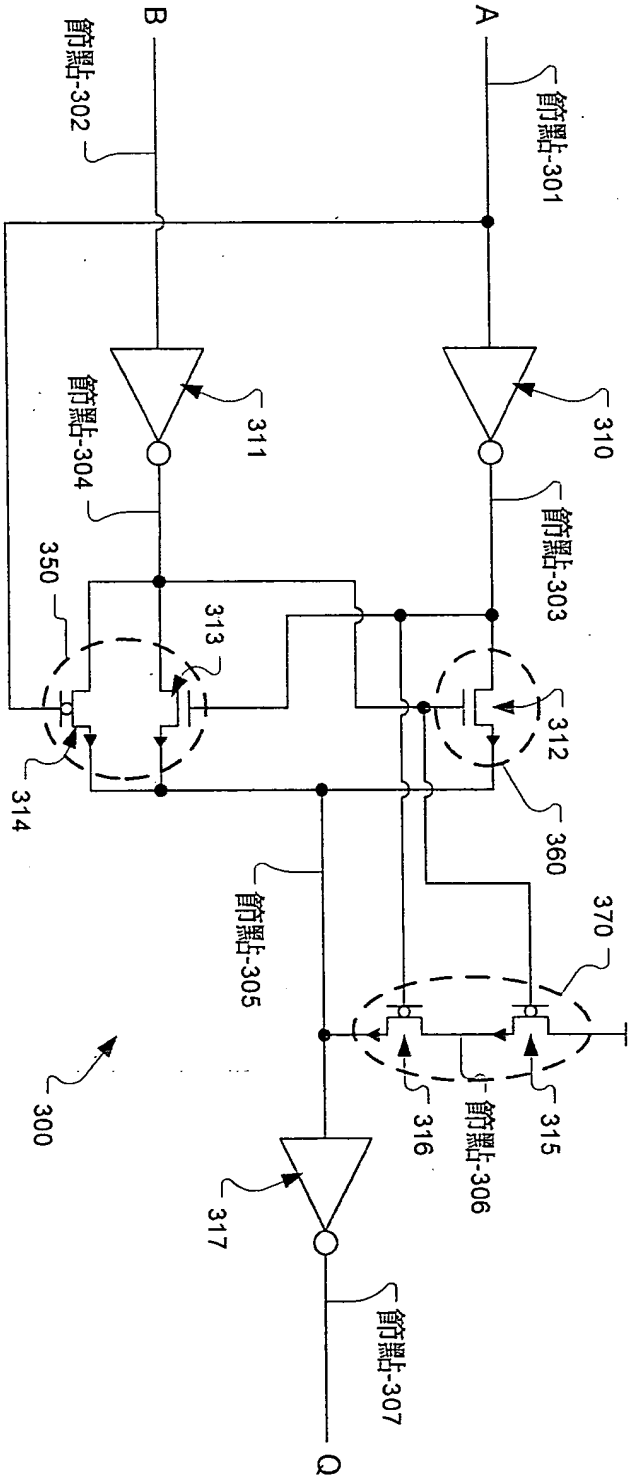
A
B
Q
節點-301
節點-302
節點-303
節點-304
節點-305
節點-306
節點-307
310
311
312
313
314
315
316
317
300
350
360
370

圖 3A

A (節點-301)	0
B (節點-302)	0
Q (節點-307)	0
節點-303	1
節點-304	1
節點-305	1
節點-306	0

圖 3B

A (節點-301)	0
B (節點-302)	1
Q (節點-307)	1
節點-303	1
節點-304	0
節點-305	0
節點-306	1

圖 3C

A (節點-301)	1
B (節點-302)	0
Q (節點-307)	1
節點-303	0
節點-304	1
節點-305	0
節點-306	0

圖 3D

A (節點-301)	1
B (節點-302)	1
Q (節點-307)	0
節點-303	0
節點-304	0
節點-305	1
節點-306	1

圖 3E

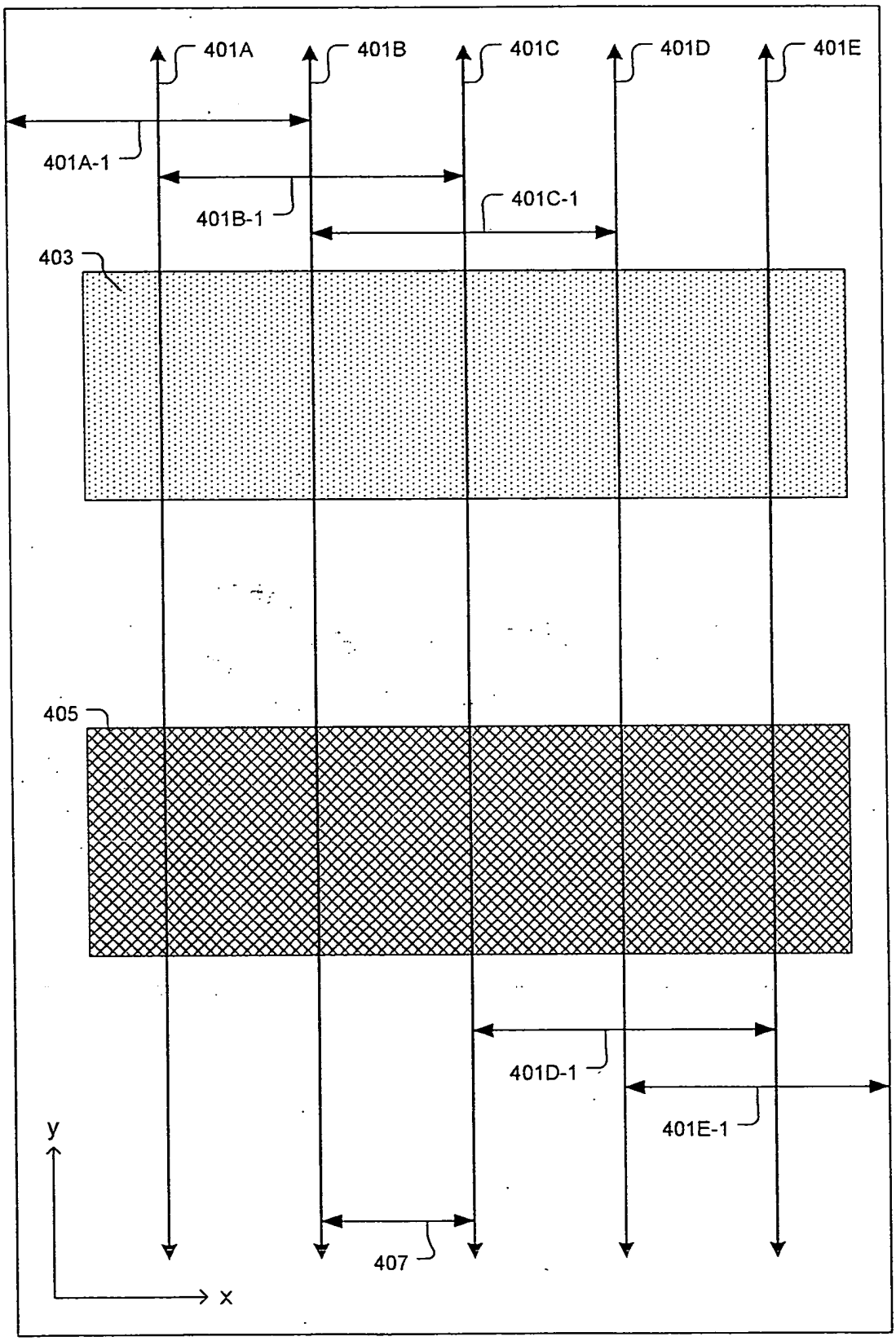
401A
401B
401C
401D
401E
401A-1
401B-1
401C-1
403
405
401D-1
401E-1
407
y
x

圖 4A

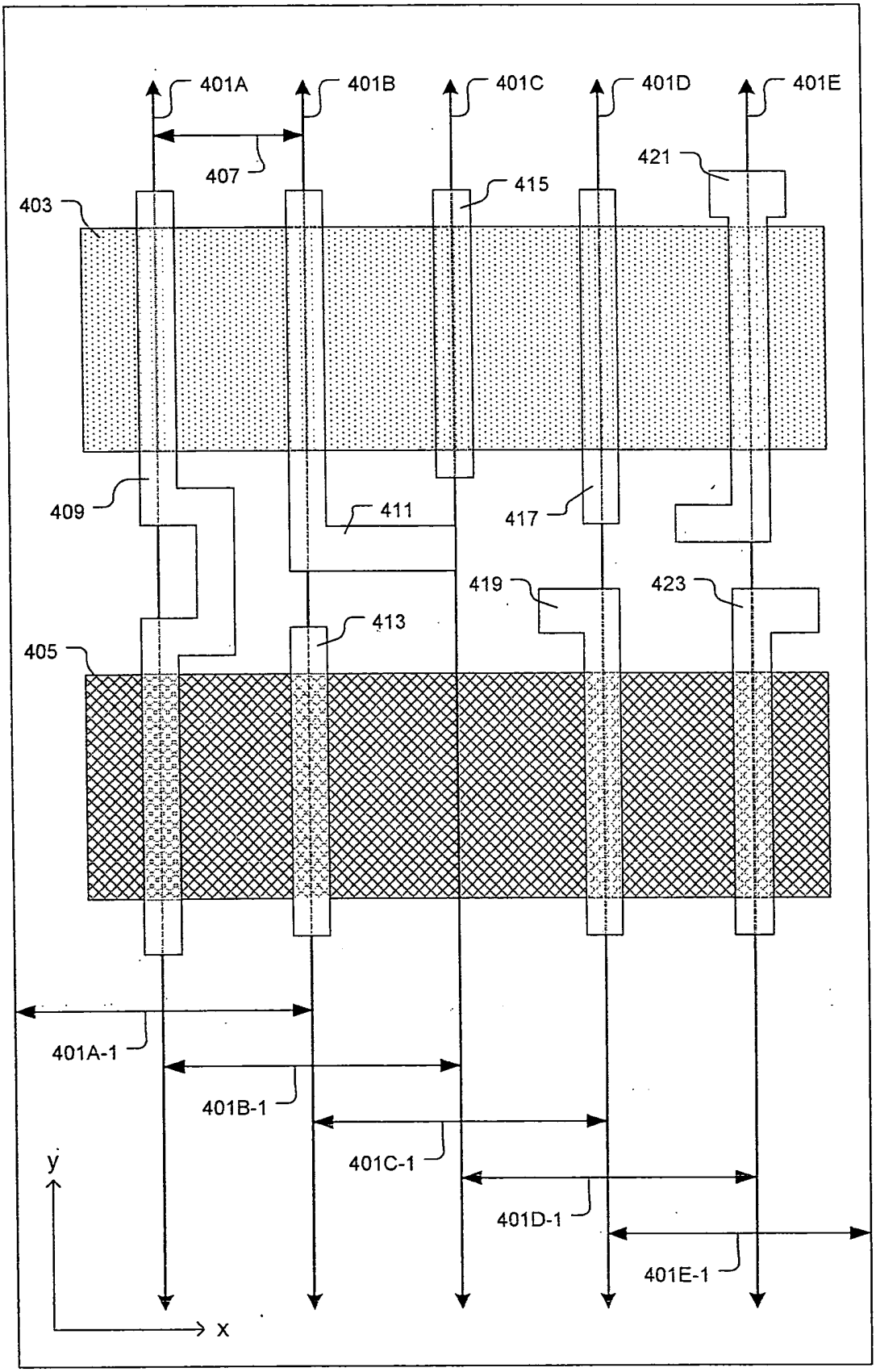
401A
401B
401C
401D
401E
407
421
415
403
409
411
417
419
423
413
405
401A-1
401B-1
401C-1
401D-1
401E-1
y
x

圖 4B

四、指定代表圖：

(一)本案指定代表圖為：第（ 3A ）圖。

(二)本代表圖之元件符號簡單說明：

300 XOR 邏輯閘電路

301~307 節點

310、311、317 反相器

314、315、316 、310P、311P、317P PMOS 電晶體

312、313、310N、311N、317N NMOS 電晶體

310G、311G、317G、381G、382G 連續閘極結構

380-385 閘極軌道

350 傳輸閘

360 通過閘

370 上拉邏輯

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

104 年 7 月 15 日修正替換頁
99113899 (無劃線)

七、申請專利範圍：

1. 一種互斥或(exclusive-or)邏輯電路，包含：

一第一輸入反相器，其具有連接至第一輸入節點之輸入；

一第二輸入反相器，其具有連接至第二輸入節點之輸入；

一輸出反相器，其具有連接至一輸出節點之輸出；

一通道閘，其連接以由在該第二輸入節點的邏輯狀態控制，當該通道閘由在該第二輸入節點的邏輯狀態控制而傳送時，其連接以通過在該第一輸入節點的邏輯狀態型式至該輸出節點，該通道閘係由第一 NMOS 電晶體所定義，該第一 NMOS 電晶體具有連接至該第一輸入反相器之輸出的第一擴散端，該第一 NMOS 電晶體具有連接至該輸出反相器之輸入的第二擴散端，該第一 NMOS 電晶體具有連接至該第二輸入反相器之輸出的閘極電極；

一傳輸閘，其連接以由在該第一輸入節點的邏輯狀態控制，當該傳輸閘由在該第一輸入節點的邏輯狀態控制而傳送時，其連接以通過在該第二輸入節點的邏輯狀態型式至該輸出節點，該傳輸閘係由第二 NMOS 電晶體及第一 PMOS 電晶體所定義，該第二 NMOS 電晶體具有連接至該第二輸入反相器之輸出的第一擴散端，該第二 NMOS 電晶體具有連接至該輸出反相器之輸入的第二擴散端，該第二 NMOS 電晶體具有連接至該第一輸入反相器之輸出的閘極電極，該第一 PMOS 電晶體具有連接至該第二輸入反相器之輸出的第一擴散端，該第一 PMOS 電晶體具有連接至該輸出反相器之輸入的第二擴散端，該第一 PMOS 電晶體具有連接至該第一輸入節點的閘極電極；以及

上拉邏輯，其連接以由在該第一輸入節點的邏輯狀態與在該第二輸入節點的邏輯狀態共同控制，當在該第一輸入節點的邏輯狀態與在該第二輸入節點的邏輯狀態兩者皆為高時，該上拉邏輯係連接以驅使在該輸出節點的狀態為低，該上拉邏輯係由第二 PMOS 電晶體及第三 PMOS 電晶體所定義，該第二 PMOS 電晶體具有連接至電源供應的第一擴散端，該第二 PMOS 電晶體具有連接至該第三 PMOS 電晶體之第一擴散端的第二擴散端，該第三

PMOS 電晶體具有連接至該輸出反相器之輸入的第二擴散端，並且該第二 PMOS 電晶體具有連接至該第二輸入反相器之輸出的閘極電極而該第三 PMOS 電晶體具有連接至該第一輸入反相器之輸出的閘極電極、或者該第二 PMOS 電晶體具有連接至該第一輸入反相器之輸出的閘極電極而該第三 PMOS 電晶體具有連接至該第二輸入反相器之輸出的閘極電極。

2. 如申請專利範圍第1項所述之互斥或邏輯電路，其中當該第二輸入節點的邏輯狀態為低時，該第一NMOS電晶體係連接而傳送以使該輸出節點的邏輯狀態符合該第一輸入節點的邏輯狀態。

3. 如申請專利範圍第1項所述之互斥或邏輯電路，其中當該第一輸入節點的邏輯狀態為低時，該第一PMOS電晶體與該第二NMOS電晶體兩者皆連接而傳送以使該輸出節點的邏輯狀態符合該第二輸入節點的邏輯狀態。

4. 如申請專利範圍第1項所述之互斥或邏輯電路，其中當該第一輸入節點與該第二輸入節點的邏輯狀態兩者皆為高時，該第二PMOS電晶體與該第三PMOS電晶體兩者皆連接而傳送以使該輸出節點的邏輯狀態被驅使為低。

5. 如申請專利範圍第1項所述之互斥或邏輯電路，其中該互斥或邏輯電路係定義在一半導體晶片中。

6. 一種互斥或邏輯電路布局，包含：

六個 PMOS 電晶體；以及

五個 NMOS 電晶體，

其中該五個NMOS 電晶體係與該六個PMOS 電晶體中的五個分別配對，致使各對 NMOS 與 PMOS 電晶體係定義以共享沿著五個閘極軌道中的一個分別佈置之連續閘極結構，

其中該六個 PMOS 電晶體中的第六個由沿著第六閘極軌道佈置之閘極結構定義，致使第六 PMOS 電晶體不與該互斥或邏輯電路布局中的另一個電晶體共享第六閘極軌道，以及

其中該六個閘極軌道係定向為彼此互相平行。

7. 如申請專利範圍第6項所述之互斥或邏輯電路布局，其中該互斥或邏輯電路布局不具有在其間包含一端點對端點間隔之共線佈置閘極。

8. 如申請專利範圍第6項所述之互斥或邏輯電路布局，其中各閘極結構係定義為一線形結構，當以如繪製狀態觀之，該結構具有實質上為長方形的橫剖面。

9. 如申請專利範圍第6項所述之互斥或邏輯電路布局，其中該六個閘極軌道為等距分開。

10. 如申請專利範圍第6項所述之互斥或邏輯電路布局，其中該互斥或邏輯電路係布局以數位格式記錄在電腦可讀取媒體中。

11. 如申請專利範圍第10項所述之互斥或邏輯電路布局，其中該數位格式為用以儲存與傳輸一個以上的半導體元件布局之資料檔案格式。

12. 如申請專利範圍第10項所述之互斥或邏輯電路布局，其中該電腦可讀取媒體包括用以從該電腦可讀取媒體存取與檢索該數位格式的互斥或邏輯電路布局之程式指令。

13. 如申請專利範圍第12項所述之互斥或邏輯電路布局，其中用以存取與檢索的程式指令包括用以選擇包含該數位格式的互斥或邏

輯電路布局之公用程式、單元、或公用程式與單元兩者的程式指令。

14. 一種反互斥或(exclusive-nor)邏輯電路，包含：

一第一輸入反相器，其具有連接至第一輸入節點之輸入；

一第二輸入反相器，其具有連接至第二輸入節點之輸入；

一輸出反相器，其具有連接至一輸出節點之輸出；

一通道閘，其連接以由在該第二輸入節點的邏輯狀態控制，當該通道閘由在該第二輸入節點的邏輯狀態控制而傳送時，其連接以通過在該第一輸入節點的邏輯狀態型式至該輸出節點，該通道閘係由第一 PMOS 電晶體所定義，該第一 PMOS 電晶體具有連接至該第一輸入反相器之輸出的第一擴散端，該第一 PMOS 電晶體具有連接至該輸出反相器之輸入的第二擴散端，該第一 PMOS 電晶體具有連接至該第二輸入反相器之輸出的閘極電極；

一傳輸閘，其連接以由在該第一輸入節點的邏輯狀態控制，當該傳輸閘由在該第一輸入節點的邏輯狀態控制而傳送時，其連接以通過在該第二輸入節點的邏輯狀態型式至該輸出節點，該傳輸閘係由第二 PMOS 電晶體及第一 NMOS 電晶體所定義，該第二 PMOS 電晶體具有連接至該第二輸入反相器之輸出的第一擴散端，該第二 PMOS 電晶體具有連接至該輸出反相器之輸入的第二擴散端，該第二 PMOS 電晶體具有連接至該第一輸入反相器之輸出的閘極電極，該第一 NMOS 電晶體具有連接至該第二輸入反相器之輸出的第一擴散端，該第一 NMOS 電晶體具有連接至該輸出反相器之輸入的第二擴散端，該第一 NMOS 電晶體具有連接至該第一輸入節點的閘極電極；以及

下拉邏輯，其連接以由在該第一輸入節點的邏輯狀態與在該第二輸入節點的邏輯狀態共同控制，當在該第一輸入節點的邏輯狀態與在該第二輸入節點的邏輯狀態兩者皆為低時，該下拉邏輯係連接以驅使在該輸出節點的狀態為高，該下拉邏輯係由第二 NMOS 電晶體及第三 NMOS 電晶體所定義，該第二 NMOS 電晶

體具有連接至參考接地電位的第一擴散端，該第二 NMOS 電晶體具有連接至該第三 NMOS 電晶體之第一擴散端的第二擴散端，該第三 NMOS 電晶體具有連接至該輸出反相器之輸入的第二擴散端，並且該第二 NMOS 電晶體具有連接至該第二輸入反相器之輸出的閘極電極而該第三 NMOS 電晶體具有連接至該第一輸入反相器之輸出的閘極電極、或者該第二 NMOS 電晶體具有連接至該第一輸入反相器之輸出的閘極電極而該第三 NMOS 電晶體具有連接至該第二輸入反相器之輸出的閘極電極。

15. 如申請專利範圍第14項所述之反互斥或邏輯電路，其中當該第二輸入節點的邏輯狀態為高時，該第一PMOS電晶體係連接而傳送以使該輸出節點的邏輯狀態符合該第一輸入節點的邏輯狀態。

16. 如申請專利範圍第14項所述之反互斥或邏輯電路，其中當該第一輸入節點的邏輯狀態為高時，該第一NMOS電晶體與該第二PMOS電晶體兩者皆連接而傳送以使該輸出節點的邏輯狀態符合該第二輸入節點的邏輯狀態。

17. 如申請專利範圍第14項所述之反互斥或邏輯電路，其中當該第一輸入節點與該第二輸入節點的邏輯狀態皆為低時，該第二NMOS電晶體與該第三NMOS電晶體兩者係連接而傳送以使該輸出節點的邏輯狀態被驅使為高。

18. 如申請專利範圍第14項所述之反互斥或邏輯電路，其中該反互斥或邏輯電路係定義在一半導體晶片中。

19. 一種反互斥或邏輯電路布局，包含：

五個 PMOS 電晶體；以及

六個 NMOS 電晶體，

其中該五個PMOS 電晶體係與該六個NMOS 電晶體中的五個

分別配對，致使各對 PMOS 與 NMOS 電晶體係定義以共享沿著五個閘極軌道中的一個分別佈置之連續閘極結構，

其中該六個 NMOS 電晶體中的第六個由沿著第六閘極軌道佈置之閘極結構定義，致使第六 NMOS 電晶體不與該反互斥或邏輯電路布局中的另一個電晶體共享第六閘極軌道，以及

其中該六個閘極軌道係定向為彼此互相平行。

20. 如申請專利範圍第19項所述之反互斥或邏輯電路布局，其中該反互斥或邏輯電路布局不具有在其間包含一端點對端點間隔之共線佈置閘極。

21. 如申請專利範圍第19項所述之反互斥或邏輯電路布局，其中各閘極結構係定義為一線形結構，當以如繪製狀態觀之，該結構具有實質上為長方形的橫剖面。

22. 如申請專利範圍第19項所述之反互斥或邏輯電路布局，其中該六個閘極軌道為等距分開。

23. 如申請專利範圍第19項所述之反互斥或邏輯電路布局，其中該反互斥或邏輯電路布局係以數位格式記錄在電腦可讀取媒體中。

24. 如申請專利範圍第23項所述之反互斥或邏輯電路布局，其中該數位格式為用以儲存與傳輸一個以上的半導體元件布局之資料檔案格式。

25. 如申請專利範圍第23項所述之反互斥或邏輯電路布局，其中該電腦可讀取媒體包括用以從該電腦可讀取媒體存取與檢索該數位格式的反互斥或邏輯電路布局之程式指令。

26. 如申請專利範圍第 25 項所述之反互斥或邏輯電路布局，其中

104 年 7 月 15 日修正替換頁
99113899 (無劃線)

用以存取與檢索的程式指令包括用以選擇包含該數位格式的反互斥或邏輯電路布局之公用程式、單元、或公用程式與單元兩者的程式指令。

八、圖式：

99年8月26日修正~~割線~~頁(本)

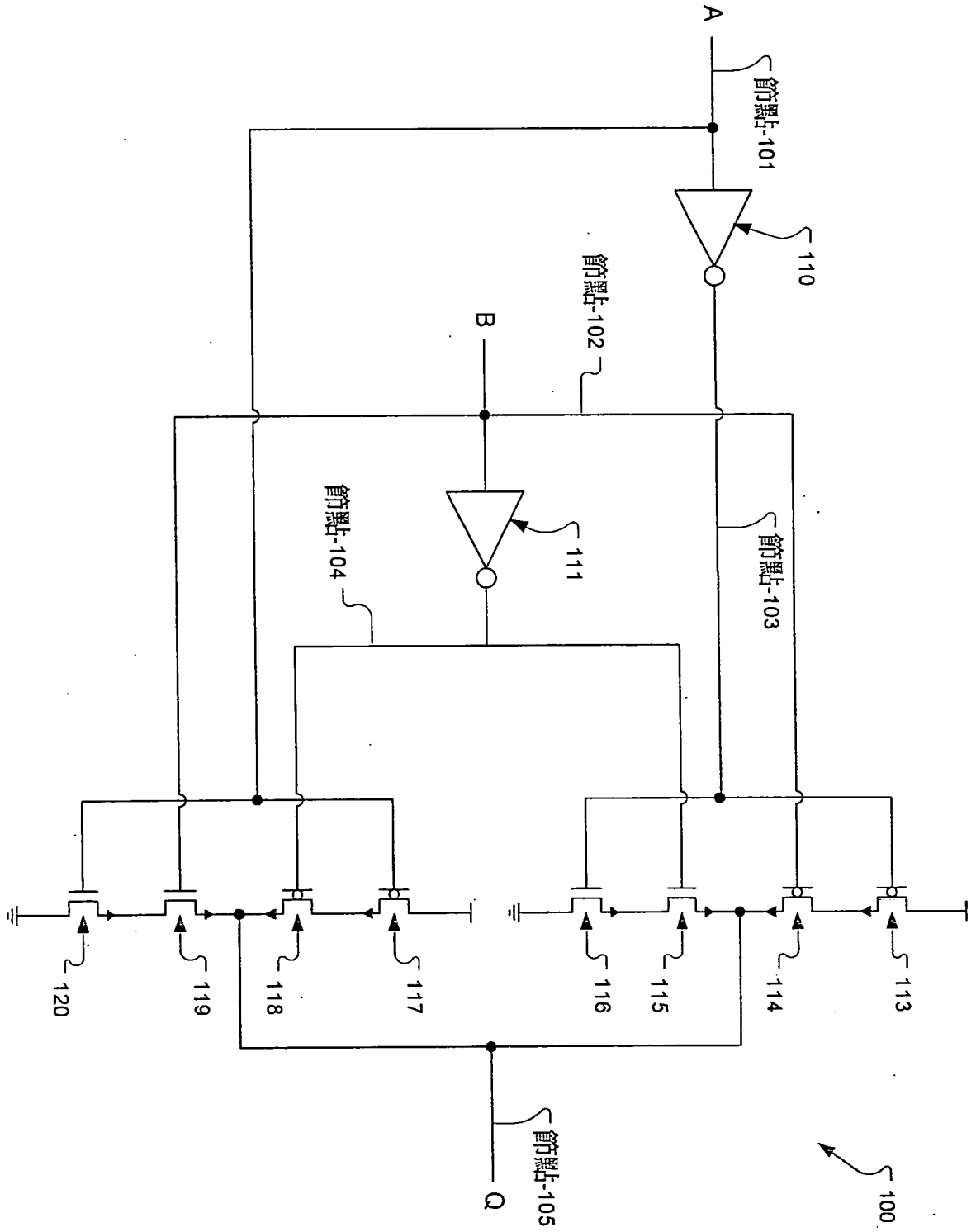

圖 1A

99年8月26日修正劃線頁(本)

A (節點-101)	0
B (節點-102)	0
Q (節點-105)	0
節點-103	1
節點-104	1

圖 1B

A (節點-101)	0
B (節點-102)	1
Q (節點-105)	1
節點-103	1
節點-104	0

圖 1C

A (節點-101)	1
B (節點-102)	0
Q (節點-105)	1
節點-103	0
節點-104	1

圖 1D

A (節點-101)	1
B (節點-102)	1
Q (節點-105)	0
節點-103	0
節點-104	0

圖 1E