[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 12/16 (2006.01)
G06F 12/00 (2006.01)
G11C 16/02 (2006.01)

[12] 发明专利申请公布说明书

[21] 申请号 200980000129.X

[43] 公开日 2010 年 3 月 24 日

[11] 公开号 CN 101681311A

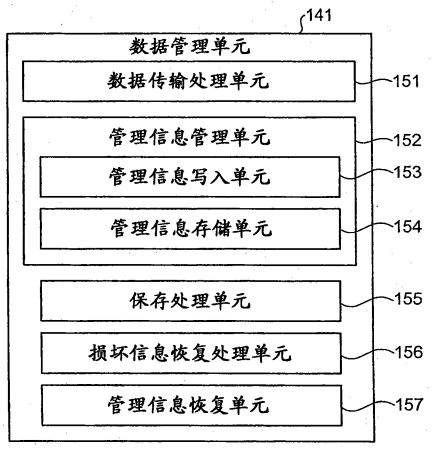
[22] 申请日 2009.2.10
[21] 申请号 200980000129.X
[30] 优先权
[32] 2008. 2.28 [33] JP [31] 048799/2008
[86] 国际申请 PCT/JP2009/052588 2009.2.10
[87] 国际公布 WO2009/107505 英 2009.9.3
[85] 进入国家阶段日期 2009.8.28
[71] 申请人 株式会社东芝
地址 日本东京都
[72] 发明人 矢野纯二 松崎秀则 初田幸辅
[74] 专利代理机构 北京市中咨律师事务所
代理人 杨晓光 于 静
权利要求书 4 页 说明书 22 页 附图 14 页

[54] 发明名称

存储器系统

[57] 摘要

一种存储器系统包括易失性第一存储单元、设置有多个能够存储多值数据的存储器基元的非易失性第二存储单元，该存储器基元具有多个页，还包括在主机设备和第二存储单元之间利用第一存储单元进行数据传输的控制器。 该控制器包括保存处理单元和损坏信息恢复处理单元，在数据以一次写入方式被写入第二存储单元之前，当数据被写入和被写入了数据的页相同的存储器单元的低阶页时，该保存处理单元备份该低阶页的数据；并且当该低阶页的数据损坏时，该损坏信息恢复处理单元使用所述备份数据恢复所述损坏数据。



1. 一种存储器系统，包括:

易失性第一存储单元;

非易失性第二存储单元，其中设置有多个能够存储多值数据的存储器基元，所述存储器基元具有多个页；以及

控制器，其在主机设备和所述第二存储单元之间通过所述第一存储单元来执行数据传输，将包括在所述存储器系统的启动操作期间存储在所述第二存储单元的数据的存储位置的管理信息存储在所述第一存储单元，并且在更新存储的管理信息的同时，基于所述存储的管理信息在所述第一和第二存储单元中执行数据管理，所述控制器包括:

保存处理单元，在将数据以一次写入方式写入所述第二存储单元之前，如果数据已经写入了其存储器基元与被写入数据的页的存储器基元相同的低阶页，则所述保存处理单元将所述低阶页的数据备份；以及

损坏信息恢复处理单元，当所述低阶页中的数据被损坏时，所述损坏信息恢复处理单元使用由所述保存处理单元备份的所述数据恢复被损坏的数据。

2. 根据权利要求 1 所述的存储器系统，其中所述保存处理单元基于页位置信息确定数据是否已经写入了其存储器基元与被写入数据的页的存储器基元相同的低阶页，所述页位置信息表明了在为同一个存储器基元设定的不同页之间的关系。

3. 根据权利要求 1 所述的存储器系统，其中所述保存处理单元将已被写入的数据中的可能被损坏的数据备份到所述第二存储单元的保存区。

4. 根据权利要求 3 所述的存储器系统，进一步包括:

管理信息存储单元，当所述存储器系统满足预定条件时，所述管理信息存储单元将存储在所述第一存储单元中的管理信息存储在所述第二存储单元作为管理信息存储信息；和

管理信息恢复单元，在所述存储器系统的启动操作期间，所述管理信

息恢复单元在所述第一存储单元中恢复存储在所述第二存储单元的所述管理信息存储信息中的最新管理信息。

5. 根据权利要求 4 所述的存储器系统，其中

所述管理信息存储信息包括:

作为所述管理信息在特定点的内容的快照，

日志，作为当在所述管理信息的内容中由于写入了一次写入数据而存在改变时在所述内容改变后的管理信息与所述快照之间的差异信息，或，所述改变之后的所述管理信息和所述快照之间的差异以及已经产生的日志，和

指针，表明所述快照和首先获取的关于所述快照的日志在所述第二存储单元的存储位置，并且

所述管理信息恢复单元，在所述存储器系统的启动操作期间，使用所述管理信息存储信息中的最新快照，或者如果在所述快照中有日志就使用该日志，或者如果有一次写入数据被写入所述保存区则使用该一次写入数据以恢复所述第一存储单元中的所述管理信息。

6. 根据权利要求 5 所述的存储器系统，其中

所述日志包括在写入一次写入数据之前存储的前日志和在写入一次写入数据之后存储的后日志，以及

所述管理信息恢复单元使用所述前日志和所述后日志中的任一个来恢复所述管理信息。

7. 根据权利要求 6 所述的存储器系统，其中，当从所生成的关于参考快照的各个前日志的第一个的写入位置到最后的写入位置的页的数量与从各个后日志的第一个的写入位置到最终的写入位置的页的数量相同时，所述管理信息恢复单元使用所述管理信息存储信息中的最新的快照来恢复所述第一存储单元中的所述管理信息。

8. 根据权利要求 6 所述的存储器系统，其中，

当从所生成的关于参考快照的各个前日志的第一个的写入位置到最后的写入位置的页的数量与从各个后日志的第一个的写入位置到最终的写入

位置的页的数量不同时，并且

在所述后日志写入期间发生了短中断或程序中止时，

所述管理信息恢复单元使用所述管理信息存储信息中的最新快照和为所述快照存储的所有前日志来恢复所述第一存储单元中的所述管理信息。

9. 根据权利要求 6 所述的存储器系统，其中，

当从所生成的关于参考快照的各个前日志的第一个的写入位置到最后的写入位置的页的数量与从各个后日志的第一个的写入位置到最终的写入位置的页的数量不同时，并且

在从写入前日志到一次写入数据的写入结束的时间跨度内发生了短中断或程序中止，

所述管理信息恢复单元使用所述管理信息存储信息中的最新快照和为所述快照正常存储的所有后日志来恢复第一存储单元中的管理信息。

10. 根据权利要求 9 所述的存储器系统，其中，

所述第二存储单元具有一次写入区和非一次写入区，在所述一次写入区中数据以一次写入方式被写入，在所述非一次写入区中数据以一个或预定数量的物理块为单位全体地被写入，并且

所述损坏信息恢复处理单元根据出现或不出现以一次写入方式被写入所述一次写入区和所述非一次写入区的数据来执行对所述一次写入区的数据的恢复处理。

11. 根据权利要求 10 所述的存储器系统，其中，

当没有数据以一次写入方式被写入保存区，并且有数据以一次写入方式被写入一次写入区时，所述损坏信息恢复处理单元确定在进行一次写入处理以写入低阶页期间发生了短中断或程序错误，并执行处理以使其中出现了以一次写入方式被写入的数据的页无效，或将其中出现了以一次写入方式被写入的数据的块的有效页复制到另一块。

12. 根据权利要求 10 所述的存储器系统，其中，当没有数据以一次写入方式被写入所述保存区并且也没有数据以一次写入方式被写入所述一次写入区时，所述损坏信息恢复处理单元不执行对所述数据的恢复处理。

13. 根据权利要求 10 所述的存储器系统，当有数据以一次写入方式被写入所述保存区并且也有数据以一次写入方式被写入所述一次写入区时，所述损坏信息恢复处理单元使用在所述保存区备份的数据执行处理以恢复所述一次写入区中的损坏页，并将所述页复制到另一个块。

14. 根据权利要求 10 所述的存储器系统，其中当有数据以一次写入方式被写入所述保存区并且没有数据以一次写入方式被写入所述一次写入区时，所述损坏信息恢复处理单元不执行对所述数据的恢复处理。

15. 根据权利要求 1 所述的存储器系统，其中

所述第一存储单元是 DRAM，并且

所述第二存储单元是 NAND 闪存。

存储器系统

技术领域

本发明涉及使用非易失性半导体存储器装置的存储器系统。

背景技术

一些个人计算机（PC）使用硬盘装置作为次级存储装置。在这些 PC 中，已知的技术是将已经存储在硬盘装置上的数据做备份以防止由于一些故障而使数据失效。例如，当探测到在硬盘装置上改变数据的行为时，在发生数据改变之前产生作为数据的备份的快照（snapshot），和产生关于数据改变的日志。然后，在每个预定的时间重复进行以下的处理，生成新的快照，在生成新的快照之前使以前生成的快照无效，并生成新的日志（参见，美国专利申请公开 No. 2006/0224636）。在由于某种原因数据变得无效的情况下，可以通过参考快照和日志来恢复数据。

最近几年，作为非易失性半导体存储器装置的 NAND 闪速存储器的容量以急剧地增大。结果，包含具有 NAND 闪速存储器作为次级存储装置的存储器系统的 PC 已进入实际应用。

但是，与将具有硬盘装置作为次级存储装置的个人计算机中存储的数据作备份的情况不同，在美国专利申请公开 No. 2006/0224636 中公开的技术不能应用于对具有 NAND 闪速存储器作为次级存储装置的个人计算机中存储的数据进行备份。这是因为，为了增加 NAND 闪速存储器的容量，采用了多值存储技术，该技术能够在一个存储器基元中存储等于或大于 2 位的多个数据（多值数据）。

配置成多值存储器的存储器基元中的场效应晶体管具有叠栅结构（stacked gate structure），其中栅极绝缘膜、浮置栅极电极、栅极间绝缘

膜以及控制栅极电极按顺序层叠在沟道区，并且能够根据累积在浮置栅极电极的电子的数量来设定多个阈值电压。为了能够基于多个阈值电压进行多值存储，需要使对应于一个数据的阈值电压的分布极其的窄。

例如，作为能够存储多 4 个值的多值存储器，存在这样的存储器，其在一个存储器基元中包括低阶页（lower order page）和高阶页（higher order page），并通过在各页中写入 1 位数据来存储 2 位（4 个值）的数据。在这样的多值存储器中写入数据的方法中，在数据被写入第一存储器基元的低阶页后，将数据写入与该第一存储器基元相邻的存储器基元（第二存储器基元）的低阶页。在数据被写入该相邻的存储器基元后，将数据写入第一存储器基元的高阶页（参见，例如，JP-A 2004-192789（KOKAI））。

然而，在这样的多值存储器中，较早地写入了数据的第一存储器基元的阈值由于与第一存储器基元相邻的第二存储器基元的阈值电压而波动，在该第二存储器基元中的数据的写入时间较晚。因此，在该多值存储器中，容易发生低阶页崩溃，其中在某个存储器基元的高阶页写入数据时，由于例如某种原因，例如，非正常断电（以下称作短中断（short break）），写入被中断，那么在先前写入了数据的低阶页中的数据也被损坏。

所以，如美国专利 2006/0224636 所述，在具有 NAND 闪速存储器作为次级存储装置的个人计算机中，例如，在某个存储器基元的高阶页写入日志的同时，当由于短中断而发生低阶页数据的损坏时，就出现了这样的问题，即，不仅当前正在被写入的数据被损坏，甚至正在被写入数据的该存储器基元的低阶页的数据也被损坏，并且该数据不能被恢复。换句话说，采用美国专利 2006/0224636 所述的为具有包含 NAND 闪速存储器作为次级存储器装置的存储器系统的个人计算机进行备份的方法，不足以将个人计算机的状态恢复到短中断之前的状态。

尤其是，在传统的方法中，当在某个存储器晶体管的高阶页中进行写入期间发生短中断后，在下次启动存储器系统时，该存储器系统的状态不能够被重置到短中断发生之前的最后状态。将存储器恢复到发生短中断时的最后状态的处理还没有被提出。

发明内容

根据本发明一个实施方式的存储器系统包括：易失性第一存储单元；非易失性第二存储单元，其中设置了能够存储多值数据的多个存储器基元，该存储器基元具有多个页；以及控制器，其通过第一存储单元执行在主机设备和第二存储单元之间的数据传输，在第一存储单元中存储包括在该存储器系统的启动（startup）操作期间在第二存储单元存储的数据的存储位置的管理信息，并在更新存储的管理信息的同时，基于该存储的管理信息在第一和第二存储单元中执行数据管理。该控制器包括保存处理单元，在以一次写入（write-once）方式将数据写入第二存储单元前，如果数据已经被写入了其存储器基元与被写入数据的页的存储器基元相同的低阶页，则保存处理单元备份该低阶页的数据；以及损坏信息恢复处理单元，当在低阶中的数据损坏时，该损坏信息恢复处理单元使用由该保存处理单元备份的数据恢复该损坏数据。

附图说明

图 1 是根据本发明第一实施方式的存储器系统的配置的示例的框图；

图 2 是 NAND 存储器中的任意一个块的配置示例的电路图；

图 3A 是 DRAM 的功能配置示意图，图 3B 是 NAND 存储器的功能配置示意图；

图 4 是用于管理存储在存储器系统中的数据的层结构示例的示图；

图 5 示出了高速缓存（cache）管理信息表的示例；

图 6 示出了逻辑 NAND 管理信息表的示例；

图 7 示出了 NAND 内逻辑物理转换信息表的示例；

图 8 是根据第一实施方式的在管理信息存储区存储的管理信息存储信息的内容的示例的示意图；

图 9 示出了日志的示例；

图 10 是图 1 所示驱动控制单元的功能配置的示例的框图；

图 11 是图 10 所示数据管理单元的功能配置的示例的框图;

图 12A 至 12D 是存储器基元中的数据和该存储器基元的阈值电压之间的关系和写入 NAND 存储器的顺序的示例的示图 ;

图 13A 至 13E 是解释在一次写入处理期间的低阶页数据损坏的示图;

图 14 是在存储器系统的一次写入区写入数据的处理过程的示例的流程图;

图 15 是用于对准在 NAND 存储器中的数据和在一次写入处理中的管理信息的规则的示例的示图;

图 16 和 17 是在发生短中断后用于写入的数据的恢复处理的示例的流程图。

具体实施方式

下面将参照附图详细描述本发明的示范性实施方式。本发明不限于这些实施方式。

根据本发明一个实施方式的存储器系统包括非易失性半导体存储装置，并被用作主机设备（例如个人电脑）的次级存储器（SSD: 固态驱动器）。该存储器系统具有存储主机设备请求写入的数据的功能，以及读取主机设备请求读取的数据并将该数据发送到主机设备的功能。图 1 是根据本实施例的存储器系统 10 的配置示例的框图。该存储器系统 10 包括作为第一存储单元的 DRAM（动态随机存取存储器）11、作为第二存储单元的 NAND 闪速存储器（以下称为“NAND 存储器”）12、电源电路 13 和作为控制器的驱动控制单元 14。

DRAM 11 用作用于数据传输、管理信息记录或工作区的存储单元。具体说，当 DRAM 11 用作用于数据传输的存储单元时，在数据被写入 NAND 存储器 12 之前该 DRAM 11 用于临时存储由主机设备请求写入的数据，并且该 DRAM 11 用于从 NAND 存储器 12 中读取该主机设备请求读取的数据并临时存储该读取的数据。当该 DRAM 11 用作用于管理信息记录的存储单元时，该 DRAM 11 用于存储管理信息以管理存储在 DRAM 11

和 NAND 12 中的数据的存储位置。当该 DRAM 11 用作用于工作区的存储单元时，例如，当恢复管理信息时，在所使用的日志的扩展期间，使用该 DRAM 11。

NAND 存储器 12 用作存储单元，用于在其中存储数据。具体说，在该 NAND 存储器 12 中存储由主机设备指定的数据以作为备份，在其中存储由 DRAM 11 管理的管理信息以及存储器系统 10 的管理程序（固件）。在图 1 中，作为例子示出了包含四个通道通信（channel correspondence）存储区 120A 至 120D。每个通道通信存储区 120A 至 120D 包括两个组 121，每个组包括 8 个具有预定尺寸的存储空间（例如，2GB）的芯片 122。该通道通信存储区 120A 至 120D 通过驱动控制单元 14 和总线 15A 至 15D 被连接。连接到每一个该通道通信存储区 120A 至 120D 的总线 15A 至 15D 中的每一条总线形成一个通道。

电源电路 13 从外部电源接收外部电能并产生多个内部电源以提供给存储器系统 10 的各个单元。该电源电路 13 探测外部电源的状态，即，上升沿和下降沿，以基于探测到的状态产生通电重置信号，并将通电重置信号输出到驱动控制单元 14。

该驱动控制单元 14 控制 DRAM 11 和 NAND 存储器 12。例如，如以下所详细介绍的，该驱动控制单元 14 根据来自电源电路 13 的通电重置信号执行管理信息的恢复处理和管理信息的存储处理。驱动控制单元 14 通过 ATA 接口（I/F）向主机设备发送数据并从主机设备接收数据，并通过 RS232C I/F 向调试（debugging）设备发送数据并从调试设备接收数据。另外，该驱动控制电路 14 输出控制信号以控制设置在存储器系统 10 的外部的用于状态显示的 LED 的开/关。

下面详细介绍 NAND 存储器 12 的配置。通过在基底上排列多个块来配置该 NAND 存储器 12，所述多个块是数据擦除的单位。图 2 是 NAND 存储器 12 的任意块的配置示例的电路图。在图 2 中，左右方向设置为 X 方向，与 X 方向垂直的方向设置为 Y 方向。

NAND 存储器 12 的每个块 BLK 包括沿 X 方向按顺序排列的（m+1）

（m 为大于等于 0 的整数）个 NAND 串 NS。每个 NAND 串 NS 具有（n+1）（n 为大于等于 0 的整数）个存储器基元晶体管 MT0 至 MTn，这些在 Y 方向彼此相邻的各个存储器基元晶体管 MT 之间共享扩散区（源极区或漏极区）。而且，存储器基元晶体管 MT0 至 MTn 在 Y 方向串联连接。此外，在（n+1）个存储器晶体管 MT0 至 MTn 组成的一行的两端设置选择晶体管 ST1 和 St2。

每个存储器基元晶体管 MT0 至 MTn 是形成在半导体基底上的具有叠栅结构的场效应晶体管。该叠栅结构包括通过栅极绝缘膜形成在该半导体基底上的电荷累积层（浮置栅极电极）和通过栅极间绝缘膜形成在电荷累积层上的控制栅极电极。另外，存储器基元晶体管 MT0 至 MTn 是多值存储器，其中阈值电压随着在浮置栅极电极累积的电子数而变化，并且根据该阈值电压的差异两个或多个位的数据能够被存储。在下面的介绍中假设存储器基元晶体管 MT0 至 MTn 是能够存储 4 个值的多值存储器。但是，存储器基元晶体管 MT0 至 MTn 可以是能存储多于 4 个值的多值存储器。

字线 WL0 至 WLn 分别连接到每个 NAND 串 NS 的存储器基元晶体管 MT0 至 MTn 的控制栅极电极。在每个 NAND 串 NS 中的存储器基元晶体管 MTi（i=0 至 n）通过相同的字线（i=0 至 n）共同地连接在一起。换言之，出现在块 BLK 的同一行的存储器基元晶体管 MTi 的各个控制栅极电极连接到相同的字线。具体说，连接到相同字线 WLi 的一组（m+1）个存储器基元晶体管 MTi 是一个单元，其形成一页。在能够存储 4 个值的多值存储器的情况中，连接到同一字线 WLi 的一组存储器基元晶体管 MTi 形成两页。当首先写入了数据的页被设置为低阶页，而随后写入了数据的页被设为高阶页时，在 NAND 存储器 12 中，以页为单位进行数据的写入和读出。

位线 BL0 至 BLm 分别连接到一个块 BLK 中的（m+1）个选择晶体管 ST1 的漏极。选择栅极线（selection gate line）SGD 公共地连接到每个 NAND 串 NS 的各选择晶体管 ST1 的各栅极。各选择晶体管 ST1 的各源极连接到存储器基元晶体管 MT0 的漏极。类似地，源极线 SL 公共地连接到一个块

BLK 中的（m+1）个选择晶体管 ST2 的各源极。选择栅极线 SGS 公共地连接到每个 NAND 串 NS 的各选择晶体管 ST2 的各栅极。各选择晶体管 ST2 的各个漏极连接到存储器基元晶体管 MTn 的各个源极。

虽然在图中未示出，在一个块 BLK 中的位线 BLj（j=0 至 m）在其它块 BLK 的各条位线 BLj 之间将各选择晶体管 ST1 的各漏极共同地连接起来。换言之，在块 BLK 的相同列中的 NAND 串 NS 被相同的位线 BLj 连接。

在 NAND 存储器 12 中，如上所述，写入和读出的最小单位是连接到相同字线 WLi 的存储器基元晶体管 MTi 组中的一页，并且，擦除的最小单位是包含预定数量的页的一块（以下称为物理块）。多个块形成一个面（plane），多个面形成一个通道通信存储区 120A 至 120D。多个通道通信存储区 120A 至 120D 形成一个 NAND 存储器 12。在以下介绍的例子中，假定通道数是 4，面的数是 2。

在这种存储器系统中，多个通道通信存储区 120A 至 120D 相互并行地分别连接到驱动控制单元 14。由此，能够并行地启动多个通道，或一次只启动一个通道。

根据驱动控制单元 14 的设置，以预定数量的物理块为单位进行写入和读出处理或进行擦除。在这种情况下，一组预定数量的物理块被称为逻辑块。

下面介绍 DRAM 11 和 NAND 12 的功能配置。图 3A 是 DRAM 11 的功能配置的示意图，图 3A 是 NAND 12 的功能配置的示意图。如图 3A 所示，DRAM 11 包括写高速缓存区，其中存储主机设备请求写入的数据；读高速缓存区 RC，其中存储主机设备请求读取的数据；临时存储区 111，其中存储管理信息，用于管理存储在 DRAM 11 和 NAND 12 中的数据的存储位置；以及在恢复管理信息时使用的工作区 112。

如图 3B 所示，NAND 存储器 12 包括数据存储区 125，其中存储由主机设备请求写入的数据；管理信息存储区 126，其中存储由 DRAM 11 的临时存储区 111 管理的管理信息；保存区 127，其中低阶页的内容被备份

以保护写入该低阶页的内容免予遭受低阶页数据损坏，在低阶页数据损坏的情景中，在将数据写入存储器晶体管（其中的低阶页已经写入了数据）的高阶页时，由于发生非正常断电（短中断）或程序错误（在写入 NAND 存储器时的故障）而使低级也受到损坏。NAND 存储器 12 的数据存储区 125 被分为：一次写入区 128，其中以一次写入的方式写入数据；和作为在数据存储区 125 与一次写入区 128 不同的区域的非一次写入区 129，其中数据以一个或预定数量的物理块为单位被全体地写入。在这个例子中，假定一次写入区 128 中的数据写入单位是页尺寸单位，在非一次写入区 129 中的数据写入单位是物理块尺寸单位，或是物理块尺寸单位的整数倍。因此，在数据存储区 125 中，用于存储各个块的区域被进一步以页尺寸单位分为多个区并被管理。当存储器基元晶体管损坏时发生程序错误，数据不能被存储。

下面介绍 DRAM 11 的临时存储区 111 中管理的管理信息。图 4 是管理存储在存储器系统 10 中的数据的层结构的例子的示图。此处假定这里的数据是主机设备请求写入或读取的数据。在存储器系统 10 中，通过 3 层结构来执行数据管理：DRAM 管理层 31，逻辑 NAND 管理层 32，和物理 NAND 管理层 33。DRAM 管理层 31 在起到高速缓存作用的 DRAM 11 中执行数据管理。逻辑 NAND 管理层 32 在 NAND 存储器 12 中执行逻辑数据管理。物理 NAND 管理层 33 在 NAND 存储器 12 中执行物理数据管理，以及针对 NAND 存储器 12 的寿命延长处理等。

在 DRAM 11 的写高速缓存区 WC 和读高速缓存区 RC 中，由主机设备的地址管理方法管理的逻辑地址（以下称为“LBA（逻辑块地址）”）指定的数据存储在 DRAM 11 中预定范围的物理地址中（以下称为“DRAM 内物理地址”）。DRAM 管理层 31 中的数据由高速缓存管理信息 41 和扇区标志管理，该高速缓存管理信息 41 包括要存储的数据的 LBA 和 DRAM 内物理地址之间的对应关系，该扇区标志表明在一页中扇区尺寸单位的数据的存在与缺失。

图 5 以表格形式示出了高速缓存管理信息 41 的一个示例。该高速缓存

管理信息 41 是一页尺寸的 DRAM 11 的一个区域的一个条目。条目的数目等于或小于刚好装入写高速缓存区 WC 和读高速缓存区 RC 的页的数量。在每个条目中，具有页的尺寸的数据的 LBA、DRAM 内物理地址以及扇区标志（指明通过以扇区尺寸分割这一页而得到的每个区域的有效数据的位置）相互关联。

在 NAND 存储器 12 中，来自 DRAM 11 的数据存储在 NAND 存储器 12 上的预定范围的物理地址上（以下称作“NAND 内物理地址”）。在由多值存储器构成的 NAND 存储器 12 中，因为重写次数是有限的，在构成 NAND 存储器 12 的各个块中重写的次数被驱动控制单元 14 控制以达到均衡。换言之，当执行对写入 NAND 存储器 12 中某个 NAND 内物理地址的数据进行更新时，驱动器控制单元 14 执行控制以在构成 NAND 存储器 12 的各个块之间平衡重写次数，以在和初始块不同的块中写入反映一个块中被要求更新的部分（其中包含有要更新的数据）的数据，并使初始块无效。

如上所述，在 NAND 存储器 12 中，在数据的写入和读取处理以及数据的擦除处理中处理单元是不同的。在对数据的更新处理中更新前的数据的位置（块）和更新后的数据的位置（块）是不同的。因此，在第一实施方式中，除了 NAND 内物理地址，提供在 NAND 存储器 12 中独立使用的 NAND 内逻辑地址（以下称为“NAND 内逻辑地址”）。

因此，在逻辑 NAND 管理层 32 中的数据由逻辑 NAND 管理信息 42 管理，该逻辑 NAND 管理信息 42 指明从 DRAM 11 接收到的以页尺寸为单位的数据的 LBA 和指明 NAND 存储器 12（其中存储有接收到的数据）的逻辑页位置的 NAND 内逻辑地址之间的关系，以及指明 NAND 存储器 12 中的与作为擦除单位的块（以下称为“物理块”）尺寸一致的逻辑块的地址范围的关系。多个物理块的总和可被设定为逻辑块。在物理 NAND 管理层 33 中的数据由 NAND 内逻辑地址-物理地址转换信息（以下称为“逻辑-物理转换信息”）管理，该 NAND 内逻辑地址-物理地址转换信息包括 NAND 存储器 12 中作为逻辑块的 NAND 内逻辑地址和作为物理块的 NAND 内物理地址之间的对应关系。

图 6 以表格的形式示出了逻辑 NAND 管理信息 42 的示例。图 7 以表格的形式示出了 NAND 内逻辑-物理转换信息 43 的示例。如图 6 所示，逻辑 NAND 管理信息 42 包括逻辑页管理信息 42a 和逻辑块管理信息 42b。逻辑页管理信息 42a 具有关于一页尺寸的一个逻辑区的一个条目。每个条目包括一页尺寸的数据的 LBA、NAND 内逻辑地址、表明该页是否有效的页标志。逻辑块管理信息 42b 包括 NAND 存储器 12 的一块尺寸的逻辑区的逻辑地址组。

为每个数据存储区 125 和保存区 127 生成并存储逻辑页管理信息 42a 和逻辑块管理信息 42b。如图 7 所示，在 NAND 内逻辑-物理转换信息 43 中，NAND 存储器 12 的 NAND 内物理地址和 NAND 间逻辑地址相互关联。

通过使用这些种类的管理信息，可以建立起在主机设备中使用的 LBA、在 NAND 存储器 12 中使用的 NAND 内逻辑地址、在 NAND 存储器 12 中使用的 NAND 内物理地址之间的对应关系。这使得能够在主机设备和存储器系统 10 之间交换数据。

由 DRAM 管理层 31 管理的管理信息由于断电等原因而丢失了，使得这个管理信息可被称作易失性表。相反，如果由逻辑 NAND 管理层 32 和物理 NAND 管理层 33 管理的管理信息由于断电等原因而丢失了，该丢失的管理信息阻碍存储器系统 10 成功地启动，所以需要采取措施使得即使在断电等事件中所述管理信息也被存储。因此，该管理信息可被称作非易失性表。

这一非易失性表管理存储在 NAND 存储器 10 中的数据。如果该非易失性表不存在，则存储在 NAND 存储器 12 中的信息就不能被访问，或者存储在一个区域中的数据被删除。所以，该非易失性表需要作为最新信息被存储，以防备突然的断电。因而，在第一实施方式中，包含至少该非易失性表的最新的状态的管理信息存储在 NAND 存储器 12 的管理信息存储区 126 中。下面解释存储在 NAND 存储器 12 的该管理信息存储区 126 中的管理信息存储信息。在下面的介绍中，假定只有所述非易失性表存储在管理信息存储区 126 中。

图 8 是存储在管理信息存储区 126 中的管理信息存储信息的内容的示例的示意图。存储在管理信息存储区 126 中的管理信息存储信息包括：快照 210，作为该非易失性表在特定点的内容；日志 220，作为所述内容改变后的非易失性表（在该非易失性表的内容被改变的情况下）和快照 210（或快照 210 和已经产生的日志）之间的差异信息；以及表明快照 210 以及首先获得的关于快照 210 的日志 220 的存储位置的指针 230。所述快照 210 是在存储在 DRAM11 中的临时存储区 111 中的管理信息中通过在预定点存储至少包含非易失性表的管理信息而获得的。日志 220 是在进行使管理信息发生改变的处理（即，将数据写入 NAND 存储器 12 的数据存储区 125 的处理）之前和之后产生的。在所述处理之前存储的日志被称为前日志 220A，在所述处理之后存储的日志被称为后日志 220B。

快照 210、前日志 220A、后日志 220B 和指针 230 被存储在不同的块中。快照 210 存储在用于快照的块中。快照 210 包括在 NAND 存储器 12 中的管理信息存储区 126 中的逻辑 NAND 管理信息 42 和 NAND 内逻辑-物理转换信息 43 作为非易失性表。通常，当 NAND 存储器 12 的存储容量等于或大于几十 GB 时，用于数据管理所必需的管理信息的尺寸必须是物理块的整数倍的尺寸。因此，快照存储块存储在包含多个物理块的逻辑块中。新的快照整个地写入不同于先前存储快照 210 的块的块。

前日志 220A 和后日志 220B 以一次写入方式分别存储在前日志存储块和后日志存储块。即使一代快照 210 发生改变，前日志 220A 和后日志 220B 也以一次写入方式分别连续地写入相同的前日志存储块和相同的后日志存储块。前日志存储块和后日志存储块的每一个都包括多个物理块。图 9 是日志的示例的示图。

日志 220 包括：作为改变目标的管理信息的目标信息；将成为目标信息中的改变目标的作为一个条目的目标条目；将成为目标条目中的改变目标的作为一项的目标项；以及作为目标项的改变的内容的改变内容。

指针 230 存储在指令信息存储块。指针 230 只需要是这样一个指针，它指明表明了快照 210、前日志 220A 和后日志 220B 的存储位置的块的顶

部地址。但是，指针 230 中指明快照 210 的存储位置的那一部份可以是指明了包含在快照 210 中的各种管理信息的顶部地址的部分。当快照 210 被重新存储时或当在日志存储块中存储日志 220 的物理块被改变时，指针 230 被更新。前日志 220A 和后日志 220 的指针可以存储在快照 210 中而不是存储在指令信息存储块中。

下面介绍驱动控制单元 14 的功能。图 10 是驱动控制单元的功能配置的示例的框图。该驱动控制单元 14 包括数据管理单元 141、ATA 命令处理单元 142、安全管理单元 143、引导加载（boot loader）144、初始化管理单元 145 和调试支持单元 146。数据管理单元 141 执行 DRAM 11 和 NAND 存储器 12 之间的数据传输，并控制关于 NAND 存储器 12 的各种功能。ATA 命令处理单元 142 基于从 ATA 接口接收的指令和数据管理单元 141 协作来执行数据传输处理。安全管理单元 143 与数据管理单元 141 和 ATA 命令处理单元 142 协作来管理各种安全信息。在通电期间，引导加载器 144 从 NAND 存储器 12 向未示出的存储器（例如，SRAM（静态 RAM））加载管理信息（固件）。初始化管理单元 145 执行驱动控制单元 14 中的各个控制器和电路的初始化。调试支持单元 146 处理从外界经 RS232C 接口提供的调试数据。

图 11 是数据管理单元 141 的功能配置的示例的框图。数据管理单元 141 包括数据传输处理单元 151、管理信息管理单元 152、保存处理单元 155、损坏信息恢复处理单元 156 以及管理信息恢复单元 157。数据传输处理单元 151 执行 DRAM 11 和 NAND 存储器 12 之间的数据传输。管理信息管理单元 152 根据存储在 DRAM 11 和 NAND 存储器 12 中的数据的改变执行管理信息的改变和存储。保存处理单元 155 在保存区 127 中保存数据，该数据在对一次写入区 128 执行的数据的一次写入处理期间同样地可能通过低阶页数据的损坏而被损坏。损坏信息恢复处理单元 156 使用保存区 127 中的数据恢复在对一次写入区 128 执行的数据的一次写入处理期间通过低阶页数据的损坏而被损坏的数据。管理信息恢复单元 157 在通电等状态期间基于 NAND 存储器 12 中存储的管理信息恢复最新的管理信息。

管理信息管理单元152包括管理信息写入单元153和管理信息存储器基元154。当根据通过数据传输处理单元151对存储在DRAM 11或NAND存储器12中的数据进行的改变处理而需要对管理信息进行更新时，管理信息写入单元153对存储在DRAM 11中的管理信息进行更新。

当存储器系统10满足预定的条件时，管理信息存储器基元1554在NAND存储器12的管理信息存储区126中存储管理信息作为快照，或存储要在管理信息中更新的信息作为日志220。当指针230被写入的位置根据快照210或日志220（前日志220A和后日志220B）的存储而被改变时，管理信息存储器基元154还对指针230执行更新处理。

当关于存储系统10的预定条件满足时，对快照210的存储由管理信息存储单元154执行。例如，当在NAND存储器12的管理信息存储区126中提供的用于存储日志220（前日志220A和后日志220B）的日志存储区被写满时（即，该区域完全充满数据），执行对快照210的存储。

在涉及对存储在DRAM 11中的管理信息（非易失性表）的更新的对NAND存储器12进行的数据更新（当必须在NAND存储器中写入数据时）期间，由管理信息存储器基元154执行日志220（前日志220A和后日志220B）的存储。

当由数据传输处理单元151或管理信息存储器基元154将写入数据写入一次写入区128时，如果该写入数据被写入的页是和已写入页（其中已写入了数据）的相同的存储器基元晶体管的不同页（高阶页），则保存处理单元155执行处理以将存储在该已写入页中的写入数据存储在保存区127中，以应对由于在写入写入数据时发生短中断或程序错误而产生的低阶页数据损坏。

图12A至12D是存储器基元中的数据和存储器基元的阈值电压之间的关系以及写入NAND存储器的顺序的示例的示图。图13A至13E是解释在一次写入处理期间的低阶页数据损坏的示图。首先，当执行擦除操作时，存储器基元中的数据被置为“0”。随后，如图12A所示，当执行对低阶页的写入时，存储器基元中的数据被改变为数据“0”和数据“2”。如图

12B 所示，在对高阶页写入之前，等于或小于实际数据的阈值的数据被写入相邻的单元。于是，由写入该单元的数据将数据“2”的阈值的分布扩展。然后当写入高阶页的数据时，存储器基元中的数据变成具有初始阈值电压的数据“0”至“3”，如图 12C 所示。在本实施方式中，存储器基元中的数据从低到高阈值电压被定义。

下面介绍 NAND 存储器 12 中的写入处理。如图 12D 所示，从一个块中接近源极线的存储器基元开始对每个页执行写操作。在图 12D 中，为了解释方便，显示了 4 条字线。

在第一次写入中（由带圆圈的 1 表示），1-位数据写入存储器基元 1 的低阶页。在第二次写入中（由带圆圈的 2 表示），1-位数据写入在字线方向与存储器基元 1 相邻的存储器基元 2 的低阶页。在第三次写入中（由带圆圈的 3 表示），1-位数据写入在位线方向与存储器基元 1 相邻的存储器基元 3 的低阶页。在第四次写入中（由带圆圈的 4 表示），1-位数据写入在对角线方向与存储器基元 1 相邻的存储器基元 4 的低阶页。

在第五次写入中（由带圆圈的 5 表示），1-位数据写入存储器基元 1 的高阶页。在第六次写入中（由带圆圈的 6 表示），1-位数据写入在字线方向与存储器基元 1 相邻的存储器基元 2 的高阶页。在第七次写入中（由带圆圈的 7 表示），1-位数据写入在位线方向与存储器基元 3 相邻的存储器基元 5 的低阶页。在第八次写入中（由带圆圈的 8 表示），1-位数据写入在对角线方向与存储器基元 3 相邻的存储器基元 6 的低阶页。

在第九次写入中（由带圆圈的 9 表示），1-位数据写入存储器基元 3 的高阶页。在第十次写入中（由带圆圈的 10 表示），1-位数据写入在字线方向与存储器基元 3 相邻的存储器基元 4 的高阶页。在第十一次写入中（由带圆圈的 11 表示），1-位数据写入在位线方向与存储器基元 5 相邻的存储器基元 7 的低阶页。在第十二次写入中（由带圆圈的 12 表示），1-位数据写入在对角线方向与存储器基元 5 相邻的存储器基元 8 的低阶页。

在第十三次写入中（由带圆圈的 13 表示），1-位数据写入存储器基元 5 的高阶页。在第十四次写入中（由带圆圈的 14 表示），1-位数据写入在

字线方向与存储器基元 5 相邻的存储器基元 6 的高阶页。在第十五次写入中（由带圆圈的 15 表示），1-位数据写入存储器基元 7 的高阶页。在第十六次写入中（由带圆圈的 16 表示），1-位数据写入在字线方向与存储器基元 7 相邻的存储器基元 8 的高阶页。

保存处理单元 155 存储以上解释的低阶页和高阶页的关系作为页位置信息，即，低阶页和可能引起低阶页数据损坏的高阶页的关系。

图 13A 中一个物理块中的各页对应于图 12A 至 12D。换言之，页 1 至 4、7、8、11 和 12 是图 12A 至 12D 中所示的低阶页。页 5、6、9、10、13 至 16 是图 12A 至 12D 中所示的高阶页。以下分别介绍当需要进行保存处理时执行的在具有这种页结构的块中进行写入的一次写入操作，以及当不需要进行保存处理时执行的一次写入处理。在图 13A 至 13E 中，为了解释方便，各个页被分为低阶页和高阶页。但是，低阶页和高阶页的组合构成了一个物理块。

（1）当需要进行保存处理时执行的一次写入处理

（1-1）仅在低阶页写入数据

如图 13B 所示，当仅在低阶页（例如，页 1 至 4）以一次写入方式写入数据时不需要保存处理。这是因为，在这种情况中，即使在数据写入低阶页时发生短中断，也不会发生低阶页数据损坏。

（1-2）数据被写入不包括已写入页的高阶页和低阶页

如图 13C 所示，当数据写入不包括已写入页的高阶页和低阶页时，保存处理是必须的。这是因为，在这种情况中，数据写入低阶页 1 至 4 和高阶页 5 至 6，并且由于对应于高阶页 5 和 6 的低阶页 1 和 2 不是已写入页，低阶页数据损坏不会发生。

（2）保存处理是必需的

（2-1）仅在高阶页写入数据

如图 13D 所示，当仅在高阶页以一次写入方式写入数据时，低阶页总是已写入页。在这种情况中，由页位置信息计算低阶页，在该低阶页中，被写入了写数据的高阶页可能引起低阶页数据损坏。存储在低阶页中的内

容保存在保存区 127。这是因为，在这一处理中，当在高阶页写入期间发生短中断时，与其对应的低阶页（即，与被写入数据的高阶页具有相同的存储器晶体管的低阶页）有可能被损坏。在图 13D 所示的情况中，当对高阶页 5 和 6 执行写入时，根据图 12A 至 12D 所示的页位置信息，低阶页 1 和 2 被保存在保存区 127。

（2-2）数据被写入包含已写入页的低阶页和高阶页

如图 13E 所示，当数据写入包含已写入页的低阶页和高阶页时，由页位置信息来计算低阶页，在该低阶页中低阶页数据损坏有可能由这样的高阶页引发，在该高阶页中写入了在各个数据中要写入高阶页的数据。存储在低阶页中的内容被保存在保存区 127。在图 13E 所示情况中，数据以一次写入方式写入低阶页和高阶页，即，页 4 至 6。在这种情况下，根据图 12A 至 12D 所示的页位置关系计算与写入高阶页的页 5 和 6 对应的低阶页 1 和 2。页 1 和 2 的内容保存在保存区 127。

如果在进行一次写入处理以对一次写入区 128 的高阶页进行写入期间发生了程序错误或短中断，以及发生了低阶页数据损坏，当在程序错误或短中断之后存储器系统 10 的电源被接通时，损坏信息恢复处理单元 156 使用在保存区 127 保存的数据执行在发生低阶页数据损坏的位置处恢复数据的处理。

当存储器系统 10 的电源被接通时，管理信息恢复单元 157 基于存储在 NAND 存储器 12 的管理信息存储区 126 管理信息存储信息来执行对管理信息的恢复处理。具体说，管理信息恢复单元 157 按顺序跟踪指针 230 和日志 220（前日志 220A 和后日志 220B），并确定是否存在对应于最新的快照 210 的日志 220（前日志 220A 和后日志 220B）。当不存在该日志 220 时，管理信息恢复单元 157 在 DRAM 11 中的快照存储块中恢复快照 210 作为管理信息。当存在所述日志 220 时，由于发生了非正常终止，例如，程序错误或短中断，管理信息恢复单元 157 从快照存储块获取快照 210，从日志存储块获取日志 220（前日志 220A 和后日志 220B），并对管理信息（非易失性表）进行恢复，在 DRAM 11 的快照 210 上反映出日志 220。

下面介绍在一次写入区 128 写入数据的处理。图 14 是在存储器系统的一次写入区进行写入数据的处理的程序的示例的流程图。假定存储器系统 10 连接到主机设备，并作为该主机设备的次级存储装置运行，并且该主机装置（存储器系统 10）处于启动状态。

当存储器系统 10 处于启动状态时，保存处理单元 155 接收对数据进行一次写入处理的指令（步骤 S11）。保存处理单元 155 获取要经历一次写入处理的数据的写入位置（以下称为写数据）（步骤 S12）。随后，该保存处理单元确定所获取的写入位置的一部份是否包括高阶页，并确定对应于该高阶页的低阶页是否是已写入页（步骤 S13）。

当所述写入位置的一部份包括高阶页，并且对应于该高阶页的低阶页是已写入页时（步骤 S13 中的“是”），保存处理单元 155 使用页位置信息来获取使用这样的低阶页，该低阶页使用的存储器基元与在写入位置中的该高阶页的存储器基元相同（步骤 S14）。随后，管理信息管理单元 152 通过执行一次写入处理来确定对所述管理信息的更新进度表（包括在保存区 127 的存储处理）（步骤 S15），并在 NAND 存储器 12 的管理信息存储区 126 存储该更新进度表作为前日志 220A（步骤 S16）。然后，该保存处理单元 155 在保存区 127 存储在步骤 S14 中获得的存储在低阶页中的数据的内容（步骤 S17）。在以一次写入方式在写入位置写入了写数据后（步骤 S18），数据传输处理单元 151 在 NAND 存储器 12 的管理信息存储区 126 保存后日志 220B（步骤 S19），并且，数据的一次写入处理结束。

另一方面，当写入位置的一部份不包含高阶页或当对应于该高阶页的低阶页不是已写入页时（步骤 S13 中的“否”），管理信息管理单元 152 通过执行一次写入处理来为管理信息确定更新进度表（步骤 S20），并在 NAND 存储器 12 的管理信息存储区 126 存储该更新进度表作为前日志 220A（步骤 S21）。然后，在以一次写入方式在所述写入位置写入了写数据后（步骤 S22），数据传输处理单元 151 在 NAND 存储器 12 的管理信息存储区 126 中保存后日志 220B（步骤 S23），并且，数据的一次写入处理结束。

在执行图 14 中的流程图所示的处理的过程中，任何时刻可能发生非正常断电。因此，写入 NAND 存储器 12 的数据和管理信息总需要保持一致。所以，设置保护数据的规则，以防备在执行图 14 中的流程图所示的处理时发生短中断。图 15 是解释用于将 NAND 存储器中的数据与一次写入处理中的管理信息匹配的规则的示例的示图。横轴表示消逝的时间 t。在图 15 中，在关于以上所述的任何一种处理的对后日志 220B 执行的写入处理结束后（步骤 S300），在下一次的一次写入处理中执行对前日志 220A 的写入处理（存储）（步骤 S301）、对写数据的一次写入处理（步骤 S302）、和对后日志 220B 的写入处理（存储）（步骤 S303）。

当在从对前日志 220A 的写入处理（步骤 S301）到对写数据的一次写入处理（步骤 S302）的过程中发生了短中断时，将写数据写入 NAND 存储器 12 的处理由于该短中断而没有正常地结束。在这种情况下，如果直到短中断发生时的操作没有被废弃，并且被写入前日志 220A 的内容被采纳为管理信息，则写入尚未实际写入 NAND 存储器 12 的信息。换言之，在写入 NAND 存储器 12 的数据和管理信息之间存在失配。因此，在这种情况下，在直到发生短中断的那一时刻所执行的操作被废弃。被废弃的操作的时间跨度称作废弃段 D1。

另一方面，当对写数据的一次写入处理（步骤 S302）结束并且在对后日志 220B 的写入处理（步骤 S303）之后的阶段发生了短中断时，将写数据写入 NAND 存储器 12 的处理就正常地结束了。在这种情况下，即使直到短中断发生时的操作不被废弃，并且写入前日志 220A 的内容被采纳为管理信息，也没有问题发生，因为写数据已经被写入 NAND 存储器 12 中。因此，在这种情况下，就确定了在短中断持续的时间跨度内一直执行的操作。所确定的所述操作的时间跨度被称作操作确定段 D2。

下面解释在对图 13A 至 13E 所示的数据进行一次写入处理期间在发生短中断之后，对 NAND 存储器 12 的恢复处理。图 16 和 17 是在短中断发生后对写数据的恢复处理的示例的流程图。如上所述，假设该存储器系统 10 连接到主机设备并且作为该主机设备的次级存储装置运行。

首先，开通该主机设备的电源，并且向存储器系统 10 发送启动指令（步骤 S31）。图 10 所示的引导加载 144 将未示出的管理信息从 NAND 存储器 12 发送到诸如 SRAM 或 DRAM 11 的存储器（步骤 S32），并启动管理程序（步骤 S33）。通过启动管理程序，就可以由图 11 所示的数据管理单元 141 中的各功能处理单元执行处理。

随后，管理信息恢复单元 157 读取 NAND 存储器 12 的管理信息存储区 126 中的最新指针 230，并获取存储了快照 210 和前日志 220A 和后日志 220B 的块的地址（步骤 S34）。

管理信息恢复单元 157 从在步骤 S34 获取的 NAND 存储器 12 中的地址读取快照 210，并在 DRAM 11 的临时存储区 111 中恢复快照（步骤 S35）。

管理信息恢复单元 157 参考 NAND 存储器 12 中的前日志 220A 和后日志 220B 检查日志的最后写入位置，并比较可写入页的位置以探测最后写入的日志和电源断开的时间（步骤 S36）。然后，管理信息恢复单元 157 确定是否发生了短中断（步骤 S37）。在确定是否发生了短中断时，管理信息恢复单元 157 比较为参考快照 210 生成的第一前日志 220A 的从写入位置到最后写入位置的页的数量，和以相同方式生成的第一后日志 220B 的从写入位置到最后写入位置的页的数量。当所述页的数量不同时，管理信息恢复单元 157 确定发生了短中断。否则，管理信息恢复单元 157 确定没有发生短中断。当所述页的数量不同时，管理信息恢复单元 157 比较最后写入的日志的内容。当所述内容相同时，管理信息恢复单元 157 确定没有发生短中断。否则，管理信息恢复单元 157 确定发生了短中断。

当没有发生短中断时（步骤 S37 中的“否”），管理信息恢复单元 157 在步骤 S35 从在 DRAM 11 的临时存储区 111 恢复的快照 210 中恢复管理信息（步骤 S38），然后该恢复处理结束。

另一方面，当发生了短中断时（步骤 S37 中的“是”），管理信息恢复单元 157 判断短中断发生的区段是否是操作废弃段 D1（步骤 S39）。当短中断发生的区段不是操作废弃段 D1 时，即，当短中断发生的区段是操作确定段 D2 时（步骤 S39 中的“否”），管理信息恢复单元 157 在 DRAM

11 的工作区 112 扩展出现在在步骤 S34 获得的存储位置处的前日志 220A（步骤 S40）。从最老的前日志 220A 起，管理信息恢复单元 157 将各日志按顺序反映到快照 210 上，并恢复管理信息（步骤 S41），然后恢复处理结束。

当在步骤 S39 中短中断发生的区段是操作废弃段 D1 时（步骤 S39 中的“是”），管理信息恢复单元 157 在 DRAM 11 的工作区 112 扩展出现在在步骤 S34 获得的存储位置处的后日志 220B（步骤 S42），并确定是否有数据以一次写入方式被写入保存区 127（步骤 S43）。当没有数据以一次写入方式被写入保存区 127 时（步骤 S43 中的“否”），管理信息恢复单元 157 确定是否有数据以一次写入方式被写入一次写入区 128（步骤 S44）。当有数据以一次写入方式被写入一次写入区 128 时（步骤 S44 中的“是”），这意味着所述电源断开是在进行一次写入处理以在低阶页中进行写入期间的电源断开；因此，管理信息恢复单元 157 确定过去没有由于低阶页数据损坏而导致的数据损坏（步骤 S45）。管理信息恢复单元 157 使相关页无效，或将相关块的有效页复制到保证被刷新的块（步骤 S46）。然后，管理信息恢复单元 157 从在步骤 S42 在 DRAM 11 中扩展的最老的后日志 220B 到废弃处理前的阶段的后日志 220B 按顺序将各日志反映到快照 210 上，并恢复管理信息（步骤 S47），然后该恢复处理结束。

当在步骤 S44 没有数据以一次写入方式被写入一次写入区 128 时（步骤 S44 中的“否”），管理信息恢复单元 157 确定所述短中断发生在执行一次写入处理之前的时刻（步骤 S48）。因此，在一次写入区 128 执行数据的恢复处理是不必要的。管理信息恢复单元 157 从在步骤 S42 在 DRAM 11 中扩展的最老的后日志 220B 开始按顺序将各日志反映到快照 210 上，并恢复管理信息（步骤 S49），然后该恢复处理结束。

当在步骤 S43 有数据以一次写入方式写入一次写入区 127 时（步骤 S43 中的“是”），管理信息恢复单元 157 进一步检查是否有数据以一次写入方式写入一次写入区 128（步骤 S50）。当有数据以一次写入方式写入一次写入区 128 时（步骤 S50 中的“是”），这意味着电源断开是在对高阶页

进行写入的一次写入处理期间的电源断开；因此，管理信息恢复单元 157 确定在过去由于低阶页数据损坏而导致数据损坏是可能发生的（步骤 S51）。因为在一次写入区 128 的写处理已经开始，在保存区 127 的备份处理保证能够完成。因此，管理信息恢复单元 157 由在保存区 127 的备份在一次写入区 128 恢复损坏页，并将所述页复制到保证被刷新了的块中（步骤 S52）。同时，管理信息恢复单元 157 从在步骤 S42 在 DRAM 11 中扩展的最老的后日志 220B 开始按顺序将各日志反映到快照 210 上，并恢复管理信息（步骤 S53），然后该恢复处理结束。

此外，当在步骤 S50 没有数据以一次写入方式写入一次写入区 128 时（步骤 S50 中的“否”），短中断是在一次写入区 128 中开始一次写入之前的阶段的短中断。因此，对数据的恢复处理是不必要的（步骤 S54）。管理信息恢复单元 157 从在步骤 S42 在 DRAM 11 中扩展的最老的后日志 220B 开始按顺序将各日志反映到快照 210 上，并恢复管理信息（步骤 S55），然后该恢复处理结束。在这种情况下，管理信息恢复单元 157 执行处理以使得以一次写入的方式被写入保存区 127 的页的内容不能被写入。根据以上介绍的程序，在短中断发生时关于一次写入数据的恢复处理结束。

如上所述，根据该实施方式，在对包括等于或大于 2 位的多值存储器的 NAND 存储器 12 中的高阶页进行一次写入处理以进行写入的过程中，在存储在多值存储器（和要进行一次写入处理的高阶页相同的多值存储器）的低阶页的数据的内容被存储在保存区 127 之后，进行对高阶页的写入处理。因此，存在这样一个效应，即，即使在写处理期间由于发生了短中断或程序错误而发生了低阶页数据损坏，也能够使用存储在保存区 127 中的数据恢复由于低阶页数据损坏而损坏的数据。

在上述例子中，构成 NAND 存储器 12 的存储器基元晶体管 MT 是等于或大于 2 位的多值存储器。但是，本发明可以应用于任何存储器晶体管 MT，只要该存储器晶体管 MT 是等于或大于 2 位的多值存储器。在这种情况下，各个页包括 3 页或更多页，例如，高阶页、中级页（intermediate page）和低阶页。在对高阶页进行写入时，有可能在中级页和低阶页发生

低阶页数据损坏。在这种情况下，中级页和低阶页的数据被存储在保存区127。

另外，在上述介绍中，保存区127设置在NAND存储器12中。但是，保存区127专用的存储器基元可以设置在与NAND存储器12不同类型的非易失存储器中。所述电荷累积层不限于浮置栅极型，可以是包括氮化硅膜的电荷捕获型，例如，MONOS（金属-氧化物-氮化物-氧化物-半导体）结构，或者是其他系统。

如上所述，根据本发明，有这样的效应，在具有包含多值存储器的NAND闪速存储器的存储器系统中，即使在某个存储器基元晶体管的高阶页进行写入期间，发生了短中断或程序错误，也能够恢复已写入数据的该存储器基元晶体管的低阶页的内容。

对本领域技术人员来说，其他的优点和修改是显而易见的。因此，本发明在其更宽的方面不限于这里所述的代表性实施方式的具体细节。因而，可以进行各种修正而不脱离所附的权利要求书及其等价描述所限定的本发明的总的发明概念的精神和范围。

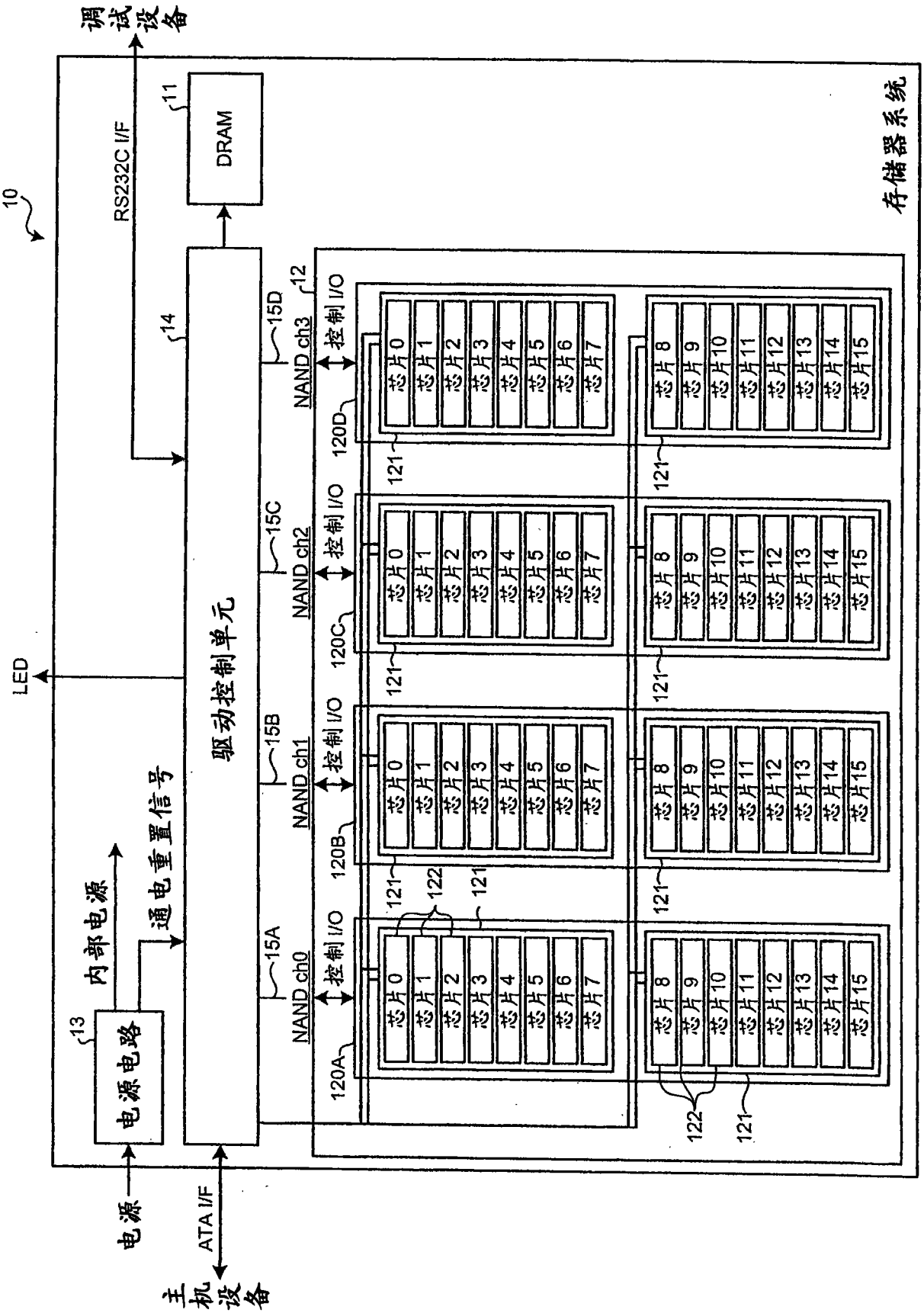

调试设备
RS232C I/F
DRAM
11
10
14
LED
驱动控制单元
存储器系统
15A
15B
15C
15D
NAND ch0
NAND ch1
NAND ch2
NAND ch3
控制 I/O
120A
120B
120C
120D
121
122
芯片0
芯片1
芯片2
芯片3
芯片4
芯片5
芯片6
芯片7
芯片8
芯片9
芯片10
芯片11
芯片12
芯片13
芯片14
芯片15
内部电源
通电重置信号
电源电路
13
电源
ATA I/F
主机设备

图1

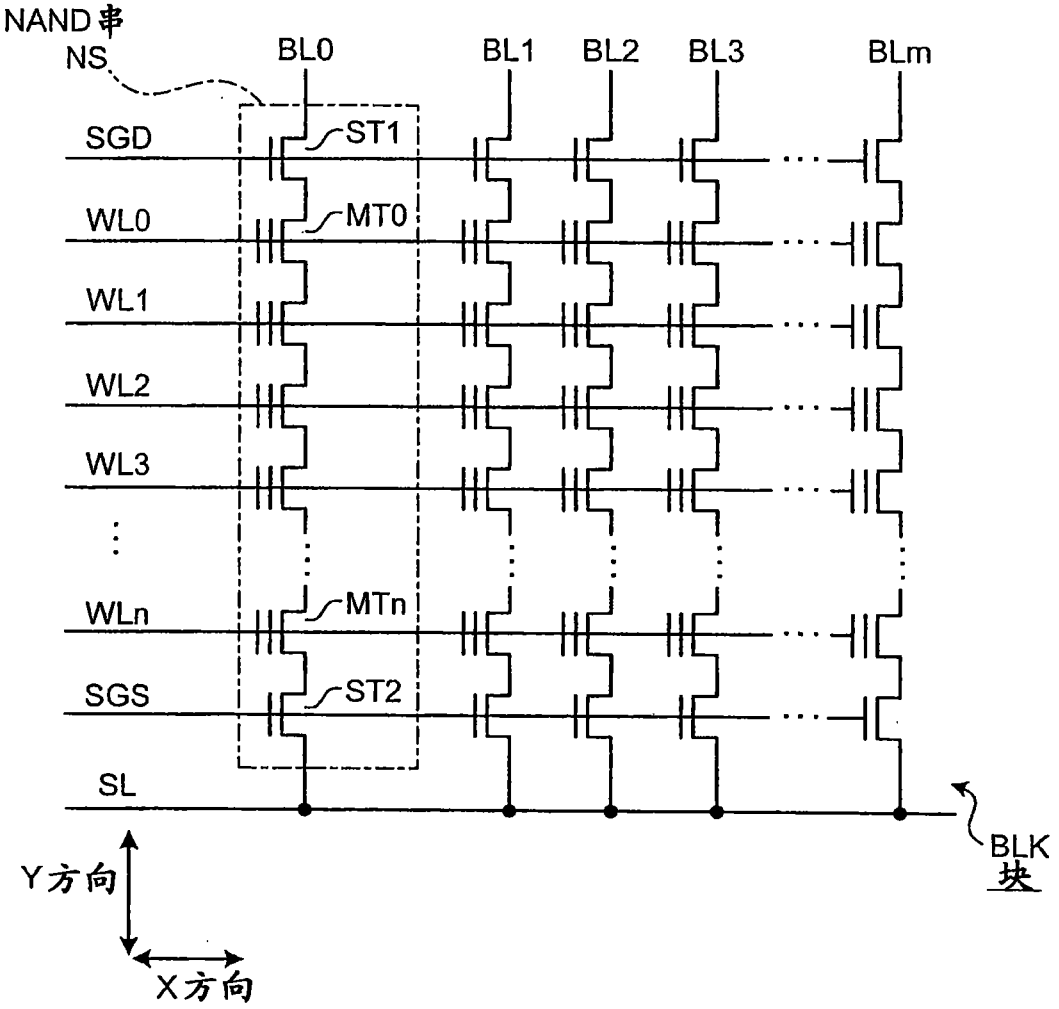

NAND串
NS
BL0
BL1
BL2
BL3
BLm
SGD
ST1
WL0
MT0
WL1
WL2
WL3
WLn
MTn
SGS
ST2
SL
BLK
块
Y方向
X方向

图2

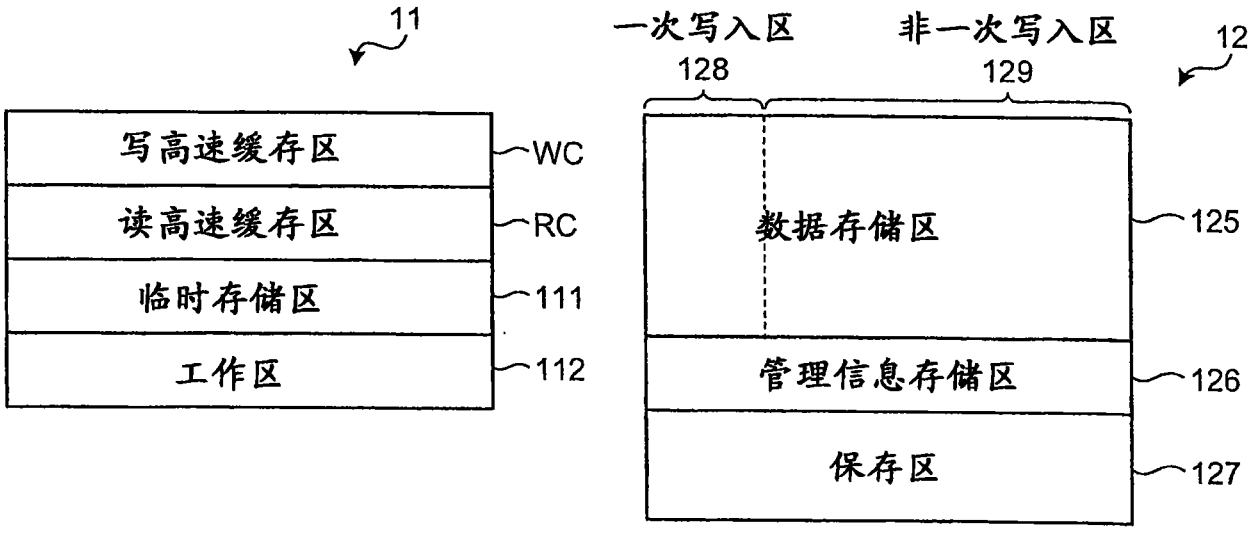

11
写高速缓存区
WC
读高速缓存区
RC
临时存储区
111
工作区
112
一次写入区
非一次写入区
12
128
129
数据存储区
125
管理信息存储区
126
保存区
127

图3A 图3B

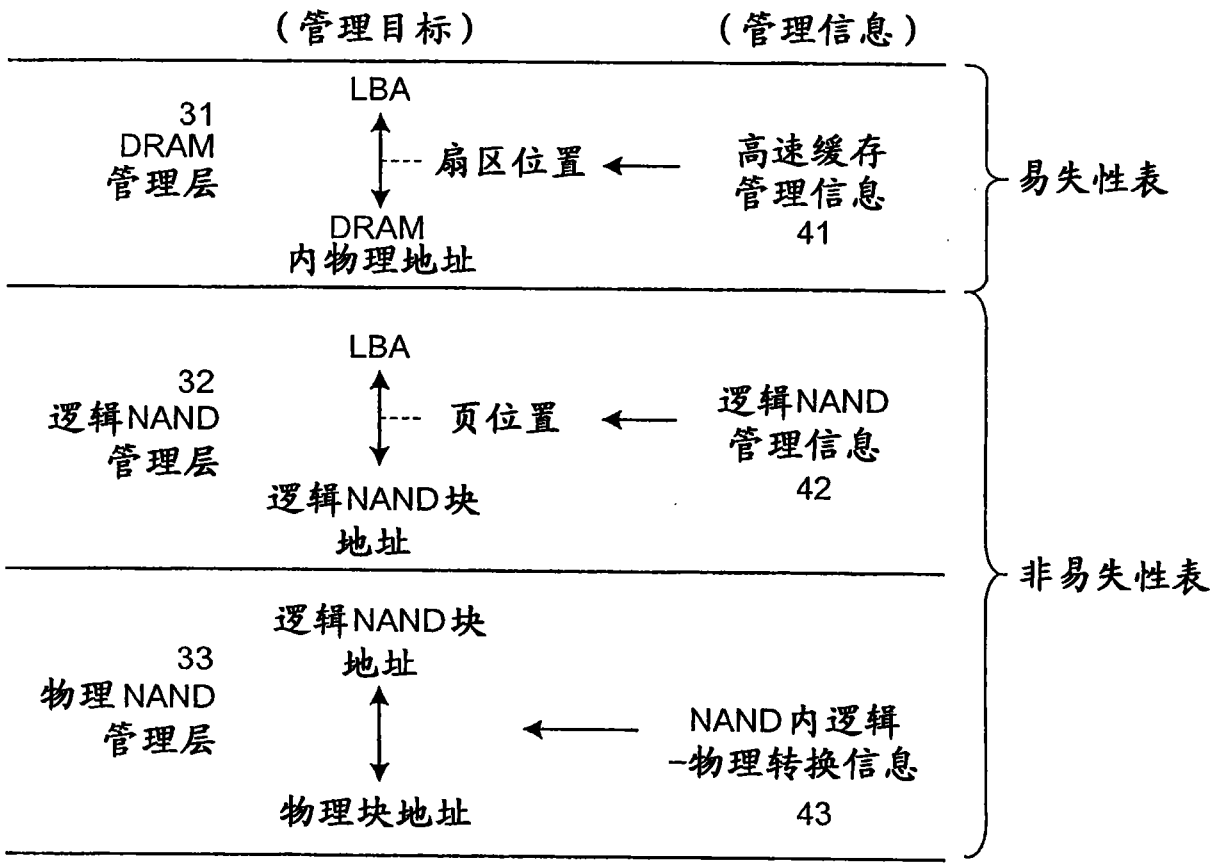

（管理目标）
（管理信息）
31
DRAM
管理层
LBA
扇区位置
DRAM
内物理地址
高速缓存
管理信息
41
易失性表
32
逻辑NAND
管理层
LBA
页位置
逻辑NAND块
地址
逻辑NAND
管理信息
42
非易失性表
33
物理NAND
管理层
逻辑NAND块
地址
物理块地址
NAND内逻辑
-物理转换信息
43

图4

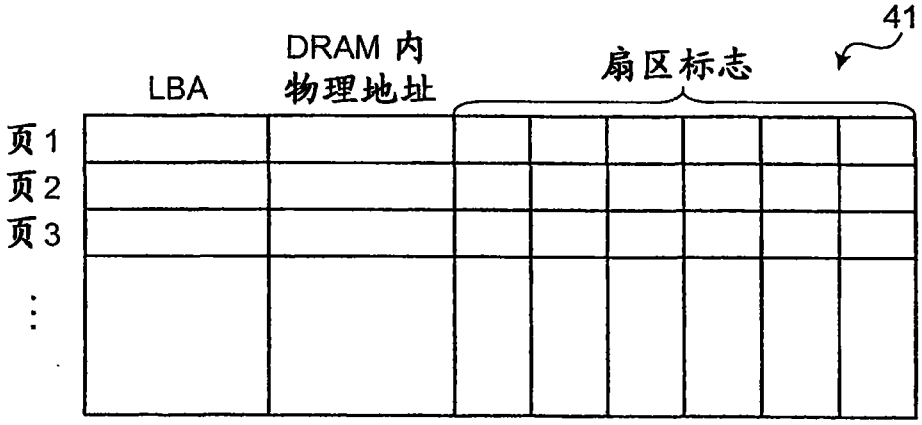

41
LBA
DRAM 内
物理地址
扇区标志
页1
页2
页3

图5

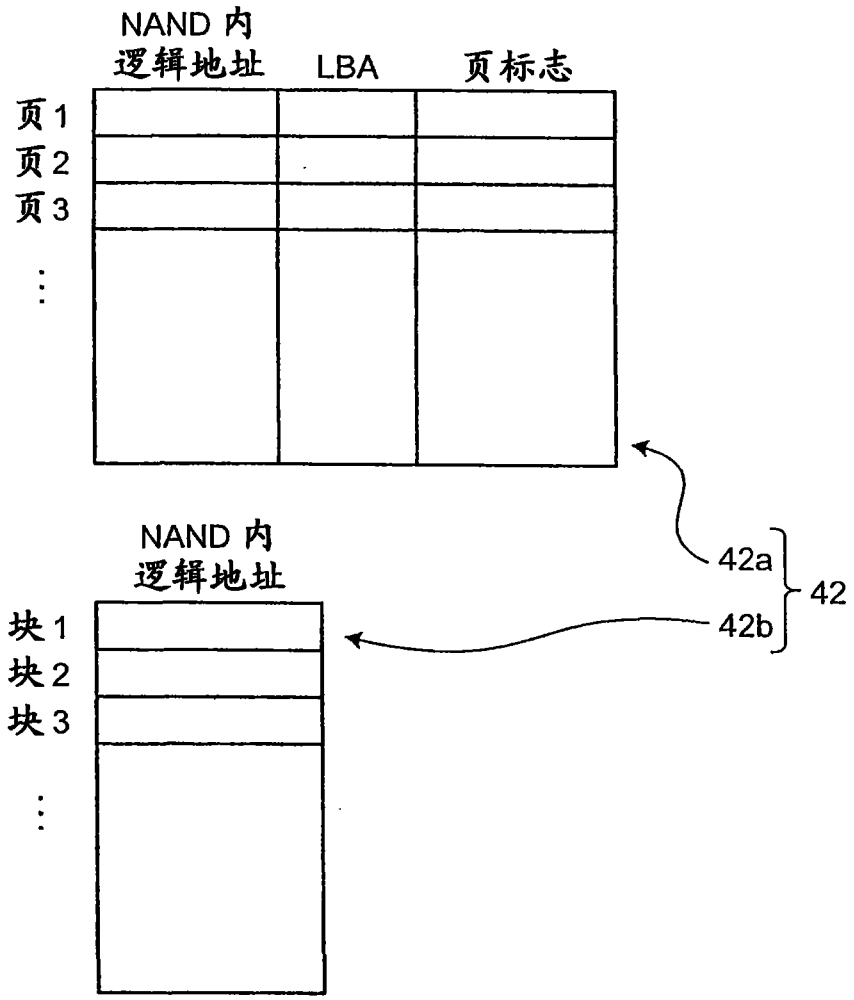

NAND 内
逻辑地址
LBA
页标志
页1
页2
页3
42a
42b
42
NAND 内
逻辑地址
块1
块2
块3

图6

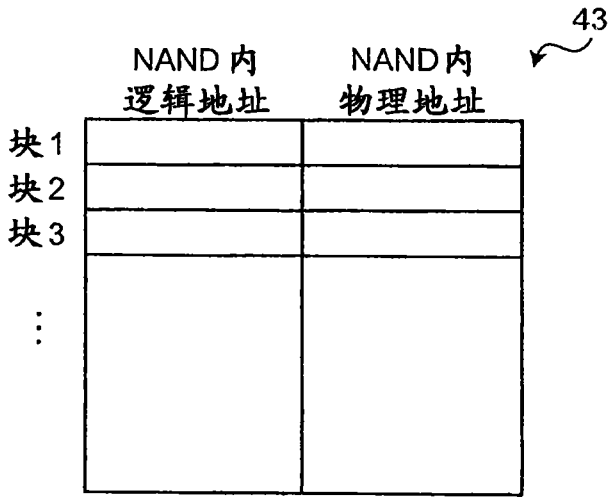

43
NAND 内
逻辑地址
NAND 内
物理地址
块1
块2
块3

图7

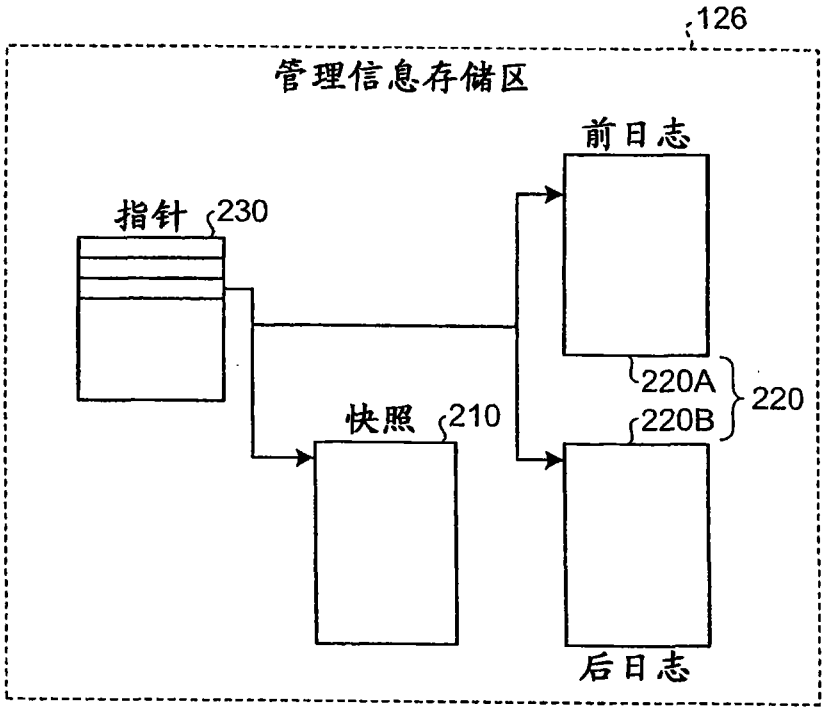

126
管理信息存储区
前日志
指针
230
220A
220
快照
210
220B
后日志

图8

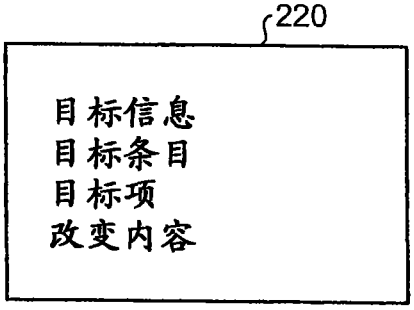

220
目标信息
目标条目
目标项
改变内容

图9

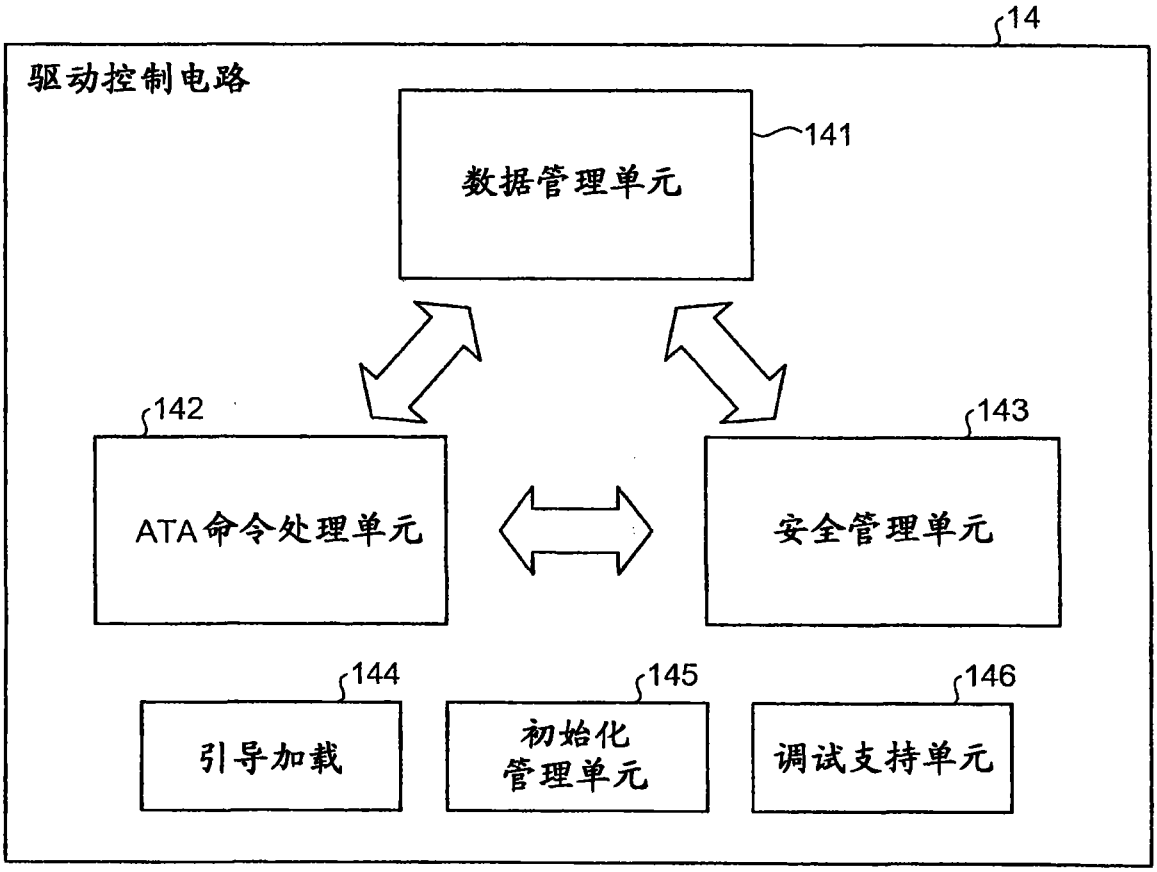

14
驱动控制电路
数据管理单元
141
142
ATA命令处理单元
143
安全管理单元
144
引导加载
145
初始化
管理单元
146
调试支持单元

图10

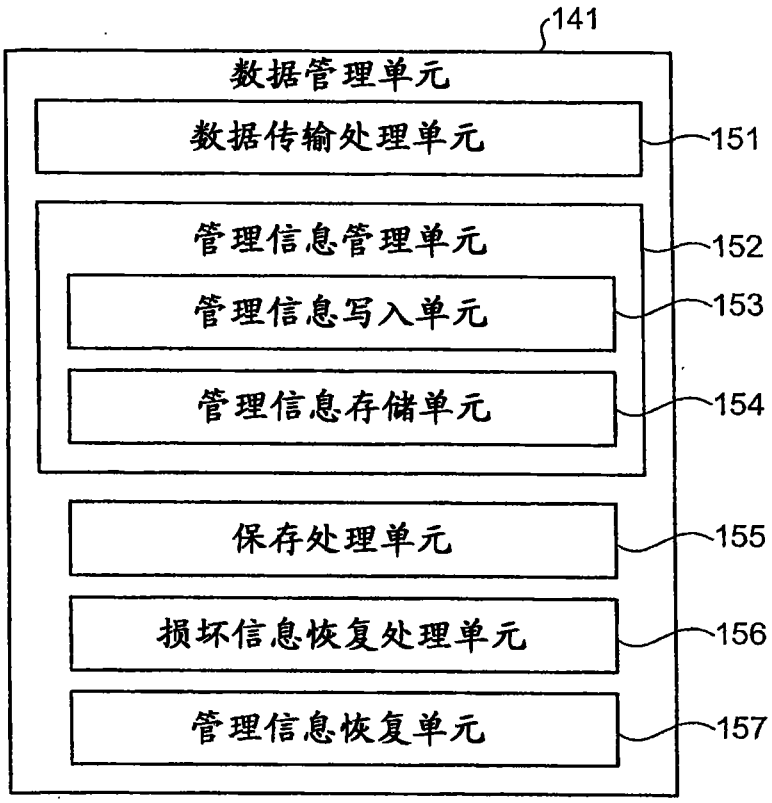

141
数据管理单元
数据传输处理单元
151
管理信息管理单元
152
管理信息写入单元
153
管理信息存储单元
154
保存处理单元
155
损坏信息恢复处理单元
156
管理信息恢复单元
157

图11

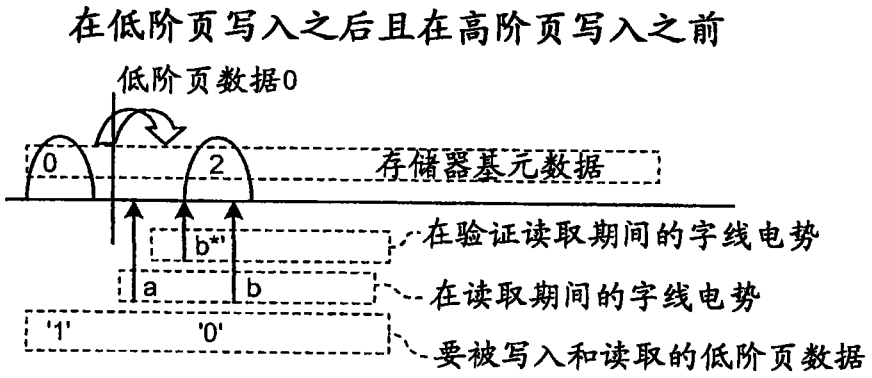

在低阶页写入之后且在高阶页写入之前
低阶页数据0
0
2
存储器基元数据
b*'
在验证读取期间的字线电势
a
b
在读取期间的字线电势
'1'
'0'
要被写入和读取的低阶页数据

图12A

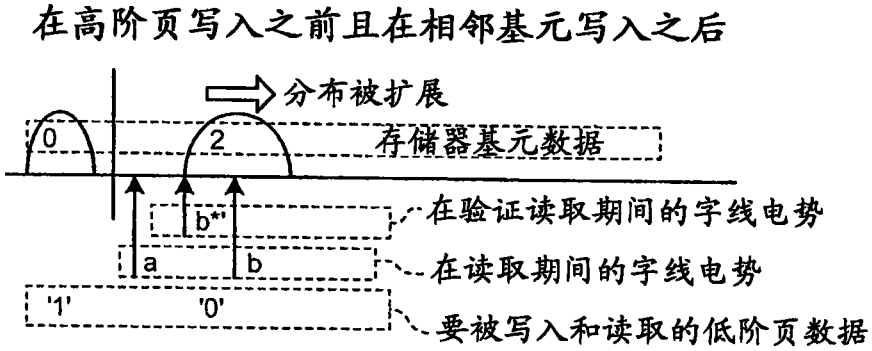

在高阶页写入之前且在相邻基元写入之后
分布被扩展
0
2
存储器基元数据
b*'
在验证读取期间的字线电势
a
b
在读取期间的字线电势
'1'
'0'
要被写入和读取的低阶页数据

图12B

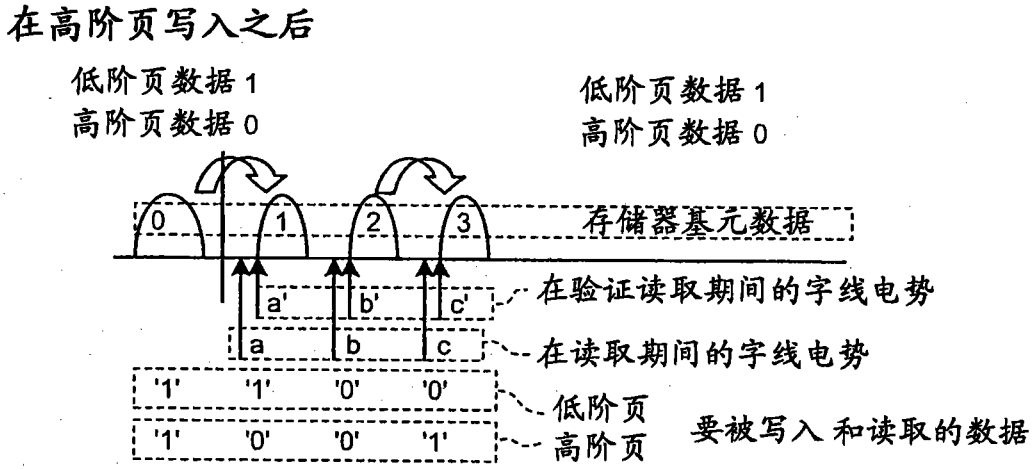

在高阶页写入之后
低阶页数据 1
高阶页数据 0
低阶页数据 1
高阶页数据 0
0
1
2
3
存储器基元数据
a'
b'
c'
在验证读取期间的字线电势
a
b
c
在读取期间的字线电势
'1' '1' '0' '0'
低阶页
'1' '0' '0' '1'
高阶页
要被写入和读取的数据

图12C

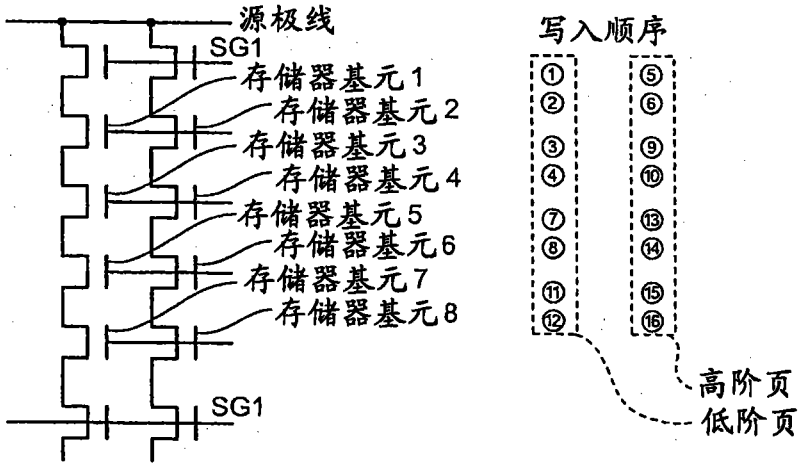

源极线
SG1
存储器基元1
存储器基元2
存储器基元3
存储器基元4
存储器基元5
存储器基元6
存储器基元7
存储器基元8
SG1
写入顺序
①
②
③
④
⑦
⑧
⑪
⑫
⑤
⑥
⑨
⑩
⑬
⑭
⑮
⑯
高阶页
低阶页

图12D



图13A



图13B

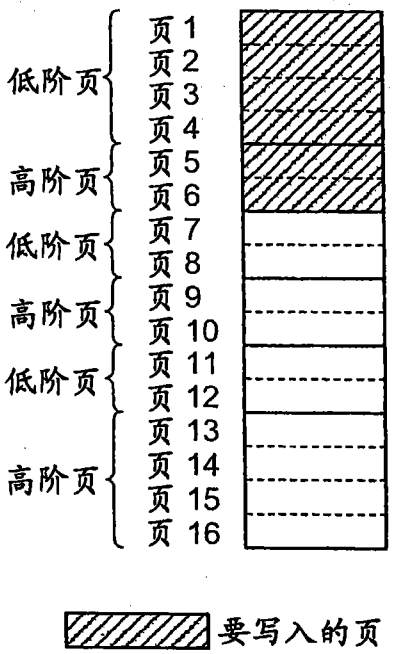


图13C

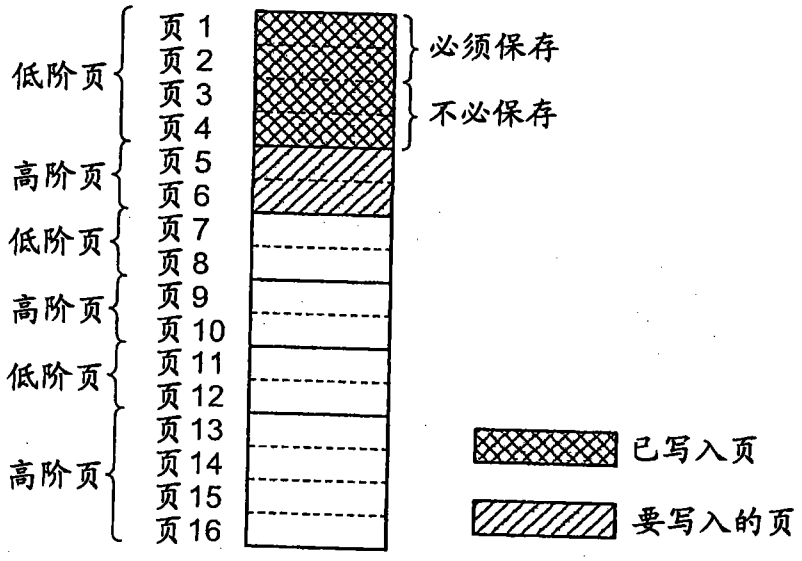

低阶页
高阶页
低阶页
高阶页
低阶页
高阶页
页 1
页 2
页 3
页 4
页 5
页 6
页 7
页 8
页 9
页 10
页 11
页 12
页 13
页 14
页 15
页 16
必须保存
不必保存
已写入页
要写入的页

图13D

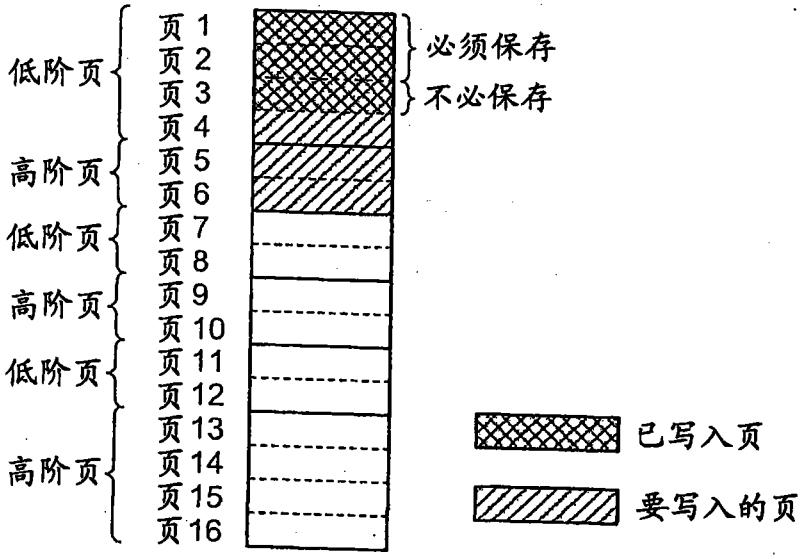

低阶页
高阶页
低阶页
高阶页
低阶页
高阶页
页 1
页 2
页 3
页 4
页 5
页 6
页 7
页 8
页 9
页 10
页 11
页 12
页 13
页 14
页 15
页 16
必须保存
不必保存
已写入页
要写入的页

图13E

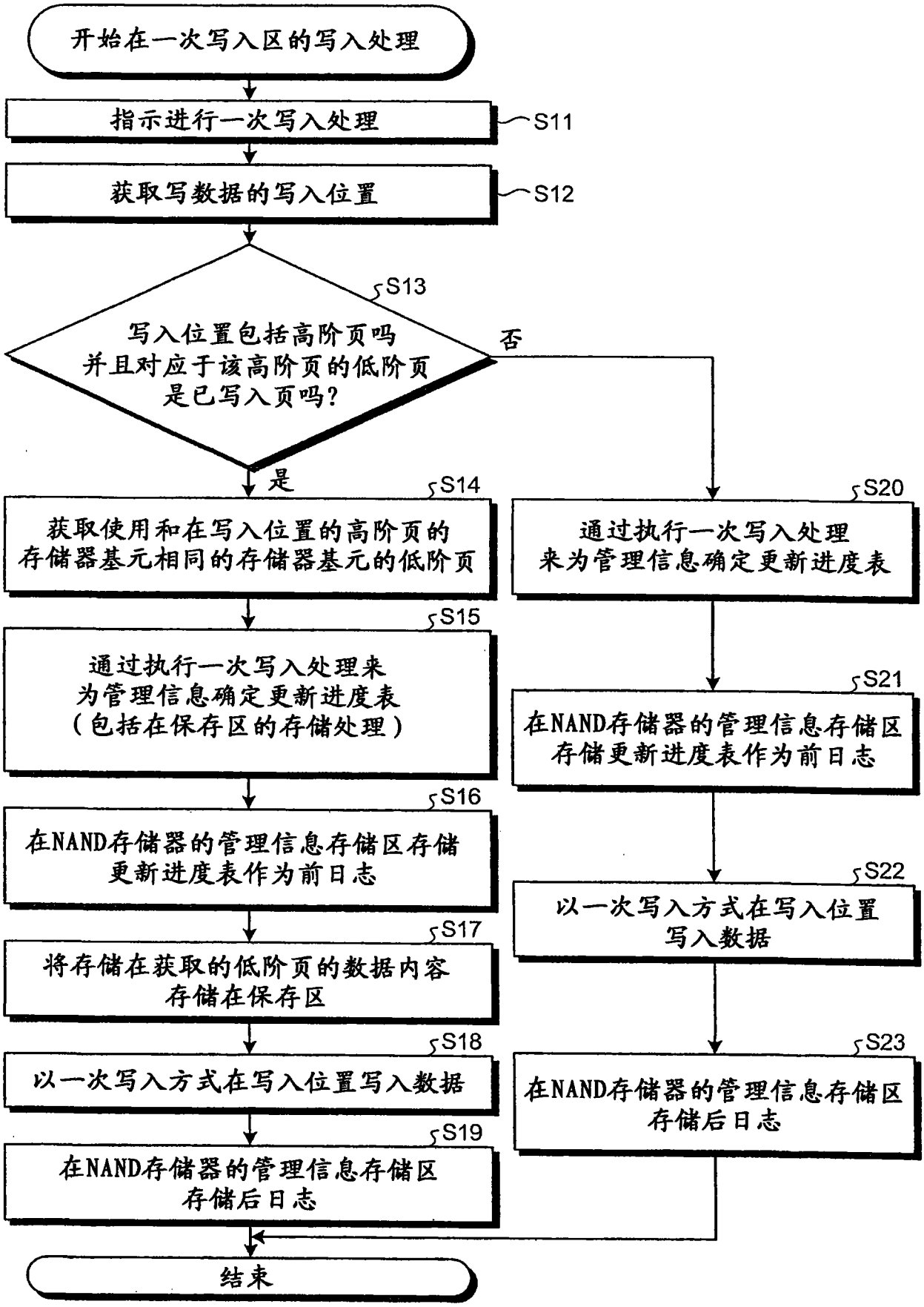

开始在一次写入区的写入处理
指示进行一次写入处理
S11
获取写数据的写入位置
S12
S13
写入位置包括高阶页吗
并且对应于该高阶页的低阶页
是已写入页吗?
否
是
S14
获取使用和在写入位置的高阶页的
存储器基元相同的存储器基元的低阶页
S15
通过执行一次写入处理来
为管理信息确定更新进度表
(包括在保存区的存储处理)
S16
在NAND存储器的管理信息存储区存储
更新进度表作为前日志
S17
将存储在获取的低阶页的数据内容
存储在保存区
S18
以一次写入方式在写入位置写入数据
S19
在NAND存储器的管理信息存储区
存储后日志
结束
S20
通过执行一次写入处理
来为管理信息确定更新进度表
S21
在NAND存储器的管理信息存储区
存储更新进度表作为前日志
S22
以一次写入方式在写入位置
写入数据
S23
在NAND存储器的管理信息存储区
存储后日志

图14

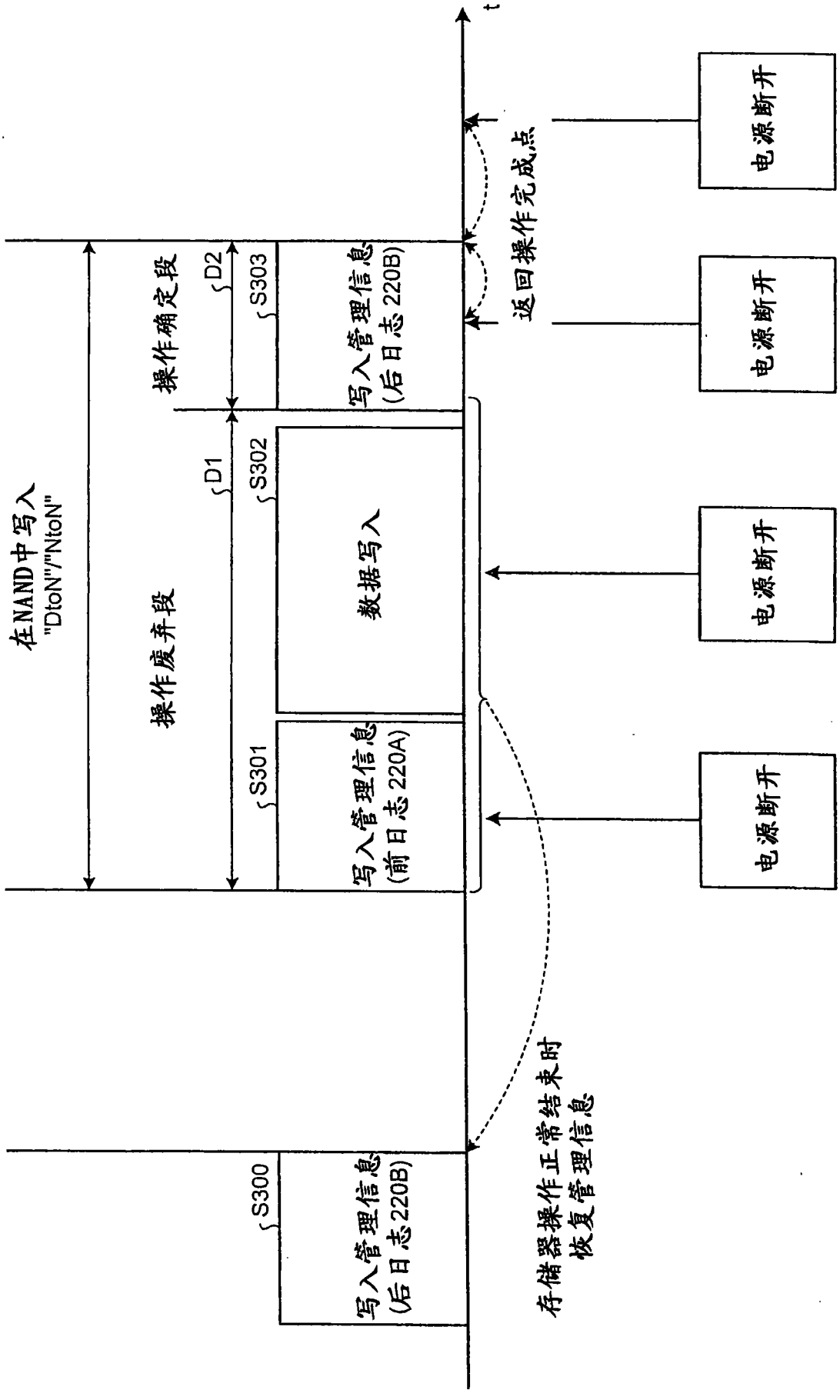

在NAND中写入
"DtoN"/"NtoN"
操作废弃段
操作确定段
D1
D2
S300
S301
S302
S303
写入管理信息
(后日志220B)
写入管理信息
(前日志220A)
数据写入
写入管理信息
(后日志220B)
存储器操作正常结束时
恢复管理信息
返回操作完成点
电源断开
电源断开
电源断开
电源断开
t

图15

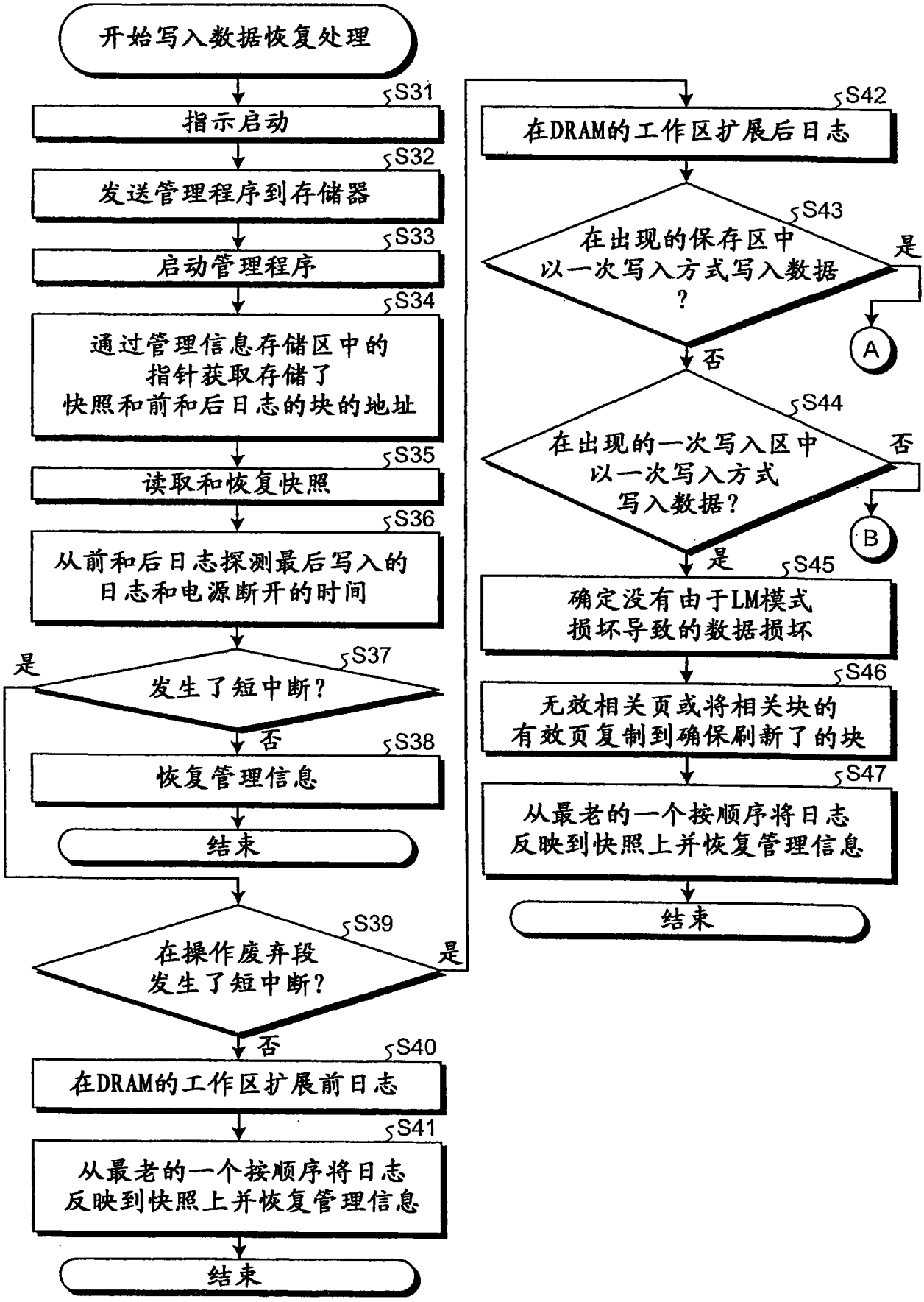

开始写入数据恢复处理
S31
指示启动
S32
发送管理程序到存储器
S33
启动管理程序
S34
通过管理信息存储区中的
指针获取存储了
快照和前和后日志的块的地址
S35
读取和恢复快照
S36
从前和后日志探测最后写入的
日志和电源断开的时间
S37
发生了短中断?
是
否
S38
恢复管理信息
结束
S39
在操作废弃段
发生了短中断?
是
否
S40
在DRAM的工作区扩展前日志
S41
从最老的一个按顺序将日志
反映到快照上并恢复管理信息
结束
S42
在DRAM的工作区扩展后日志
S43
在出现的保存区中
以一次写入方式写入数据
?
是
A
否
S44
在出现的一次写入区中
以一次写入方式
写入数据?
否
B
是
S45
确定没有由于LM模式
损坏导致的数据损坏
S46
无效相关页或将相关块的
有效页复制到确保刷新了的块
S47
从最老的一个按顺序将日志
反映到快照上并恢复管理信息
结束

图16

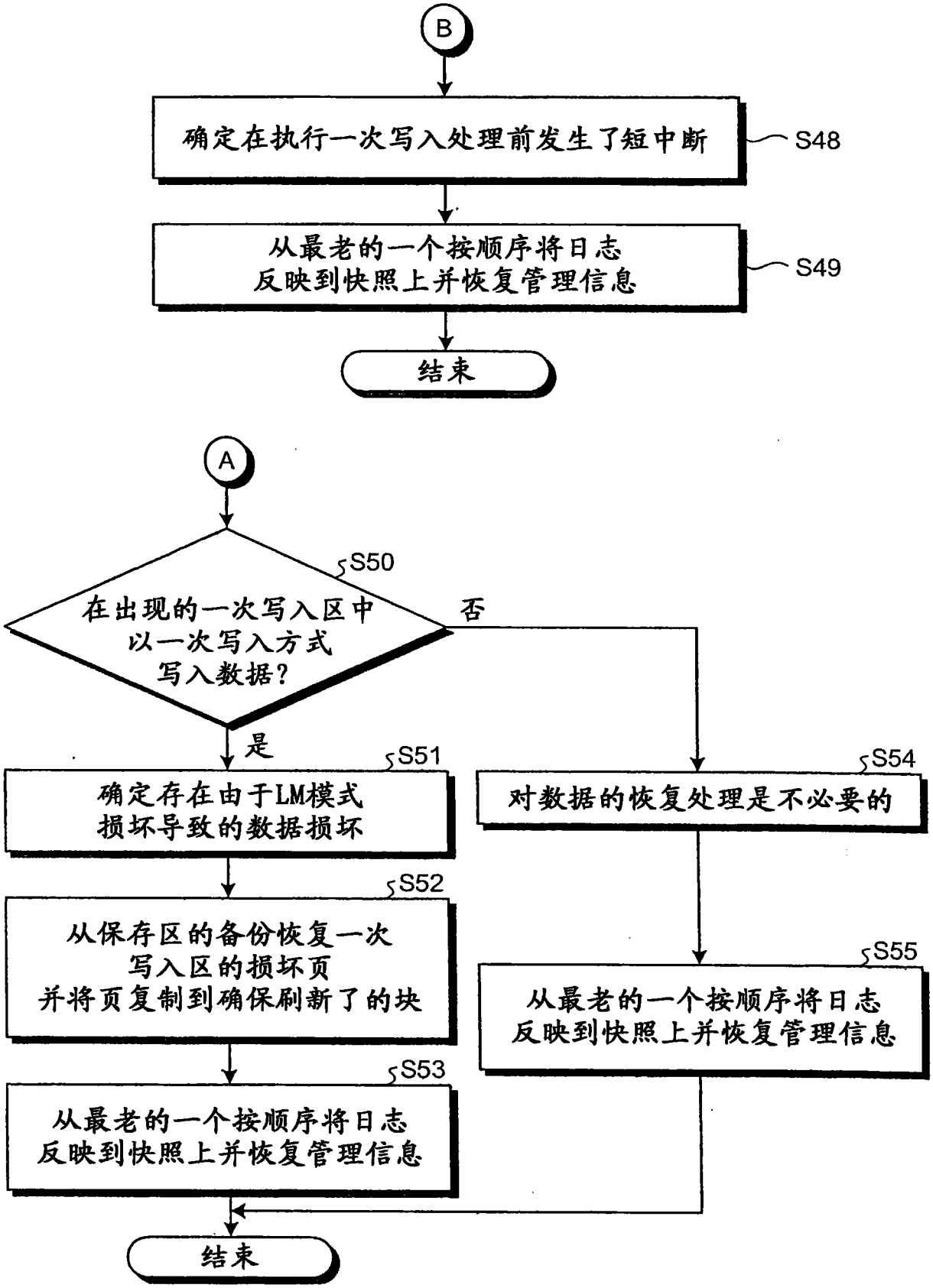

B
确定在执行一次写入处理前发生了短中断
S48
从最老的一个按顺序将日志
反映到快照上并恢复管理信息
S49
结束
A
S50
在出现的一次写入区中
以一次写入方式
写入数据?
否
是
S51
确定存在由于LM模式
损坏导致的数据损坏
S52
从保存区的备份恢复一次
写入区的损坏页
并将页复制到确保刷新了的块
S53
从最老的一个按顺序将日志
反映到快照上并恢复管理信息
S54
对数据的恢复处理是不必要的
S55
从最老的一个按顺序将日志
反映到快照上并恢复管理信息
结束

图17