

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 17/00

(45) 공고일자 1990년11월26일
(11) 공고번호 90-008636

(21) 출원번호	특1987-0008694	(65) 공개번호	특1988-0003335
(22) 출원일자	1987년08월08일	(43) 공개일자	1988년05월16일
(30) 우선권 주장	61-185246 1986년08월08일 일본(JP)		
(71) 출원인	후지쓰 가부시끼가이샤 야마모토 다쿠마 일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015반지		
(72) 발명자	스즈끼 야스오 일본국 가나가와켄 요코하마시 미도리구 이부끼노 31-19-505 스즈끼 야스아끼 일본국 가나가와켄 가와사끼시 나카하라구 미야우찌 367다이 3 야마나카 소 10 히라오 히로시 일본국 가나가와켄 가와사끼시 다마구 노보리토 2223 고가네소 5		
(74) 대리인	장용식		

심사관 : 정현영 (책자공보 제2115호)

(54) 각각이 3상태중 하나를 기억하는 메모리셀을 갖춘 판독전용기억(ROM)장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

각각이 3상태중 하나를 기억하는 메모리셀을 갖춘 판독전용기억(ROM)장치

[도면의 간단한 설명]

제1도는 본 발명에 따른 ROM에 사용된 전계효과 트랜지스터의 배치도.

제2도는 게이트의 폭에 따른 전계효과 트랜지스터의 특성도.

제3도는 본 발명에따른 ROM의 기본구조의 배치도.

제4도는 메모리셀 트랜지스터의 상태에 대한 노드전위의 관계도.

제5도는 본 발명의 실시예에 따른 ROM.

제6도는 셀레벨전압 발생회로의 구조예.

제7도는 본 발명에 따른 ROM에 사용된 디코더 구조의 예.

* 도면의 주요부분에 대한 부호의 설명

1 : 다수의 메모리셀 2 : 기준셀
41 : 셀전압 발생회로 5 : 비교기 회로

[발명의 상세한 설명]

본 발명은 각각이 3상태중 하나를 기억할 수 있는 메모리셀을 갖춘 판독전용기억장치(ROM)에 관한 것이다.

집적회로의 집적도를 증가시키기 위한 관심이 소위 다치(multi-value) 레벨 메모리셀이라 불리는 메모리 셀에 주어져 왔다(예를 들어 USP 4449203, USP 4503518 및 IEEE Journal of Solid State Circuits Vol. SC-16, No. 5 참조). 다치 레벨을 갖는 이러한 메모리셀로 데이터를 기억하는 것은 일반적으로 메모리셀 트랜지스터의 상호 콘덕턴스(트랜스 콘덕턴스)(gm)를 변경시킴에 의해 수행된다. 예를들어 메모리셀 트랜지스터의 gm은 3상태 : 상태1, 상태2와 상태3에 각각 대응하는 3종류의

gm, 즉 gm(1), gm(2)와 gm(3)에서 선택될 수 있다.

종래기술에 있어서 이들 3종류의 gm은 상태1과 상태2 사이의 중간치의 gm을 갖는 제1기준 트랜지스터와 상태2와 상태3 사이의 중간치의 gm을 갖는 제2기준 트랜지스터를 구비하고 기준 트랜지스터의 출력을 메모리셀 출력과 비교함에 의해 수행된다. 이 경우 기준 트랜지스터의 제조 정밀도를 더욱 더 증가시키는데 어려움이 있고 ROM 장치의 회로구성이 비교적 복잡해지는 문제가 발생한다. 따라서 ROM 장치의 집적도를 쉽게 증가될 수 있다.

본 발명의 목적은 메모리셀과 기준 트랜지스터의 수가 감소되고, ROM 장치의 회로구성이 간단해지고 ROM 장치의 집적도가 증가된 개량된 ROM을 제공하는 것이다.

본 발명의 다른 목적은 이러한 ROM 장치내에 메모리셀이 기억된 정보의 정확한 판독을 수행하는 것이다.

본 발명에 따라 각 트랜지스터가 3치 레벨을 가지며 데이터를 기억하기 위한 복수의 메모리셀 트랜지스터 ; 기준전압레벨을 제공하기 위한 기준 트랜지스터 ; 셀트랜지스터에 선택적으로 접속된 셀레벨 전압 발생회로 ; 기준 트랜지스터에 접속된 기준전압레벨 발생회로 ; 및 비교기 회로의 소정 노드에 전위의 논리조합을 발생하도록 셀레벨전압 발생회로와 기준전압레벨 발생회로의 출력전압을 비교하기 위한 비교기회로를 포함하는 각각이 3치 레벨을 갖는 메모리셀을 구비한 판독전용 기억장치가 제공된다. 셀트랜지스터의 3치레벨에 대한 상태는 발생된 전위의 논리조합에 기초하여 결정된다.

본 발명의 바람직한 실시예를 설명하기전에 본 발명에 따른 ROM에 사용되는 집적회로의 패턴을 제1도를 참조하여 설명하며 ROM의 메모리셀 게이트의 유효폭에 대한 특성은 제2도를 참조하여 설명된다. 제1도에 표시된 바와같이 메모리셀의 집적회로의 패턴을 반도체기판 내의 확산층, 예를 들어 알루미늄의 비트선 및 예를 들어 다결정 실리콘의 워드선으로 구성된다. 전계효과 트랜지스터는 확산층과 워드선의 겹침부에 형성되고 게이트는 확산층과 워드선 사이의 교차의 영역에 의해 정의된다. 게이트이 유효폭(W)은 워드선의 길이 방향을 따른 게이트의 길이(W)이다.

게이트의 유효폭(W)과 전압레벨 V(셀)사이의 관계가 제2도에 표시되어 있다. 게이트이 유효폭 0, a, b에 따라서 각각 gm : gm(1), gm(2), gm(3)의 3치에 대응하는 3상태 : 상태1, 상태2, 상태3이 정의된다. 고전압레벨(V_H)은 gm(1)을 갖는 상태1로 실현되고, 중간 전압레벨(V_R)은 gm(2)를 갖는 상태2로 실현되며 저전압레벨(V_L)은 gm(3)을 갖는 상태3으로 실현된다.

제2도와 관련하여 기준전압V(REF1)과 V(REF2)가 미리 선택되고 3기준전압을 사용하여 상태1, 상태2 및 상태3의 검출이 수행되는 것으로 간주될 수 있다. 그러나 이러한 경우에 기준셀 트랜지스터가 기준전압 V(REF1)과 V(REF2)를 발생하기 위해 필요하다는 문제가 발생한다.

본 발명에 따른 ROM에 있어서 이러한 기준셀 트랜지스터가 필요한 것이 명백하다.

본 발명에 따른 3치 레벨을 갖는 메모리셀을 구비한 ROM에 관한 회로의 기본구조가 제3도에 표시되어 있다. 제3도에 표시된 회로에는 메모리셀 트랜지스터(Q), 기준 트랜지스터(Q_R), 셀레벨전압 발생회로(41), 기준전압 발생회로(42), 비교기(5), 및 디코딩 회로(6)가 구비되어 있다.

메모리셀 트랜지스터(Q)의 gm은 gm(1), gm(2), gm(3)중의 하나이다. 기준 트랜지스터(Q_R)의 gm은 gm(2)이다. 셀레벨전압 발생회로(41)는 메모리셀 트랜지스터(1)의 출력을 전압 V(셀)으로 변환하며 기준전압레벨 발생회로(42)는 기준 트랜지스터(2)의 출력을 기준 전압(V_R)으로 변환한다.

전압(V(셀)과 V_R)은 비교기 회로(5)에 공급된다. 비교기(5)에서 스위칭 회로(Q₃)는 부하 트랜지스터(Q₁)와 셀레벨전압 발생회로(41) 사이에 접속되며 스위칭 트랜지스터(Q₄)는 부하 트랜지스터(Q₂)와 기준 전압레벨 발생회로(42)에 접속된다.

트랜지스터(Q₁과 Q₂)는 P채널형이나 드레인-게이트 접속 n채널 엔헨스먼트형 트랜지스터는 트랜지스터(Q₁ 및 Q₂)로서 사용될 수 있다. 더욱이 소스-게이트 접속 n채널 디플리션형 트랜지스터도 트랜지스터(Q₁ 및 Q₂)로 사용될 수 있다.

스위칭 트랜지스터(Q₃ 및 Q₄)는 각각이 예를들어 0.5V의 드레시홀드 전압을 갖는 n채널형 트랜지스터이다. 스위칭 트랜지스터(Q₃)는 기준레벨 발생회로(42)로부터 전달된 V_R에 의해 제어되며 스위칭 트랜지스터(Q₄)는 셀레벨전압 발생회로(41)로부터 전달된 V(셀)에 의해 제어된다. 메모리셀 트랜지스터(Q)의 상태, 즉 메모리셀 트랜지스터(Q)의 gm은 스위칭 트랜지스터(Q₃와 Q₄)의 노드(N₁과 N₂)의 전위의 논리관계로 판별된다.

제4도에 이 논리관계가 표시되어 있다. 상태1에서 N₃와 N₄의 전위는 각각 V_H와 V_R이며, 여기서 V_H는 V_R보다 크고 Q₃와 Q₄의 상태는 각각 오프와 온이며 N₁과 N₂의 전위는 각각 하이와 로우이며, 여기서 하이는 V_{cc}이고 로우는 대략 R_R이다. 상태2에서 N₃와 N₄의 전위는 모두 V_R이고 Q₃와 Q₄의 상태는 모두 오프이며 N₁과 N₂의 전위는 모두 하이이며, 여기서 하이는 V_{cc}이다. 상태3에서 N₃와 N₄의 전위는 V_L과 V_R이며, 여기서 V_L은 보다 V_R보다 낮고, Q₃와 Q₄의 상태는 각각 온과 오프이며, N₁과 N₂의 전위는 각각 로우와 하이이며 로우는 대략 V_R이고 하이는 V_{cc}이다.

제4도에 표시된 논리관계에 따르면 상태1, 상태2와 상태3 사이의 판정은 노드 N₁과 N₂의 전위 사이의 논리관계에 기초를 둘 수 있다. 더욱이 노드 N₁, N₂, N₃와 N₄ 전위 사이의 확장논리 관계에 기초하면 상태1, 상태2, 상태3 사이의 보다 신뢰할 수 있는 판정을 얻을 수 있다.

본 발명의 실시예에 따르면 각각 3치 레벨을 갖는 메모리셀을 구비한 ROM이 제5도에 표시되어 있다.

제5도의 ROM은 메모리셀($Q_0, Q_1, \dots, Q_0, m-1 \dots Q_{n-1}, m-1$)을 갖는 메모리셀 어레이(1), 비트선($BL_0, BL_1, \dots, BL_{m-1}$), 워드선($WL_0, WL_1, \dots, WL_{n-1}$), 기준 트랜지스터(2), 행 어드레스 버퍼(31), 행 어드레스 디코더(32), 열 어드레스 버퍼(33), 열 어드레스 디코더(34), 셀레벨전압 발생회로(41), 기준전압레벨 발생회로(42), 비교기 회로(센스 증폭기 회로)(5), 및 디코딩 회로를 포함한다.

제3도의 회로내의 메모리셀 트랜지스터(Q)는 제5도에서 메모리셀 트랜지스터($Q_0, Q_1, \dots, Q_0, m-1, \dots, Q_{n-1}, m-1$)중 하나를 나타내며 제3도 회로의 기준 트랜지스터(Q_R)는 제5도의 기준 트랜지스터(2)를 나타낸다.

워드선($WL_0, WL_1, \dots, WL_{n-1}$)의 선택은 행 어드레스 버퍼(31)로부터 행어드레스 신호를 수신하는 행 어드레스 디코더(32)에 의해 수행되고 비트선($BL_0, BL_1, \dots, BL_{m-1}$)의 선택은 열 어드레스 버퍼(33)으로부터 열어드레스 신호를 수신하는 열 어드레스 디코더(34)에 수행된다.

n채널 엔헨스먼트 전계효과형 메모리셀 트랜지스터($Q_0, Q_1, \dots, Q_0, m-1, \dots, Q_{n-1}, m-1$)가 비트선($BL_0, BL_1, \dots, BL_{m-1}$)과 워드선($WL_0, WL_1, \dots, WL_{n-1}$)사이의 교점에 배치되어 있다. 각 메모리셀 트랜지스터 3gm치 : gm(1), gm(2) 및 gm(3)중 하나를 갖는다. gm치중 하나의 지정, 즉 메모리셀 트랜지스터에 데이터를 기억하는 것은 메모리셀 트랜지스터의 유효폭(W)의 값을 선택함에 의해 수행된다.

유효폭(W)의 값을 선택하는 것을 예를들어 메모리셀 트랜지스터의 게이트 바로 밑에 보론, 비소, 인 등과 같은 불순물의 도우핑양을 변경함에 의해 이루어질 수 있다.

예를들면 만약 워드선(WL_0)이 행 어드레스 디코더(32)에 의해 선택되고 비트선(BL_0)이 열 어드레스 디코더(34)에 의해 선택될 경우 메모리셀 트랜지스터(Q_0)가 선택되며 따라서 전류는 메모리셀 트랜지스터(Q_0)을 통하여 셀레벨전압 발생회로(41)를 경유하여 흐른다.

따라서 메모리셀 트랜지스터(Q_0)의 gm치에 대응하는 비트선(BL_0)의 전위는 비교기(5)에 전압(V(셀))으로서 제공된다.

기준 트랜지스터(Q_R)의 gm은 치(gm(2))로 조정되고 기준 트랜지스터(Q_R)에 접속된 기준전압레벨 발생회로(42)로부터 전달된 전압(V_R)은 비교기 회로(5)에 공급된다.

셀레벨전압(41)의 출력(V(셀))과 기준전압레벨 발생회로(42)의 출력(V_R)은 또한 디코딩회로(6)에 공급된다. 비교기 회로(5)의 출력신호는 디코딩 회로(6)에 공급된다.

디코딩 회로(6)에서, 상태1, 상태2, 상태3 사이의 판별은 전압(V(셀))에 따라서 수행되며 이 판별에 기초하여 3출력신호(X_0, X_1 과 X_2)가 전달된다.

출력신호 " $X_0=1, X_1=0, X_2=0$ "는 상태1을 나타내며, 출력신호 " $X_0=0, X_1=1, X_2=0$ "는 상태2를 나타내고, 출력신호 " $X_0=0, X_1=0, X_2=1$ "는 상태3을 나타낸다.

제5도의 셀레벨전압 발생회로(41)의 구조의 예가 제6도에 표시되어 있고 제5도의 디코딩 회로(6)의 구조예가 제7도에 표시되어 있다.

제6도에 표시된 바와 같이 셀레벨전압 발생회로(41)는 메모리셀 트랜지스터(Q), 열 게이트 트랜지스터(Q_{61}) 및 트랜지스터(Q_{62} 내지 Q_{66})로 구성되는 레벨변환회로를 포함한다.

제7도에 표시된 바와 같이 디코딩 회로(6)는 차동증폭기(61), 반전기(62, 62과 64), NOR 게이트(69), 반전기(70과 71), 차동증폭기(65) 및 반전기(66, 67 및 68)를 포함한다.

차동증폭기(61)는 제1입력으로 노드(N_2)의 전압을, 제2입력으로서 V(셀)인 노드(N_3)의 전압을 받아들인다. 차동증폭기(65)는 제1입력으로서 노드(N_1)의 전압을, 제2입력으로서 V_R 인 노드(N_4)의 전압을 수신한다.

차동증폭기(61)와 반전기(62, 63과 64)는 직렬로 접속되어 출력신호(X_0)를 발생한다. NOR 게이트(69)는 반전기(62와 66)의 출력을 수신하여 NOR 게이트(69)와 반전기(70과 71)는 직렬로 접속되어 출력신호(X_1)를 발생한다. 차동증폭기(65)와 반전기(66, 67과 68)는 그 직렬로 접속되어 출력신호(X_2)를 발생한다.

메모리셀 트랜지스터가 상태1인 경우에 노드(N_3)의 전위는 하이, 즉 V_R 이고, 노드(N_2)의 전위가 로우이며, 따라서 차동증폭기(61)의 출력전위는 로우이다. 따라서 반전기(64)의 출력전위는 하이이다. 그러므로 출력(X_0)은 "1"이다.

이 경우에 노드(N_1)의 전위가 기준전압레벨 발생회로(42)의 출력전압인 전압(V_R)에 대해 하이이다. 그러므로 차동증폭기(65)의 출력전위는 하이가 되며 따라서 반전기(68)의 전위는 로우가 된다. 그러므로 출력(X_2)은 "0"이 된다. 이경우에 NOR 게이트(69)의 출력전위는 로우이며 따라서 반전기(71)의 출력전위는 로우가 된다. 그러므로 출력(X_1)은 "0"이 된다. 결국 출력 " X_0, X_1, X_2 "은 각각 "1, 0, 0"이 된다.

메모리셀 트랜지스터가 상태2인때 노드(N_3)의 전위는 V_R 이고 노드(N_2)의 전위는 하이, 즉 V_{CC} 이며 따라서 차동증폭기(61)의 출력전위는 하이이다. 따라서 반전기(64)의 출력전위는 로우이다. 따라서 출력(X_0)은 "0"이다. 이경우에 차동증폭기(65)의 출력전위는 하이이며 따라서 반전기(68)의 출력전위

는 로우이다. 그러므로 출력(X_2)은 "0"이다. 따라서 반전기(62와 66)의 출력전위는 모두 "로우"이고 따라서 NOR 게이트(69)의 출력전위는 하이이다. 따라서 반전기(71)의 전위는 하이이고 그러므로 반전기(71)의 출력(X_1)의 전위는 "1"이 된다. 결국 출력 " X_0, X_1, X_2 "은 각각 "0, 1, 0"이 된다.

메모리셀 트랜지스터가 상태3인때 노드(N_3)의 로우레벨로서 전위는 V_1 이고 노드(N_2)의 전위는 하이레벨로서 V_{cc} 이며 따라서 차동증폭기(61)의 출력전위는 하이가 된다. 따라서 반전기(64)의 출력전위는 로우이고 그러므로 출력(X_0)은 "0"이다. 이경우에 노드(N_1)의 전위는 노드(N_4)의 전위는 노드(N_4)의 전위(V_R)에 대해 로우이며 따라서 차동증폭기(65)의 전위는 로우가 되고, 따라서 반전기(68)의 출력전위는 하이이다. 그러므로 출력(X_2)은 "1"이다. 이경우에 반전기(66)의 출력전위는 하이이며 따라서 NOR 게이트(69)의 출력전위는 로우가 된다. 그러므로 출력(X_1)은 "0"이다. 결국 출력 " X_1, X_2, X_3 "은 각각 "0, 1, 0"된다.

제6도에 표시된 디코딩 회로 대신에 단지 노드(N_1 과 N_2)의 전위의 논리조합을 수행하기 위한 회로에 의해 디코딩 회로를 구성하는 것도 가능하다.

(57) 청구의 범위

청구항 1

각각이 3상태중 하나를 기억하는 다수의 메모리셀(1); 상기 메모리셀 중 선택된 하나에 기억된 상태에 대응하는 셀전압을 제공하기 위한 상기 다수의 메모리셀에 접속된 셀레벨전압 발생회로(41); 3상태의 중간 상태를 기억하는 메모리셀에 의해 제공되는 셀전압과 실질적으로 동일한 기준전압을 제공하기 위한 상기 다수의 메모리셀(1)을 위하여 제공되는 기준셀(2); 기준셀에 접속된 기준전압레벨 발생회로(42); 및 셀전압과 기준전압 사이의 비교결과에 기초하여 논리출력신호를 발생하기 위하여 상기 셀전압 발생회로(41)와 상기 기준셀(2)에 접속되는 비교기 회로(5)를 포함하는 것을 특징으로 하는 판독전용기억장치(ROM).

청구항 2

제1항에 있어서, 상기 메모리셀은 메모리셀 트랜지스터($Q_0, Q_1, \dots, Q_0, \dots, Q_{n-1}, \dots, Q_{n-1}, \dots$)로 구성되며, 상기 메모리셀 트랜지스터의 상기 3상태는 메모리셀 트랜지스터 유효 게이트 폭을 변경함에 의해 실현되는 것을 특징으로 하는 판독전용기억장치.

청구항 3

제1항에 있어서, 상기 비교기 회로는 각각이 전압소스(V_{cc})에 연결된 제1부하 트랜지스터(Q_1)와 제2부하 트랜지스터(Q_2)는, 상기 제1부하 트랜지스터(Q_3)와 상기 셀레벨전압 발생회로(41) 사이에 접속되며 상기 기준전압에 의해 제어되는 제1스위칭 트랜지스터(Q_3), 및 상기 제2부하 트랜지스터(Q_2)에 접속되고 셀 전압에 의해 제어되는 제2스위칭 트랜지스터(Q_4)를 포함하는 것을 특징으로 하는 판독전용 기억장치.

청구항 4

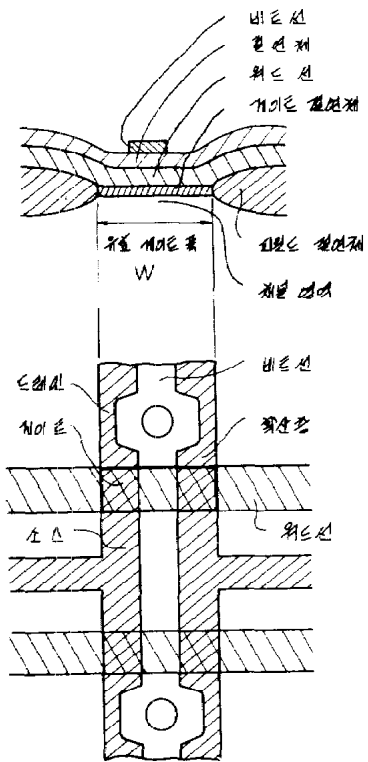
제1항에 있어서, 상기 셀레벨전압 발생회로(41), 상기 기준셀(2) 및 상기 비교기 회로(5)에 접속되어, 상기 메모리셀에 기억된 3상태에 대응하는 디코더 출력신호를 발생하는 디코딩 회로(6)를 더 포함하는 것을 특징으로 하는 판독전용기억장치.

청구항 5

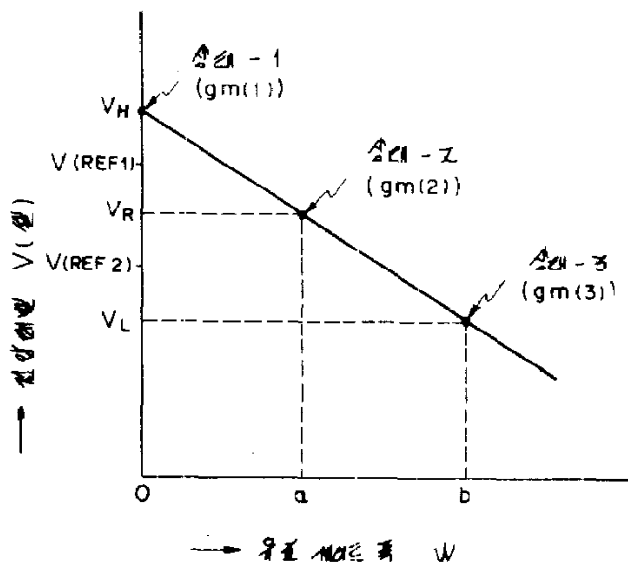
제4항에 있어서, 상기 디코딩 회로는 차동증폭기(61, 65), 반전기(62, 63, 64, 66, 67, 68, 70, 71) 및 NOR 게이트(69)의 조합에 의해 구성되는 것을 특징으로 하는 판독전용기억장치.

도면

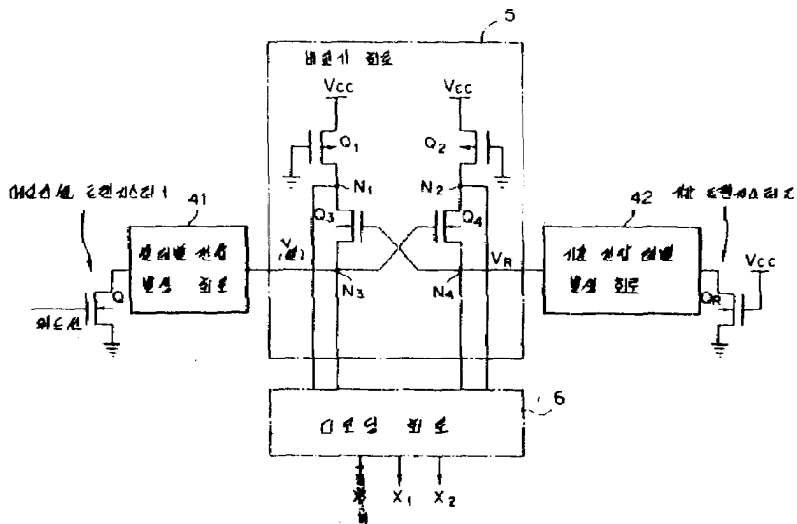
도면1



도면2



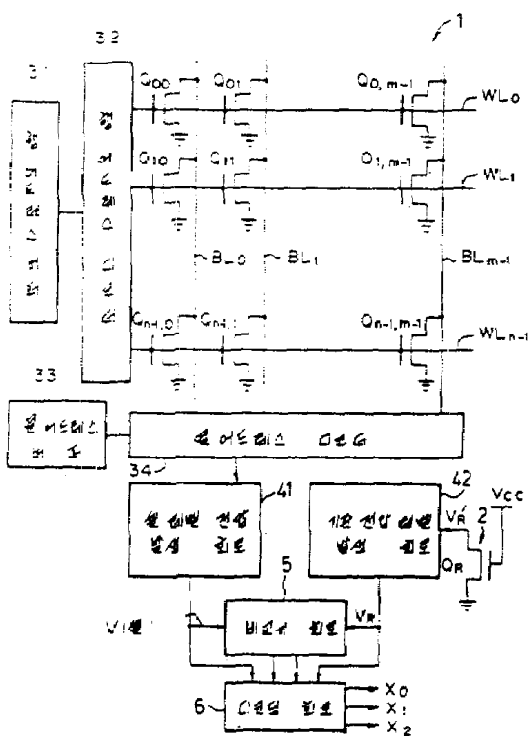
도면3



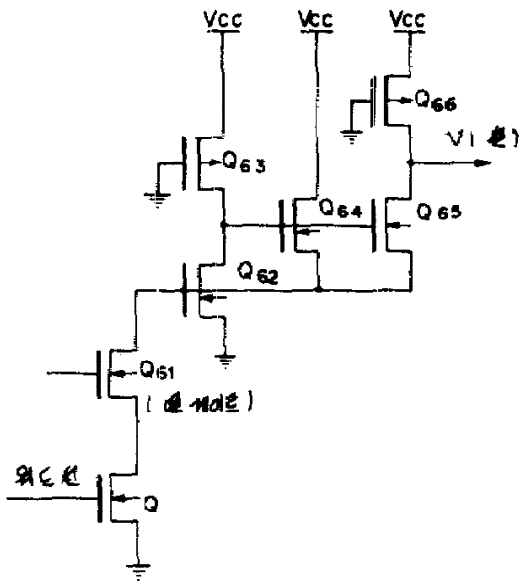
도면4

	N_3 의 전위	N_4 의 전위	Q_3 의 상태	Q_4 의 상태	N_1 의 전위	N_2 의 전위
상태-1	V_H ($V_H > V_R$)	V_R	오픈	온	하이 ($= V_{CC}$)	로우 ($= V_R$)
상태-2	V_R	V_R	오픈	오픈	하이 ($= V_{CC}$)	하이 ($= V_{CC}$)
상태-3	V_L ($V_L < V_R$)	V_R	온	오픈	로우 ($= V_L$)	하이 ($= V_{CC}$)

도면5



도면6



도면7

