

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G11C 11/22		(45) 공고일자	2005년12월08일
		(11) 등록번호	10-0534220
		(24) 등록일자	2005년12월01일
(21) 출원번호	10-2000-0006465	(65) 공개번호	10-2000-0062547
(22) 출원일자	2000년02월11일	(43) 공개일자	2000년10월25일
(30) 우선권주장	99-72639	1999년03월17일	일본(JP)
(73) 특허권자	후지쯔 가부시끼가이샤 일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1		
(72) 발명자	가또다쓰오 일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4-1-1 후지쯔가부 시끼가이샤내		
(74) 대리인	문두현 문기상		

심사관 : 오응기

(54) R O M 데이터를 유지하는 강유전체 메모리 장치

요약

본 발명은 제조 프로세스에 의하여 ROM 데이터를 기입하여 그 데이터를 복원할 수 있어, 그 후 개서, 복원이 가능한 강유전체 커패시터를 제공한다.

본 발명은 강유전체 커패시터를 갖는 메모리 셀로 되는 강유전체 메모리 장치에 있어서 메모리 셀은 히스테리시스 특성이 다른 강유전체 커패시터를 갖는 것을 특징으로 한다. ROM 데이터로서 다른 히스테리시스 특성의 커패시터가 제조 프로세스에서 형성된다. 그리고 그 히스테리시스 특성의 차이를 이용하여 제조 프로세스에서 기입된 ROM 데이터를 복원할 수 있어, 분극 방향으로 기록할 수 있다. 또 통상의 기입 방법으로 기록 데이터를 자유롭게 개서할 수 있어, 전원을 절단해도 기록 데이터가 유지된다. 그리고 최초의 ROM 데이터가 개서된 뒤에도, 상기의 다른 히스테리시스 특성을 이용함으로써 상기ROM 데이터를 복원할 수 있다.

대표도

도 2

색인어

히스테리시스 특성, ROM 데이터

명세서

도면의 간단한 설명

- 도1은 본 실시예에 의한 2T2C구성의 강유전체 메모리 셀을 나타내는 도면.
 도2는 면적이 다른 커패시터의 히스테리시스 곡선을 나타내는 도면.
 도3은 본 실시예에 의한 2T2C형식의 셀의 초기 데이터(ROM 데이터)를 복원하는 프로세스의 타이밍차트도.
 도4는 본 실시예의 1트랜지스터, 1커패시터(1T1C)구성의 메모리 셀을 나타내는 회로도.
 도5는 면적이 다른 커패시터의 히스테리시스 곡선을 나타내는 도면.
 도6은 본 실시예에 의한 1T1C구성의 셀에서의 초기 데이터복원 프로세스의 타이밍차트를 나타내는 도면.
 도7은 본 실시예의 강유전체 메모리 장치의 전체 구성을 나타내는 도면.
 도8은 본 실시예에 의한 2T2C형식의 메모리 셀의 초기 데이터 기입을 설명하는 도면.
 도9는 종래예의 강유전체 메모리 셀의 회로도.
 도10은 강유전체막의 히스테리시스 곡선을 나타내는 도면.
 도11은 본 명세서의 강유전체 커패시터의 분극 방향의 정의를 나타내는 도면.
 도12는 종래예에 의한 2T2C구성의 메모리 셀에서의 데이터 기입 및 관독의 타이밍차트도.

(부호의 설명)

MC 메모리 셀

C1, C2 강유전체 커패시터

WL 워드선

PL 플레이트선

BL, /BL 비트선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 강유전체 커패시터를 이용한 강유전체 메모리 장치에 관한 것으로, 특히 제조 공정에서 기록한 ROM 데이터를 유지할 수 있는 강유전체 메모리 장치에 관한 것이다. 본 발명의 강유전체 메모리 장치는 특히 마이크로 컨트롤러 등에 탑재되는 불휘발성 메모리로서 적합하다.

최근에 불휘발성 메모리로서 강유전체 커패시터를 이용한 강유전체 메모리 장치가 제안되고 있다. 이 강유전체 메모리 장치는 강유전체 커패시터의 강유전체막이 갖는 히스테리시스 특성과 잔류 분극 작용을 이용하여 데이터를 기억하고, 관독한다. 강유전체 커패시터에 일방향의 전계를 인가함으로써, 강유전체 커패시터를 일방향의 분극 상태로 하거나, 혹은 강유

전체 커패시터에 반대 방향의 전계를 인가함으로써 반대 방향의 분극 상태로 한다. 이와 같은 분극 상태는 강유전체 커패시터에 인가된 전계가 소멸된 뒤에도 잔류 분극으로서 유지된다. 따라서 강유전체 메모리 장치는 전원이 절단되어도 데이터를 유지할 수 있는 불휘발성 메모리로서 이용된다.

도9는 종래예에 의한 강유전체 메모리 셀의 회로도이다. 도면에 나타난 메모리 셀(MC)은 2T2C구성으로 불리고, 한쌍의 트랜지스터(Q1, Q2)와 이들에 접속된 한쌍의 강유전체 커패시터(C1, C2)를 가진다. 트랜지스터(Q1, Q2)의 게이트는 워드선(WL)에 접속되고, 또한 트랜지스터(Q1, Q2)의 소스 또는 드레인 전극은 한쌍의 비트선(BL, /BL)에 각각 접속된다. 또한 강유전체 커패시터(C1, C2)는 플레이트선(PL)에 접속된다. 그리고 센스 앰프(10)가 비트선쌍(BL, /BL)에 접속된다.

도9에 나타난 메모리 셀(MC)의 한쌍의 커패시터(C1, C2)를 각각 반대 방향으로 분극시킴으로써 데이터를 기록하고, 후술하는 방법으로 그 기록 데이터를 판독한다.

도10은 강유전체막의 히스테리시스 곡선을 나타내는 도면이다. 횡축에 인가 전계 또는 전압을 나타내고, 세로축에 분극 전하를 나타낸다. 이 히스테리시스 곡선을 따르면, 강유전체막의 분극 상태는 히스테리시스 곡선 중의 점K으로부터, 점L, 점M, 점N 및 점K의 경로로 변화한다.

도11은 본 명세서에서의 강유전체 커패시터의 분극 방향의 정의를 나타내는 도면이다. 도11에는 도10에서 나타낸 분극 상태K, L, M, N의 각각의 상태가 나타내진다. 도10 및 도11에 따라서 강유전체막의 히스테리시스 특성에 대해서 설명한다.

도11에 나타낸 바와 같이, 강유전체 커패시터(C1, C2)에 대하여, 예를 들면 5V의 전압을 인가하여 하향(下向)의 전계(Ek)를 인가하면, 커패시터(C1, C2)에는 도면 중의 하방향의 분극 전하-qs가 발생된다. 이 상태K로부터 커패시터 사이의 인가 전압을 없애면 상태L로 이행하고, 커패시터(C1, C2)에는 분극 전하-qr가 잔류된다. 한편, 강유전체 커패시터(C1, C2)에 대하여 도면 중의 상방향(上方向)으로 5V를 인가하면, 상방향의 전계(Em)가 인가되고, 분극 전하 + qs의 분극 상태M가 된다. 이 상태M으로부터 커패시터에로의 전압 인가를 없애도, 상태N과 같이 커패시터에는 + qr의 분극 전하의 분극 상태가 유지된다.

여기서 본 명세서에서는 커패시터 간에 전계 또는 전압이 인가된 상태K 또는 상태M일 때는, 실선의 화살표로 나타내고, 커패시터 간에 전위차가 없이 전계가 인가되지 않고 잔류 분극의 상태L 또는 N에서는 파선의 화살표로 나타내는 것으로 한다. 화살표의 방향은 각각의 분극의 방향을 가리킨다.

도12는 종래예에 의한 2T2C구성의 메모리 셀의 데이터 기입 및 판독의 타이밍차트도다. 이 타이밍차트에는 워드선(WL), 플레이트선(PL), 센스 앰프 동작, 비트선쌍(BL, /BL), 커패시터(C1, C2)의 분극 방향이 나타난다. 도12의 횡축 방향은 시간을 나타낸다.

다음에 도10 및 도12를 참조하여, 도9의 메모리 셀에로의 데이터 기입과 판독의 조작을 설명한다. 우선 라이트 사이클에서 시각Wt0에서는 강유전체 메모리 셀에 기입되고 있는 데이터는 가변으로 한다. 또한 비트선쌍(BL, /BL)은 중간 전위에 리셋되고, 워드선(WL) 및 플레이트선(PL)은 L레벨에 있다. 다음에 시각Wt1에서 워드선(WL)이 H레벨로 구동되면, 메모리 셀의 트랜지스터(Q1, Q2)가 도통하고, 한쌍의 커패시터(C1, C2)가 각각의 비트선쌍(BL, /BL)에 접속된다. 여기서 시각Wt2에서 기입 데이터에 따라서 센스 앰프(10)를 동작하여, 비트선쌍(BL)을 H레벨로 비트선(/BL)을 L레벨로 각각 구동한다. 그 결과, 강유전체 커패시터(C1)에는 하향의 전계가 인가되고, 상태K의 하향의 분극 상태가 된다. 이 때, 또 하나의 강유전체 커패시터(C2)에는 전계가 인가되고 있지 않기 때문에, 분극 방향은 가변인 채로이다.

그리고 다음에 시각Wt3에서 플레이트선(PL)을 H레벨로 구동하면, L레벨의 비트선(/BL)에 접속되어 있는 커패시터(C2)가 C1과 반대 방향으로 분극한다. 즉, 커패시터(C2)는 상태M이 되고, 커패시터(C1)는 상태L이 된다. 다음에 플레이트선(PL)을 L레벨로 돌리어 커패시터(C1)를 재차 분극시킨 후, 시각Wt5에서 워드선(WL)을 L레벨로 돌리고 셀 트랜지스터(Q1, Q2)를 오프로 한다. 그 결과, 커패시터(C1)는 하향의 분극 상태L이 되고, 커패시터(C2)는 상향의 분극 상태N이 된다. 이 분극 상태가 전원을 오프로 해도 잔류하여 유지된다.

다음에 판독 동작에서는 시각Rt0에서 비트선쌍(BL, /BL)을 0V로 프리차지한다. 여기서 시각Rt1에서 워드선(WL)을 H레벨로 구동함과 동시에, 플레이트선(PL)을 H레벨로 구동하면, 커패시터(C1)는 상태L으로부터 상태M으로 이행하여 분극 반전한다. 한편, 커패시터(C2)는 상태N으로부터 상태M으로 이행한다. 그 결과, 분극 반전하는 강유전체 커패시터(C1)는 분극 반전하지 않는 강유전체 커패시터(C2)보다도 많은 전하를 비트선에 방출하여, 비트선쌍(BL, /BL) 간에 소정의 전위차가 발생된다.

다음에 시각Rt2에서 플레이트선(PL)을 L레벨로 한다. 그 결과, 비트선쌍의 전위는 다소 강하하지만, 상기 전위차는 유지된다. 시각Rt3에서 센스 앰프(10)를 활성화함으로써 비트선쌍 간의 전위차가 검출, 증폭된다. 그 결과, 강유전체 커패시터에 기억되고 있는 데이터가 비트선을 통해서 판독된다.

삭제

시각Rt1에서 양방의 커패시터(C1, C2)가 상방향의 분극 상태로 되기 때문에, 기억되어 있던 데이터가 파괴되고 있다. 여기서 시각Rt4 및 Rt5에서 플레이트선(PL)을 각각H레벨 및 L레벨로 구동함으로써, 센스 앰프의 증폭 결과를 강유전체 커패시터(C1, C2)에 부여하여 데이터의 재기입을 한다. 그리고 시각Rt6에서 워드선(WL)을 L레벨로 하면, 메모리 셀의 커패시터에는 기억 데이터를 따르는 잔류 분극 상태가 유지된다.

상기와 같은 강유전체 메모리 장치는, 예를 들면 마이크로 컨트롤러에 내장하여 사용되고, 개서가 가능한 ROM으로서 사용된다. 강유전체 메모리 장치가 불휘발성이기 때문에, 마이크로 컨트롤러의 동작 순서를 기술한 프로그램 등이 기입되는 경우가 있다. 마이크로 컨트롤러에 내장되고 있는 CPU는 이 강유전체 메모리에 기입된 프로그램에 따라서 필요한 동작을 한다.

발명이 이루고자 하는 기술적 과제

그렇지만, 이 강유전체 메모리 장치를 종래의 마이크로 컨트롤러에 내장되는 ROM에 치환하여 사용하는 경우, 다음과 같은 문제점이 있다.

강유전체 메모리 장치는 제조 프로세스를 종료한 직후에서는 메모리 내의 데이터는 모두 가변이 되어 있다. 따라서 어떠한 방법으로든 메모리 내에 데이터를 기입할 필요가 있다. 이 데이터를 기입하는 방법으로는 전용의 기입 장치를 이용하는 것도 생각되지만, 그 경우는 마이크로 컨트롤러 내에 기입 장치로부터 보내어지는 데이터를 강유전체 메모리에 기억하는 특별한 회로가 필요해진다. 따라서 강유전체 메모리 장치에 대하여, 종래의 ROM과 같이 제조 프로세스 공정에서 소망의 데이터를 미리 기록할 수 있는 것이 요망된다.

한편, 종래의 ROM은 일단 제조 프로세스에서 소망의 데이터가 기입되면, 그 후는 그 데이터를 개서할 수는 없다. 따라서 마이크로 컨트롤러 내의 ROM에 프로그램을 기록한 경우, 그 후의 프로그램의 변경은 불가능하다. 한편, 강유전체 메모리 장치는 자유롭게 기억 데이터의 개서를 할 수 있으므로, 종래의 ROM로 바꾸어 사용함으로써, 상기 프로그램의 변경을 가능하게 한다. 단, 프로그램의 변경이 자유롭게 할 수 있는 것은 반대로 말하면, 제조 프로세스에서 기억된 데이터를 잃을 수도 있는 것을 의미하고, 이러한 소실된 데이터를 복원 가능한 것이 요망된다.

그래서 본 발명의 목적은 제조 프로세스에서 소망의 데이터를 기록할 수 있는 강유전체 메모리 장치를 제공하는 것에 있다.

또한 본 발명의 목적은 제조 프로세스에서 기록된 데이터가 그 후에 개서된 후에도, 그 데이터가 필요해진 시점에서 복원할 수 있는 강유전체 메모리 장치를 제공하는 것에 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위해서, 본 발명은 강유전체 커패시터를 갖는 메모리 셀로 되는 강유전체 메모리 장치에 있어서, 메모리 셀은 히스테리시스 특성이 다른 강유전체 커패시터를 갖는 것을 특징으로 한다. ROM 데이터로서 다른 히스테리시스 특성의 캐패시가 제조 프로세스에서 형성된다. 그리고 그 히스테리시스 특성의 차이를 이용하여 제조 프로세스에서 기입된 ROM 데이터를 복원할 수 있고, 분극 방향으로 기록할 수 있다. 또 통상의 기입 방법으로 기록 데이터를 자유롭게 개서할 수 있어, 전원을 절단해도 기록 데이터가 유지된다. 그리고 최초의 ROM 데이터가 개서된 뒤에도, 상기의 다른 히스테리시스 특성을 이용함으로써, 상기ROM 데이터를 복원할 수 있다.

상기의 목적을 달성하기 위해서, 본 발명은 복수의 비트선과 복수의 워드선과의 교차 위치에 설치된 복수의 메모리 셀을 갖는 강유전체 메모리 장치에 있어서,

상기 복수의 메모리 셀은 제1 히스테리시스 특성의 강유전체 커패시터를 갖는 제1 메모리 셀과, 제2 히스테리시스 특성의 강유전체 커패시터를 갖는 제2 메모리 셀을 갖는 것을 특징으로 한다.

또한, 본 발명은 상기의 발명에 있어서,

상기 제1 히스테리시스 특성은 상기 강유전체 커패시터에 인가되는 소정의 전압 또는 전계 변화에 대하여 제1 분극 변화를 가지고, 상기 제2 히스테리시스 특성은 상기 소정의 전압 또는 전계 변화에 대하여 상기 제1 분극 변화보다 큰 제2 분극 변화를 갖는 것을 특징으로 한다.

또한, 본 발명은 상기의 발명에 있어서,

상기 제1 히스테리시스 특성의 강유전체 커패시터는 상기 제2 히스테리시스 특성의 강유전체 커패시터보다 용량이 작은 것을 특징으로 한다. 보다 구체적인 구성으로 말하면, 상기 제1 히스테리시스 특성의 강유전체 커패시터는 상기 제2 히스테리시스 특성의 강유전체 커패시터보다 면적이 작거나 또는 막두께가 큰 것을 특징으로 한다.

상기의 발명에 의하면, 히스테리시스 특성이 다른 강유전체 커패시터를 제조 프로세스에서 초기 데이터(ROM 데이터)에 따라서 형성함으로써, ROM 데이터가 기입된다. 이 히스테리시스 특성의 차이는 강유전체 커패시터에 제1 전압 또는 전계로부터 제2 전압 또는 전계로 변화시켰을 때의 커패시터의 분극 전하량의 변화량을 이용함으로써 복원할 수 있다.

본 발명은 1T1C구조의 메모리 셀, 또는 2T2C구조의 메모리 셀에 적용할 수 있다.

[실시예]

이하, 도면을 참조하여 본 발명의 실시예를 설명한다. 그렇지만 이러한 실시예가 본 발명의 기술적 범위를 한정하는 것은 아니다.

도1은 본 실시예에 의한 2T2C구조의 강유전체 메모리 셀을 나타내는 도면이다. 도9에 나타난 종래예와 마찬가지로, 한쌍의 비트선(BL, /BL) 및 그것에 교차하는 워드선(WL), 플레이트선(PL)이 설치되고, 이들 교차 위치에 한쌍의 트랜지스터(Q1, Q2)와 한쌍의 강유전체 커패시터(C1, C2)를 갖는 메모리 셀(MC)이 설치된다. 이 실시예에서는 제조 프로세스에서 강유전체 커패시터(C1)보다도 커패시터(C2) 쪽이 면적이 크고, 용량이 크게 되도록 형성된다. 비트선쌍(BL, /BL)에는 센스 앰프(10)와 리세트 회로(12)가 접속된다. 센스 앰프(10)는 종래예와 마찬가지로, 데이터 기입시에 기입 데이터에 따라서 비트선쌍을 구동하여, 데이터 판독시에 비트선쌍에 형성된 미소 전위차를 검출하여 증폭한다.

또 리세트 회로(12)는 제조 프로세스에서 기록된 데이터를 판독하기 위해서, 비트선쌍을 함께 H레벨로 리세트한다.

도2는 면적이 다른 커패시터의 히스테리시스 곡선을 나타내는 도면이다. 도1에서 나타난 바와 같이, 강유전체 커패시터(C1)의 면적보다, 다른 한쪽의 강유전체 커패시터(C2)의 면적이 크다. 이와 같이, 커패시터(C2) 쪽이 C1보다도 면적이 큰 상태를, ROM 데이터(초기 데이터) 0으로 한다. 따라서 커패시터(C1)의 면적이 커패시터(C2)보다 큰 경우는, ROM 데이터 1이 된다.

도2에 나타난 바와 같이, 면적이 작은 커패시터(C1)의 히스테리시스 곡선은 실선으로 나타난 바와 같이, 일정한 인가 전계 또는 전압의 변화에 대하여, 분극 전하량의 변화가 작다. 또한, 면적이 큰 커패시터(C2)의 히스테리시스 곡선에 의하면, 도면 중 파선으로 나타난 바와 같이, 일정한 인가 전계 또는 전압의 변화에 대하여 분극 전하의 변화는 보다 크다. 본 실시예에서는 이와 같은 히스테리시스 곡선의 크기의 차이를 이용하여, 제조 프로세스에서 기록된 ROM 데이터를 판독하여 메모리 셀 내에 재현하여 기입할 수 있다. 따라서 종래예에서 설명했던 바와 같이, 마이크로 컨트롤러에 특별한 기입 회로를 설치할 필요가 없다.

도3은 본 실시예에 의한 2T2C형식의 셀의 초기 데이터(ROM 데이터)를 복원하는 프로세스의 타이밍차트도이다. 도3에 나타난 시각t0으로부터 t9가 도2 중의 각 상태 K, L, M, N에 나타나 있다. 도3 및 도2에 따라서 ROM 데이터의 복원 프로세스를 설명한다.

제조 프로세스를 거친 직후의 시각t0에서 강유전체 커패시터(C1, C2)의 분극 방향은 가변이다. 시각t0에서는 비트선쌍은 소정의 중간 전위로, 플레이트선(PL)은 L레벨로 리세트되어 있다. 다음에 시각t1에서 워드선(WL)을 H레벨로 구동하여 비트선쌍(BL, /BL)을 각각의 강유전체 커패시터(C1, C2)에 접속한다.

시각t2에서 리셋 회로(12)가 구동하여 비트선쌍(BL, /BL)을 H레벨로 구동한다. 그 결과 양 커패시터(C1, C2)에는 비트선으로부터 플레이트선 방향(하방향)의 전계가 또는 전압이 인가되어, 양 커패시터는 하향의 분극 상태가 된다. 즉 도2중의 상태K1, K2가 된다. 그리고 시각t3에서 리셋 회로(12)에 의하여 비트선쌍(BL, /BL)을 L레벨로 프리차지한다. 그 결과, 양 커패시터에는 전위차가 없어지게 되지만, 하향의 파선의 화살표로 나타내는 바와 같이 잔류 분극 상태가 유지된다. 즉, 도2에서의 상태 L1, L2의 상태이다.

삭제

여기서, 시각t4에서 플레이트선(PL)을 H레벨로 구동하면, 커패시터(C1, C2)에 대하여 분극 반전이 일어난다. 즉, 도2 중에서 커패시터(C1)는 상태L1으로부터 상태M1로 옮겨지고, 커패시터(C2)는 상태L2으로부터 상태M2으로 이동한다. 그 결과, 히스테리시스 곡선이 큰 커패시터(C2)의 쪽이 히스테리시스 곡선이 작은 커패시터(C1)보다도 다량의 전하를 비트선에 방출한다. 그 결과, 도3의 시각t4에 나타낸 바와 같이, 비트선(/BL)의 전위가 비트선(BL)보다도 높게 된다.

삭제

시각t5에서 플레이트선(PL)을 L레벨로 돌리면, 비트선쌍의 전위는 근소하게 저하하지만 그 전위차의 관계는 유지된다. 이 상태에서는 도2중의 상태N1, N2가 되고 있다. 여기서 센스 앰프(10)를 활성화하여 비트선쌍에 나타나 있는 미소 전위를 검출하고 증폭함으로써, 비트선(/BL)은 H레벨로 구동되고, 비트선(BL)은 L레벨로 구동된다.

이 상태가 그 후의 시각t7의 플레이트선(PL)의 H레벨 및 시각t8의 플레이트선(PL)의 L레벨에 의하여, 종래예와 마찬가지로의 통상의 재기입의 원리로, 비트선쌍에 생성된 데이터가 메모리 셀의 강유전체 커패시터(C1, C2)에 부여되고, 초기 데이터(ROM 데이터)가 메모리 셀의 커패시터에 기입된다. 시각t9에서 워드선(WL)이 L레벨로 돌려져도, 그 기입된 커패시터의 분극 상태가 유지된다.

상기의 설명으로 이해되는 바와 같이, 시각t1으로부터 t6에서 제조 프로세스에서 기입한 커패시터의 면적의 대소에 대응하는 ROM 데이터가 비트선쌍에 판독된다. 그리고 시각t6으로부터 t9의 동작에 의하여, 그 ROM 데이터가 비트선쌍으로부터 메모리 셀에 기입된다. 이와 같이 제조 프로세스에서 메모리 셀의 커패시터의 히스테리시스 곡선을 바꾸는 것에 의하여 종래의 ROM와 마찬가지로 소망의 데이터를 기입할 수 있다. 그리고 시각t0으로부터 t6에 나타내는 동작에 의하여, 그 기입된 ROM 데이터가 판독되고, 시각t6으로부터 t9에 의하여 메모리 셀에 기입된다. 따라서 특별한 기입 장치를 이용하는 일이 없이 제조 프로세스에서 기입한 ROM 데이터(초기 데이터)를 강유전체 메모리 셀 내에 분극 상태로서 기입할 수 있다.

도1에 나타난 메모리 셀은 종래예와 마찬가지로 하여, 기입 데이터에 따라서 센스 앰프(10)는 비트선쌍을 구동함으로써, 임의의 기입 데이터를 메모리 셀(MC)에 기입할 수 있으며, 통상의 판독 동작에 의하여 그 데이터를 판독할 수 있다. 즉, 제조 프로세스에서 기록한 ROM 데이터와는 다른 임의의 데이터를 메모리 셀에 기입할 수 있다. 그리고 재차 도3에 나타난 초기 데이터 복원 프로세스를 함으로써, 제조 프로세스에서 기입한 소망의 ROM 데이터를 메모리 셀에 복원할 수 있다.

상기와 같이, ROM 데이터의 복원의 경우는 히스테리시스 곡선이 큰 커패시터(C2)에 의한 분극 전하량($qs_2 + qr_2$)보다, 히스테리시스 곡선이 작은 커패시터(C1)에 의한 분극 전하량($qs_1 + qr_1$) 쪽이 크기 때문에, 비트선쌍 간에 미소 전위차를 생성할 수 있다. 또 통상의 판독 동작에서는 커패시터(C1)의 상태L1으로부터 상태M1으로 변화할 때의 분극 전하량($qs_1 + qr_1$)이 반전 분극 상태의 커패시터(C2)의 상태N2으로부터 상태M2으로 변화할 때의 분극 전하량($qs_2 - qr_2$)보다도 큰 것이 필요해진다. 이러한 조건을 만족하는 히스테리시스 곡선을 가지도록 제조 프로세스에서 초기 데이터가 기입된다.

이와 같은 유전체 메모리를 마이크로 컨트롤러 내에 프로그램 기록용메모리로서 내장함으로써, 종래의 프로그램ROM와 마찬가지로 제조 프로세스에 의하여 소망의 데이터를 기입할 수 있고, 또한 제조 프로세스 후에 그 데이터를 개서할 수 있어, 개서한 뒤에 재차ROM 데이터에 복원할 수 있다. 따라서 마이크로 컨트롤러에 내장되는 프로그램ROM로서 이용하는 경우, 프로그램의 수정 변경을 할 수 있음과 동시에, 잘못하여 수정변경한 경우에서도 원래 초기 데이터를 간단하게 복원할 수 있다.

도4는 본 실시예의 1트랜지스터, 1커패시터(1T1C)구성의 메모리 셀을 나타내는 회로도이다. 도4에서 비트선쌍(BL, /BL)에 대하여, 워드선과 플레이트선이 3조 교차하여 배치된다. 워드선(WL0, WL1)은 통상 워드선이고, 워드선(WLr)은 레퍼런스용의 워드선이다. 마찬가지로, 플레이트선(PL0, PL1)은 통상의 플레이트선이고, 플레이트선(PLr)은 레퍼런스용의

플레이트선이다. 도4에는 통상의 메모리 셀(MC1, MC2)이 각각 비트선(BL) 측에 접속된다. 한편, 레퍼런스용의 메모리 셀(MCr)이 다른 쪽의 비트선(/BL) 측에 접속된다. 각각의 메모리 셀에는 1개의 트랜지스터(Q)와 1개의 강유전체 커패시터(C)가 설치된다.

본 실시예에서 메모리 셀(MC1)의 강유전체 커패시터(C1)의 면적은 메모리 셀(MC2)의 강유전체 커패시터(C2)의 면적보다도 작다. 또 레퍼런스용의 메모리 셀(MCr)의 강유전체 커패시터(Cref)의 면적은 양 커패시터(C1, C2)의 면적의 중간의 면적을 갖는다. 즉 커패시터(C1, Cref, C2)의 차례로 그 면적이 커지고, 커패시터의 용량이 커진다.

도5는 면적이 다른 커패시터의 히스테리시스 곡선을 나타내는 도면이다. 도4에 나타낸 바와 같이, 커패시터(C1, Cref, C2)의 차례로 면적이 커짐으로써, 도5에 나타낸 바와 같이 각각의 커패시터의 히스테리시스 곡선도 마찬가지로 커진다.

도4에 나타나는 1T1C구성의 메모리 셀에서 메모리 셀(MC1)을 판독하는 경우는 레퍼런스용의 메모리 셀(MCr)이 이용된다. 마찬가지로 메모리 셀(MC2)를 판독하는 경우도, 레퍼런스용의 메모리 셀(MCr)이 이용된다. 즉 1T1C구성의 메모리 셀의 경우는 각 메모리 셀은 1개의 트랜지스터와 1개의 강유전체 커패시터로 구성되고, 동일한 비트선에 접속되는 복수의 메모리 셀에 대하여 다른 쪽의 비트선에 접속되는 레퍼런스용의 1개의 메모리 셀(MCr)이 공유된다. 따라서 1개의 메모리 셀의 소자수를 줄여 메모리 용량을 크게 할 수 있다.

상기의 원리로부터 분명한 바와 같이, 메모리 셀(MC1)에 대하여 초기 데이터(ROM 데이터)의 복원 및 판독에는 도5의 커패시터(C1)의 히스테리시스 곡선과 커패시터(Cref)의 히스테리시스 곡선이 이용된다. 이것은 도2에서 나타낸 2T2C구성의 메모리 셀의 경우와 동일하다. 한편, 메모리 셀(MC2)에 대하여 초기 데이터(ROM 데이터)를 복원하는 경우 혹은 판독하는 경우는 도5에서의 커패시터(Cref)의 히스테리시스 곡선과 커패시터(C2)의 히스테리시스 곡선이 이용되고, 이 경우도 도2의 경우와 동일하다.

삭제

도6은 본 실시예에 의한 1T1C구성의 셀의 초기 데이터복원 프로세스의 타이밍차트를 나타내는 도면이다. 이 타이밍차트는 메모리 셀(MC1)에 대하여 초기 데이터를 복원하는 경우에 대해서 나타낸다. 도6의 타이밍차트는 도3에 나타난 타이밍차트와 거의 동일하다. 다른 점은 커패시터(C1)의 분극 방향과 레퍼런스용의 커패시터(Cref)의 분극 방향이 나타나고, 워드선 및 플레이트선에 대해서는 메모리 셀(C1)용의 워드선(WL0)과 플레이트선(PL0) 및 레퍼런스용의 워드선(WLr)과 플레이트선(PLr)이 나타난다. 그 이외의 점은 도3의 타이밍차트와 동일하다.

즉, 1T1C구성의 메모리 셀의 경우에서도, 시각t0으로부터 t6에서 초기 데이터를 판독하고, 시각t6으로부터 t9에서 판독된 초기 데이터를 메모리 셀 내에 분극 상태에서 기록한다. 도3의 경우와 마찬가지로, 시각t1에서 워드선이 H레벨로 구동하여, 시각t2에서 리셋 회로(12)에 의해 양 비트선쌍(BL, /BL)이 H레벨로 구동된다. 그 결과 커패시터(C1, Cref)에는 하향의 분극이 발생된다. 시각t3에서 리셋 회로(12)가 양 비트선쌍을 L레벨에 프리 차지한 후, 시각t4에서 플레이트선(PL0, PLr)을 H레벨로 구동하면, 양 커패시터의 히스테리시스 곡선의 크기의 차이에 따라서 비트선쌍에 다른 양의 전하가 유출된다. 도6의 예에서는 비트선(/BL)에 의하여 많은 전하가 유출되고, 비트선(BL)에는 적은 전하가 유출되며, 양 비트선쌍에 미소의 전위차가 발생된다.

삭제

이와 같이 하여 발생한 비트선쌍의 미소 전위차는 시각t6에서 센스 앰프(10)를 활성화함으로써, 검출 증폭된다. 그 결과 비트선(/BL)은 H레벨로, 비트선(BL)은 L레벨로 각각 구동되어, 초기 데이터가 비트선쌍에 판독된다. 그 후 시각t7에서 각각의 플레이트선을 H레벨로 구동하여 커패시터(C1)에 상향의 분극 상태를 생성한다. 또 시각t8에서 플레이트선을 각각 L레벨로 구동하고 레퍼런스용의 커패시터(Cref)에 하향의 분극 상태를 생성한다. 그리고 시각t9에서 워드선을 L레벨로 하여 메모리 셀에 잔류 분극 상태가 기록된다.

도4에 나타낸 1T1C구성의 메모리 셀의 경우, 메모리 셀(MC1)에는 커패시터(C1)밖에 설치되어 있지 않기 때문에, 도6에서 시각t8에서의 레퍼런스용 커패시터(Cref)에 대한 분극 생성은 특별히 필요하지 않다.

이상과 같이, 1개의 트랜지스터와 1개의 강유전체 커패시터를 갖는 메모리 셀 구성으로도, 제조 프로세스에서 기록한 초기 데이터(ROM 데이터)를 복원할 수 있고, 그 후에 필요에 따라서 메모리 셀의 데이터를 개서할 수 있어, 잘못하여 개서한 경우는 재차 초기 데이터(ROM 데이터)를 복원할 수 있다.

도7은 본 실시예의 강유전체 메모리 장치의 전체 구성을 나타내는 도면이다. 이 메모리 장치에는 4행8열의 메모리 셀(MC)이 나타나고, 각각의 메모리 셀에 워드선(WL)과 플레이트선(PL)이 접속되고, 또한 비트선쌍(BL, /BL)이 접속된다. 또 각각의 비트선쌍에는 센스 앰프(S/A)가 접속된다. 어드레스 신호(A0, A1)는 칼럼 셀렉터(22, 24)에 각각 부여되고, 어드레스 신호(A2, A3)는 로 셀렉터(20)에 부여된다. 각 메모리 셀에는 도식되는 0과 1의 초기 데이터(ROM 데이터)가 제조 프로세스에서 기입되고 있다.

도7에 나타난 강유전체 메모리 장치에 대하여 전술한 초기 데이터를 복원하는 경우에 대해서 설명한다. 도3 및 도6에 나타난 타이밍차트의 시각t0으로부터 t9를 참조하여 설명하면, 먼저 어드레스(A2, A3)를 00로 함으로써, 로 셀렉터(20)에 의하여 첫행째의 워드선(WL0)과 첫행째의 플레이트선(PL0)을 구동한다. 그 결과, 1행째의 8개의 메모리 셀(MC)에 대하여 일제히 초기 데이터를 복원할 수 있다. 다음에 어드레스(A2, A3)를 바꾸는 것에 의해서, 2행째의 8개의 메모리 셀에 대하여, 일제히 초기 데이터를 복원할 수 있다. 마찬가지로 3번째의 행 및 4번째의 행에 대해서도 일제히 초기 데이터를 복원할 수 있다. 따라서 제조 프로세스에서 기입한 초기 데이터(ROM 데이터)는 워드선과 플레이트선을 구동함으로써, 그 행의 복수의 메모리 셀에 대하여 일제히 복원할 수 있으므로, 초기 데이터의 복원 프로세스의 시간은 그다지 걸리지 않는 것이 이해된다.

도8은 본 실시예에 의한 2T2C형식의 메모리 셀의 초기 데이터 기입을 설명하는 도면이다. 제조 프로세스에서 스위치(SW1) 또는 스위치(SW2)의 어느 하나를 접속 혹은 절단함으로써, 커패시터(C1) 또는 커패시터(C2)의 면적을 크게 또는 작게 할 수 있다. 따라서 스위치(SW1, SW2)에 대해서는 예를 들면 비어홀을 형성하는 또는 형성하지 않는 마스크 데이터에 의하여 초기 데이터를 기입할 수 있다. 혹은 스위치(SW1, SW2)를 휴즈 구조로 하여 한편의 휴즈를 절단함으로써 초기 데이터를 기입할 수 있다.

메모리 셀은 1트랜지스터1커패시터에서 구성되는 경우는 단순히 추가의 커패시터를 병렬로 접속할지의 여부에 의하여 마찬가지로 초기 데이터를 기입할 수 있다.

상기 실시예에서 초기 데이터(ROM 데이터)의 기입은 메모리 셀의 커패시터의 면적을 바꾸는 것에 의하여, 다른 히스테리시스 특성을 갖게 했다. 본 발명은 이것에 한정되지 않고, 예를 들면 메모리 셀의 강유전체 커패시터의 막두께를 얇게 함으로써 용량을 크게 하고, 보다 큰 히스테리시스 특성을 가지게 할 수 있고, 혹은 막두께를 보다 두껍게 함으로써 용량을 작게 하여, 그 히스테리시스 특성을 작게 할 수 있다. 혹은 강유전체 커패시터의 재질을 바꾸는 것에 의하여 그 히스테리시스 곡선을 크게 또는 작게 하여 초기 데이터(ROM 데이터)를 기록할 수 있다.

발명의 효과

이상 본 발명에 의하면, 제조 프로세스에 의하여 초기 데이터(ROM 데이터)를 기입할 수 있다. 그리고 그 초기 데이터를 복원하여 메모리 셀에 기입할 수 있다. 또한 통상의 기입에 의하여 임의의 데이터에 변경할 수 있어, 재차 초기 데이터를 복원할 수 있다.

(57) 청구의 범위

청구항 1.

복수의 비트선과 복수의 워드선 사이의 교차부에 위치하는 복수의 메모리 셀을 구비하고,

상기 복수의 메모리 셀 각각은, 제 1 히스테리시스 특성을 갖는 강유전체 커패시터를 구비하는 제 1 메모리 셀과, 상기 제 1 히스테리시스 특성과는 다른 제 2 히스테리시스 특성을 갖는 강유전체 커패시터를 구비하는 제 2 메모리 셀을 포함하고,

제 1 데이터는 상기 제 1 및 제 2 히스테리시스 특성에 따라 메모리 셀에 저장되고, 상기 제 1 및 제 2 히스테리시스 특성에 따라 판독되며,

제 2 데이터는 상기 히스테리시스 특성의 제 1 및 제 2 분극 상태에 따라 메모리 셀에 저장되고, 상기 제 1 및 제 2 분극 상태에 따라 판독되는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 히스테리시스 특성은 상기 강유전체 커패시터에 인가되는 소정의 전압 또는 전계 변화에 대하여 제 1 분극 변화를 가지며, 상기 제 2 히스테리시스 특성은 상기 소정의 전압 또는 전계 변화에 대하여 상기 제 1 분극 변화보다 큰 제 2 분극 변화를 갖는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 3.

제 1 항에 있어서,

상기 제 1 히스테리시스 특성의 강유전체 커패시터는 상기 제 2 히스테리시스 특성의 강유전체 커패시터보다 용량이 작은 것을 특징으로 하는 강유전체 메모리 장치.

청구항 4.

제 1 항에 있어서,

상기 제 1 히스테리시스 특성의 강유전체 커패시터는 상기 제 2 히스테리시스 특성의 강유전체 커패시터보다 면적이 작거나 또는 막두께가 큰 것을 특징으로 하는 강유전체 메모리 장치.

청구항 5.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 메모리 셀은 상기 비트선과 강유전체 커패시터 간에 설치되어 상기 워드선에 의하여 도통이 제어되는 셀 트랜지스터를 갖고,

상기 강유전체 커패시터를 상기 비트선에 접속한 상태에서, 상기 강유전체 커패시터에 대하여 제 1 전압 또는 전계를 인가하여 상기 히스테리시스 특성에 따른 제 1 분극 상태로 하고, 상기 제 1 전압 또는 전계로부터 제 2 전압 또는 전계로 변화시켜 상기 히스테리시스 특성에 따른 제 2 분극 상태로 하여, 상기 제 1 분극 상태에서부터 제 2 분극 상태로의 변화에 대응하여 변화하는 상기 비트선의 전위 변화에 의해서 소망의 기록 데이터가 판독되는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 6.

제 5 항에 있어서,

상기 소망의 기록 데이터가 판독되었을 때의 상기 비트선의 전위에 따라서 상기 강유전체 커패시터가 대응하는 분극 상태로 되어, 상기 소망의 기록 데이터가 상기 메모리 셀에 기입되는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 7.

제 5 항에 있어서,

상기 비트선쌍을 소정의 전위로 구동하여 상기 강유전체 커패시터에 대하여 상기 제 1 전압 또는 전계를 인가하는 리세트 회로와,

상기 제 1 분극 상태에서부터 제 2 분극 상태로의 변화에 대응하여 변화하는 상기 비트선의 전위 변화를 검출하는 센스 앰프 회로를 더 갖는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 8.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 비트선은 1쌍의 비트선으로 구성되고, 상기 메모리 셀은 각각의 비트선쌍에 접속된 1쌍의 셀 트랜지스터와, 해당 1쌍의 셀 트랜지스터에 각각 접속된 1쌍의 강유전체 커패시터를 가지며, 해당 1쌍의 강유전체 커패시터가 상이한 히스테리시스 특성을 가지고, 상기 히스테리시스 특성의 조합에 의하여 소망의 기록 데이터가 기록되는 것을 특징으로 하는 강유전체 메모리 장치.

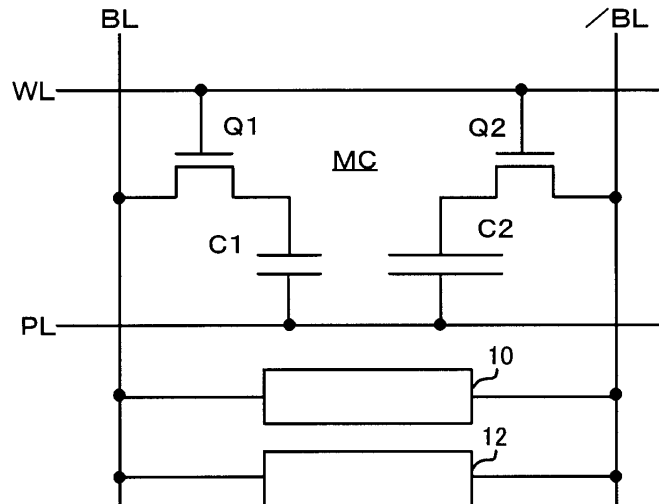
청구항 9.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

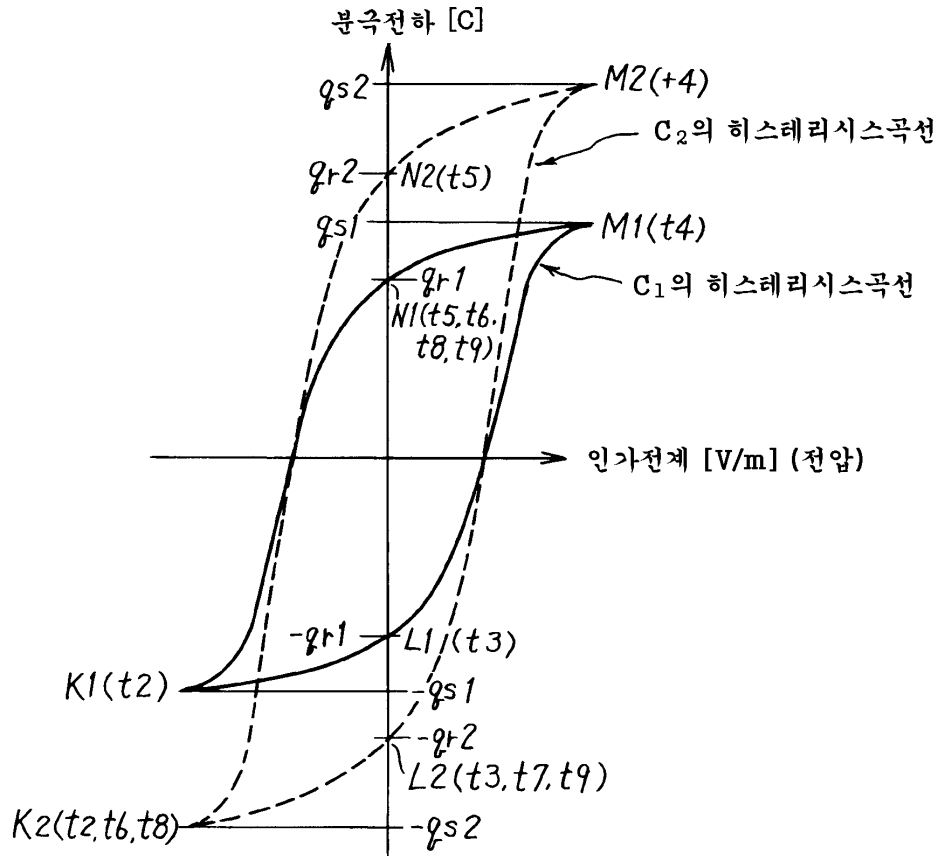
상기 메모리 셀은 상기 비트선에 접속된 1개의 셀 트랜지스터와, 상기 셀 트랜지스터에 접속된 상기 강유전체 커패시터를 갖는 것을 특징으로 하는 강유전체 메모리 장치.

도면

도면1

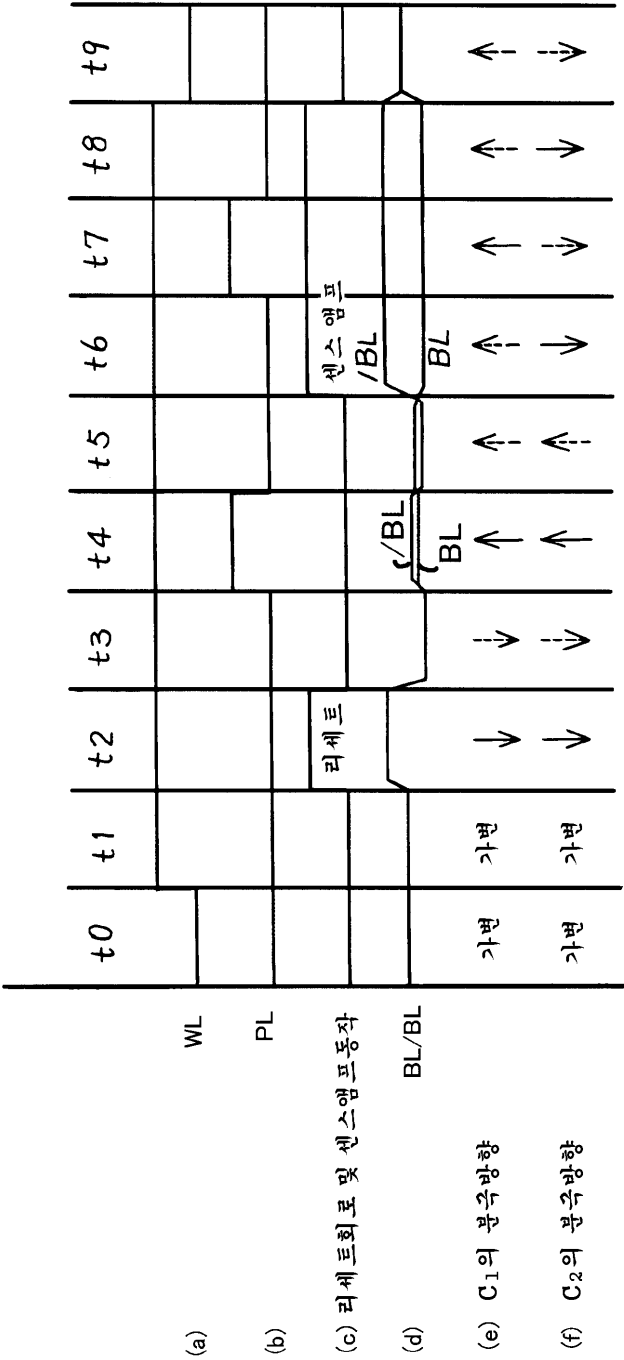


도면2

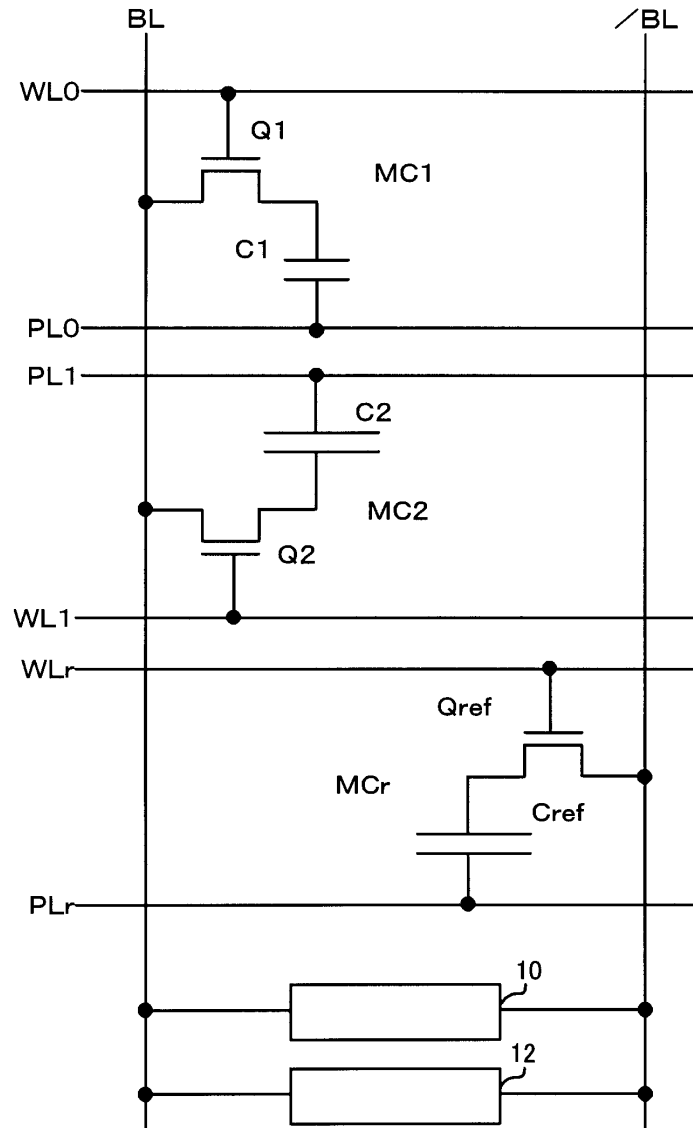


$$q_{s2} + q_{r2} > q_{s1} + q_{r1} > q_{s2} - q_{r2}$$

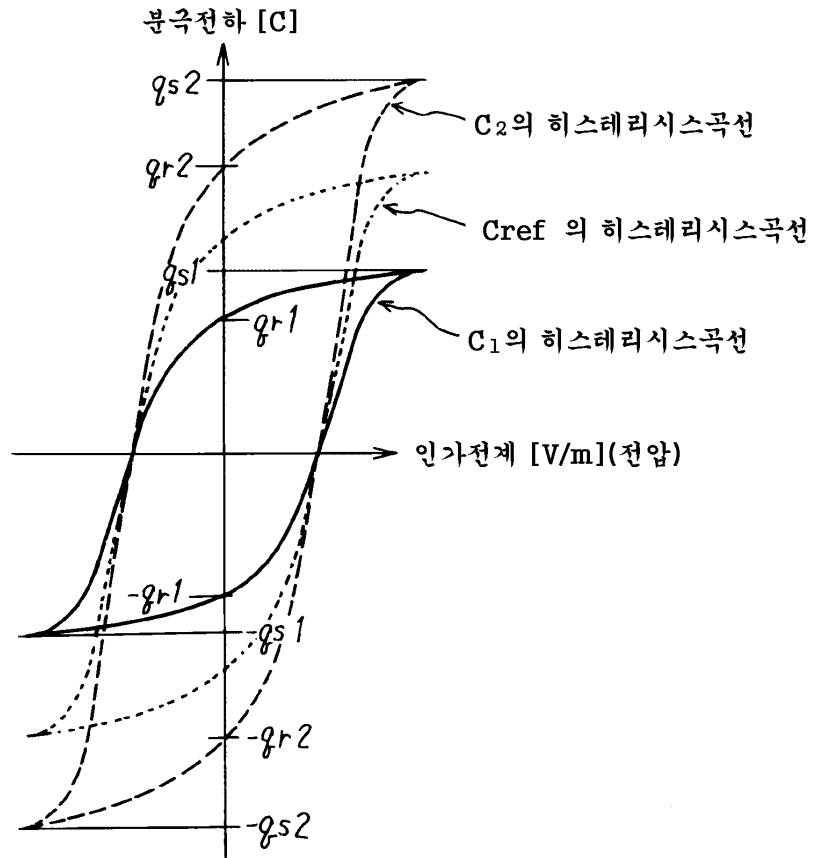
도면3



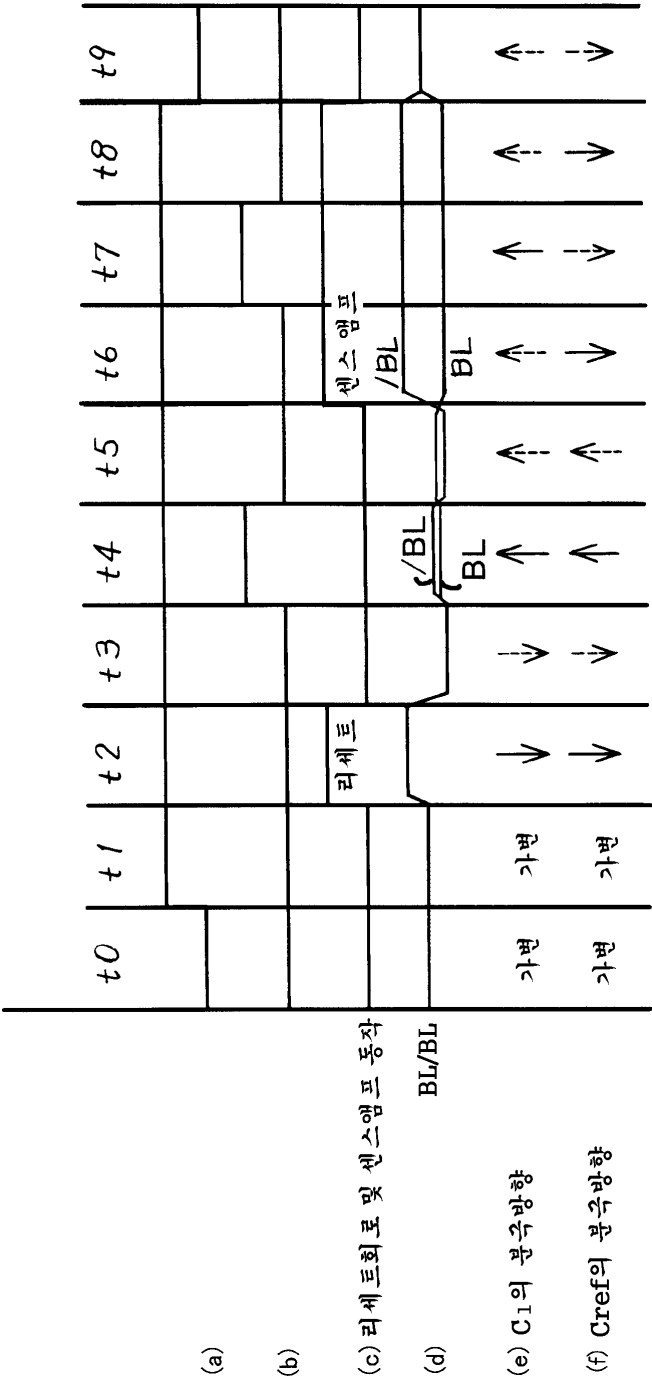
도면4



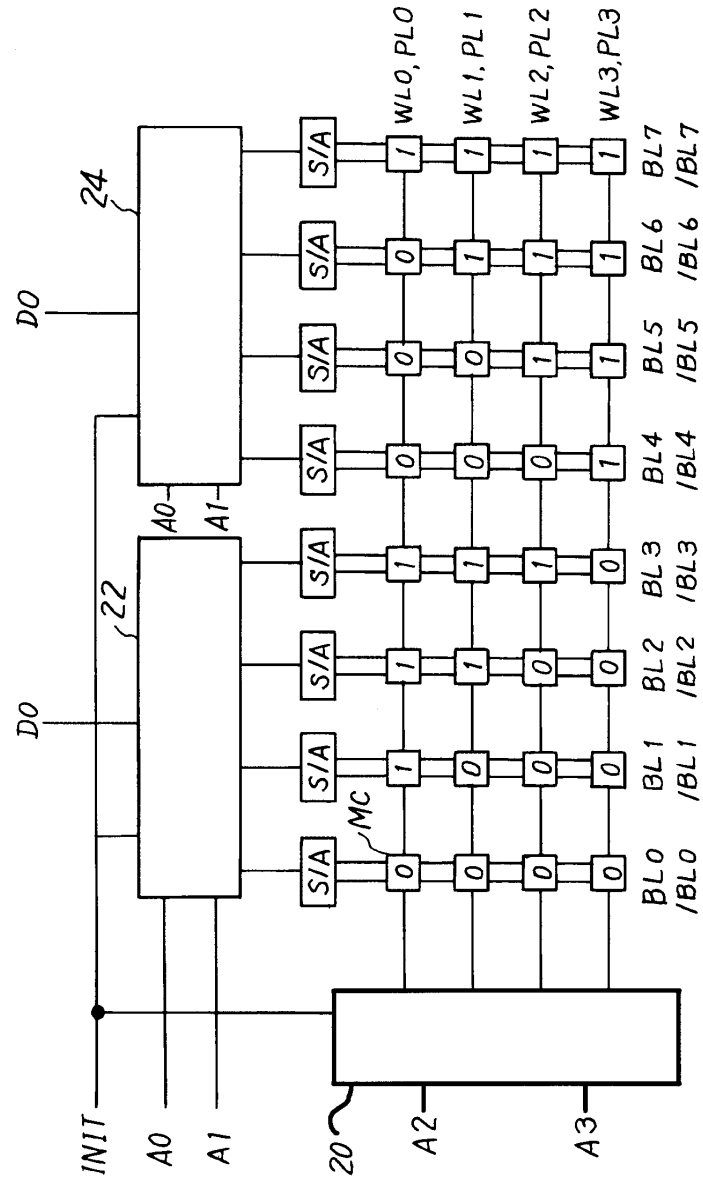
도면5



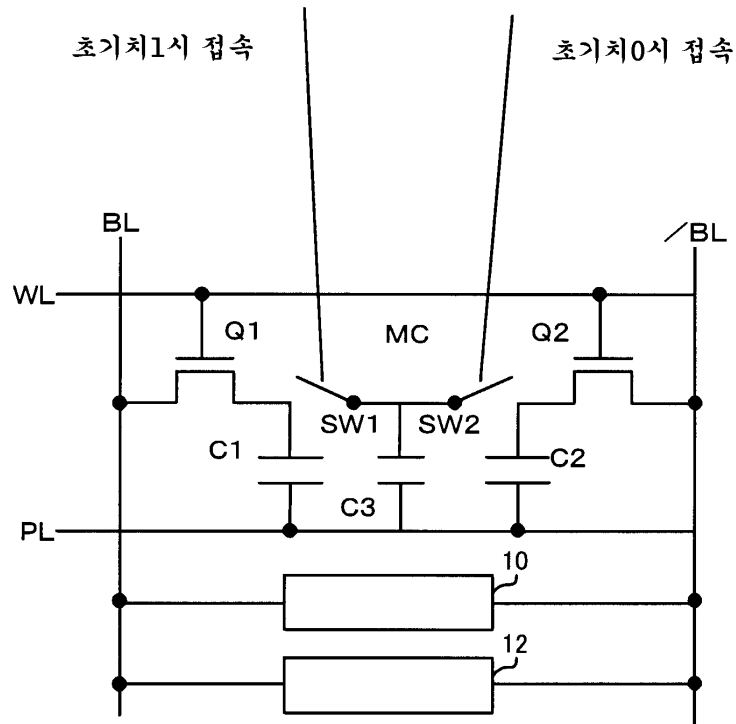
도면6



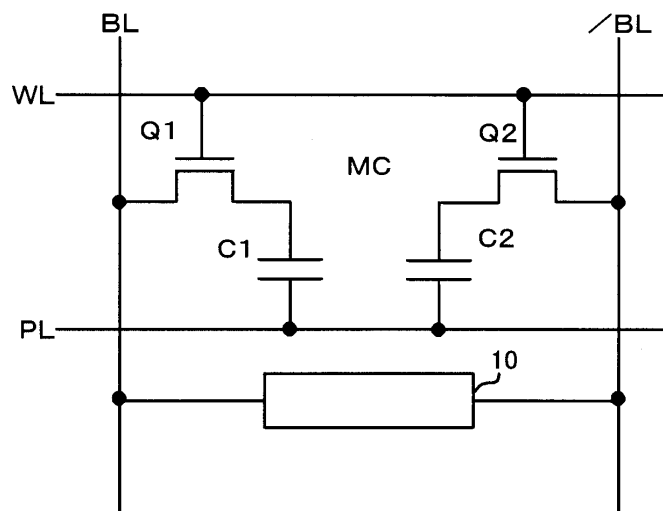
도면7



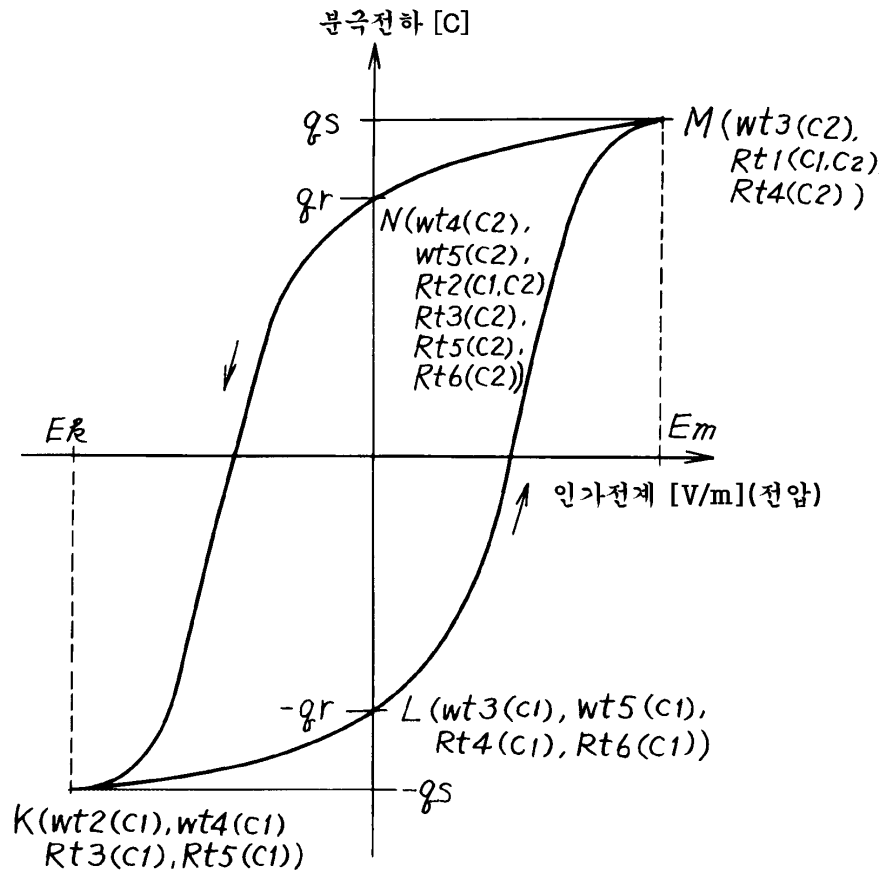
도면8



도면9

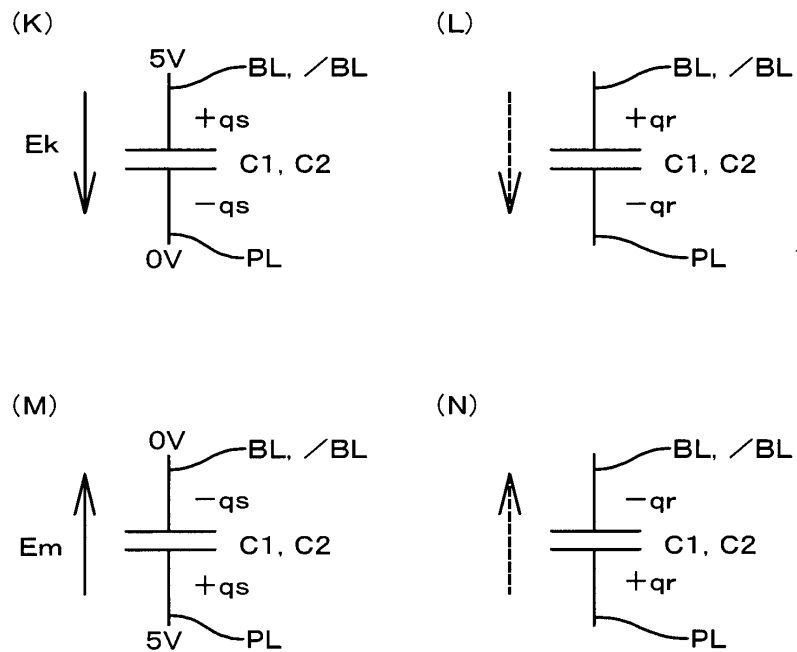


도면10



도면11

커패시터간에 전압인가 있을때 커패시터간에 전위차가 없을때



도면12

