



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 00804146.6

[45] 授权公告日 2005 年 4 月 13 日

[11] 授权公告号 CN 1197089C

[22] 申请日 2000.2.9 [21] 申请号 00804146.6

[30] 优先权

[32] 1999. 2. 22 [33] JP [31] 042666/1999

[86] 国际申请 PCT/JP2000/000698 2000.2.9

[87] 国际公布 WO2000/051134 日 2000.8.31

[85] 进入国家阶段日期 2001.8.22

[71] 专利权人 株式会社日立制作所

地址 日本东京

[72] 发明人 竹村理一郎 伊藤清男 关口知纪

阪田健 木村胜高

审查员 马晓亚

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

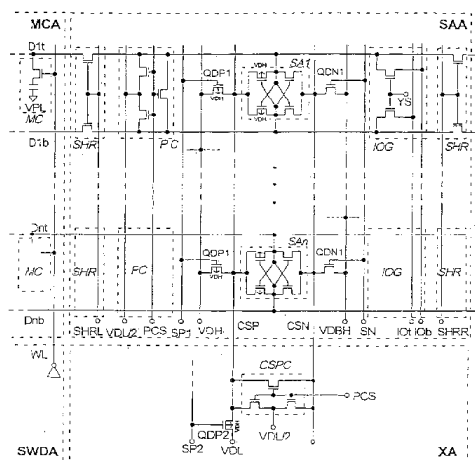
代理人 王永刚

权利要求书 11 页 说明书 28 页 附图 26 页

[54] 发明名称 半导体器件

[57] 摘要

即便存储器阵列的电压低, 读出放大器也能够高速地从存储单元读出弱信号而电力消耗很小。将用于过激励的驱动开关分散地配置在读出放大器区域内, 并将用于恢复的驱动开关集中地配置在读出放大器阵列的一端。通过网状电源线供给过激励电位。每个过激励开关最初从具有比数据线的振幅电压高的电压的数据线对读出数据, 实现高速读出。通过分散地配置驱动开关, 能够分散读出电流并减小一端与另一端之间的读出电压差。



1.半导体器件，其特征是它具有

用于将从多个存储单元读出到多条数据线上的信号在对应的上述数据线上放大到第1电压的多个读出放大器，

与上述多个读出放大器的电源供给节点共通连接的第1配线，

用于从上述第1配线的一端供给上述第1电压的第1开关，

沿上述多个读出放大器设置的，供给比上述第1电压大的第2电压的第2配线，和

在上述第1配线和上述第2配线之间沿上述多个读出放大器分布设置的第2开关。

2.权利要求1的半导体器件，其特征是上述第2配线是网状电源配线。

3.权利要求1的半导体器件，其特征是当激活上述多个读出放大器时，使上述第2开关在预定期间导通后，导通上述第1开关。

4.半导体器件，具有包含多个子存储器阵列的存储器阵列，其特征是

上述多个子存储器阵列中的各阵列备有

设置在第1方向上延伸的多条字线 and 第2方向上延伸的多条数据线的交点上的多个存储单元，

与上述多条数据线中的各条对应地设置的，分别包含交叉耦合的第1导电类型的第1MISFET对和第2导电类型的第2MISFET对的多个读出放大器，

在上述第1方向上延伸设置的，与上述多个读出放大器的第1MISFET对的源极耦合的第1共通源极线，

在上述第1方向上延伸设置的，与上述多个读出放大器的第2MISFET对的源极耦合的第2共通源极线，

在上述第1方向上延伸设置的，供给第1电位的第1电源配线，

在上述第1方向上延伸设置的，供给第2电位的第2电源配线，

供给第3电位的第3电源配线,

每隔预定数目的上述多个读出放大器在上述第1共通源极线和上述第1电源配线之间沿上述多个读出放大器设置的多个第1开关,

每隔预定数目的上述多个读出放大器在上述第2共通源极线和上述第2电源配线之间沿上述多个读出放大器设置的多个第2开关, 和
设置在上述第1共通源极线和上述第3电源配线之间的第3开关,
上述第3电位在上述第1电位和上述第2电位之间,

在对应的上述数据线上, 将从上述存储单元读出的信号放大到上述第2电位或上述第3电位。

5.权利要求4的半导体器件, 其特征是当在对应的上述数据线上读出存储在上述存储单元中的信息时, 在选出上述多条字线中的一条后, 使上述多个第1和第2开关处于导通状态, 经过预定期间后使上述多个第1开关处于非导通状态, 同时使上述第3开关处于导通状态。

6.权利要求5的半导体器件, 其特征是上述多个第1开关中的各开关都是第1导电类型的第3MISFET, 上述多个第2开关中的各开关都是第2导电类型的第4MISFET, 上述第1导电类型为P型, 上述第2导电类型为N型, 上述第1电位比上述第3电位高, 上述第3电位比上述第2电位高。

7.权利要求4的半导体器件, 其特征是

上述多个子存储器阵列具有

配置了上述多条字线, 上述多条数据线, 和上述多个存储单元, 具有共有一个角的第1边和第2边的方形的第1区域,

沿上述第1边设置的, 配置了上述多个读出放大器, 上述第1和第2共通源极线, 上述第1和第2电源配线, 以及上述多个第1和第2开关的第2区域,

沿上述第2边设置的, 配置了与上述多条字线中各条对应地设置的多个字线驱动电路或用于使上述多条字线中各条与上层的多条字线配线连接的多个连接部件的第3区域, 和

在由上述第1区域的上述一个角和上述第2及第3区域包围的区域

上设置的，配置了上述第3开关的第4区域。

8.权利要求4的半导体器件，其特征是上述多个子存储器阵列中的各阵列备有

在上述第2方向上延伸设置的，在其交点上与上述第1电源配线连接的，供给上述第1电位的多条第4电源配线，和

在上述第2方向上延伸设置的，在其交点上与上述第2电源配线连接的，供给上述第2电位的多条第5电源配线。

9.权利要求8的半导体器件，其特征是对于上述多个读出放大器，在预定数目的上述读出放大器中设置上述多条第4电源配线中的一条和上述多条第5电源配线中的一条。

10.权利要求4的半导体器件，其特征是上述多个存储单元中的各存储单元是包含1个MISFET和1个电容的动态型存储单元。

11.半导体器件，具有包含多个子存储器阵列的存储器阵列，其特征是

上述多个子存储器阵列中的各阵列备有

设置在第1方向上延伸的多条字线和第2方向上延伸的多条数据线的交点上的多个存储单元，

与上述多条数据线中的各条对应地设置的，分别包含交叉耦合的第1导电类型的第1MISFET对和第2导电类型的第2MISFET对的多个读出放大器，

在上述第1方向上延伸设置的，与上述多个读出放大器的第1MISFET对的源极耦合的第1共通源极线，

在上述第1方向上延伸设置的，与上述多个读出放大器的第2MISFET对的源极耦合的第2共通源极线，

在上述第1方向上延伸设置的，供给第1电位的第1电源配线，

在上述第1方向上延伸设置的，供给第2电位的第2电源配线，

供给第3电位的第3电源配线，

供给第4电位的第4电源配线，

每隔预定数目的上述多个读出放大器设置在上述第1共通源极线

和上述第 1 电源配线之间的多个第 1 开关，

每隔预定数目的上述多个读出放大器设置在上述第 2 共通源极线和上述第 2 电源配线之间的多个第 2 开关，

设置在上述第 1 共通源极线和上述第 3 电源配线之间的第 3 开关，
和

设置在上述第 2 共通源极线和上述第 4 电源配线之间的第 4 开关，

上述第 3 和第 4 电位在上述第 1 电位和上述第 2 电位之间，

在对应的上述数据线上，将从上述存储单元读出的信号放大到上述第 3 电位或上述第 4 电位。

12.权利要求 11 的半导体器件，其特征是

上述多个子存储器阵列具有

配置了上述多条字线，上述多条数据线，和上述多个存储单元，具有共有一个角的第 1 边和第 2 边的方形的第 1 区域，

沿上述第 1 边设置的，配置了上述多个读出放大器，上述第 1 和第 2 共通源极线，上述第 1 和第 2 电源配线，以及上述多个第 1 和第 2 开关的第 2 区域，

沿上述第 2 边设置的，配置了与上述多条字线中各条对应地设置的多个驱动电路或用于使上述多条字线中各条与上层的多条字线连接的多个连接部件的第 3 区域，和

设置在由上述第 1 区域的上述一个角和上述第 2 及第 3 区域包围的区域上的，配置了上述第 3 开关和第 4 开关的第 4 区域。

13.权利要求 12 的半导体器件，其特征是当在上述数据线上读出存储在上述存储单元中的信息时，在选出上述多条字线中的一条后，使上述多个第 1 和第 2 开关处于导通状态，经过预定期间后使上述多个第 1 和第 2 开关处于非导通状态，同时使上述第 3 和第 4 开关处于导通状态。

14.权利要求 11 的半导体器件，其特征是上述多个第 1 开关中的各开关都是第 1 导电类型的第 3MISFET，上述多个第 2 开关中的各开关都是第 2 导电类型的第 4MISFET，上述第 3 开关是第 1 导电类型的第 5MISFET，上述第 4 开关是第 2 导电类型的第 6MISFET，上述第 1 导

电类型为 P 型，上述第 2 导电类型为 N 型，

上述第 1 电位比上述第 3 电位高，上述第 3 电位比上述第 4 电位高，
上述第 4 电位比上述第 2 电位高。

15. 权利要求 11 的半导体器件，其特征是

上述第 3 和第 4 电源配线与上述第 1 和第 2 电源配线并列地在上述
第 1 方向上延伸设置，

上述第 3 开关每隔预定数目的上述多个读出放大器被分割成多个
单位第 3 开关，和

上述第 4 开关每隔预定数目的上述多个读出放大器被分割成多个
单位第 4 开关。

16. 权利要求 15 的半导体器件，其特征是

上述多个子存储器阵列具有

配置了上述多条字线，上述多条数据线，和上述多个存储单元，具
有共有一个角的第 1 边和第 2 边的方形的第 1 区域，

沿上述第 1 边设置的，配置了上述多个读出放大器，上述第 1 和第
2 共通源极线，上述第 1，第 2，第 3 和第 4 电源配线，上述多个第 1
和第 2 开关，以及上述第 3 和第 4 开关的第 2 区域，

沿上述第 2 边设置的，配置了与上述多条字线中各条对应地设置的
多个驱动电路或用于使上述多条字线中各条与上层的多条字线连接的
多个连接部件的第 3 区域。

17. 权利要求 16 的半导体器件，其特征是当在上述数据线上读出存
储在上述存储单元中的信息时，在选出上述多条字线中的一条后，使上
述多个第 1 和第 2 开关处于导通状态，经过预定期间后使上述多个第 1
和第 2 开关处于非导通状态，同时使上述第 3 和第 4 开关处于导通状态。

18. 权利要求 15 的半导体器件，其特征是上述多个第 1 开关中的各
开关都是第 1 导电类型的第 3MISFET，上述多个第 2 开关中的各开关
都是第 2 导电类型的第 4MISFET，上述多个单位第 3 开关中的各开关
是上述第 1 导电类型的第 5MISFET，上述多个单位第 4 开关中的各开
关是上述第 2 导电类型的第 6MISFET，上述第 1 导电类型为 P 型，上

述第2导电类型为N型,

上述第1电位比上述第3电位高,上述第3电位比上述第4电位高,上述第4电位比上述第2电位高。

19.半导体器件,其特征是它备有

用于放大在对应的多条数据线上从多个存储单元读出的信号的多
个读出放大器,

为了从第1网状电源配线供给与上述多个读出放大器的放大信号
的高电平关联的第1电位设置的多个第1MISFET,所述多个第
1MISFET中的每一个设置用于上述多个读出放大器中预定数目的上述
读出放大器,

为了从第2网状电源配线供给与上述多个读出放大器的放大信号
的低电平关联的第2电位设置的多个第2MISFET,所述多个第
2MISFET中的每一个设置用于上述多个读出放大器中预定数目的上述
读出放大器,

使上述多个第1和第2MISFET具有相同的导电类型,同时使上述
多个第1和第2MISFET的栅极与共同的驱动控制信号线连接,

上述驱动控制信号线,传达用于控制上述多个第1和第2MISFET
的导通状态的控制信号,

上述控制信号的有效电平和无效电平之间的电位差的绝对值比上
述第1电位和上述第2电位之间的电位差的绝对值大。

20.权利要求19的半导体器件,其特征是上述多个第1MISFET和
第2MISFET在沿上述多个读出放大器的第1方向上交互地配置,

上述驱动控制信号线形成在上述第1方向上,并被用来构成上述多
个第1和第2MISFET的栅极。

21.半导体器件,具有包含多个子存储器阵列的存储器阵列,其特征
是

上述多个子存储器阵列中的各阵列备有

设置在第1方向上延伸的多条字线和第2方向上延伸的多条数据线的
交点上的多个存储单元,

与上述多条数据线中的各条对应地设置的,分别包含交叉耦合的第1导电类型的第1MISFET对和第2导电类型的第2MISFET对的多个读出放大器,

在上述第1方向上延伸设置的,与上述多个读出放大器的第1MISFET对的源极耦合的第1共通源极线,

在上述第1方向上延伸设置的,与上述多个读出放大器的第2MISFET对的源极耦合的第2共通源极线,

在上述第1方向上延伸设置的,供给第1电位的第1电源配线,

在上述第1方向上延伸设置的,供给第2电位的第2电源配线,

对于上述多个读出放大器每隔预定数目的上述读出放大器在上述第1共通源极线和上述第1电源配线之间连接着源极和漏极路径设置的上述第2导电类型的多个第3MISFET,

对于上述多个读出放大器每隔预定数目的上述读出放大器在上述第2共通源极线和上述第2电源配线之间连接着源极和漏极路径设置的上述第2导电类型的多个第4MISFET,

在上述第1方向上延伸设置的,与上述多个第3和第4MISFET的栅极共通连接的第1驱动控制线,

上述多个读出放大器的上述第1MISFET对,沿上述第1方向配置,

上述多个读出放大器的上述第2MISFET对,沿上述第1方向配置,

上述多个第3和第4MISFET,沿上述第1方向设置在上述第1MISFET对和第2MISFET对之间。

22.权利要求21的半导体器件,其特征是上述多个第3和第4MISFET交互地配置在上述第1方向上。

23.权利要求21的半导体器件,其特征是

上述多个子存储器阵列中的各阵列具有

配置了上述多条字线,上述多条数据线,和上述多个存储单元,具有共有一个角的第1边和第2边的方形的第1区域,

沿上述第1边设置的,配置了上述多个读出放大器,上述第1和第2共通源极线,上述第1和第2电源配线,以及上述多个第3和第

4MISFET 的第 2 区域,

沿上述第 2 边设置的,配置了与上述多条字线中各条对应地设置的多个驱动电路或用于使上述多条字线中各条与上层的多条字线连接的多个连接部件的第 3 区域,

设置在由上述第 1 区域的上述一个角和上述第 2 及第 3 区域包围的区域上的,配置了与上述第 1 和第 2 共通源极线的一端连接的预充电电路的第 4 区域。

24.权利要求 21 的半导体器件,其特征是在上述多条数据线上从对应的存储单元读出的信号放大到上述第 1 电位或第 2 电位,

当激活上述多个读出放大器时,提供有在上述第 1 驱动控制线上加上比上述第 1 电位和上述第 2 电位之间的电压大的电压的一段时间。

25.权利要求 21 的半导体器件,其特征是

上述多个子存储器阵列中的各阵列进一步备有

供给第 3 电位的第 3 电源配线,

供给第 4 电位的第 4 电源配线,

在上述第 1 共通源极线的一端和上述第 3 电源线之间连接着源极和漏极路径的第 5MISFET, 和

在上述第 4 共通源极线的一端和上述第 4 电源线之间连接着源极和漏极路径的第 6MISFET,

上述第 3 电位和第 4 电位在上述第 1 电位和上述第 2 电位之间,上述第 1 电位和上述第 2 电位之间的电压比上述第 3 电位和上述第 4 电位之间的电压大,

在对应的上述数据线上,将从上述存储单元读出的信号放大到上述第 3 电位或上述第 4 电位。

26.权利要求 25 的半导体器件,其特征是当放大在对应的上述数据线上从上述存储单元读出的信号时,在选出上述多条字线中的一条后,使上述多个第 3 和第 4MISFET 处于导通状态,经过预定期间后使上述多个第 3 和第 4 MISFET 处于非导通状态,同时使上述第 5 和第 6MISFET 处于导通状态。

27.权利要求 25 的半导体器件,其特征是当上述多个第 3 和第 4MISFET 处于导通状态时,在上述第 1 驱动控制线上加上比上述第 1 电位和第 2 电位之间的电压大的电压。

28.权利要求 25 的半导体器件,其特征是上述半导体器件进一步具有用于形成为加在上述多条字线中选出的字线上的升压电压的升压电路,当上述多个第 3 和第 4MISFET 处于导通状态时,在上述第 1 驱动控制线上加上上述升压电压。

29.权利要求 21 的半导体器件,其特征是

上述多个子存储器阵列中的各阵列进一步备有

在上述第 1 方向上延伸设置的,供给第 3 电位的第 3 电源配线,

在上述第 1 方向上延伸设置的,供给第 4 电位的第 4 电源配线,

对于上述多个读出放大器每隔预定数目的上述读出放大器在上述第 1 共通源极线和上述第 3 电源配线之间连接着源极和漏极路径设置的上述第 2 导电类型的多个第 5MISFET,和

对于上述多个读出放大器每隔预定数目的上述读出放大器在上述第 2 共通源极线和上述第 4 电源配线之间连接着源极和漏极路径设置的上述第 2 导电类型的多个第 6MISFET,

上述第 3 和第 4 电位在上述第 1 电位和上述第 2 电位之间,上述第 1 电位和上述第 2 电位之间的电压比上述第 3 电位和第 4 电位之间的电压大,

在上述多条数据线上将从对应的存储单元读出的信号放大到上述第 3 电位或上述第 4 电位。

30.权利要求 29 的半导体器件,其特征是当放大在对应的上述数据线上从上述存储单元读出的信号时,在选出上述多条字线中的一条后,使上述多个第 3 和第 4MISFET 处于导通状态,经过预定期间后使上述多个第 3 和第 4 MISFET 处于非导通状态,同时使上述多个第 5 和第 6MISFET 处于导通状态。

31.权利要求 29 的半导体器件,其特征是当使上述多个第 3 和第 4MISFET 处于导通状态时,在上述第 1 驱动控制线上加上比上述第 1

电位和第2电位之间的电压大的电压。

32.权利要求29的半导体器件，其特征是上述半导体器件进一步具有用于形成为加在上述多条字线中选出的字线上的升压电压的升压电路，

当上述多个第3和第4MISFET处于导通状态时，在上述第1驱动控制线上加上上述升压电压。

33.权利要求21的半导体器件，其特征是上述第1导电类型为P型，上述第2导电类型为N型。

34.权利要求21的半导体器件，其特征是上述多个存储单元中的各个存储单元是包含1个MISFET和1个电容的动态型存储单元。

35.半导体器件，其特征是它备有

设置在多条字线和多条数据线的交点上的多个存储单元，

与上述多条数据线中的各条对应地设置的，分别包含交叉耦合的N型第1MISFET对和交叉耦合的P型第2MISFET对的多个读出放大器，

与上述多个读出放大器的第1MISFET对的源极共通连接的第1共通源极线，

与上述多个读出放大器的第2MISFET对的源极共通连接的第2共通源极线，

设置在上述第1共通源极线和第1电位之间的第1驱动装置，

设置在上述第2共通源极线和第2电位之间的第2驱动装置，

上述第1和第2驱动装置具有第1工作模式和第2工作模式，

上述第1驱动装置在上述第1工作模式中通过第1阻抗将上述第1电位和上述第1共通源极线连接起来，在上述第2工作模式中通过比上述第1阻抗大的第2阻抗将上述第1电位和上述第1共通源极线连接起来，

上述第2驱动装置在上述第1工作模式中通过第3阻抗将上述第2电位和上述第2共通源极线连接起来，在上述第2工作模式中通过比上述第3阻抗大的第4阻抗将上述第2电位和上述第2共通源极线连接起来，

在上述多个读出放大器将来自对应的存储单元的信号锁存起来的状态中，流过上述多个读出放大器的电流，在第2工作模式中比在上述第1工作模式中小。

36.权利要求35的半导体器件，其特征是上述半导体器件具有在上述第1和第2工作模式中向上述第1MISFET对的背栅供给与上述第1电位相等的或比它高的电位的第1衬底偏压的器件，和在上述第1和第2工作模式中向上述第1MISFET对的背栅供给与上述第2电位相等的或比它低的电位的第2衬底偏压的器件。

37.权利要求35的半导体器件，其特征是第1和第2MISFET对的阈值电压，在上述第2工作模式中比在上述第1工作模式中大。

38.权利要求35的半导体器件，其特征是上述第1驱动装置包含并列地设置在上述第1共通源极线和上述第1电位之间的第1开关和第2开关，

在上述第1工作模式中使上述第1开关选择地导通，同时，在上述第2工作模式中使上述第2开关选择地导通，

上述第1开关的电导比上述第2开关的电导大。

半导体器件

技术领域

本发明涉及半导体器件，特别是涉及与该器件的差动放大工作有关的部分。

背景技术

在本说明书中参照的文献目录如下所示，并在参照文献上加上文献编号。“文献 1”：日本平成 6 年公开的 6-309872 号专利公报（对应的美国专利为 USP 5,412,605 号）；“文献 2”：超大规模集成电路存储器，pp.161-167；伊藤清男著，培风馆，1994 年 11 月 5 日发行第一版；“文献 3”：T.Yamada et al.,ISSCC91 Dig.Tech.Papaers,pp.108-109,1991；“文献 4”：H.Hidaka et al.,IEEE Journal of Solid State Circuit,Vol.27,No.7,(1992),pp.1020-1027；“文献 5”：日本昭和 63 年公开的 63-211191 号专利公报；“文献 6”：Eto et al., ISSCC98 Dig.Tech.Papaers,pp.82-83,1998。

在“文献 1”中记载了在 DRAM 中，为了使当电源电压低电压化时的读出放大器工作稳定化，读出放大器驱动初期在 CMOS 读出放大器的源极节点上加上比最终的放大电压（例如 GND）大的电压（例如比 GND 低的负电压）的技术。这个方法因为具有用比最终在位线上的放大电压大的电压驱动读出放大器的期间所以称为“过激励”。

“文献 2”主要记载了动态随机存取存储器（DRAM），在它的 161~167 页中概述了作为“读出电路”的用于放大来自存储单元的微小信号的电路。特别是 163~164 页中记载了作为“（2）电流分配型读出放大器的驱动”的多个读出放大器的高速驱动的方法。即，通过网状配线供给用于驱动读出放大器的电源电压（等于数据线的最终放大电压），通过分散配置的驱动用 MOSFET（例如每 4 个读

出放大器具有 1 个驱动用 MOSFET) 驱动多个读出放大器。此外, “文献 3” 和 “文献 4” 是在 “文献 2” 中作为上述技术的原著引用的文献。

本专利申请发明者等为了使过激励用电路实际适用于必须用低电压电源工作的大容量 DRAM, 对在本专利申请前在 DRAM 中的电压读出放大器及其过激励驱动电路的实际配置进行了研讨。

图 25 表示具有在本专利申请前研讨过的过激励驱动电路的 DRAM 电路的主要部分。这个电路利用比数据线的高电平 “H” 电压 (VDL) 大的电压 VDH 对 P 侧公用源极线 CSP 进行过激励驱动。这个过激励驱动电路通过设置在 P 侧公用源极线一端的 1 个 PMOS 晶体管 QDP1, 从 CSP 的一端供给过激励电压 VDH。当考虑附加过激励驱动电路时, 这样地将过激励驱动电路设置在 CSP 的一端从减少电路面积方面来看是希望的。

在图 26 中表示了图 25 的读出放大器工作时的公用源极线 CSP 的工作波形和数据线的工作波形。在读出放大器开始放大前, 使数据线和公用源极线预充电到 $VDL/2$ 。SP1 具有低电平, 使 QDP1 成为导通状态, 向公用源极线 CSP 供给 VDH 时, 相对 VDH 的供给节点, SAn 处在最近端, SA1 成为最远端。使数据线 “H” 电平侧高速地达到 VDL 但不超过 VDL 那样地设定导通 QDP1 时间即过激励时间 Tod。

图 26 (a) 是在读出驱动器的近端即 SAn 使 Tod 最佳化的情形, 又图 26 (b) 表示在远端即 SA1 使 Tod 最佳化的情形。如图 26 (a) 所示, 由于在近端最佳化和读出初期从公用源极线流向各 SA 的电流, 引起公用源极线上的电压下降。另一方面, 在远端, 在建立起充分的电压 (CSP (1)) 前处于断开状态, 不能得到所希望的充分高的有效的栅极电压。即数据线 (D1t, D1b) 进行低速工作。相反地, 如图 26 (b) 所示, 在远端 (SA1) 最佳化时, 在近端会加强过激励效果, 数据线电压变到 VDL 以上。因此, 电力消耗增加。如上所述, 因为本专利申请发明者等的研究, 由于公用源极线的电阻使

电压下降, 由于读出放大器的位置使读出速度降低, 从而使电力消耗增加这个事实变得很清楚了。

另一方面, 在“文献2”~“文献4”中研讨了电流向读出放大器的公用源极线集中和与此相伴产生的电压效果, 但是没有考虑对读出放大器的过激励电路的适用性。

即, 本专利申请发明的一个目的是要解除当过激励时多个读出放大器之间的驱动不均匀。本专利申请发明的另一个目的是要解除过激励电路的不均匀, 并减少包含读出放大器的布局面积的增加。

发明内容

本专利申请发明的代表性方法如下所示。沿读出放大器列分散地配置用于过激励的驱动开关, 将用于恢复的驱动开关集中地设置在读出放大器列的一端。可以利用网状电源配线供给用于过激励的电位。

本发明的第一方面是一种半导体器件, 其特征是它具有用于将从多个存储单元读出到多条数据线上的信号在对应的上述数据线上放大到第1电压的多个读出放大器, 与上述多个读出放大器的电源供给节点共通连接的第1配线, 用于从上述第1配线的一端供给上述第1电压的第1开关, 沿上述多个读出放大器设置的, 供给比上述第1电压大的第2电压的第2配线, 和在上述第1配线和上述第2配线之间沿上述多个读出放大器分布设置的第2开关。

本发明的第二方面是一种半导体器件, 具有包含多个子存储器阵列的存储器阵列, 其特征是上述多个子存储器阵列中的各阵列备有设置第1方向上延伸的多条字线和第2方向上延伸的多条数据线的交点上的多个存储单元, 与上述多条数据线中的各条对应地设置的, 分别包含交叉耦合的第1导电类型的第1MISFET对和第2导电类型的第2MISFET对的多个读出放大器, 在上述第1方向上延伸设置的, 与上述多个读出放大器的第1MISFET对的源极耦合的第1共通源极线, 在上述第1方向上延伸设置的, 与上述多个读出放大器的第2MISFET对的源极耦合的第2共通源极线, 在上述第1方向上延伸设置的, 供给第1电位的第1电源配线, 在上述第1方向上延伸设置的, 供给第2电位的第2电源配线, 供给第3电位的第3电源配线, 每隔预定数目的上述多个读出放大器在上述第1共通源极线和上述

第1电源配线之间沿上述多个读出放大器设置的多个第1开关,每隔预定数目的上述多个读出放大器在上述第2共通源极线和上述第2电源配线之间沿上述多个读出放大器设置的多个第2开关,和设置在上述第1共通源极线和上述第3电源配线之间的第3开关,上述第3电位在上述第1电位和上述第2电位之间,在对应的上述数据线上,将从上述存储单元读出的信号放大到上述第2电位或上述第3电位。

本发明的第三方面是一种半导体器件,具有包含多个子存储器阵列的存储器阵列,其特征是上述多个子存储器阵列中的各阵列备有设置在第1方向上延伸的多条字线 and 第2方向上延伸的多条数据线的交点上的多个存储单元,与上述多条数据线中的各条对应地设置的,分别包含交叉耦合的第1导电类型的第1MISFET对和第2导电类型的第2MISFET对的多个读出放大器,在上述第1方向上延伸设置的,与上述多个读出放大器的第1MISFET对的源极耦合的第1共通源极线,在上述第1方向上延伸设置的,与上述多个读出放大器的第2MISFET对的源极耦合的第2共通源极线,在上述第1方向上延伸设置的,供给第1电位的第1电源配线,在上述第1方向上延伸设置的,供给第2电位的第2电源配线,供给第3电位的第3电源配线,供给第4电位的第4电源配线,每隔预定数目的上述多个读出放大器设置在上述第1共通源极线和上述第1电源配线之间的多个第1开关,每隔预定数目的上述多个读出放大器设置在上述第2共通源极线和上述第2电源配线之间的多个第2开关,设置在上述第1共通源极线和上述第3电源配线之间的第3开关,和设置在上述第2共通源极线和上述第4电源配线之间的第4开关,上述第3和第4电位在上述第1电位和上述第2电位之间,在对应的上述数据线上,将从上述存储单元读出的信号放大到上述第3电位或上述第4电位。

本发明的第四方面是一种半导体器件,其特征是它备有用于放大在对应的多条数据线上从多个存储单元读出的信号的多个读出放大器,为了从第1网状电源配线供给与上述多个读出放大器的放大信号的高电平关联的第1电位设置的多个第1MISFET,每个所述多个第1MISFET设置用于上述多个读出放大器中预定数目的上述读出放大器,为了从第2网状电源配线供给与上述多个读出放大器的放大信号

的低电平关联的第 2 电位设置的多个第 2MISFET，每个所述多个第 2MISFET 设置用于上述多个读出放大器中预定数目的上述读出放大器，使上述多个第 1 和第 2MISFET 具有相同的导电类型，同时使上述多个第 1 和第 2MISFET 的栅极与共通驱动控制信号线连接，上述驱动控制信号线，传达用于控制上述多个第 1 和第 2MISFET 的导通状态的控制信号，上述控制信号的有效电平和无效电平之间的电位差的绝对值比上述第 1 电位和上述第 2 电位之间的电位差的绝对值大。

本发明的第五方面是一种半导体器件，具有包含多个子存储器阵列的存储器阵列，其特征是上述多个子存储器阵列中的各阵列备有设置在第 1 方向上延伸的多条字线 and 第 2 方向上延伸的多条数据线的交点上的多个存储单元，与上述多条数据线中的各条对应地设置的，分别包含交叉耦合的第 1 导电类型的第 1MISFET 对和第 2 导电类型的第 2MISFET 对的多个读出放大器，在上述第 1 方向上延伸设置的，与上述多个读出放大器的第 1MISFET 对的源极耦合的第 1 共通源极线，在上述第 1 方向上延伸设置的，与上述多个读出放大器的第 2MISFET 对的源极耦合的第 2 共通源极线，在上述第 1 方向上延伸设置的，供给第 1 电位的第 1 电源配线，在上述第 1 方向上延伸设置的，供给第 2 电位的第 2 电源配线，对于上述多个读出放大器每隔预定数目的上述读出放大器在上述第 1 共通源极线和上述第 1 电源配线之间连接着源极和漏极路径设置的上述第 2 导电类型的多个第 3MISFET，对于上述多个读出放大器每隔预定数目的上述读出放大器在上述第 2 共通源极线和上述第 2 电源配线之间连接着源极和漏极路径设置的上述第 2 导电类型的多个第 4MISFET，在上述第 1 方向上延伸设置的，与上述多个第 3 和第 4MISFET 的栅极共通连接的第 1 驱动控制线，上述多个读出放大器的上述第 1MISFET 对，沿在上述第 1 方向延伸的第 1 假想线配置，上述多个读出放大器的上述第 2MISFET 对，沿在上述第 1 方向延伸的第 2 假想线配置，上述多个第 3 和第 4MISFET，设置在上述第 1 和第 2 假想线之间，同时沿在上述第 1 方向延伸的第 3 假想线配置。

本发明的第六方面是一种半导体器件，其特征是它备有设置在多条字线和多条数据线的交点上的多个存储单元，与上述多条数据线中

的各条对应地设置的,分别包含交叉耦合的N型第1MISFET对和交叉耦合的P型第2MISFET对的多个读出放大器,与上述多个读出放大器的第1MISFET对的源极共通连接的第1共通源极线,与上述多个读出放大器的第2MISFET对的源极共通连接的第2共通源极线,设置在上述第1共通源极线 and 第1电位之间的第1驱动装置,设置在上述第2共通源极线 and 第2电位之间的第2驱动装置,上述第1和第2驱动装置具有第1工作模式和第2工作模式,上述第1驱动装置在上述第1工作模式中通过第1阻抗将上述第1电位和上述第1共通源极线连接起来,在上述第2工作模式中通过比上述第1阻抗大的第2阻抗将上述第1电位和上述第1共通源极线连接起来,上述第2驱动装置在上述第1工作模式中通过第3阻抗将上述第2电位和上述第2共通源极线连接起来,在上述第2工作模式中通过比上述第3阻抗大的第4阻抗将上述第2电位和上述第2共通源极线连接起来,在上述多个读出放大器将来自对应的存储单元的信号锁存起来的状态中,流过上述多个读出放大器的电流,在第2工作模式中比在上述第1工作模式中小。

当读出放大器的高侧是用与低侧的驱动开关相同导电类型的MISFET构成的,并使栅信号共有化时,能够减小包含分散配置的驱动开关和读出放大器部分的布局面积。

进一步,在将阈值电压低的MISFET用于读出放大器的情形中,因为减小了在激活备用状态中的漏电流,所以可以控制读出放大器的共通源极节点的电位。一个用于控制激活状态的读出放大器的共通源极节点的电位的器件的好例子是阻抗可变的读出放大器驱动开关。

附图说明

图1是表示本发明的实施例1的读出放大器部分的图;

图2是表示实施例1的工作波形图的图;

图3是表示本发明的实施例2的读出放大器的主要部分的图;

图4是表示实施例2的工作波形图的图;

图5是表示本发明的实施例3的读出放大器的主要部分的图;

图6是表示实施例3的工作波形图的图;

图7是表示本发明的实施例4的读出放大器的部分的图;

图 8 是表示实施例 4 的工作波形图的图；

图 9 是表示本发明的实施例 5 的读出放大器的主要部分的图；

图 10 是表示实施例 5 的工作波形图的图；

图 11 是表示将本发明应用于通常的读出方式时的实施例的图；

图 12 (a), (b) 是表示实施例 4 和实施例 5 的读出放大器部分的布局实施例的图；

图 13 是表示沿图 12 (a), (b) 的读出放大器布局的 A—A' 线的部分的截面构造例的图；

图 14 (a), (b) 是表示分别沿图 12 (a), (b) 的读出放大器布局的 B—B' 线和 C—C' 线的部分的截面构造例的图；

图 15 是表示本发明的实施例 6 的读出放大器部分的图；

图 16 (a) 到图 16 (d) 是表示图 15 的 Z_n 的构成的图；

图 17 (a) 到图 17 (d) 是表示图 15 的 Z_p 的构成的图；

图 18 是表示将图 16 (c) 和图 17 (c) 应用于图 15 的 Z_n 和 Z_p 构成时的工作波形的图；

图 19 是应用于低 V_t 读出放大器的构成例的图；

图 20 是表示在激活备用状态中漏电流经过路径的图；

图 21 是表示在图 20 中的工作波形的图；

图 22 是本专利申请适用的同步动态随机存取存储器的全体构成图；

图 23 是表示在一个存储器阵列内子存储器阵列的分割的图；

图 24 是表示子存储器阵列内的网状电源配线的图；

图 25 是表示在本专利申请前研讨的具有过激励驱动电路的 DRAM 电路的主要部分的电路图。

图 26 (a), (b) 是表示图 25 的读出放大器工作时的公用源极线的工作波形和数据线的工作波形的图。

具体实施方式

下面我们用附图详细地说明本发明的实施例。没有特别的限

制，但是用众所周知的 CMOS（互补型 MOS 晶体管）等的集成电路技术，在如单晶硅那样的一块半导体衬底上形成构成实施例的各块的电路元件。MOSFET（金属氧化物半导体场效应晶体管）的电路记号通过不加箭头的表示 N 型 MOSFET（NMOS），加箭头的表示 P 型 MOSFET（PMOS）进行区别。下面为了简单起见将 MOSFET 称为 MOS。但是，本专利申请的发明不应该只限于包含设置在金属栅和半导体层之间的氧化绝缘膜的场效应晶体管，也能够应用于用 MISFET（金属绝缘体半导体场效应晶体管）等的一般的 FET 的电路。

〈实施例 1〉

在图 1 中，详细地画出了动态存储器的子存储器阵列 SMA。这个实施例表示在放大初期对读出放大器的 P 侧和 N 侧的源极节点中的一侧进行过激励的电路。其特征是将驱动 P 侧共通源极线 CSP 的过激励用的驱动开关 QDP1 分散地配置在读出放大器区域 SAA 内。在进行图 1 的详细说明前，首先，用图 22，图 23 说明在作为本专利申请对象的图 1 电路的存储器器件中的全体部件的位置。

在图 22 中，画出了适用于本申请发明的同步 DRAM（SDRAM）的全部的块。各电路块以输入控制信号的定时信号发生电路 TG 形成的内部控制信号的定时进行工作。输入到 TG 的控制信号中，以时钟信号 CLK 的定时输入的是芯片选择信号 /CS，行地址选通信号 /RAS，列地址选通信号，和允许写入信号 /WE。我们将这些控制信号和地址信号的组合称为指令。时钟脉冲启动信号 CKE 决定时钟信号的有效或无效。又，输入输出掩蔽信号 DQM 是为了掩蔽从输入输出端子（DQ0，....，DQn）输入输出的数据，对数据的输入输出缓冲器 I/OB 进行控制的信号。

在 SDRAM 中，来自地址输入端子（A0，A1，.... An）的行地址和列地址采取时分输入的地址多路方式。输入行地址缓冲器 XAB 的行地址，选择行解码器 X-DEC 解读的一个存储器阵列 MA0 中的

特定的字线，与此相应 1 字份的存储单元成为选择状态。接着，通过将列地址输入到列地址缓冲器 YAB 和列地址解码器 Y-DEC，进一步选择进行读出或写入的存储单元。又，SDRAM 具有由通常的存储体地址指定的多个存储器阵列（或存储体），但是在这个图中只是代表性地表示出一个存储器阵列 MA0（BANK0）。

下面我们说明由图 22 所示的 SDRAM 的电压发生电路 VG 产生的内部电源。这里采取将 VSS（0V）作为基准，从外部供给 VCC（2.5V）的单一电源方式。电位最高的内部电源为 VPP（3.0V），由包含电荷泵电路的升压电路形成，供给字线驱动电路等。VDH（2.5V=VCC），是 XAB，YAB，IOB，X-DEC 等的周围电路的工作电源。VDL（1.5V）和 VDBH（0V=VSS）决定后述的数据线的恢复电位，是供给读出放大器的电位。VDL 由降压电路（电压限幅器）形成。在这个实施例中，因为采用半预充电方式，所以供给备用时的数据线等的 VDL/2（0.75V）也是从 VDL 形成的。VDL/2 也可以用作存储单元的极板电位 VPL。最后 VBB（-0.75V）是将 NMOS 的背栅偏置在系统的最低电位的衬底电位，由包含电荷泵的升压电路形成。

图 23 进一步详细地表示图 22 的存储器阵列 MA0 的内部。MA0 包含矩阵状配置的子存储器阵列 SMA11 ~ SMA_nm。没有特别的限制，但是该存储器阵列采用分层字线方式，在 MA0 一边配置主字驱动器列 MWD。将与 MWD 连接的主字线跨越多个子存储器阵列（例如在 SMA11 ~ SMA_n1 的方向上）那样地设置在上层的金属配线层上。又，列方向的选择采取跨越多个子存储器阵列（例如在 SMA1m ~ SMA11 的方向上）那样地设置从列解码器 Y-DEC 输出的多条列选择线（YS 线）的共通的 Y 解码器方式。此外，在图 23 的 MA0 内 SMA11 ~ SMA1m 的左端和右端上设置是用于子存储器阵列的终端处理的区域的右端区域 IEA 和左端区域 REA。IEA 和 REA 是对 SAA 和 XA 进行若干变形后得到的结果。这照顾到因为读出放大器采用交互配置型的共用读出方式的底板端的终端处理。

如图 23 的放大图所示, 将 1 个子存储器阵列的内部分割成存储单元区域 MCA, 读出放大器区域 SAA, 子字驱动器区域 SWDA, 和交迭区域 XA。作为配置, 当具有共有四角形 MCA 的一角的第 1 边和第 2 边时, SAA 是沿这个第 1 边设置的长方形区域, SWDA 是沿这个第 2 边设置的长方形区域。又, XA 是在共有第 1 边和第 2 边的角上被 SAA 和 SWDA 包围的区域。

图 1 表示由图 23 的放大图表示的子存储器阵列的详细情形。首先, 在存储单元区域 MCA 内, 数据线对 D1t, D1b..... Dnt, Dnb, 在存储单元阵列 MCA 上与多条字线 WL 相交, 在预定的交叉点与动态型存储单元 MC 连接。MC 由存储数据的一个电容器和一个 MOS 晶体管, 这里是 NMOS 晶体管构成。这个实施例将所谓的二交点方式的数据线和存储单元配置作为例子, 但是没有特别的限制也能够适用于一交点方式。

在子字驱动器区域 SWDA 上, 分别对于上述多条字线设置多个子字驱动器 SWD。根据上面在图 23 中所述的主字线和 FX 驱动器 FXD 的控制信号的逻辑和, 激活子字驱动器。FXD 设置在交迭区域 XA 内但是在图 1 中省略了。当采用不是分层字线方式的字分路方式时, 在 SWDA 内代替子字驱动器, 设置将用作由设置在上层的 AL 等的金属形成的衬里的字线, 下层多晶硅层的栅极和共通的字线连接起来的通孔和接点。这时, 能够将 SWDA 称为字分路区域。

下面, 我们转移到对读出放大器区域 SAA 的说明。在 SAA 内, 与数据线对中的一对 (D1t, D1b) 对应, 设置左右的共用开关 SHR, 预充电电路 PC, 读出放大器 SA1, 列开关 IOG 等。作为一个存储单元区域 MCA 的数据对的数目, 我们设想为 512 对到 2048 对。所以, 作为 SAA 内的读出放大器的数目配置 256 到 1024 个。因为读出放大器的交互配置构造, 所以读出放大器的数目成为数据线对数目的一半。共用开关是为了在左侧和右侧的存储单元区域共用读出放大器 SA1 的切换开关。这里, 共用开关是用 NMOS 制成的, 在数据线的预充电期间, 这个栅极控制信号 SHRL 和 SHRR 具有 VPP,

VDH 或 VDL 电位。例如，接入左侧的存储单元区域时，SHRL=VPP 或 VDH，SHRR=VDBH，不低于 NMOS 的阈值电压时只使单侧导通。PC 在数据线预充电期间通过控制信号 PCS 向数据线对供给 VDL/2。列开关 IOG 使根据列解码器的列选择信号 YS 选择的数据线对与共通的输入输出线对 IOt, IOb 连接形成与外部的数据输入输出通路。

读出放大器 SA 是 2 个 CMOS 反相器交叉耦合的锁存型放大电路。即这个读出放大器包含源极共通连接，栅极和漏极相互交叉耦合的 PMOS 对，和同样耦合的 NMOS 对。PMOS 和 NMOS 对的源极分别与 P 侧共通源极线 CSP 和 N 侧共通源极线 CSN 共通地连接。在过激励方式的读出放大器中需要恢复电位和过激励电位。恢复电位是决定在数据线上的最终放大时的高电平和低电平的电源电位。因为与在存储单元中进行在再写入时的电位相等所以称为恢复电位。这里 VDL 是高侧恢复电位，VDBH 成为低侧恢复电位。在这个实施例中过激励电位只供给高侧，为 VDH (>VDL)。

在读出放大器的 P 侧，用于供给高侧激励电位 VDH 的第 1 电源线与 CSP 并列地设置。将多个开关 QDP1 分散设置在这条第 1 电源线和 P 侧共通源极线 CSP 之间。图 1 是在每 1 个读出放大器上设置 1 个 PMOS 的构成。另一方面，高侧的恢复电位 VDL 是，不在 SAA 内，通过集中地设置在交迭区域 XA 上的开关 QDP2，从 P 侧共通电源线 CSP 的一端供给的。此外，共通源极线的预充电电路 CSPC 也通过设置在交迭区域 XA 上的 CSP 和 CSN 的一端实施用于预充电的短路和 VDL/2 的泄漏补偿。

在读出放大器的 N 侧，用于供给低侧恢复电位 VDBH 的第 2 电源配线与 N 侧共通源极线 CSN 并列地设置。将多个开关 QDN1 分散设置在这条第 2 电源线和 N 侧共通源极线 CSN 之间。在图 1 中 QDN1 是以在每 1 个读出放大器上具有 1 个 NMOS 的比例与上述 QDP1 成对地设置的。

在 SAA 内，读出放大器的 PMOS 对和用于过激励的开关 MOS

QDP1, 没有特别的限制但是在 P 型衬底上形成的共通的 N 型阱内形成的, 在这个 N 型阱上加上作为 P 侧衬底偏压的 VDH。即, 将这些 PMOS 的背栅偏压在与过激励电位相等的 VDH 上。又, 也可以将这些 PMOS 的背栅偏压在 VPP 上。同样地, 读出放大器的 NMOS 对和 QDN1 也共通地形成在掺杂成 P 型的半导体区域(直接在 P 型衬底上或在 P 型衬底上形成的 3 重阱内)上, 在该半导体区域中加上 VDBH 或 VBB 作为 N 侧衬底偏压。

在图 24 中, 画出了供给图 1 的电源 VDH 和 VDBH 的配线。VDH 和 VDBH 是通过图 24 所示的配线阻抗低的网状电源配线供给的。该图的纵向配线形成在第 2 号金属 (Al 等) 配线层 M2 上。在存储单元区域 MCA 中, 从主字线 MWL 之间穿过那样地, 与 MWL 并行地设置供给 VDH 和 VDB 的配线。我们假定在例如每 4 条或 8 条左右的字线上设置一条主字线 MWL。又, 在读出放大器区域 SAA 上, 也与 NWL 并行地设置供给 VDH 和 VDBH 的配线。这个 M2 的 VDH 和 VDBH 的电源配线是上述图 1 的第 1 的电源配线 and 第 2 电源配线。

另一方面, 图 24 的横向配线形成在 M2 上面的第 3 个金属 (Al 等) 配线层 M3 上。跨过存储单元区域 MCA 和读出放大器区域 SAA 那样地设置列选择线 YS。例如在每 4 对数据线上设置 1 条 YS。而且, 从 YS 之间穿过那样地, 与 YS 并行地设置供给 VDH 和 VDBH 的配线。M2 和 M3 的 VDH 和 VDBH 的电源配线在它们的交点上, 通过将 M2 和 M3 连接起来的通孔接点 TH2 连接。使以上交叉的 M2 和 M3 的电源配线和通过通孔耦合的 VDH 和 VDBH 的网状电源配线具有低的阻抗。

在图 2 中, 表示出图 1 的子存储器阵列的工作定时。在 SDRAM 上输入行激活指令时, 在读出放大器一起读出与特定的存储体的特定的主字线连接的存储单元并放大。此后, 输入预充电指令时, 结束存储单元的选择, 进入是为下次读出作准备的等待状态的预充电状态。图 2 的波形表示从行激活指令到输入预充电指令的图 1 的子

存储器阵列的工作。

在数据线和共通源极线的预充电控制信号 PCS 下降，数据线和共通源极线的 VDL/2 预充电停止后，选择多条字线中的 1 条字线 WL 从 VWL 电平（通常 VWL=VSS）变成 VPP。因此在选出的存储单元 MC 的 NMOS 晶体管的栅极上加上 VPP 使其激活，在与存储单元 MC 连接的数据线 D1t, ..., Dnt 上从存储数据的电容读出存储的电荷。由于存储单元的电荷在数据线对上产生微小的电压差，存储单元的数据为“H”时，D1t 达到比 D1b 高 100mV 左右的电平。这里，假定在存储单元 MC 的单元电容上写入“H”的数据。即便在存储了低电平“L”的情形中，除了电位降低外能够得到同样的结果。

完全读出单元数据后，读出开始时，通过使 N 侧共通源极驱动控制信号线 SN 具有从 VDBH 到 VDL 以上的电平，激活 QDN，驱动 CSN 使它从 VDL/2 到 VDBH。通过与它同时或经与延迟级个数对应的延迟使第 1P 侧共通源极驱动控制信号线 SP1 例如从 VPP 到 VSS，激活 QDP1，驱动 CSP 使它从 VDL/2 到 VDH。这时，如图 1，图 2 中详述的那样通过网状电源配线的低阻抗并且通过分散配置的开关 QDP1 供给 VDH。为此，因为在几乎相同的定时一起激活 SA1 到 SAn，所以能够抑制相对 SA1 到 SAn 的过激励的偏差。又，能够实现共通源极线 CSP 和 CSN 的高速驱动。又，因为通过过激励驱动，SA 的 PMOS 晶体管的源极和漏极之间的电压和栅极和源极之间的电压变得大于 VDL/2，所以可以高速地放大数据线对的微小电压差 ΔV 。

将读出放大器的过激励期间设定为，在数据线高电平侧的 D1t 的放大没有完全结束的状态中，这个数据线的电位达到 VDL 附近的时间 T_{p1} 。从电力消耗等的方面来看希望过激励在数据线的电位比 VDL 大前停止。经过 T_{p1} 期间后，SP1 从 VSS 到 VDH 以上的电平，例如达到 VPP 后，第 2P 侧共通源极驱动控制信号线 SP2 例如从 VPP 到 VSS，激活 QDP2，将 CSP 设定在 VDL。因此数据线高电平侧保

持在 VDL。

又，输入预充电指令后的工作如下所示。选择字线 WL 从 VPP 到 VWL。此后，使 SN 从 VDL 或 VPP 到 VDBH，使 CSN 与 VDBH 断开连接。又，几乎同时使 SP 从 VSS 到 VPP，使 CSP 与 VDL 断开连接。根据预充电控信号 PCS 使与电源断开的 CSN，CSP 和数据线对 D1t, D1b, ..., Dnt, Dnb 预充电到 VDL/2。

以上，根据本实施例得到的效果如下所示。（1）因为能够从通过网状电源配线供给的配线和从在该配线的附近那样地分散配置的多个开关 QDP1 供给过激励发生时从用于过激励的电源 VDH 到数据线的充电电流，所以可以避免电流向特定的读出放大器和公用源极线 CSP 的一部分集中，在从 SA1 到 SAn 的任何一个 SA 中，都可以用相等的过激励电压（VDH）进行过激励。（2）能够将过激励期间设定为栅极信号 SP1 激活 QDP1 的时间，能够使该过激励期间在 SA1 和 SAn 上相等。因此，能够使过激励振幅和期间的远近端差变小。（3）因为从数据线到 VDBH 端子的放电电流通过多个配置的 QDN 流到在各阵列上的网状电源 VDBH，所以能够避免电流向特定的读出放大器和 CSN 的集中。

又，在本实施例中，也可以用 NMOS 晶体管构成 QDP1 和 QDP2 中任何一方，或双方。这时，需要与用 PMOS 晶体管构成控制信号的逻辑电路相反的逻辑电路。当用 NMOS 制成 QDP1 和 QDP2 时，因为在非激活状态栅极和源极之间的电压变成负电压，所以在能够减少从 VDH，VDL 到 CSP 的漏电流这方面是有利的。

又，在本实施例中，在每 1 个读出放大器上配置 1 个开关 MOS QDP1 和 QDN1，但是也可以有在每 2 个，4 个，8 个读出放大器上配置 1 个 QDP1 和 QDN1 那样的变型。又，也可以形成开关 MOS QDP1 和 QDN1 作为不切断在读出放大器的并列方向上形成沟道的扩散层，具有连接成一系列的长的栅极宽度的一个 MOS。本申请发明的特征是从将分布在 SAA 区域内的开关 MOS 用于过激励这一点来看是否细细地切断沟道宽度是不重要的。

〈实施例 2〉

实施例 2 的读出放大器的构成如图 3 所示。在图 3 中，画出了读出放大器的主要部分，而其它部分原封不动地继承实施例 1 的记载。本实施例是除了图 1 的只在 P 侧的过激励外追加 N 侧的过激励的构成。与图 1 不同的地方是在交迭区域 XA 内在 N 侧共通源极线 CSN 的一端追加集中型的开关 QDN2，通过 QDN2 加上数据线的低侧恢复电位 VDBH（通常 VSS）。又，通过网状电源配线供给不是 VDBH 的比它低的电压 VDBL 作为 N 侧的用于过激励的电源，并通过分散配置的开关 QDN1 将 VDBL 供给 N 侧共通源极线。与用 VDBL 对 N 侧共通源极线进行过激励相对应，将读出放大器的 NMOS 对和 QDN1 的背栅偏置在至少 VDBL 或其下的电压上。根据上述，在图 3 中，高侧和低侧的恢复电位分别成为 VDL 和 VDBH，高侧和低侧的过激励电位分别成为 VDH（ $>VDL$ ）和 VDBL（ $<VDBH$ ）。

在图 4 中表示出图 3 的工作波形。与实施例 1 相同假定将“H”的数据写入存储单元 MC 的单元电容中。与实施例 1 的图 2 不同之处是通过追加 N 侧的过激励产生 SN1 和 SN2 的控制。

完全读出单元数据，D1t 达到比 D1b 高 100mV 左右的电平后，SN1 从 VDBL 变化到 VDL 或 VPP 电平，激活 QDN1。通过与它同时或经与延迟级个数对应的延迟，使 SP1 从 VPP 变到 VSS，激活 QDP1。因此，CSN 从 VDL/2 迁移到 VDBL，CSP 从 VDL/2 迁移到 VDH。当 CSN，CSP 开始迁移到 VDBL，VDH 时，激活与数据线对 D1t，D1b 连接的 SA1，并放大数据线对之间的微小电压差。这时，因为通过过激励方式用比数据线振幅 VDL 大的振幅（VDH-VDBL）激活 SA1，所以构成 SA1 的 NMOS 和 PMOS 晶体管的源极和漏极之间的电压和栅极和源极之间的电压变大，高速工作成为可能。为了防止过大的放大工作引起充放电功率的增加，在到数据线低电平侧的 VDBL 的放大没有完全结束的状态，具体地在没有到达比 VDBH 低的电平的的时间 Tn1 之间激活 QDN1。同样地，在到

数据线高电平侧的 VDH 的放大没有完全结束的状态中,只在到达没有超过 VDL 的状态的时间 T_{p1} 之间激活 QDP1。激活时间的控制通过 SP1, SN1 进行。与实施例 1 相同地,在 SAn 的过激励期间与 SA1 相同,低电平侧设定在 T_{n1} 上,高电平侧设定在 T_{p1} 上。又,这时的过激励电压通过在 SAn 附近的 QDN1 和 QDP1 供给,所以与 SA1 相同,低电平侧设定在 VDBL 上,高电平侧设定 VDH。

过激励工作结束后,使 SN2 从 VDBL 到 VDL 或 VPP,将 CSN 设定在 VDBH。同时激活 QDN1 和 QDN2,不使 VDBL 和 VDBH 通过 CSN 连接起来那样地控制 SN2 的激活定时。因此,使数据线低电平侧 D1b 保持在 VDBH。又,通过使 SP2 从 VPP 到 VSS,将 CSP 设定在 VDL。同时激活 QDP1 和 QDP2,不使 VDH 和 VDL 通过 CSP 连接起来那样地控制 SP2 的激活定时。因此,使数据线高电平侧 D1t 保持在 VDL。最后,使字线下降回到预充电状态的工作与图 2 相同。

实施例 2 的优点如下所示。(1)与实施例 1 相同,关于数据线高电平侧的过激励,能够对所有的 SA 设定相等的过激励电压和过激励期间,能使读出速度的远近端差变小。(2)进一步在本实施例中,与实施例 1 相对,通过也对数据线低电平侧进行过激励,用同一个数据线振幅时能够缩短读出时间。又,通过附加这个低电平侧的过激励,可以适用于更低的数据线振幅即降低工作电压。(3)又,即便关于数据线低电平侧的过激励,通过多个配置的 QDN1 和阵列上的网状电源配线,也能够避免电流向读出时的读出驱动器和 CSN 集中,也能用共通的信号 SN1 在 SA1.....SAn 上设定过激励期间。因此,能使过激励振幅和过激励期间的远近端差变小。(4)在本实施例中元件的增加只是在交迭区域增加 1 个 MOS,而读出放大器区域的面积不增加。

〈实施例 3〉

下面,我们用图 5 说明实施例 3 的构成。本实施例是图 3 的变形例,基本上继承了图 1 的构成。与图 3 不同的地方是将在图 3 中

集中配置在交迭区域 XA 内的用于恢复的开关 QDP2 和 QDN2 分散配置在读出放大器区域 SAA 中。QDP2 和 QDN2 的分散配置和 VDL, VDBL 的网状电源配线的构成与图 1 的实施例相同。图 6 表示这个图 5 的工作波形。这个工作波形与图 4 的工作波形相同。

实施例 3 的优点如下所示。(1) 与实施例 2 相同, 通过对数据线高电平, 低电平两侧进行过激励, 能够实现高速读出。(2) 能够对所有的 SA 设定相等的过激励电压和过激励期间, 能使远近端差变小。(3) 与实施例 2 比较, 即便在恢复时间通过在读出放大器内配置多个 QDN2 和 QDP2, 也能够避免电流向 CSN 和 CSP 集中。(4) 因为在所有的读出放大器内都配置了读出驱动器, 所以具有使读出放大器以外的设计变得容易的效果。

〈实施例 4〉

图 7 表示实施例 4。这个实施例也继承了实施例 1 的共通部分。本实施例的特征是用于 P 侧和 N 侧的过激励的开关 MOS 全部由相同导电性的晶体管, 图中为 NMOS 晶体管构成, 它们的栅极信号是共通的, 用比字线升压电平 VPP 等的过激励电压 VDH 大很多的电平信号驱动这些开关。因为 P 侧的开关也是由 NMOS 制成的, 所以能够防止由于 P 侧的 NMOS 引起的电压下降。也可以将这个实施例看作是在图 3 中分散配置的用于过激励的开关 MOS 的一个变形例。在这个实施例中, 在读出放大器区域 SAA 内对每 4 个读出放大器配置 1 个用于 P 侧过激励的开关 MOS QDP1 和 1 个用于 N 侧过激励的开关 MOS QDN1。QDN1 和 QDP1 的栅极共通地与过激励控制信号线 SAE1 连接。高侧和低侧的过激励电位 VDH 和 VDBL 与其它的实施例相同是由网状电源配线供给的。恢复电压 VDL 和 VDBH 的供给, 与图 3 的电路相同, 是通过集中配置在交迭区域 XA 的 QDP2, QDN2 进行的。

在图 12(a), (b) 中, 表示出实现本构成的读出放大器的平面布局。在图 12(a) 中, 显示出 4 组数据线对, 为了简单起见,

只画出了第 1 金属配线层（金属 1，M1）和晶体管栅极以及栅极配线（FG），扩散层，NWEL。SAN 表示 SA 的 NMOS 晶体管部分，SAP 表示 PMOS 晶体管部分。QDN1，QDP1 是由将栅极一列地配置在 SAN 和 SAP 之间的 NMOS 构成的。其特征是将一列配置的 NMOS 交互地分配给 QDN1 和 QDP1。由于该配置，使 1 个控制电极 SAE1 共通化，能够减小布局面积。在图 12(a) 的布局中，QDN2 和 QDP1 的数目由在 SAN 和 SAP 之间每 4 组数据线对上分别配置一个 QDN1 和一个 QDP1 决定，但是不应限定于此。例如，也可以对 8 组（或 16 组）数据线配置 1 个。又，QDN1，QDP1 的在读出放大器内的位置在 SAN，SAP 之间，然而从与 P 侧和 N 侧双方共通源极连接这点来看应是最合理的，但是不应限定于此。

图 12(b) 是省略了与图 12(a) 相同的部分 M1，追加了在 M1 上面的第 2 金属配线层（金属 2，M2）的读出放大器的平面布局图。将 P 侧公用源极线 CSP，VDBL 供给电源线 VDBL，VDH 供给电源线 VDH，以及 N 侧公用源极线 CSN 顺次地配置在 M2 上。这样 4 条配线，无论那一条都在读出放大器排成列的方向（与字线的延长方向相同）上延伸。排列这 4 条配线的顺序是为了实现以使本实施例的读出放大器的布局面积减小为特征的构成。这种情形与图 7 的电路图一致，这意味着图 7 的电路图简略地表示了具体的布局。又，在后述的与图 9 等相同的电路图中记载了具体布局的基本情况。

如图 12(a) 所示，对于 QDP1 和 QDN1 的沟道宽度希望的一个构成是各沟道宽度相等（制成相同大小的 NMOS）。因此，读出放大器的 SAN 一方比 SAP 一方先接通。因为用由工艺的散乱性引起的 V_t 变动比 PMOS 小的 NMOS 晶体管构成的 SAN，能够从微小的电压差开始差动放大，所以能够实现精度优良的差动放大。QDP1 和 QDN1 都是 NMOS，形成在相同的 P 型阱内（在本实施例中直接形成在 P 型衬底中），在这个 P 型阱上加上最低电位（例如在本实施例中为 VDBL）。因此，加上大电位的 QDP1 一方加上了相对大的衬底偏压，QDP1 比 QDN1 具有较大的阈值电压。因此，阈值电

压小的 QDN1 便变得容易接通, 能够在一开始就驱动 SAN。

在图 13 中, 画出了图 12 (a), (b) 上的 A-A' 间的截面图。又, 在图 14 (a), (b) 中, 分别画出了 B-B' 间和 C-C' 间的截面图。在这些截面图中, SGI (浅沟隔离) 是用于分离扩散层 (图中 N+, P+) 的绝缘部分, 是在衬底上形成的浅沟中埋入 Si 氧化物等形成的。又, CNT 是用于使金属 1 (图中的 M1) 和扩散层或 FG 连接起来的接触孔。TH1, TH2 分别是使 M1-金属 2 (图中的 M2) 之间, M2-金属 3 (图中的 M3) 之间连接起来的接触孔。如图 14 (a) 所示, 用 M3 使 CSN 和 QDN1 的漏极之间连接起来。如从该图可以看到的, 即便只用电连线 M1 将 CSN 和 QDN1 的漏极之间连接起来就足够了。用 M3 连接的理由是为了使构成 SAN 的 2 个 NMOS 的源极和 QDN1 的漏极间的电阻相等。也使构成 SAN 的 2 个 NMOS 的源极电位相等那样地连接扩散层 P+。因此, 我们在设计上下工夫使构成 SAN 的 2 个 NMOS 不会产生不平衡。将 CSN 和 CSP 分别配线给 SAN 和 SAP 上的 M2。对于 2 个 NMOS 的源极同样地, 如图 14 (b) 所示, 在 CSP 和 QDP1 的源极 (QDP1 成为用于 NMOS 的源极) 之间用 M3 连接起来。在构成 SAP 的 2 个 PMOS 的源极和 QDP1 的源极之间也要进行与上述相同的设计。

我们用图 8 的波形图说明实施例 4 的工作。从数据线预充电结束到读出数据线上的微小电压差都与上述实施例相同。在数据线上读出存储在存储单元中的信息后, 使 SAE1 从 VDBL 到 VPP。通过激活 QDN1, QDP1, CSN 开始从 VDL/2 到 VDBL 转移, CSP 开始从 VDL/2 到 VDH 转移。这时, 即使用物理常数相同的 NMOS 晶体管构成 QDP1 和 QDN1 时, 由于衬底的偏压效果, 使 QDP1 的阈值电压 V_t 比 QDN1 的 V_t 高。因此, 即便加上同一个电压作为栅极信号 QDN1 比 QDP1 先受到驱动。对于 QDN1 和 QDP1, 为了防止由于数据线的放大振幅过大引起电力消耗的增加, 只有数据线的低电平侧变到 VDBH 以下, 或数据线的高电平侧只在不超过 VDL 的 T_{np} 期间被 SAE1 激活。在 SAN 中的过激励期间因为是由栅极信号 SAE1

决定的所以与 SA1 相同成为 Tnp。此后，SAE1 从 VPP 到 VDBL，结束过激励工作。通过 SAE1 达到 VDBL 同时，使 SN2 从 VDBL 到 VDL 或 VPP，激活 QDN2。因此使 CSN 达到 VDBH，将数据线低电平侧的 D1b 恢复到 VDBH。同样地 SAE1 达到 VDBL 后，通过使 SP2 从 VPP 到 VSS，激活 QDP2。因此使 CSP 达到 VDL，将数据线高电平侧的 D1t 恢复到 VDL。最后，使字线降低回到预充电状态的工作与图 1 等相同。

本实施例的优点如下所示。（1）在布局上，用 NMOS 晶体管构成 QDP1，将 QDN1 和 QDP1 一列地配置在读出放大器内，使这个栅极控制信号与 QDN1 共通成为可能，与如实施例 1~3 那样地配置 NMOS，PMOS 的情形比较，通过二列地配置 NMOS，PMOS 能够使布局小面积化。（2）进一步，与过激励 CSN，CSP 两者的图 3 实施例比较，能够使用于过激励的控制信号减少到一个，从而能够减少用于控制信号的电路。（3）QDP1 和 QDN1 都是由 NMOS 制成的，用同一个电压偏置背栅，当输入读出开始时的 SAE1 时，因为，QDN1 比 QDP1 先受到驱动，所以用由工艺的散乱性引起的 V_t 变动比 PMOS 小的 NMOS 晶体管，能够从微小的电压差开始差动放大，从而能够实现精度优良的差动放大。（4）通过用 NMOS 晶体管构成 QDP1，因为 SAE1 达到 VDBL 时 QDP1 的栅极源极间的电压成为负电压，所以能够抑制从在 QDP1 非激活状态中的 VDH 到 VDL/2 的漏电流。（5）与实施例 1 到 3 相同，能够在所有的 SA 上设定相等的过激励电压和过激励期间，从而能够减小过激励的远近端差。

又，本实施例采用过激励 P 侧和 N 侧两者的构成，但是在与电源电压的关系中，单方面充分过激励时在图 8 中，也可以使 VDBL 的电源配线处于低电平恢复电位 VDBH 上。因此，本实施例具有没有必要准备供给 VDBL 的大容量的负电源发生电路，能使芯片面积小型化的优点。这样一来，因为减少了用于读出放大器的电源线的种类，所以具有使网状电源配线变得容易的优点。

又，在[文献 5]中记载了为了将高电平和低电平的恢复电压供给 DRAM 的 CMOS 读出放大器，两者都用 NMOS 构成的本体。但是，[文献 5]是根据使字线的驱动电压为电源电压 VCC 的前提，通过有意地使 P 侧的开关 NMOS 的阈值电压 V_t 下降，使数据线的高电平的恢复电压降低到 $VCC - V_t$ 的构成，与本申请的目的不同。在[文献 5]中，没有记载开关 MOS 的分散配置等。又，也没有关于过激励的记载。

〈实施例 5〉

图 9 表示实施例 5 的电路。本实施例的特征是用 NMOS 制成图 7 中用于恢复的开关 MOS 同时分散配置在读出放大器区域 SAA 中，并与图 7 相同使控制信号共有化。用于 P 侧和 N 侧的过激励开关 NMOS QDP1 和 QDN1 有与图 7 相同的构成。与此相对地，也将用于恢复的开关 QDP2 和 QDN2 配置在读出放大器区域中。通过共通的控制线 SAE2 对 QDP2 和 QDN2 的栅极进行控制。进一步，高和低的恢复电位 VDL，VDBH 也是通过图 24 中详述的网状电源配线供给的。对每 4 个读出放大器配置 1 个 QDP2 和 1 个 QDN2。以上的 QDN1 和 QDP1 以及 QDN2 和 QDP2 是用具有 2 列栅极的 NMOS 晶体管，平行于 SAN 列和 SAP 列那样地一列配置构成的。

读出放大器的数目和用于过激励的开关 MOS 及用于恢复的开关 MOS 的数目之间的对应关系不限于这个实施例。例如也可以进行每 8 个读出放大器对应 1 个 QDP1，QDP2，QDN1，QDN2 那样地变形。又，因为共通源极线的充电主要通过用于过激励开关来进行，所以用于恢复的开关驱动能力相对地小一些也是可以的。因此，使用于过激励的开关 QDP1，QDN1 的数目比 QDP2，QDN2 的数目多的构成也是合理的。因此一般地换句话说，在 SAA 内，所有的用于过激励的开关 MOS 的电导都比所有的用于恢复的开关 MOS 的电导大的构成也是可以的。

我们用图 10 的波形图说明本实施例的工作。结束预充电将 SAE1

驱动到 VPP 直到过激励开始都与图 8 相同。为了防止由于过度读出引起电力消耗的增加,只在使数据线的低电平侧在 VDBH 以下,或数据线的高电平侧不超过 VDL 的 T_{np} 期间,由 SAE1 激活 QDN1 和 QDP1。在 SAn 中过激励期间因为是由栅极信号 SAE1 决定的所以与 SA1 相同为 T_{np} 。此后,SAE2 从 VDB 到 VPP,CSN 达到 VDBH,数据线低电平侧的 D1b 恢复到 VDBH。同时 CSP 达到 VDL,将数据线的高电平侧的 D1t 恢复到 VDL。SAE2 同时激活 QDN1 和 QDN2 以及 QDP1 和 QDP2,控制两个电源 VDBL 和 VDBH 以及 VDH 和 VDL,不使它们通过 CSN, CSP 短路。

本实施例的优点如下所示。(1) 在读出放大器的布局上,读出驱动器是用 NMOS 构成的 2 列配置的与实施例 4 比较布局面积增大,但是在读出放大器以外没有必要配置读出驱动器使读出放大器以外的布局变得容易了。(2) 与数据线的高电平及低电平两者都受到过激励的实施例 2 比较,能够使读出放大器的控制信号数减少 2 个,从而能够减少用于控制信号的电路。(3) 与实施例 1 到 4 相同,能够在所有的 SA 上设定相等的过激励电压和过激励期间,从而能够减小远近端差。(4) 因为用 NMOS 晶体管构成 QDP1 和 QDP2,所以在备用状态中,QDP1 和 QDP2 的栅极和源极间电压 V_{GS} 成为 $V_{GS} < 0V$,因而能够抑制从 VDH 和 VDL 到 $VDL/2$ 的漏电流。

又,本实施例虽然减少了改善读出速度的效果,但是当 $VDBL = VDBH$ 时,不需要大容量的负电源电路,具有能够减小芯片面积的效果。进一步,这时,因为用于读出放大器的电源线的种类成为 3 个,所以在存储器阵列上电源线的配线变得容易了,这是本实施例的优点。

又,本发明也能够适用于不用过激励方式的读出放大器构成。这时的读出放大器的构成例如图 11 所示。因为不用过激励,所以将读出放大器的 PMOS 对 SAP 的基极电位设定在 VDL。进一步,在读出放大器以外的地方不需要读出驱动器,这个区域的布局变得容易了,这是本发明的优点。

又，图 7~11 中完全由 NMOS 晶体管构成读出驱动器，但是也可以用 PMOS 晶体管构成。

在以上的实施例中，读出驱动器和 SA 晶体管的 V_t 是低 V_t 或是高 V_t 都可以。但是，当用低 V_t 晶体管时，与用高 V_t 晶体管比较能够使读出放大器高速地进行工作。当用高 V_t 晶体管时，能够减少 SA 在数据保持状态中的漏电流，从而能够抑制电力消耗。但是，当用低 V_t 晶体管时，通过用后述的发明能够减少漏电流。进一步，通过在读出驱动器上用高 V_t 晶体管，能够减少在备用状态中的读出放大器电源和 $V_{DL}/2$ 之间的漏电流。

我们希望在实施例 1 到 5 中所用的电压关系具有下列的关系。当从字线 WL 的振幅 V_{WL} 到 V_{PP} 和从数据线振幅 V_{DBH} 到 V_{DL} ，用于初期读出的电源 V_{DBL} ， V_{DH} 以及基极电位 V_{BB} 的大小关系为 $V_{BB} = V_{DBL} (-0.75V) < V_{WL} = V_{DBH} = V_{SS} (0V) < V_{DL} (1.5V) < V_{DH} (2.5V) < V_{PP} (3V)$ 时，能够减少内部电源数。又，虽然负电源数增加，但是当 $V_{BB} < V_{DBL} (-0.5V)$ 时，具有能够抑制存储单元的衬底偏压变动的效果。进一步，通过 $V_{DH} = V_{PP} (3V)$ ，能够用更大的电源激活读出驱动器。

又，电源电压的设定也可以考虑如[文献 6]所示的字线备用电平为负电压的负字方式。为了使负字线方式适用于上述本申请实施例，令 $V_{BB} = V_{DBL} = V_{WL} (-0.75V) < V_{DBH} = V_{SS} (0V) < V_{DL} (1.5V) < V_{DH} = V_{PP} (2.25V)$ 。当采用这种方式时具有减少内部电源电平数的效果。又，虽然电源电平数增加，但是当 $V_{BB} < V_{DBL} < V_{WL}$ 或 $V_{BB} < V_{WL} < V_{DBL}$ ， $V_{BB} < V_{DBL} = V_{WL}$ 和 V_{BB} 与其它电源不同时，如果能够降低存储单元阵列的衬底偏压 V_{BB} 的变动，则能够得到改善存储单元数据保持特性的效果。

以上说明的 V_{DH} 希望使用外部电源 V_{CC} ，但也可以使用升压电路产生的升压电平和降压电路产生的降压电平。

〈实施例 6〉

在以上的实施例中，我们研讨了过激励方式，但是当降低电源电压时，需要考虑与降低读出放大器的阈值电压 V_t 的构成并用的必要性。这是为了通过对用低阈值电压的 MOS 的读出放大器进行过激励，可以达到进一步减小可以工作的数据线的振幅，达到使电力低消耗化的目的。但是，因为低阈值 MOS 使亚阈值电流增加，备用时的电流消耗增加，所以使我们担心与在 SDRAM 上看到的激活备用状态的匹配性。因此在这个实施例中，我们指出了用低阈值 MOS 的读出放大器在锁存数据的状态中减小亚阈值电流的方法。

图 20 是表示通过放大来自数据线的信号并锁存在读出放大器中的读出放大器的亚阈值电流的图。在 SDRAM 中，保持根据行激活指令用读出放大器放大并锁存特定的 1 字份的存储单元数据的状态，将该工作状态称为激活备用状态。预先将数据保存在读出放大器中，以便进行高速存取。这时如图 20 所示，在读出放大器的数据保存状态中，每一个读出放大器都流过亚阈值电流 i 。关于 VDL 和 VDBH 之间串联连接的读出放大器 CMOS, PMOS 或 NMOS 中的一方在栅极和源极间加上 0V 处于断开状态，但是应该考虑到阈值电压低不会完全断开，还有亚阈值电流流动。因此，如图 21 的波形图所示，结果，从电源 VDL 到 VDBH 具有漏电流 n_i 。例如，用 V_t 为 0.1V 的晶体管，64k 个读出放大器处于激活备用状态时，约有 3mA 的亚阈值电流在流动，妨碍实现低电力化。进一步，晶体管的 V_t 降低 0.1V，亚阈值电流约增大 10 倍。所以当制造产生 V_t 的散乱时和在使 V_t 降低的高温下，存在低 V_t MOS 的亚阈值电流很大这样的问题。

在图 15 中，画出了将本申请的降低激活备用时亚阈值电流的方式应用于采取过激励方式的 SA 构成中的电路。共通的电路构成沿用了到此所述的实施例中的电路，特别是当与图 3 所示的电路进行比较时对此很容易了解。

首先，我们说明降低本发明的读出放大器漏电流的原理。读出放大器 SA 放大了存储单元的数据后，CSN 达到 VDBH，CSP 达到

VDL。这时的 SA 包含的 MOS 的衬底偏压的设计值，例如在 NMOS 晶体管中为 VBB。这里，CSN 的电平从 VDBH 到 VDBH'(>VDBH)，衬底偏压上升 (VDBH'-VDBH)，由于衬底偏压效果，NMOS 晶体管的 V_t 上升。即，NMOS 栅极和源极处于短路状态，加在背栅上的电压（衬底电压）一定，源极电位（=栅极电位）成为高电压。因此，我们可以利用背栅和源极之间的电压变大，因为相对地在背栅上加上深的偏压所以 NMOS 的阈值上升这个现象。同样地，由于 CSP 的电平从 VDL 到 VDL'(<VDL)，NMOS 晶体管的 V_t 上升。通过由于 CSN 和 CSP 的电平变化引起 V_t 上升，能够减小决定 SA 漏电流的亚阈值漏电流，结果，能够减小从 VDL 到 VDBH 的漏电流。在为了得到以上效果的本发明的实施例中，其特征是具有用于在备用时，激活时，激活备用时，改变公用源极 CSN，CSP 的电平的器件。

图 15 中与图 3 不同的地方是分别将 P 侧和 N 侧的用于恢复的开关置换成 Zp 和 Zn。Zp 和 Zn 是供给 P 侧和 N 侧的恢复电位，同时按照控制信号变更这个恢复电位的器件。我们取 Zn 的工作为例说明它的作用。读出放大器放大初期根据 QDN1 用 VDBL 过激励 CSN，过激励停止后 Zn 根据 SN 的控制信号，将恢复电位 VDBH 供给 CSN。经过预定时间后成为激活备用状态，根据 SN3 的控制信号，Zn 将 CSN 驱动到 VDBH'(>VDBH)。

其次，在图 16(a)~(d) 中画出了图 15 中的 Zn 构成例。在图 16(a) 所示的构成中，在 CSN 和 VDBH 之间附加与 QDN 并列的高 V_t 的 NMOS QDN3。QDN3 由栅极长宽比 W/L 在 QDN 的 1/500 以下那样的低驱动力的晶体管构成，激活时将 VDBH'(>VDBH) 供给 CSN。即便 SN3 导通，因为阻抗高读出放大器的漏电流流过时产生电压下降，使 CSN 上升到 VDBH'，用负反馈效果减小漏电流。设定 QDN3 的衬底电位使其与 QDN 相等。在读出放大器激活状态中，至少在 QDN 非激活状态时，激活 QDN3。初期读出时可以与激活 QDN 同时激活 QDN3。为了激活 QDN3，将 CN3 设定在从 VDBH

到 VDL。

在图 16 (b) 中, 在 CSN 和 VDBH 之间附加与 QDN 并列的低 V_t 的 PMOS QDN3 的构成中, 当用栅极信号 SN3 进行激活时, 将比 VDBH 高出 QDN3 的 V_t 的电源供给 CSN。将 QDN3 的基极电位设定在 VDL 或与 SA 的 PMOS 相等的电位上。在读出放大器激活状态中, 至少在 QDN 非激活状态时, 激活 QDN。对 QDN3 进行激活时, 将 SN3 设定在从 VDL 到 VDBH 上。

在图 16 (c) 中, 作为 Z_n 的构成, 将使 VDBH' 成为电源的高 V_t 的 NMOS QDN3 与 CSN 连接起来。所以, 对于这个电路, 前提是制成形成 VDBH' ($>VDBH$) 的电源电路。VDBH' 是由电阻分压电路和电压限幅电路等形成的。将 QDN3 的衬底电位设定在与 QDN 的衬底电位相等的电位上。通过用 SN3 激活 QDN3, 将 VDBH' 供给 CSN。在读出放大器激活状态中, 在 QDN 非激活状态时激活 QDN3。在激活 QDN3 时, 将 SN3 设定在从 VDL 到 VDBH。

在图 16 (d) 的构成中, 通过由 SN 对 QDN 的栅极电压大小进行控制, 用 QDN 实现 Z_n 的效果。在激活备用时 QDN 的接通电阻变高, 使 CSN 的电平成为 VDBH' 那样地对栅极信号 SN3 进行控制。在本构成中, 因为没有追加晶体管, 所以与其它实施例比较使 SN 的控制变得较复杂, 但是能够使读出放大器周围的布局变得较容易。

在图 17 (a) 到 (d) 中, 画出了 Z_p 的构成例。它们将在图 16 (a) 到 (d) 中所述的电路改变成用于 P 侧的高电平的电路, 可以与图 16 的电路同样地进行理解。

在图 18 中画出了将图 16 (c) 和图 17 (c) 应用于图 15 的 Z_n 和 Z_p 构成时的工作波形图。在输入行激活指令 (RowACT) 后, PCS 从 VDL 转移到 VDBH, 停止预充电工作。因为从预充电结束后到读出放大器保存数据的工作顺序与上述实施例 2 相同, 所以省略对它们的说明。SA 通过过激励工作和恢复工作结束放大工作处于确定数据的状态, 如上述那样漏电流在 VDL 和 VDBH 之间流动, 每 1

个 SA 的漏电流为 i , 在子存储器阵列 n 个 SA 与公用源极线连接时, 从 VDL 到 VDBH 的漏电流总和为 ni 。

为了减小漏电流, 在输入行激活信号经过一定时间后, 读出放大器充分放大了从存储单元读出的信号后, 不使 SN 和 SP 激活, 代之使 SN3 和 SP3 激活。结果, CSN 从 VDBH 到 VDBH', 将 CSP 设定在从 VDL 到 VDL'。这时, 构成 SA 的 NMOS 的衬底电位相对地上升 ($VDBH'-VDBH$), 同样地 PMOS 的衬底电位相对地上升 ($VDL'-VDL$), 通过衬底偏压效果可以同时实现高 V_t 化和减小亚阈值漏电流。

激活备用状态的数据线对间的振幅 ($VDL'-VDBH'$) 设计值的最小值, 根据读出放大器的灵敏度来设定。当设定数据线振幅为 1.4V 时, 即便将数据线对的振幅 ($VDL'-VDBH'$) 设定在 600mV 左右并输入读指令时, 也不会引起数据的破坏, 并可以减小在激活备用状态中的漏电流。

现在我们说明为了结束激活备用状态, 输入预充电指令后的工作。根据预充电指令不使 SN3 和 SP3 激活, 而激活 SN 和 SP。因此, 将数据线对重写在 VDBH 或 VDL 上。此后, 不使数据线激活, 使它从 VPP 到 VWL, 不使 SN, SP 激活。最后, 用 PCS 将数据线对 CSN, CSP 预充电到预充电电平 $VDL/2$ 。

此外, 根据本发明, 也能够得到减小用低 V_t MOS 的预充电电路和列开关的漏电流的效果。在激活备用状态, 预充电控制信号 PCS 和 Y 选择信号 YS0, YS1 达到 VDBH, VSS, VDBL 中的任何一个。当使读出放大器内的 NMOS 的衬底电位共通时, 在串联地插入包含在预充电电路 PC 中的数据线之间的 NMOS 上衬底偏压的效果除了使工作 V_t 上升外, 还因为使栅极和源极间的电压成为负电压, 所以能够减小预充电电路的漏电流。这时, 能够减小从 VDL 到 VDBH 之间流动的漏电流。由于同样的理由, 供给包含在预充电电路 PC 中的 $VDL/2$, 也能够减小从与数据线低电平连接的 NMOS 的 $VDL/2$ 到 VDBH 的漏电流。进一步, I/O 线对的预充电电平与数据线对的

具有相同高度时,能够减小与 IO 线和低电平端数据线连接的 NMOS 上的漏电流。

此外,本发明不限定于使读出放大器激活时的 CSN 和 CSP 激活的方式和激活 MOS 的配置方式,能够适用于具有交叉耦合型的电路构成的 SA 构成。例如,过激励方式的实施例 1 到 5 也可以适用于不是过激励方式的读出方式,能够减小电力消耗。

在不用过激励方式的读出放大器上实施的例子如图 19 所示。在本构成中,我们希望具有使读出放大器的 PMOS 对的衬底电位为 VDL 的构成,并将 QDP 和 QDP3 的衬底电位也同样地设定在 VDL 上。

产业上利用的可能性

我们简单地说明了通过本申请中揭示的发明中的代表性的电路设计得到的效果,这些效果如下所示。如果根据本发明,在过激励方式的读出放大器中,通过将多个用于过激励的读出驱动器分散地配置在读出放大器部分上,能够减小在多个读出放大器之间进行读出时的公用源极电位差。进一步,在所有的读出放大器上用栅极信号控制过激励期间。因此,具有能够减小过激励的远近端差的优点。结果,能够一面保证高速读出工作,一面又能够抑制电力消耗实现电力低消耗化。

图 1

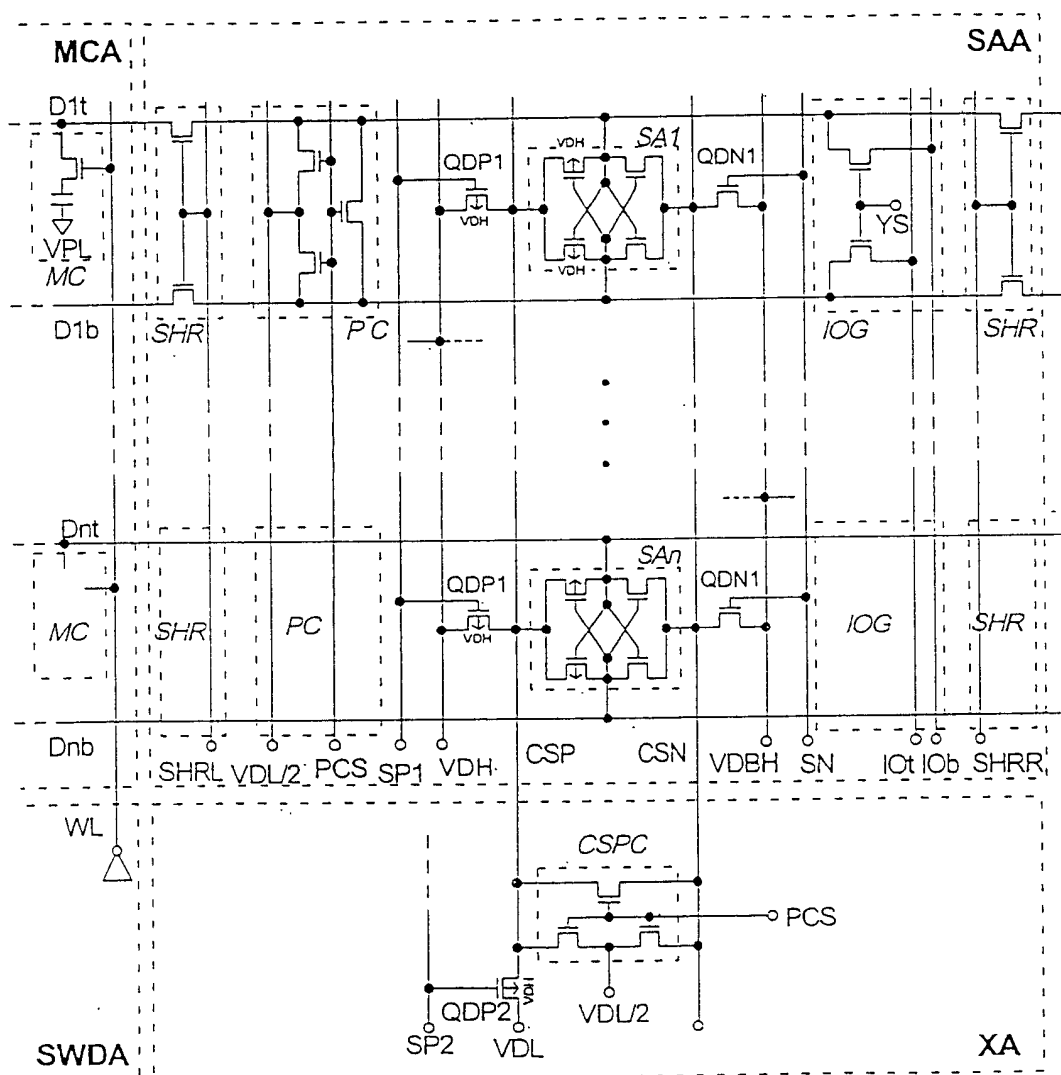


图 2

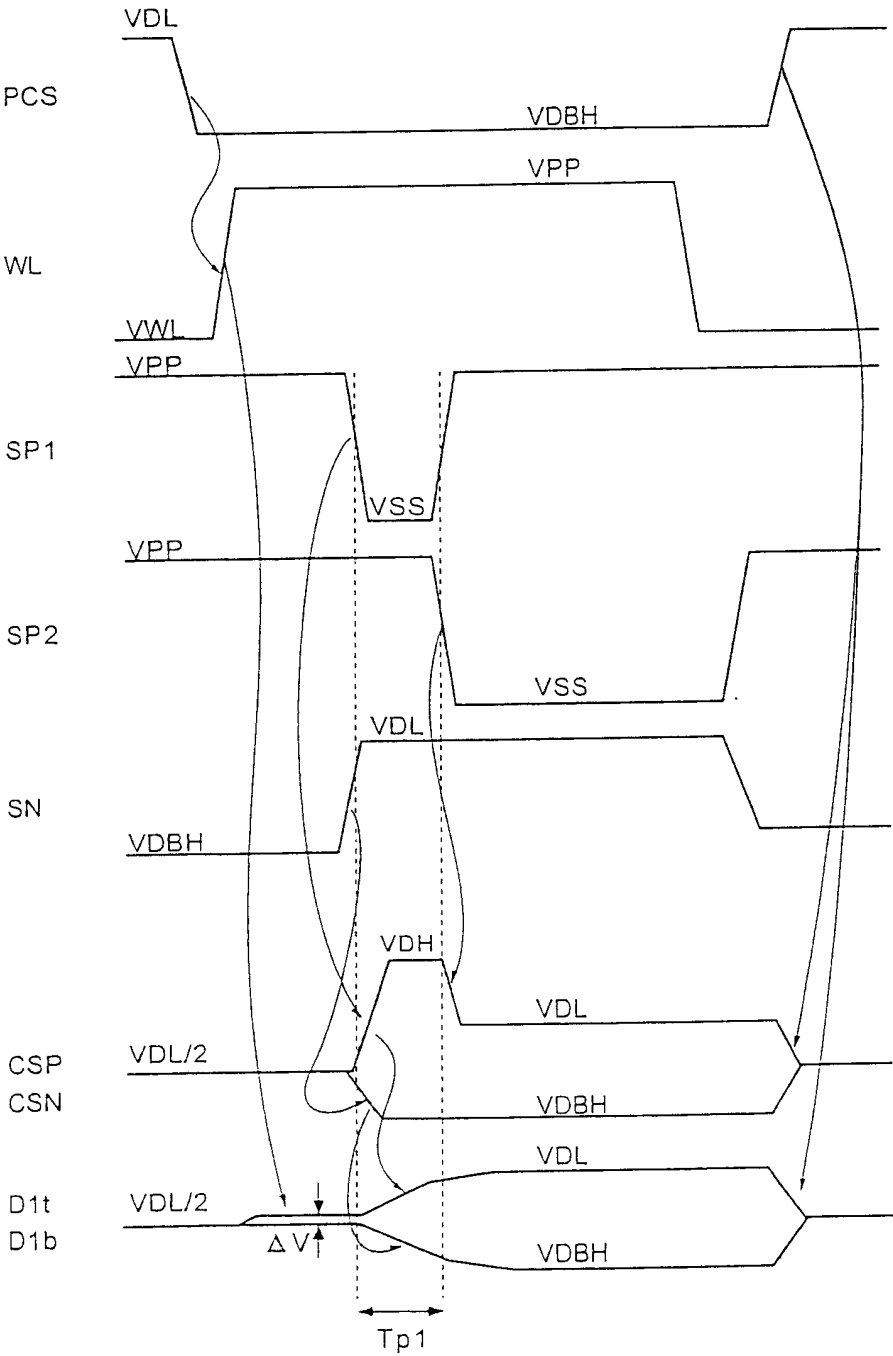


图 3

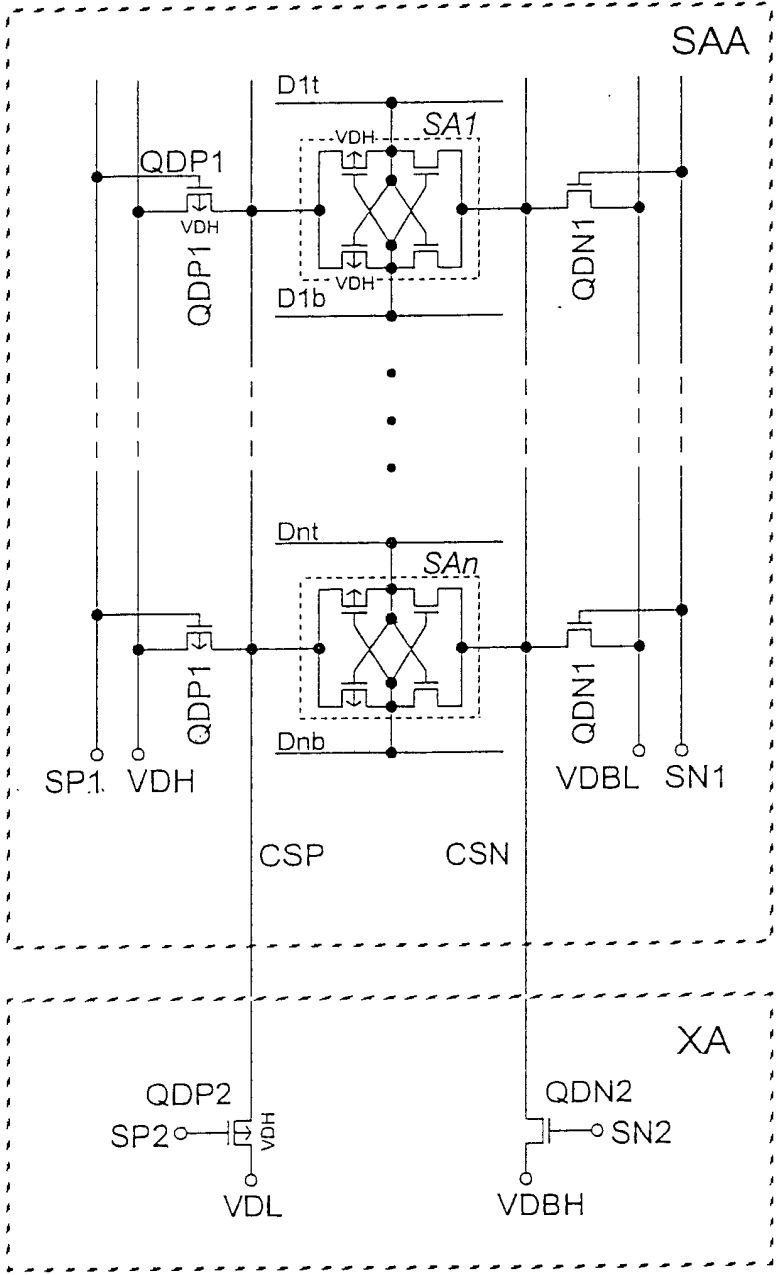


图 4

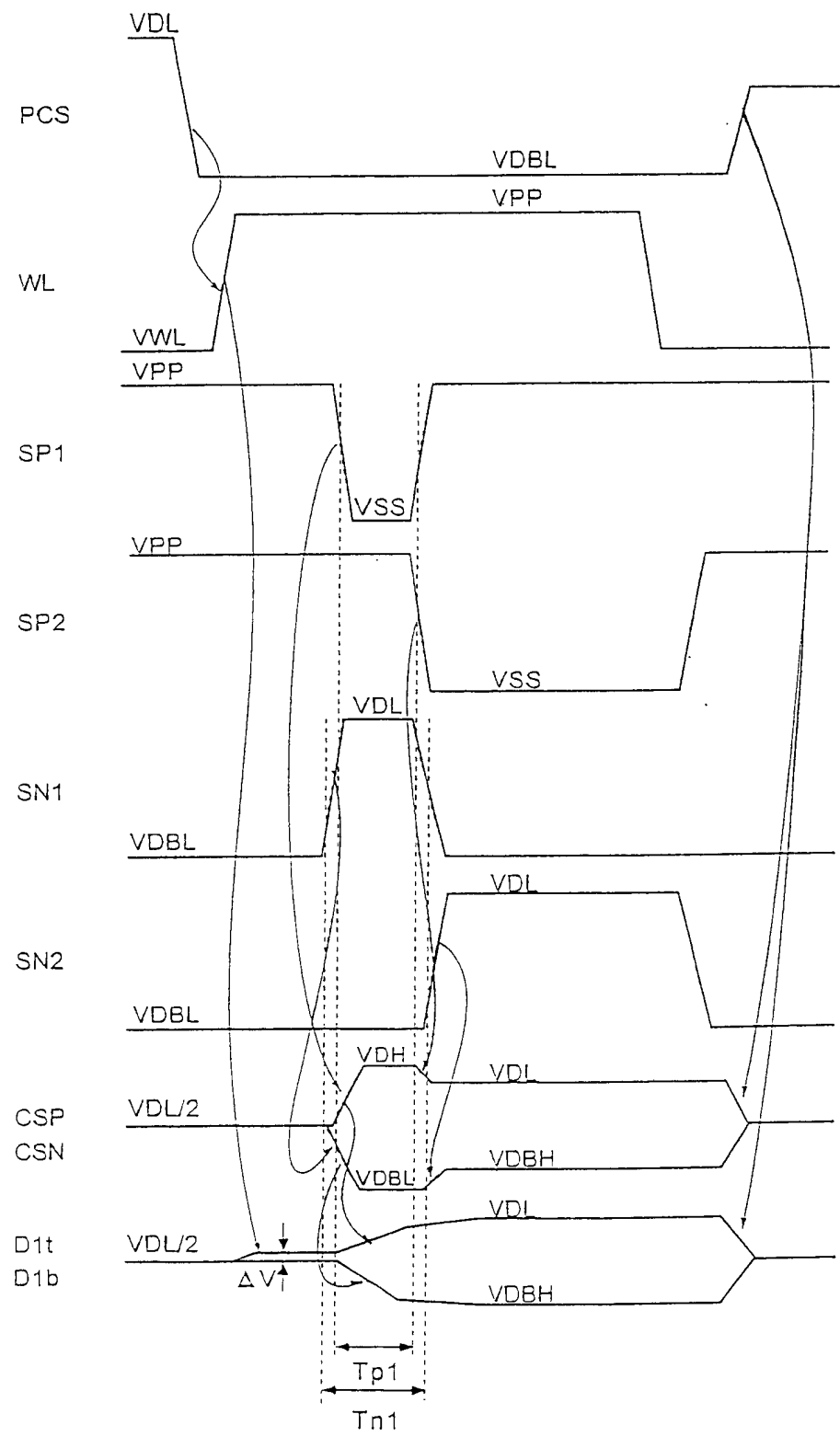


图 5

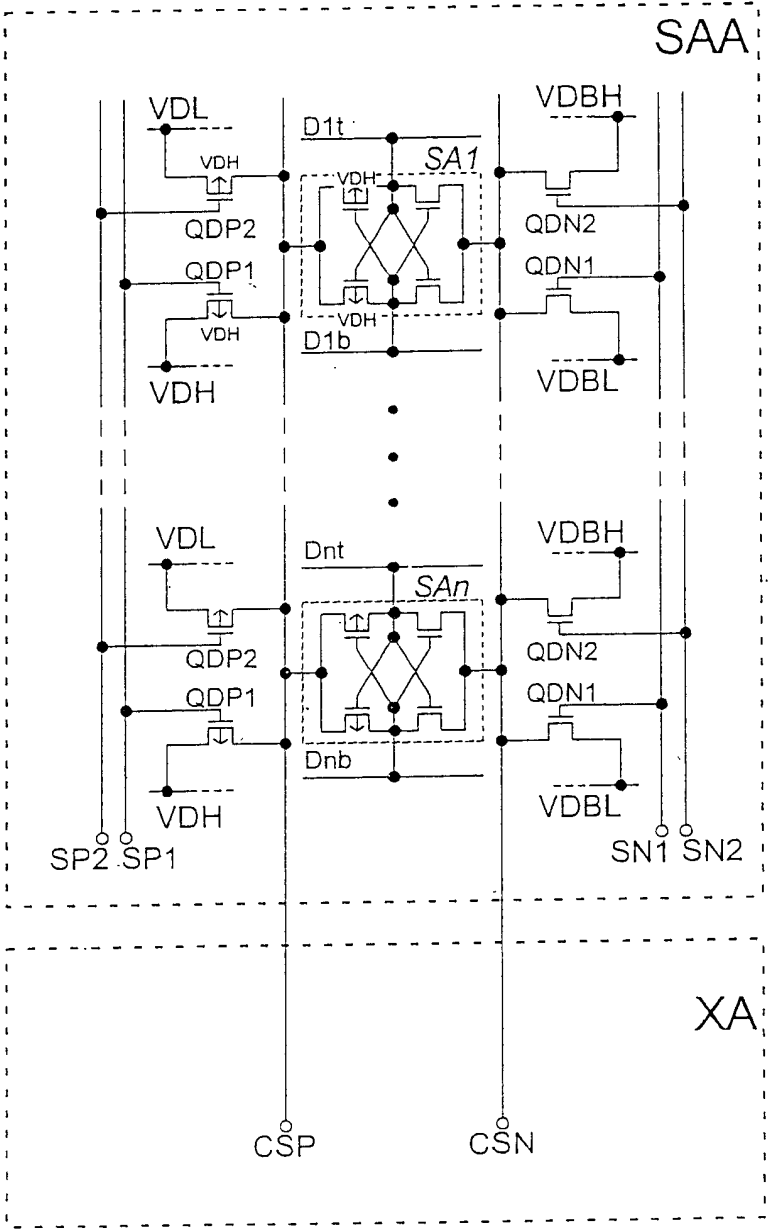


图 6

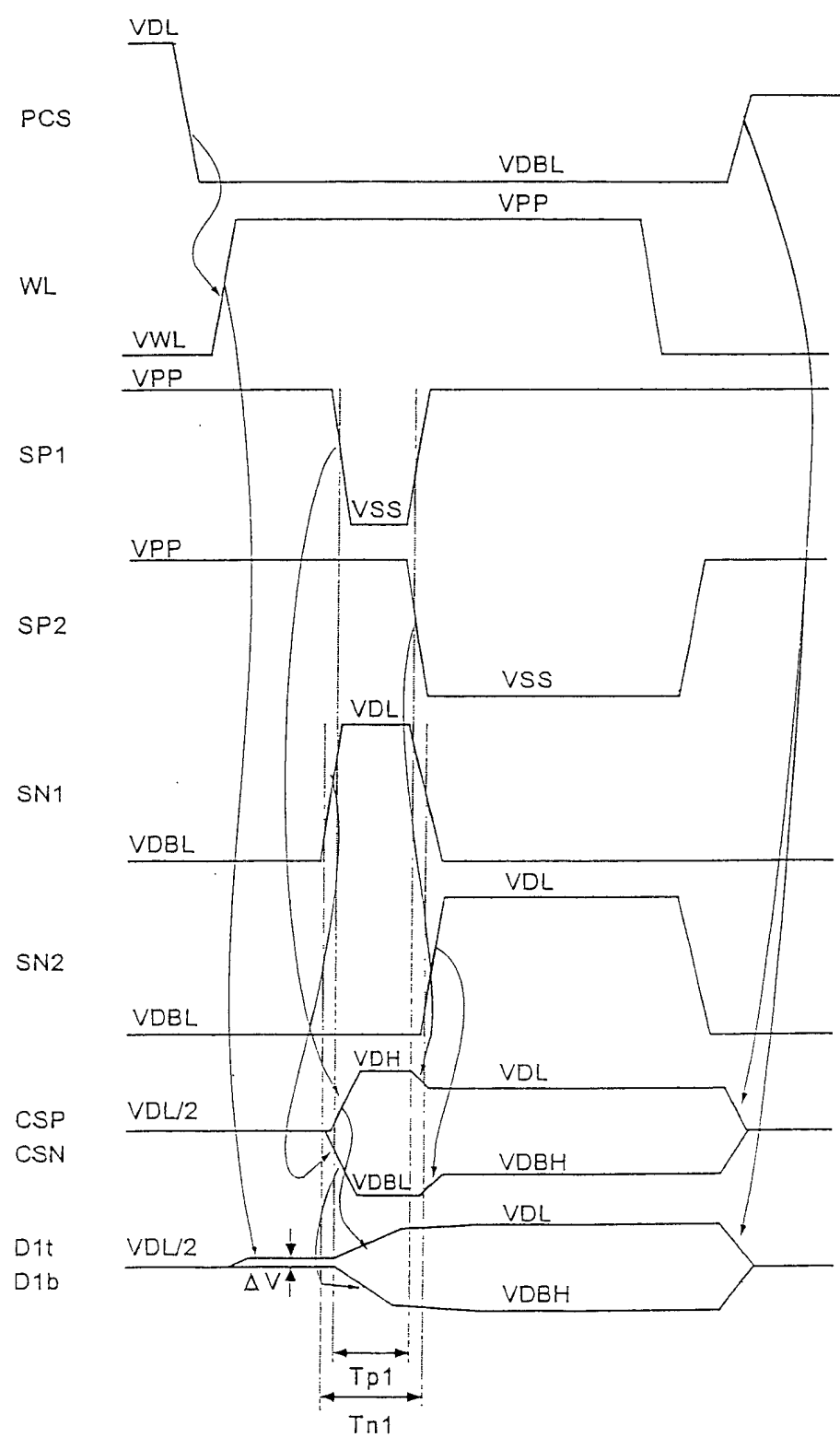


图 7

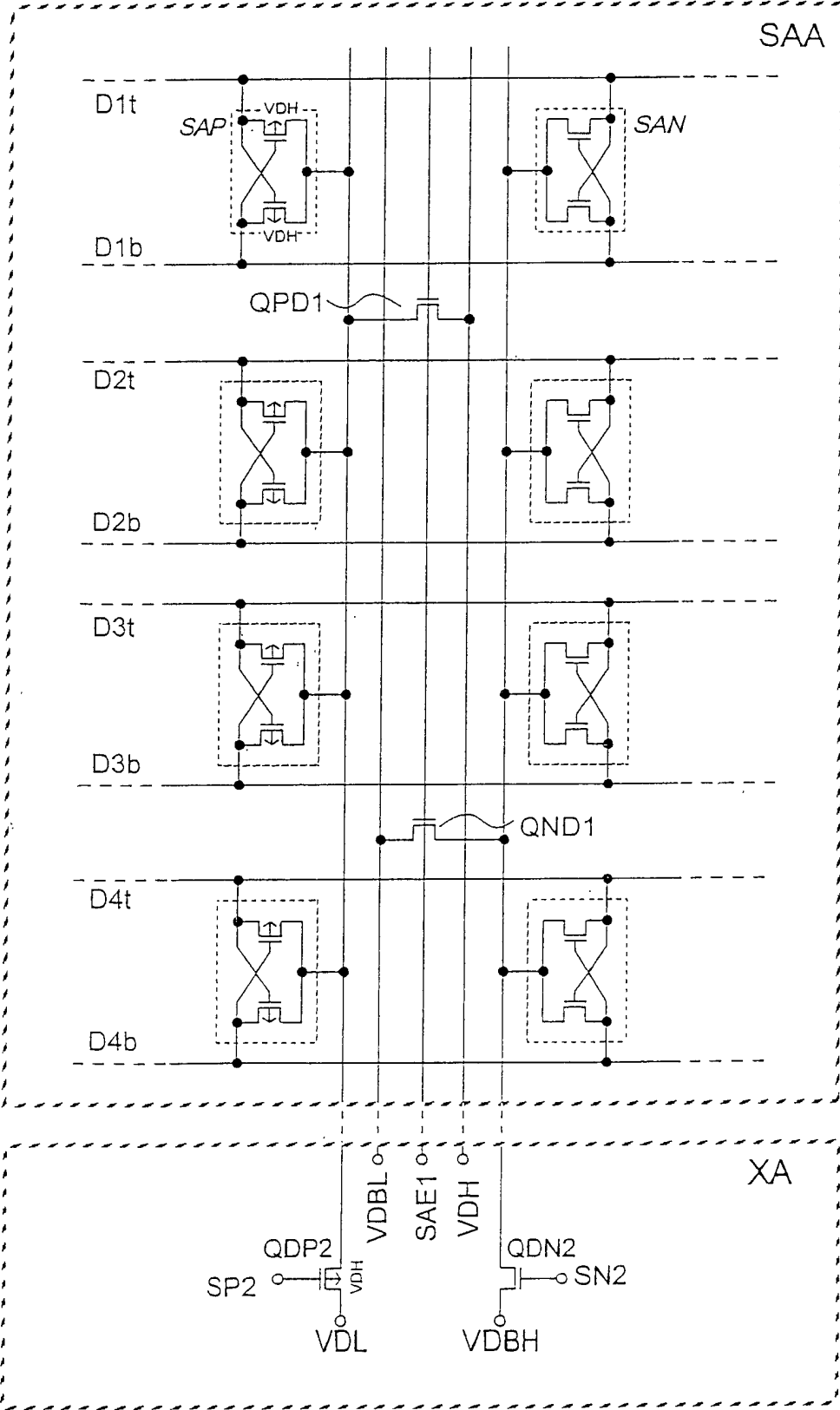


图 8

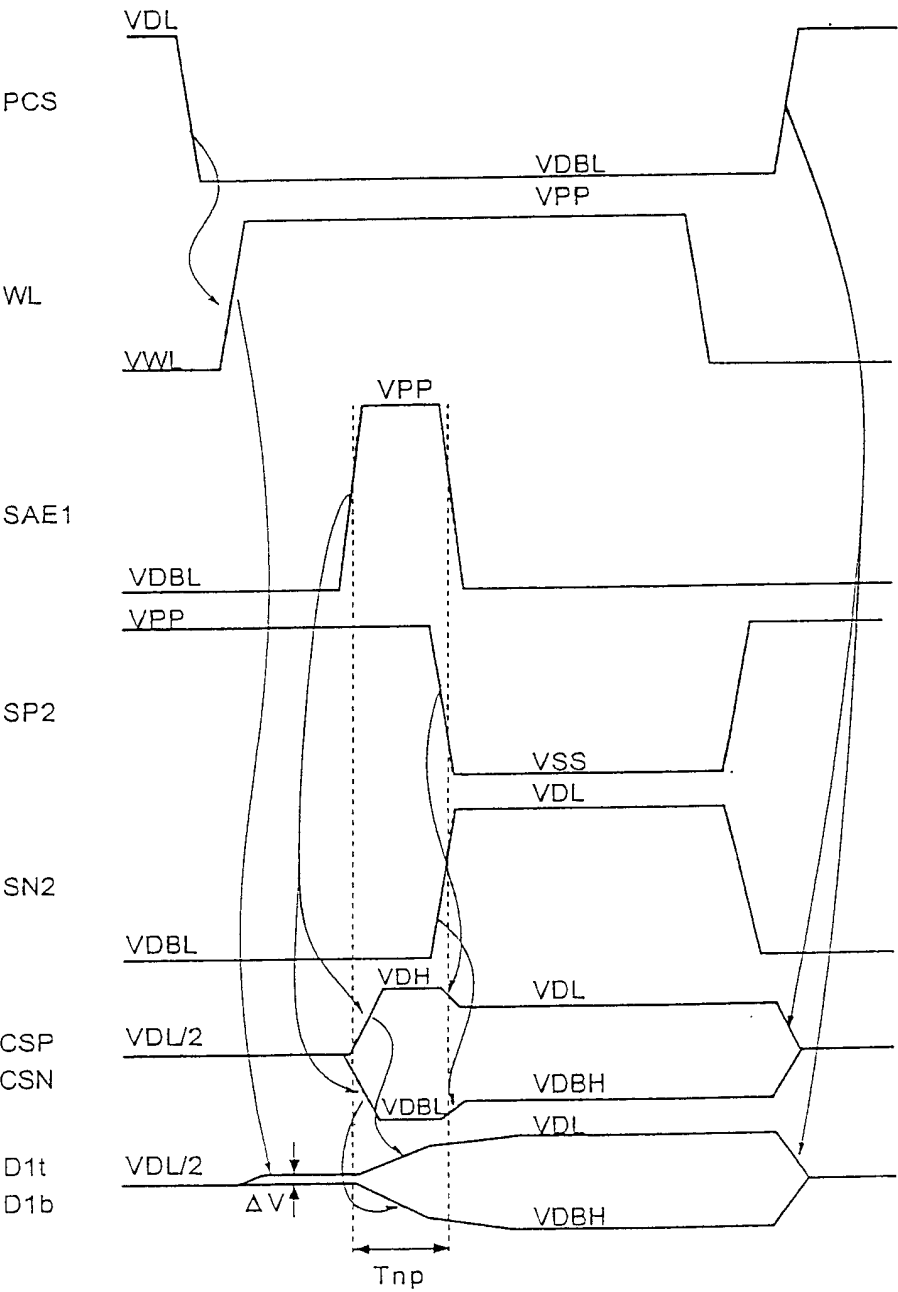


图 9

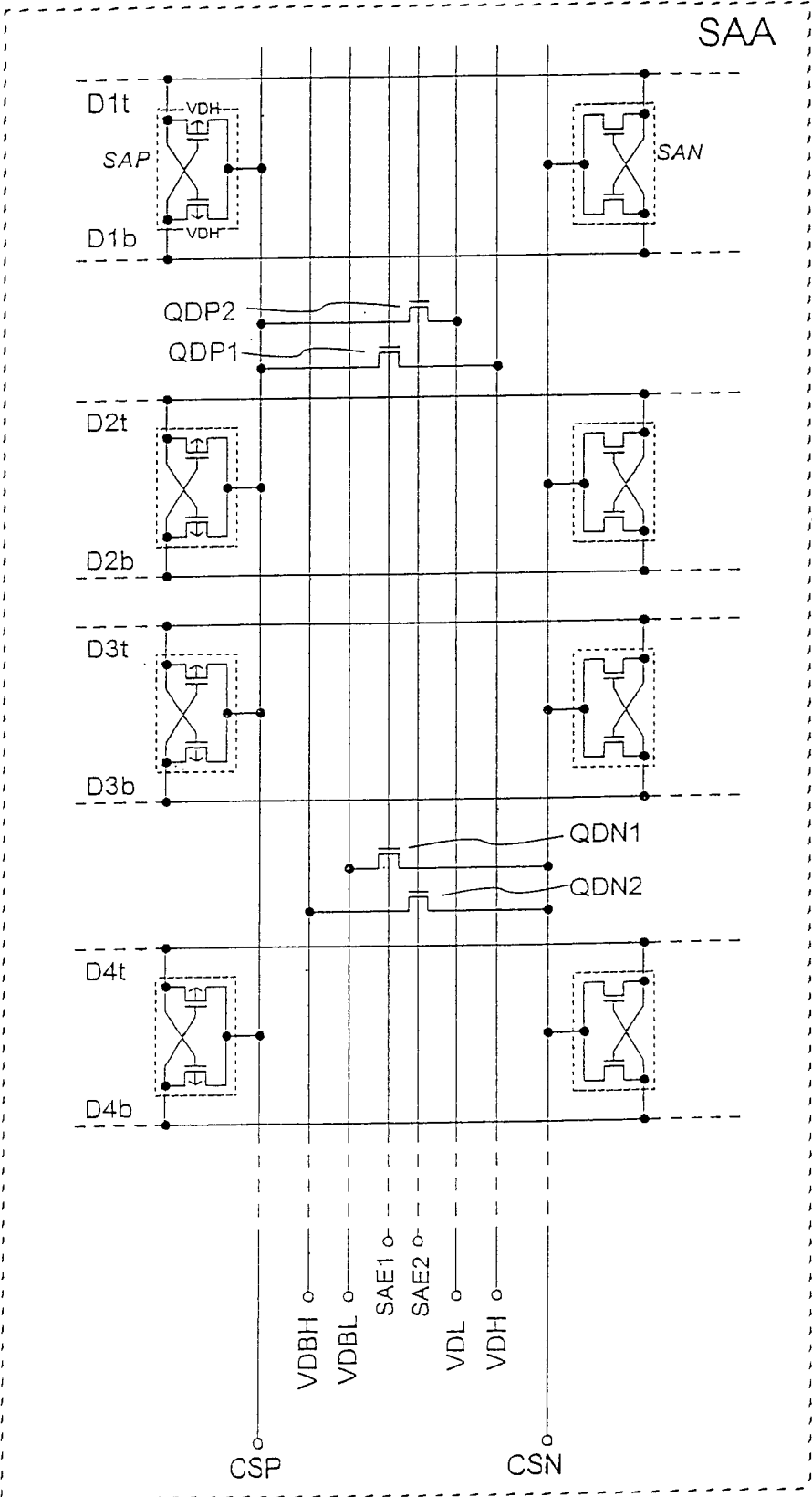


图 10

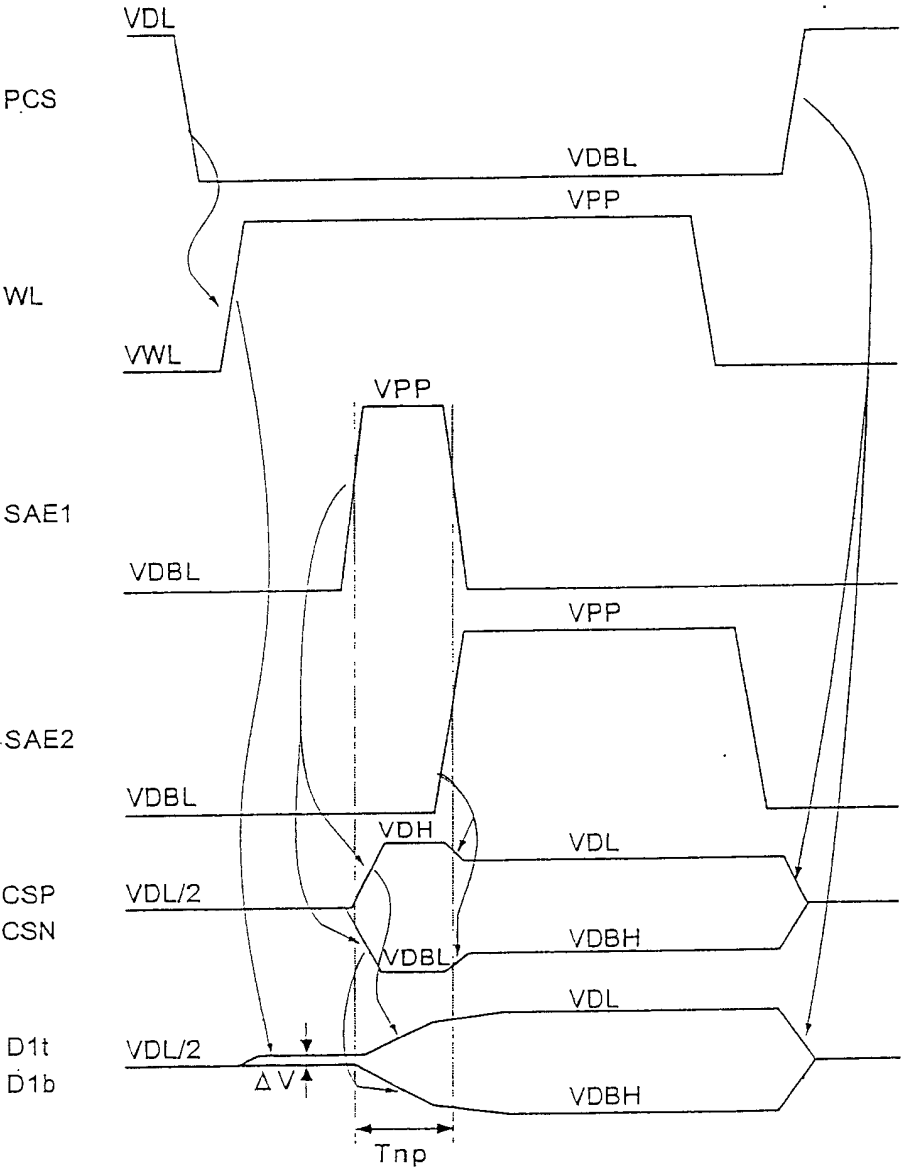


图 11

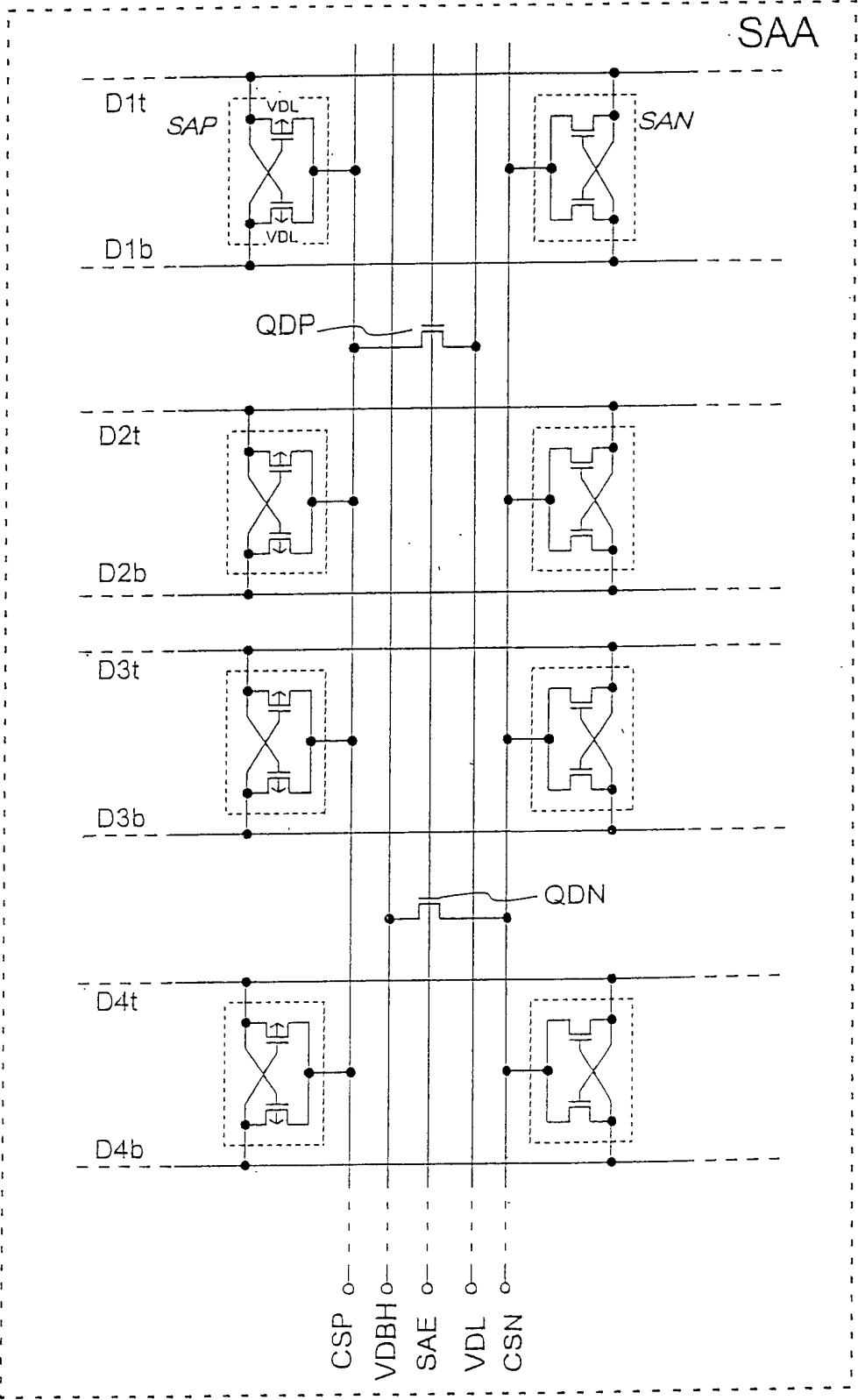


图 12

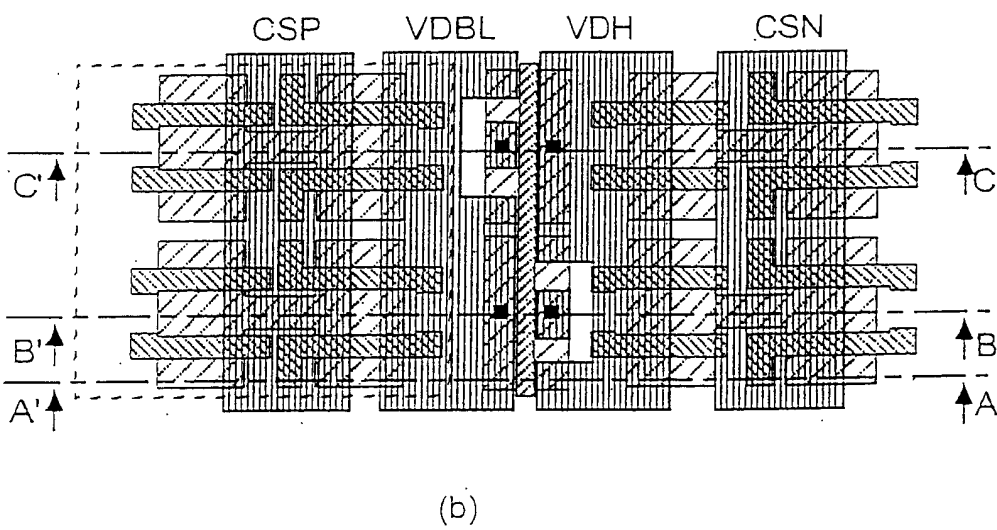
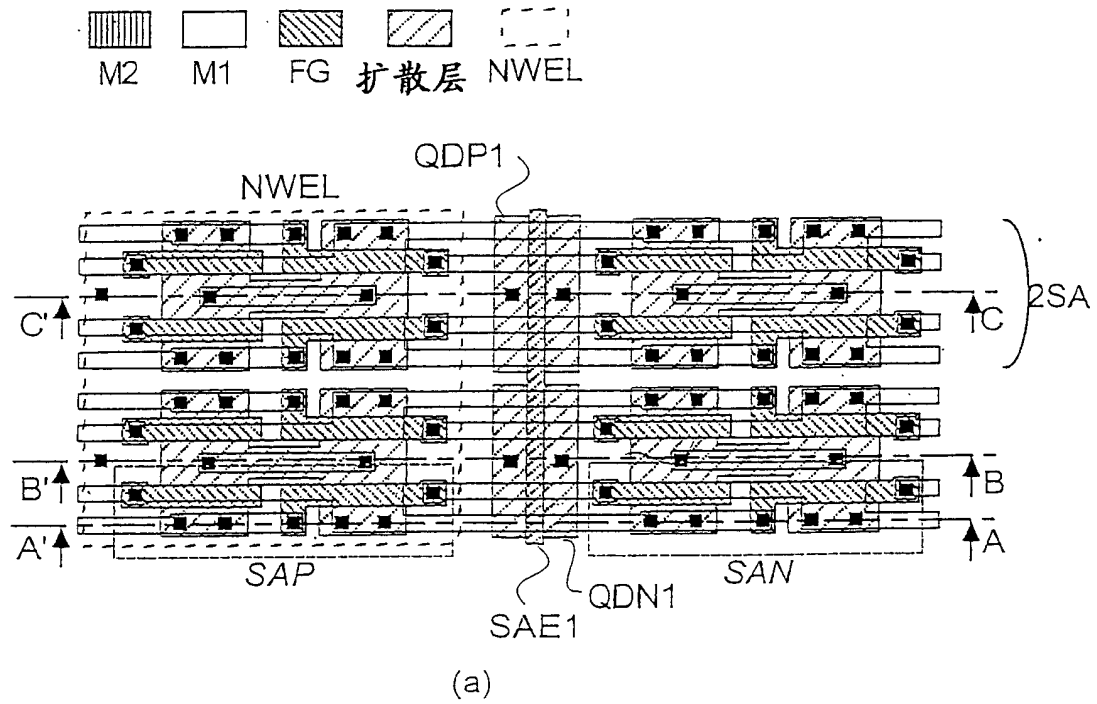


图 13

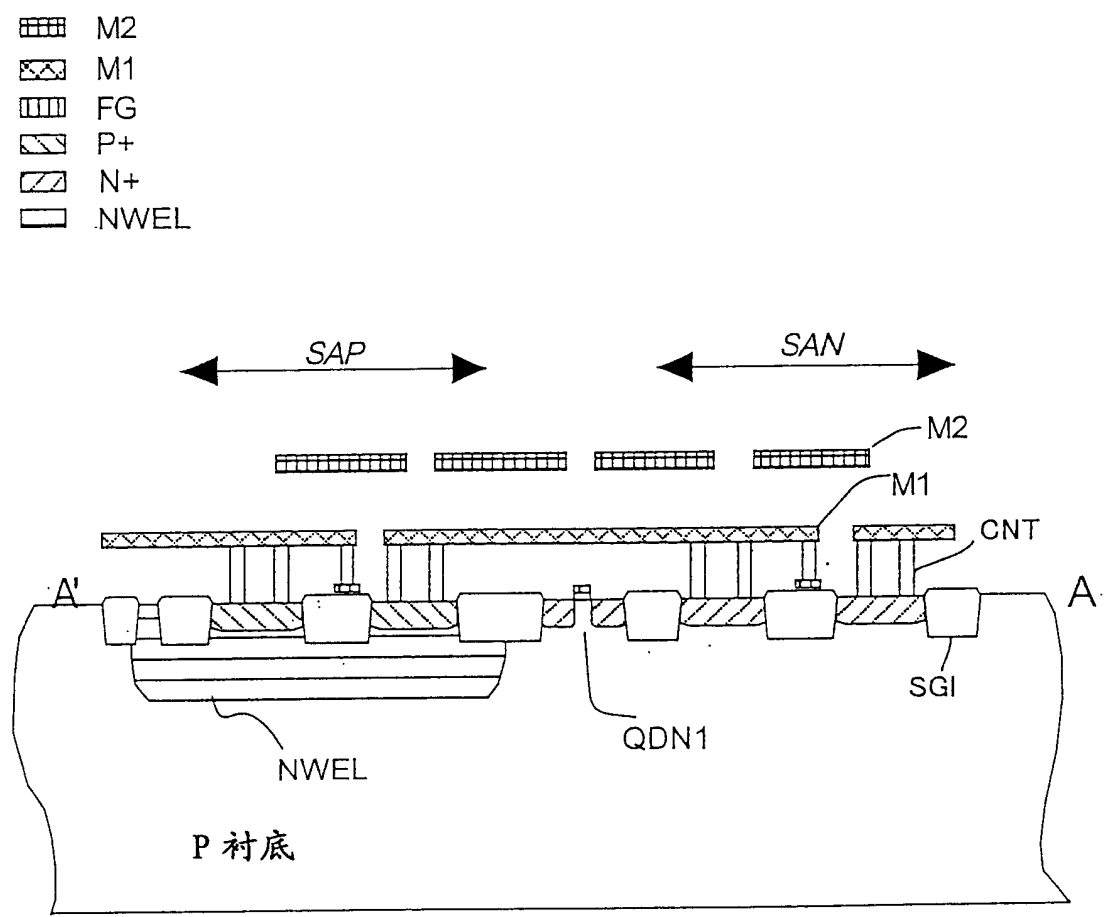


图 14

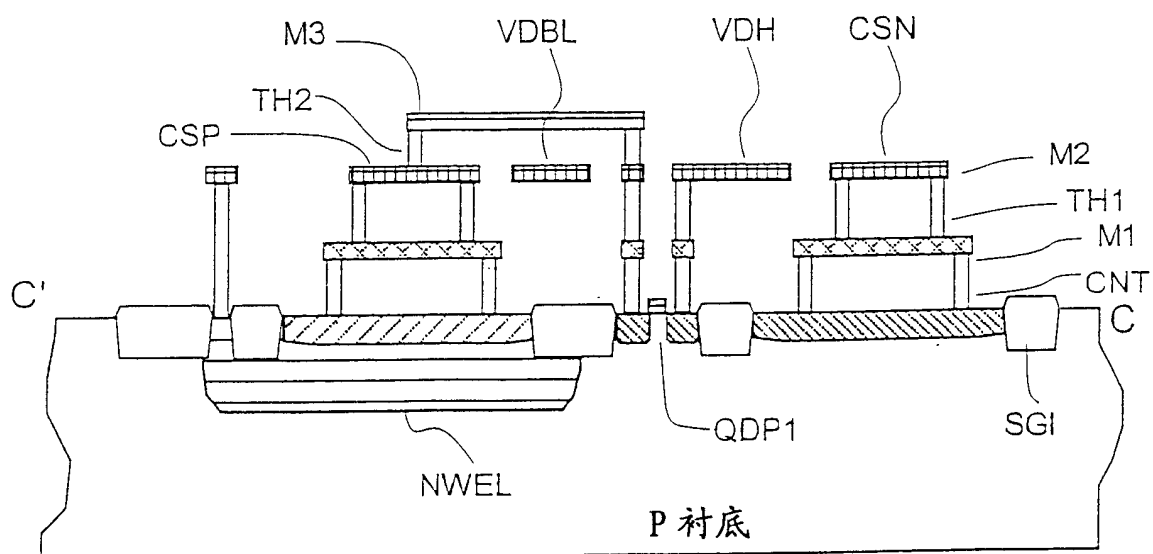
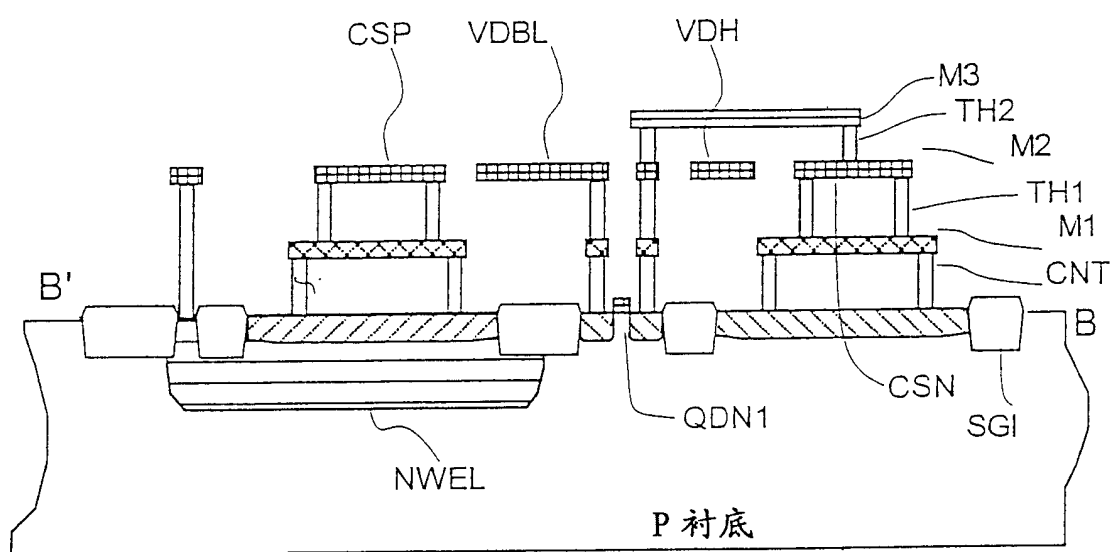
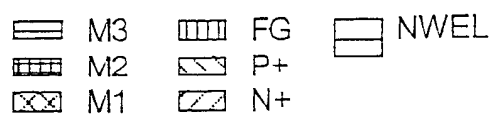


图 15

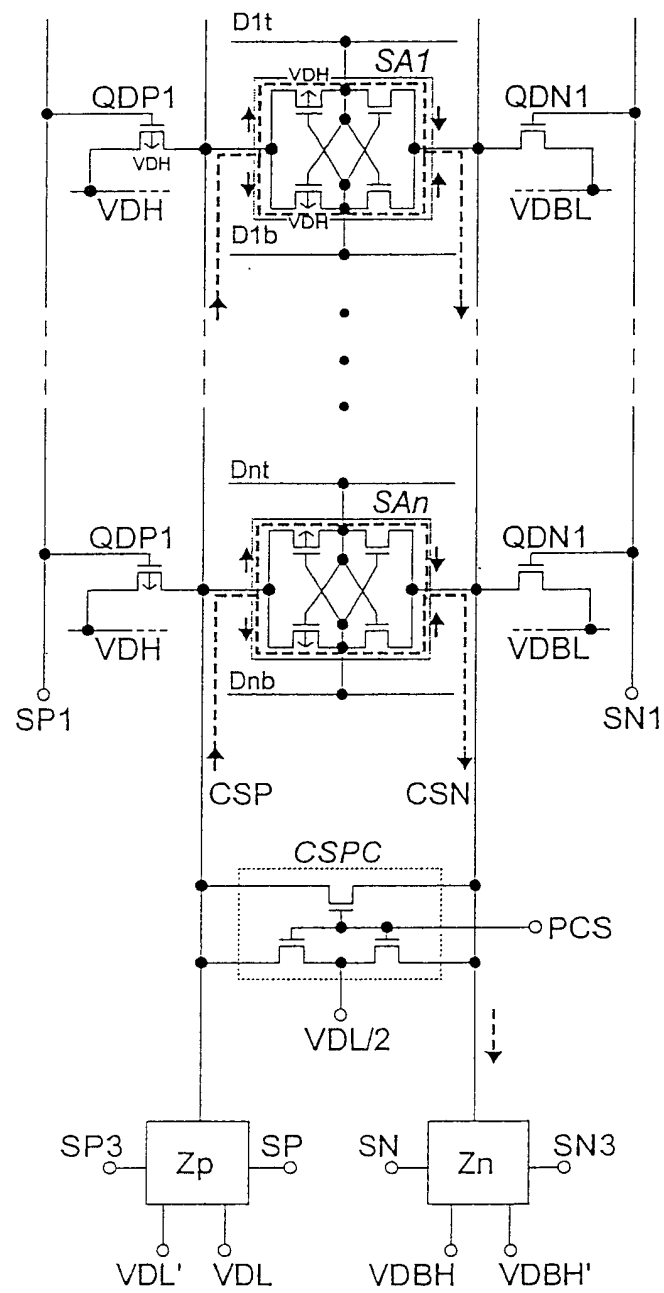


图 16

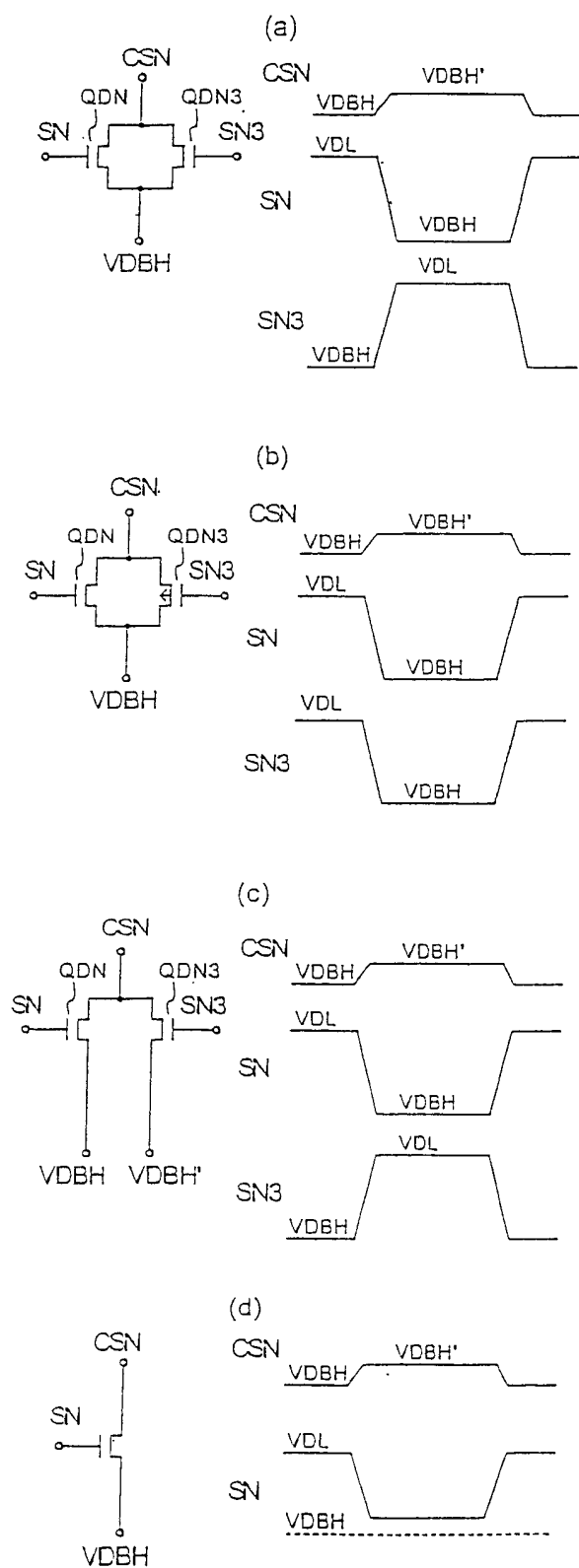


图 17

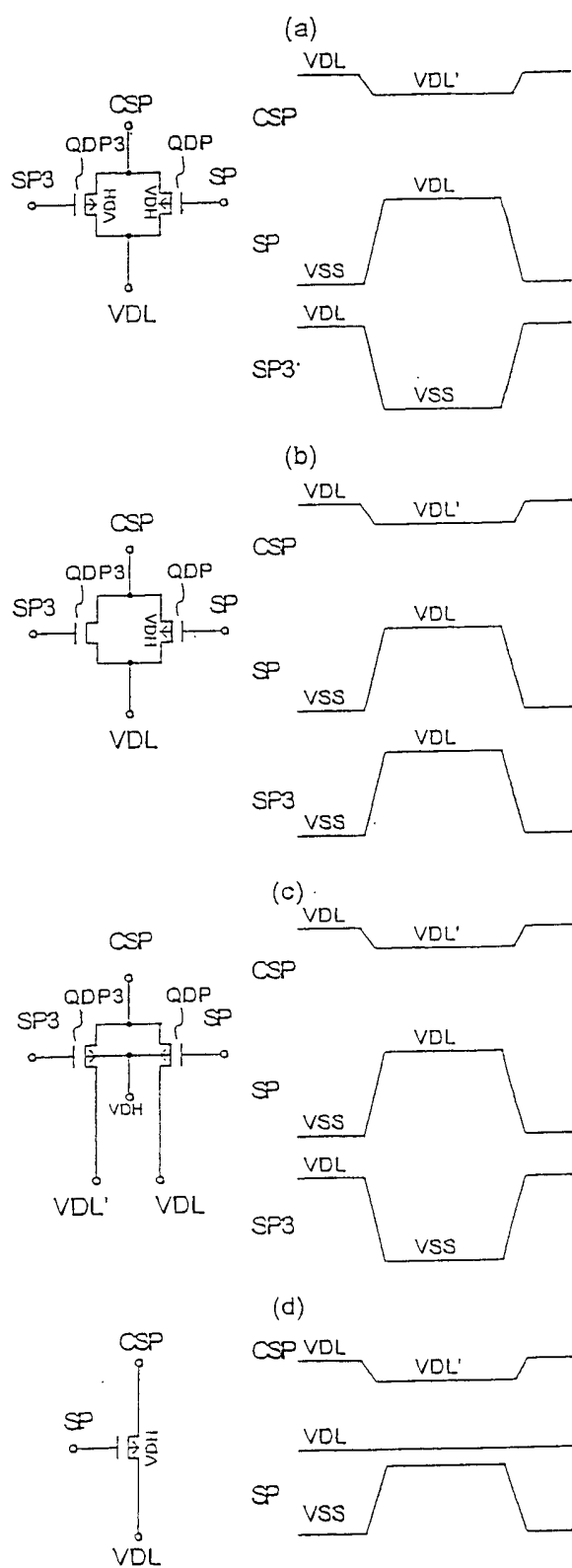


图 18

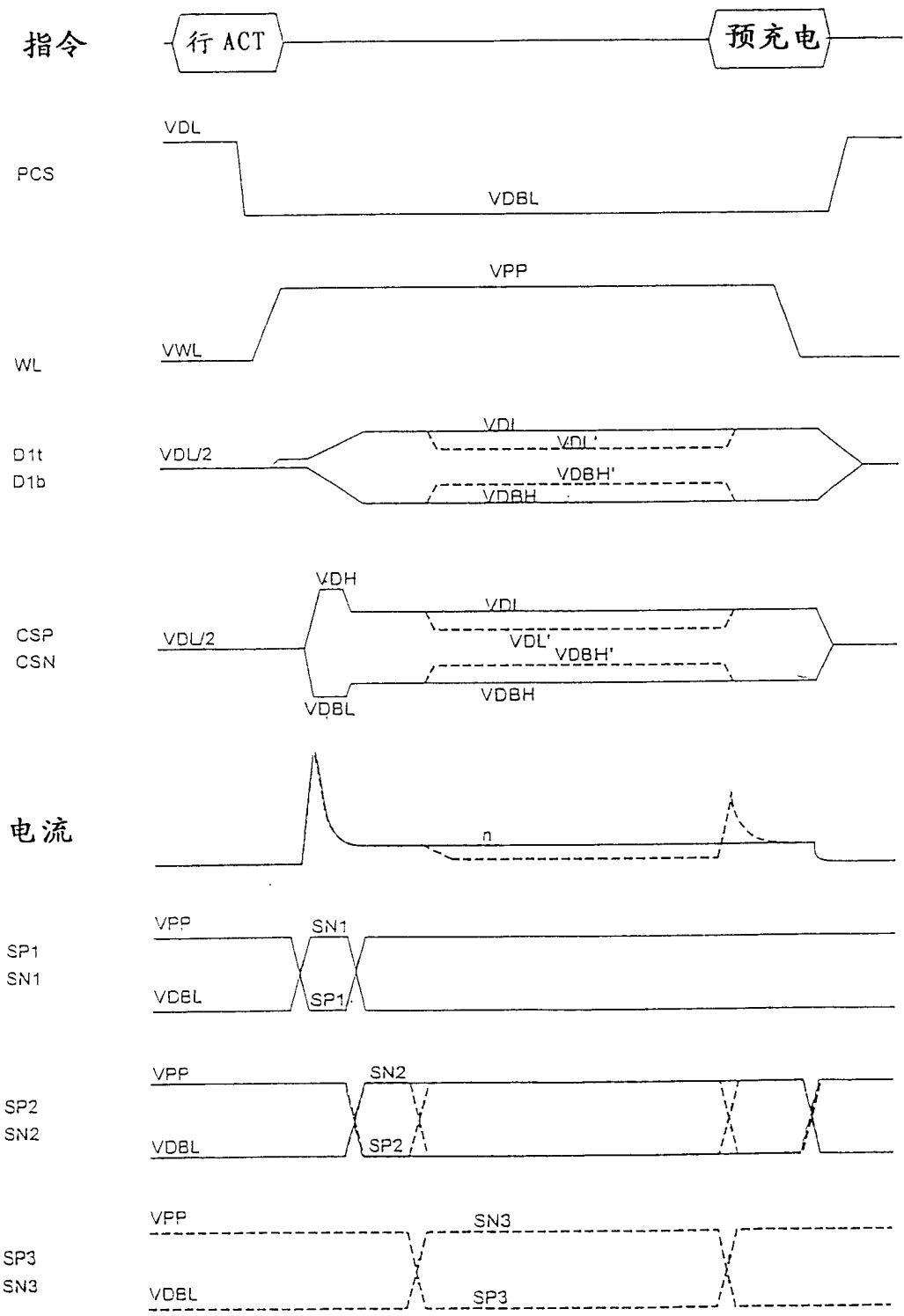


图 19

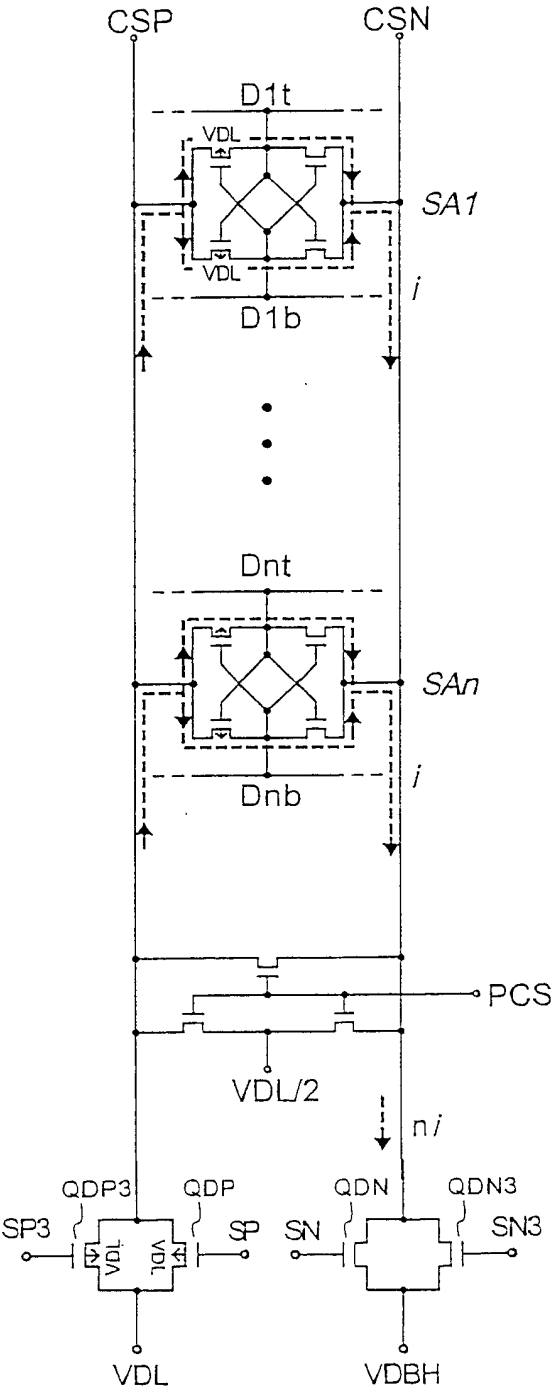


图 20

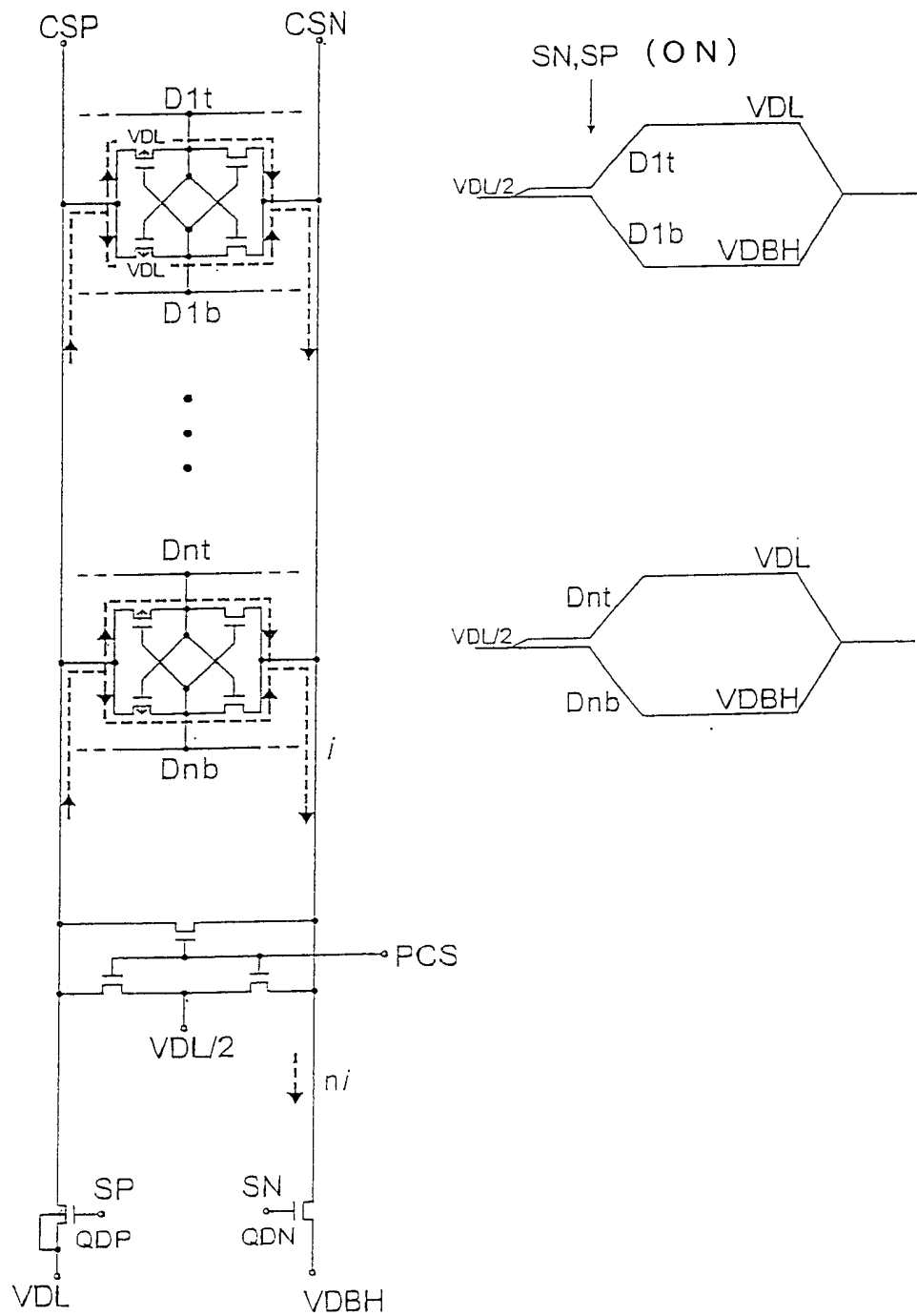


图 21

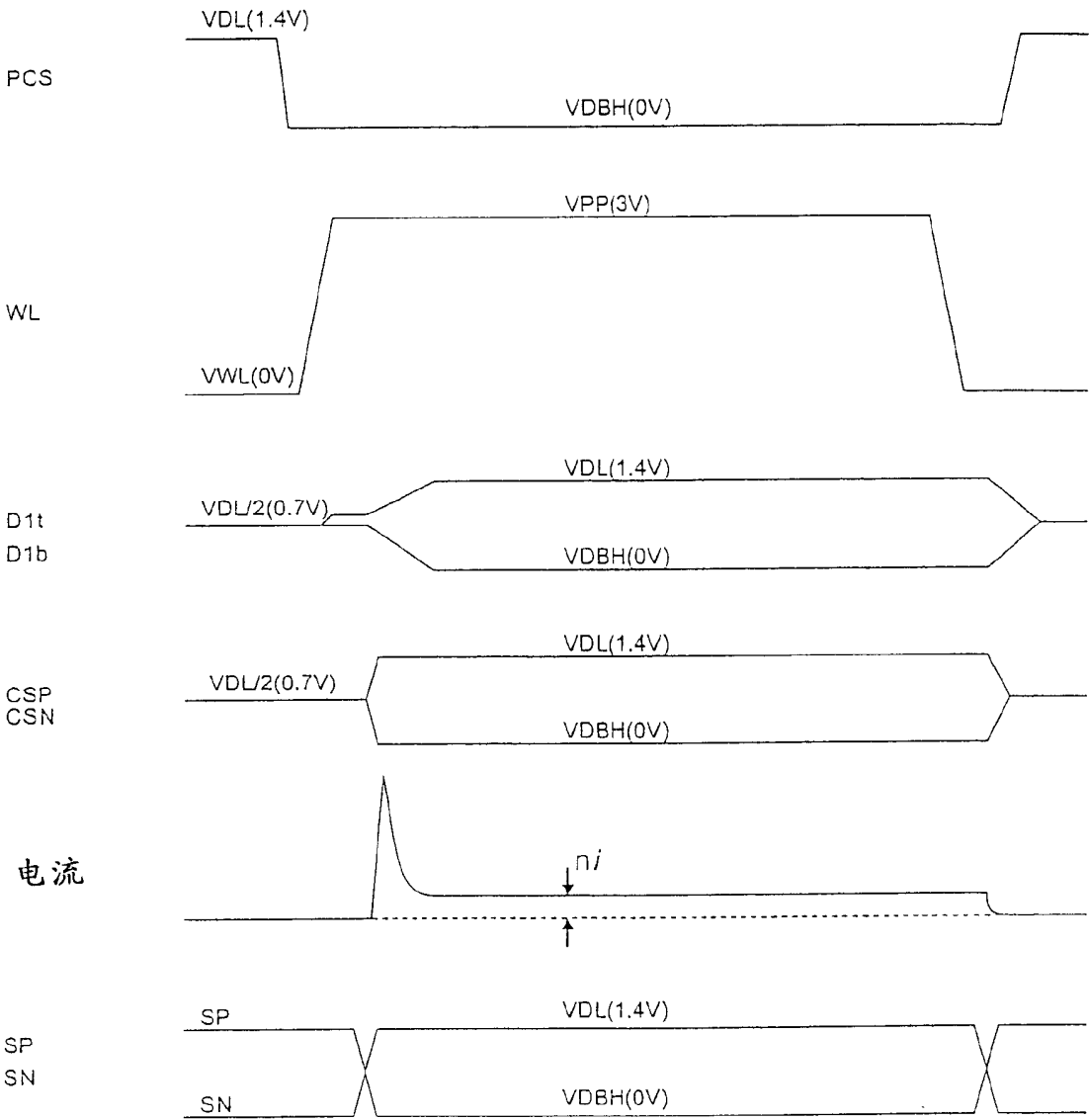


图 22

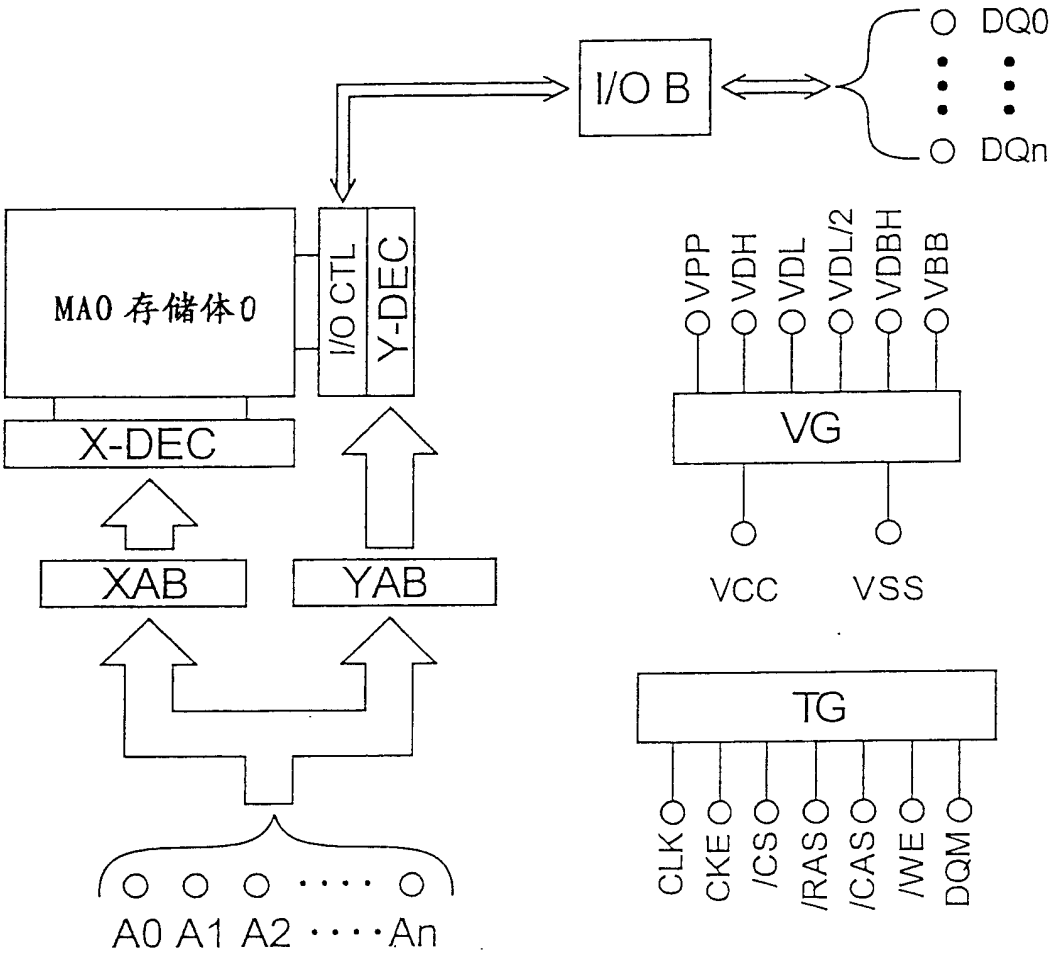


图 23

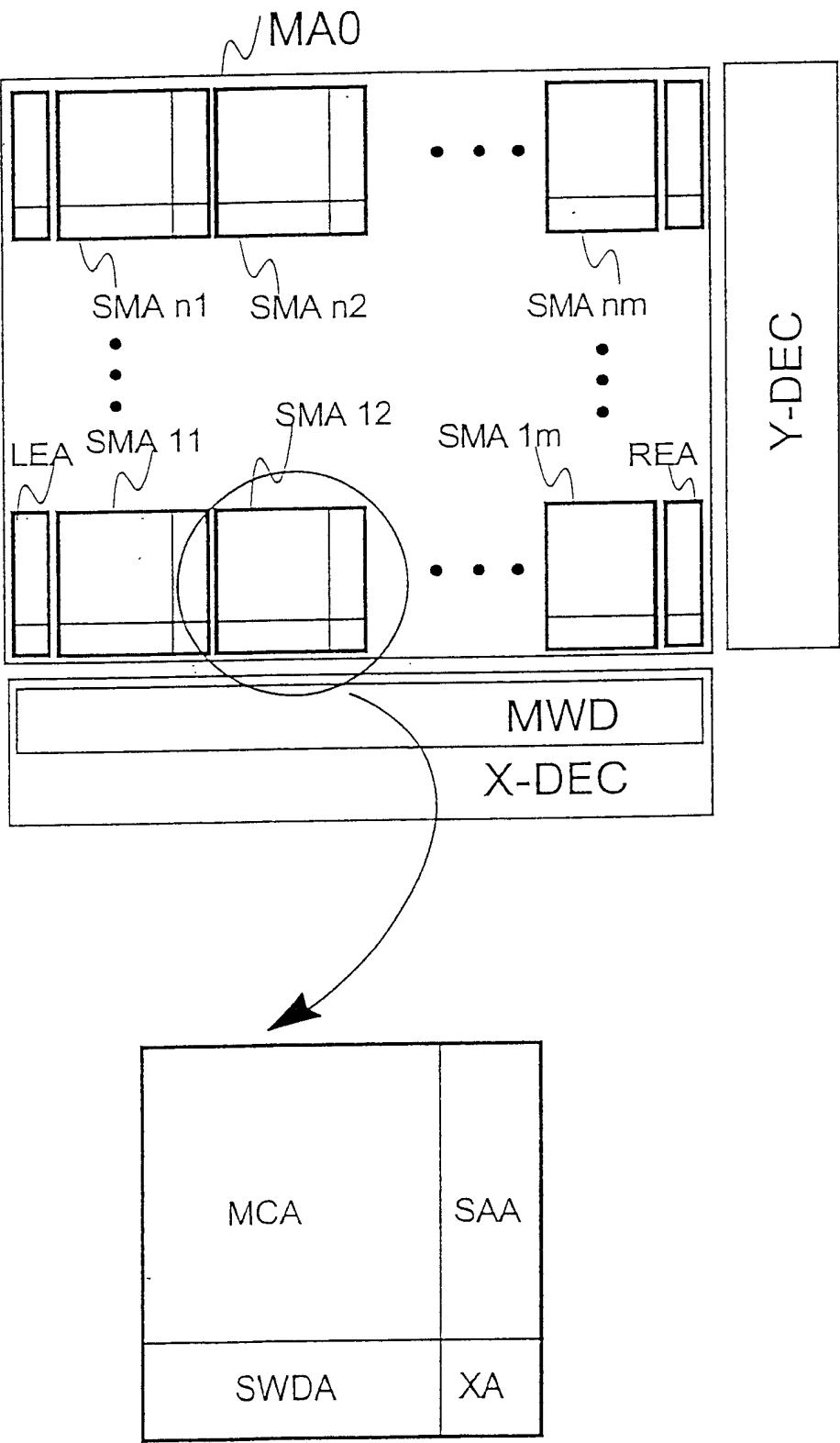


图 24

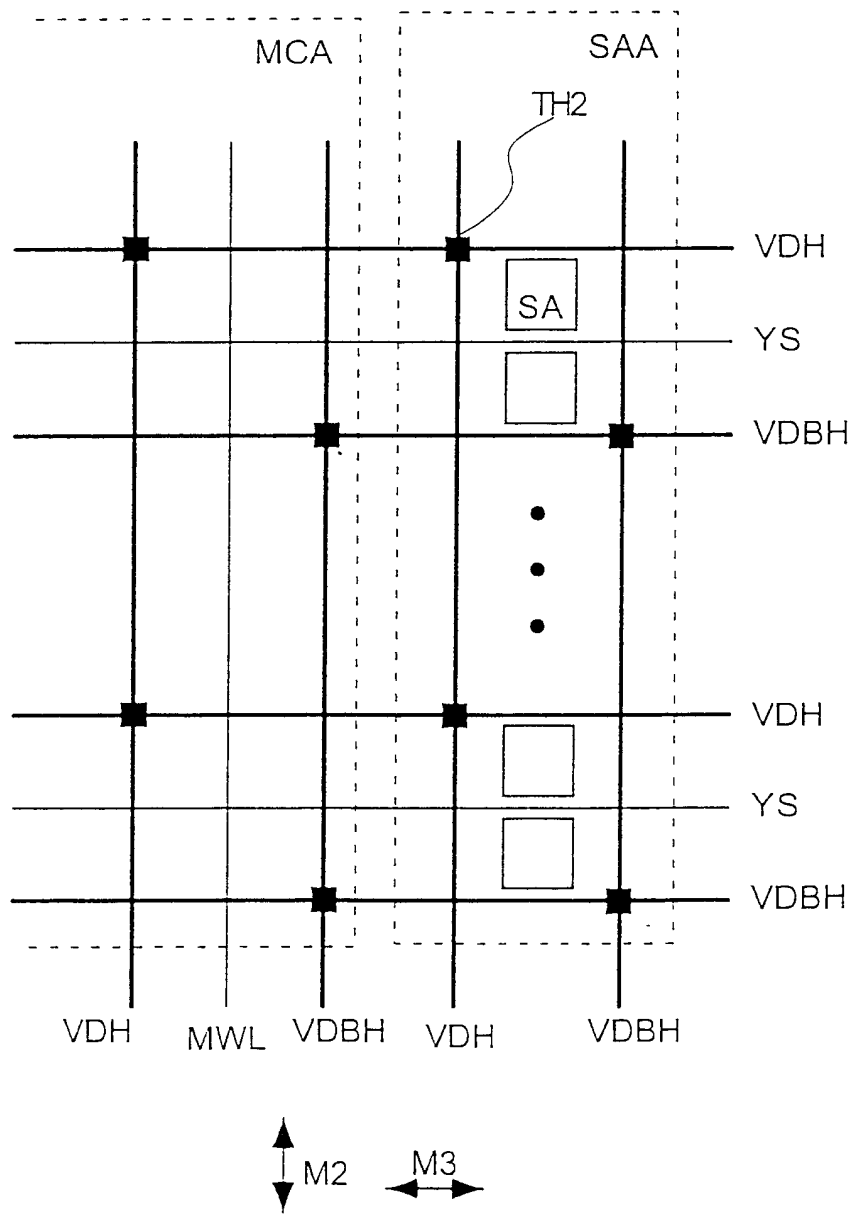


图 25

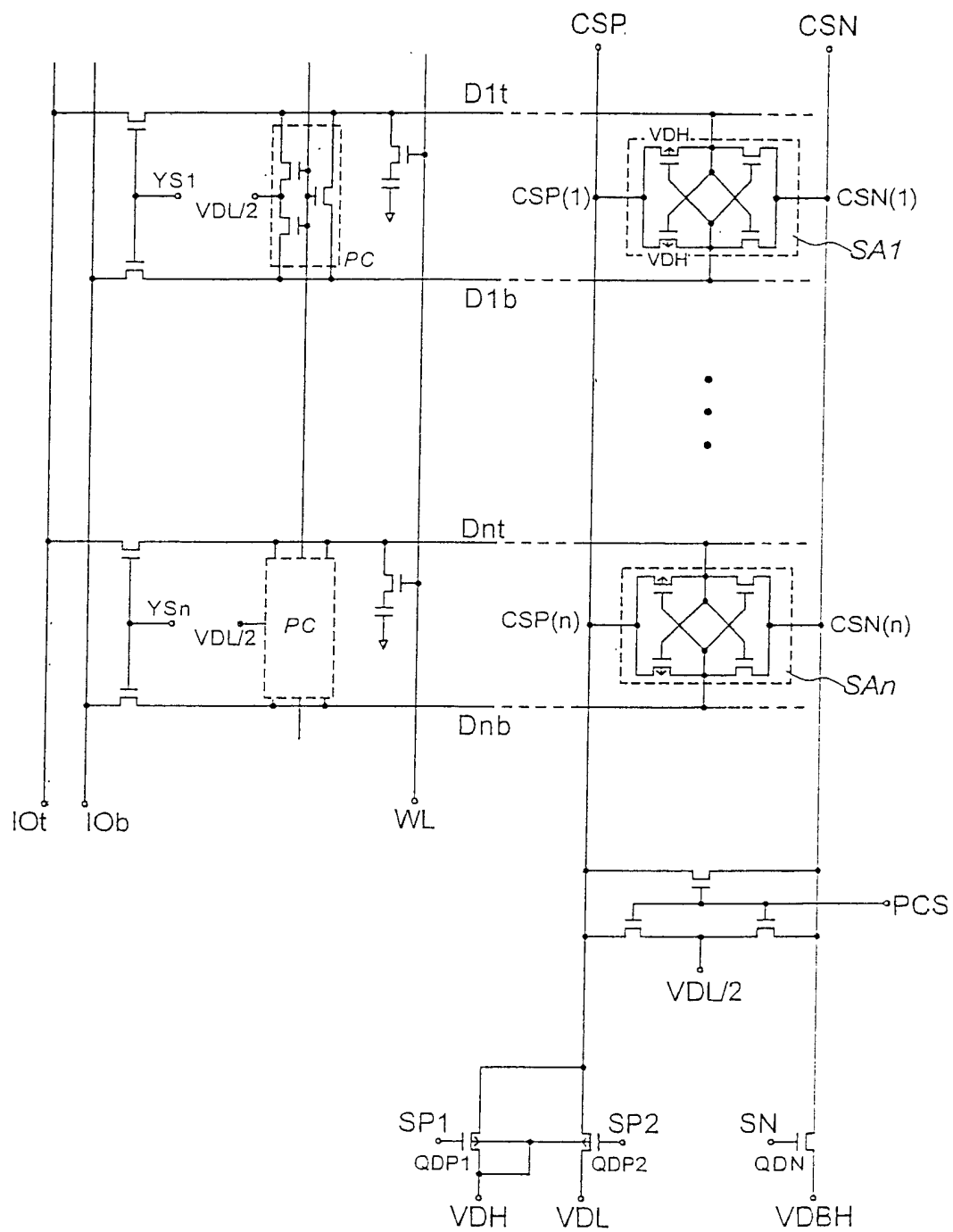


图 26

