



(12) 发明专利申请

(10) 申请公布号 CN 103474455 A

(43) 申请公布日 2013. 12. 25

(21) 申请号 201310364505. 1

(22) 申请日 2013. 08. 21

(71) 申请人 电子科技大学

地址 610000 四川省成都市高新区(西区)
西源大道 2006 号

(72) 发明人 杜江锋 严慧 刘斌 尹成功
黄思霓 罗杰 白智元 陈南庭
于奇

(51) Int. Cl.

H01L 29/10(2006. 01)

H01L 29/778(2006. 01)

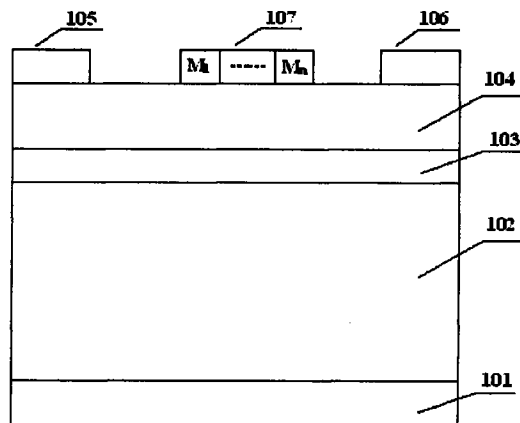
权利要求书1页 说明书6页 附图10页

(54) 发明名称

一种具有复合金属栅的氮化镓基高电子迁移率晶体管

(57) 摘要

本发明涉及一种具有复合金属栅的氮化镓基高电子迁移率晶体管,包括衬底、氮化镓缓冲层、氮化铝插入层、铝镓氮势垒层、以及铝镓氮势垒层上的源极、漏极和栅极;其中源极和漏极与铝镓氮势垒层形成欧姆接触,栅极与铝镓氮势垒层形成肖特基接触,所述铝镓氮势垒层上的栅极由两种以上不同功函数的金属连接组成。本发明利用不同功函数的栅极金属之间形成的阶梯型势垒屏蔽漏极电势对器件沟道的影响,抑制漏致势垒降低(DIBL)效应,改善深亚微米级氮化镓基高电子迁移率晶体管的 SCEs,从而提高电流增益截止频率 f_T 。



1. 一种具有复合金属栅的氮化镓基高电子迁移率晶体管,包括衬底(101)、氮化镓缓冲层(102)、氮化铝插入层(103)、铝镓氮势垒层(104)、以及铝镓氮势垒层(104)上的源极(105)、漏极(106)和栅极(107);其中源极(105)和漏极(106)与铝镓氮势垒层(104)形成欧姆接触,栅极(107)与铝镓氮势垒层(104)形成肖特基接触,其特征在于:所述铝镓氮势垒层(104)上的栅极(107)由两种以上不同功函数的金属连接组成。

2. 根据权利要求1所述一种具有复合金属栅的氮化镓基高电子迁移率晶体管,其特征在于:所述不同功函数的金属为铂或金或镍或钛或银或铝或铬或镉或钼,所述不同功函数的金属的功函数范围为 $4 \sim 7\text{eV}$ 。

3. 根据权利要求1或2所述一种具有复合金属栅的氮化镓基高电子迁移率晶体管,其特征在于:所述栅极(107)中的两种以上不同金属的功函数满足沿源极(105)到漏极(106)方向依次递减的关系。

4. 根据权利要求1或2所述一种具有复合金属栅的氮化镓基高电子迁移率晶体管,其特征在于:所述栅极(107)中的两种以上不同金属的长度范围均为 $1\text{nm} \sim 20\mu\text{m}$ 。

5. 根据权利要求1或2所述一种具有复合金属栅的氮化镓基高电子迁移率晶体管,其特征在于:所述栅极(107)的总长度为 $2\text{nm} \sim 20\mu\text{m}$ 。

6. 根据权利要求1或2所述一种具有复合金属栅的氮化镓基高电子迁移率晶体管,其特征在于:所述衬底(101)为蓝宝石或碳化硅或硅或金刚石或氮化镓自支撑衬底。

7. 根据权利要求1或2所述一种具有复合金属栅的氮化镓基高电子迁移率晶体管,其特征在于:所述氮化镓缓冲层(102)的厚度为 $1\mu\text{m} \sim 10\mu\text{m}$ 。

8. 根据权利要求1或2所述一种具有复合金属栅的氮化镓基高电子迁移率晶体管,其特征在于:所述氮化铝插入层(103)的厚度为 $1\text{nm} \sim 5\text{nm}$ 。

9. 根据权利要求1或2所述一种具有复合金属栅的氮化镓基高电子迁移率晶体管,其特征在于:所述铝镓氮势垒层(104)的分子式为 $\text{Al}_x\text{In}_y\text{Ga}_z\text{N}$,其中 $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1$,并且 $x+y+z=1$ 。

10. 根据权利要求1或2所述一种具有复合金属栅的氮化镓基高电子迁移率晶体管,其特征在于:所述铝镓氮势垒层(104)的厚度为 $1\text{nm} \sim 50\text{nm}$ 。

一种具有复合金属栅的氮化镓基高电子迁移率晶体管

技术领域

[0001] 本发明涉及半导体器件领域,具体是指一种具有复合金属栅的氮化镓基高电子迁移率晶体管。

背景技术

[0002] 氮化镓基高电子迁移率晶体管 (High Electron Mobility Transistor, HEMT) 不但具有氮化镓 (GaN) 材料禁带宽度大、临界击穿电场高、电子饱和漂移速度高、耐高温、抗辐射和良好的化学稳定性等优异特性,同时 GaN 材料可以与铝镓氮 (AlGaN) 等材料形成具有高浓度和高迁移率的二维电子气 (2DEG) 沟道,因此特别适用于高压、大功率和高温应用,是电力电子应用最具潜力的晶体管之一。

[0003] 图 1 为已有技术的氮化镓基高电子迁移率晶体管器件结构剖面图,主要包括衬底 101、氮化镓 (GaN) 缓冲层 102、氮化铝 (AlN) 插入层 103、铝镓氮势垒层 104 以及 AlGaN 势垒层 104 上形成的源极 105、漏极 106 和栅极 107,其中源极 105 和 106 与 AlGaN 势垒层 104 形成欧姆接触,栅极 107 与铝镓氮势垒层 104 形成肖特基接触。

[0004] 当前氮化镓基高电子迁移率晶体管器件研究的热点是提高器件的电流增益截止频率 f_T ,通常采用缩短栅长、增大纵横比、提高载流子的限域性、双栅结构等方法来提高 f_T 。现有的这些方法虽然都有一定的效果,但是依然存在不足之处,具体如下:

[0005] (1) 缩短器件的栅长。这一方法可以同时增大器件的跨导和栅电容,从而提高 f_T 。但是对于图 1 所示 GaN HEMT 而言,当器件栅长缩短到深亚微米级时,起源于漏极 106 的电力线将有一部分贯穿沟道区终止于源极 105,从而使源、漏区之间的势垒高度降低。此时,就有电子从源区注入沟道,使漏极电流增加,导致器件的亚阈值电流增大、饱和输出电导增大等一系列短沟道效应 (Short Channel Effects, SCEs)。SCEs 导致器件最大直流跨导下降、阈值电压漂移和频率栅长乘积下降等现象 [“Short-Channel Effect Limitations on High-Frequency Operation of AlGaN / GaN HEMTs for T-Gate Devices”, IEEE Trans. Electron Devices, vol. 54, no. 10, pp. 2589-2597, Oct. 2007.], 反而对器件的电学性能造成了不利影响。

[0006] (2) 增大器件的纵横比 (器件栅长与栅下势垒层厚度之比, L_g / t_{bar})。主要通过减小 $\text{Al}_x\text{In}_y\text{Ga}_z\text{N}$ 势垒层厚度 t_{bar} 来实现。具体方法有两种,一是采用镓铝氮 (InAlN) 或氮化铝 (AlN) 等极化强度较强的材料作为势垒层,可以在保证产生高浓度二维电子气 (2DEG) 的前提下使用较薄的势垒层 [“Improvements of High performance 2nm thin InAlN / AlN Barrier Devices by Interface Engineering”, AIP Conr. Proc., American Institute of Physics., pp. 905-906, 2011.]; 二是采用凹栅技术将栅下的势垒层刻蚀掉一部分 [“Gate-Recessed InAlN / GaN HEMTs on SiC Substrate With Al_2O_3 Passivation”, IEEE Electron Device Lett., VOL. 30, NO. 9, Sep. 2009.], 其用意是减小栅下势垒层的厚度,从而增大纵横比。但是由于势垒层厚度不可能无限减薄,凹栅技术也会对器件造成机械损伤,所以采用增大器件纵横比的方法存在一定的局限性。

[0007] (3) 提高载流子的限域性。如采用 InGaN 等材料作背势垒的方法增大从沟道 2DEG 到缓冲层的势垒高度,从而提高 2DEG 的限域性 [“300-GHz InAlN / GaN HEMTs With InGaN Back Barrier”, IEEE Electron Device Lett., VOL. 32, NO. 11, pp. 1525-1527, Nov. 2011.]。但是由于晶格失配,背势垒会在缓冲层和沟道之间引入陷阱,也会导致诸如器件输出电流下降、电流崩塌效应和反应速度下降等缺点。

[0008] (4) 采用双栅结构。有研究表明双栅场效应晶体管 (Dual Gate Field Effect Transistor, DG-FET) 能提高器件的 f_T [“Monte Carlo study of a self-aligned dual 50nm-gate InAlAs / InGaAs HEMT exhibiting high performances without short-channel effects”, Fifth International Conference on Indium Phosphide and Related Materials, Apr. 1993.]。图 2 所示为双栅的氮化镓基高电子迁移率晶体管 (DG-HEMT) 结构示意图,其栅极 107 由靠近源极 105 的栅 G_1 和靠近漏极 106 的栅 G_2 构成。其中 G_1 与如图 1 所示的栅极 107 一样起控制沟道的作用, G_2 则可以屏蔽漏极的电势对器件沟道的影响,有效抑制漏致势垒降低 (DIBL) 效应,增大器件的直流跨导,从而提高 f_T 。但是从另一方面考虑,双栅场效应晶体管可能增大器件的栅电容 C_g ,反而会对器件的频率特性造成负面影响,并且使原本的三端器件变为四端器件,增大了器件应用的复杂性。

发明内容

[0009] 本发明的目的在于提供一种具有复合金属栅的氮化镓基高电子迁移率晶体管,利用不同功函数的栅极金属之间形成的阶梯型势垒屏蔽漏极电势对器件沟道的影响,抑制漏致势垒降低 (DIBL) 效应,改善深亚微米级氮化镓基高电子迁移率晶体管的 SCEs,从而提高电流增益截止频率 f_T 。

[0010] 本发明通过下述技术方案实现:

[0011] 一种具有复合金属栅的氮化镓基高电子迁移率晶体管,包括衬底、氮化镓缓冲层、氮化铝插入层、铝镓氮势垒层、以及铝镓氮势垒层上的源极、漏极和栅极;其中源极和漏极与铝镓氮势垒层形成欧姆接触,栅极与铝镓氮势垒层形成肖特基接触,所述铝镓氮势垒层上的栅极(由两种以上不同功函数的金属连接组成)。

[0012] 进一步的,所述不同功函数的金属为铂或金或镍或钛或银或铝或铬或镉或钼,所述不同功函数的金属的功函数范围为 $4 \sim 7\text{eV}$,所述不同功函数的金属不局限于此,也可根据实际情况另行选择其它金属。

[0013] 进一步的,所述栅极中的两种以上不同金属的功函数满足沿源极到漏极方向依次递减的关系。

[0014] 进一步的,所述栅极中的两种以上不同金属的长度范围均为 $1\text{nm} \sim 20\mu\text{m}$ 。

[0015] 进一步的,所述栅极的总长度为 $2\text{nm} \sim 20\mu\text{m}$ 。

[0016] 进一步的,所述衬底为蓝宝石或碳化硅或硅或金刚石或氮化镓自支撑衬底。

[0017] 进一步的,所述氮化镓缓冲层的厚度为 $1\mu\text{m} \sim 10\mu\text{m}$ 。

[0018] 进一步的,所述氮化铝插入层的厚度为 $1\text{nm} \sim 5\text{nm}$ 。

[0019] 进一步的,所述铝镓氮势垒层的分子式为 $\text{Al}_x\text{In}_y\text{Ga}_z\text{N}$,其中 $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1$,并且 $x+y+z=1$ 。

[0020] 进一步的,所述铝镓氮势垒层的厚度为 $1\text{nm} \sim 50\text{nm}$ 。

[0021] 根据本发明提供的一种具有复合金属栅的氮化镓基高电子迁移率晶体管,所述栅极也适用于双栅场效应晶体管、三栅场效应晶体管和多栅场效应晶体管等各种场效应晶体管。

[0022] 本发明与现有技术相比,具有的有益效果为:

[0023] (1) 本发明利用不同功函数的栅极金属之间形成的阶梯型势垒屏蔽漏极电势对沟道的影响,抑制漏致势垒降低(DIBL)效应。

[0024] (2) 本发明不改变器件的外延结构,避免了如凹栅刻蚀引起的机械损伤、引入陷阱等负面影响因素。

[0025] (3) 本发明在栅极各金属界面会产生电场峰值,可以增大沟道电子的漂移速度,因此在抑制深亚微米级 GaN 基 HEMT 的 SCEs 的同时,还可以提高载流子的传输效率,从而增大器件的饱和输出电流和最大直流跨导,改善器件的直流特性。

[0026] (4) 本发明通过复合金属栅电极改变栅下沟道电子的分布和传输特性,减小栅电容 C_g ,提升器件的频率特性。

[0027] (5) 双栅场效应晶体管、三栅场效应晶体管和多栅场效应晶体管可能增大器件的栅电容 C_g ,对器件的频率特性造成负面影响,并且使原本的三端器件变为 $N(N \geq 4)$ 端器件,增大了器件应用的复杂性;而本发明的复合金属栅可以适当减小栅电容,并且继承了传统的三端器件在应用上的简洁性,从而补偿了多栅器件的不足。

附图说明

[0028] 图 1 是已有的单栅氮化镓基高电子迁移率晶体管(Single Gate High Electron Mobility Transistor, SG-HEMT)的结构示意图。

[0029] 图 2 是已有的双栅氮化镓基高电子迁移率晶体管(Dual Gate High Electron Mobility Transistor, DG-HEMT)的结构示意图。

[0030] 图 3 是本发明提供的一种具有复合金属栅的氮化镓基高电子迁移率晶体管(Compound Metal Gate High Electron Mobility Transistor, CMG-HEMT)的结构示意图。

[0031] 图 4 是本发明提供的双金属复合栅氮化镓基高电子迁移率晶体管(Dual Metal Compound Gate High Electron Mobility Transistor, DMCG-HEMT)的结构示意图。

[0032] 图 5 是本发明提供的三金属复合栅氮化镓基高电子迁移率晶体管(Triple Metal Compound Gate High Electron Mobility Transistor, TMCG-HEMT)的结构示意图。

[0033] 图 6 是本发明提供的 CMG-HEMT 与已有器件在栅极下方的电势分布对比。

[0034] 图 7 是本发明提供的 CMG-HEMT 与已有器件在栅极下方的横向电场分布对比。

[0035] 图 8 是本发明提供的 CMG-HEMT 与已有器件在栅极下方的电子漂移速度对比。

[0036] 图 9 是本发明提供的 CMG-HEMT 与已有器件的输出特性对比。

[0037] 图 10 是本发明提供的 CMG-HEMT 与已有器件的转移特性对比。

[0038] 图 11 是本发明提供的 CMG-HEMT 与已有器件的跨导-电压特性对比。

[0039] 图 12 是本发明提供的 CMG-HEMT 与已有器件的电容-电压特性对比。

[0040] 图 13 是本发明提供的 CMG-HEMT 与已有器件的频率特性对比。

具体实施方式

[0041] 下面结合实施例对本发明作进一步地详细说明,但本发明的实施方式不限于此。

[0042] 实施例:

[0043] 在本发明中,如图3所示,所述栅极107为复合金属栅,各栅极金属(M_1 、 M_2 、……、 M_n , $n \geq 2$)可以为铂(Pt)、金(Au)、镍(Ni)、钛(Ti)、银(Ag)、铝(Al)、铬(Cr)、镉(Cd)、钼(Mo)等;栅极金属的功函数(WF_1 、 WF_2 、……、 WF_n , $n \geq 2$)范围为4~7eV,并且满足沿源极105到漏极106方向依次递减的关系;各金属长度(L_{g1} 、 L_{g2} 、……、 L_{gn} , $n \geq 2$)均为1nm~20 μ m,栅极的总长度为2nm~20 μ m。

[0044] 为了验证本发明所述复合金属栅的效果,分别对采用单栅(SG)、双栅(DG)、双金属复合栅(DMCG)和三金属复合栅(TMCG)的氮化镓基高电子迁移率晶体管器件进行仿真对比。本实施例中, $Al_xIn_yGa_zN$ 中 $x=0.26$, $y=0$, $z=0.74$,即势垒层为 $Al_{0.26}Ga_{0.74}N$ 。

[0045] 图1所示为单栅氮化镓基高电子迁移率晶体管(SG-HEMT),其栅极107为单栅,栅极金属为Pt,功函数为5.65eV,栅长为180nm;

[0046] 图2所示为双栅氮化镓基高电子迁移率晶体管(DG-HEMT),其栅极107为双栅,由靠近源极的栅 G_1 和靠近漏极的栅 G_2 构成,二者之间距离为50nm,栅极金属均为Pt,功函数为5.65eV,长度均为90nm,总栅长为180nm;

[0047] 图4所示为双金属复合栅氮化镓基高电子迁移率晶体管(DMCG-HEMT),属于本发明公开的一种具有复合金属栅的氮化镓基高电子迁移率晶体管的一种,其栅极107为双金属复合栅,由金属Pt(M_1)、Au(M_2)连接而成,功函数分别为5.65eV、5.1eV,长度均为90nm,总栅长为180nm;

[0048] 图5所示为三金属复合栅氮化镓基高电子迁移率晶体管(TMCG-HEMT),属于本发明公开的一种具有复合金属栅的氮化镓基高电子迁移率晶体管的一种,其栅极107为三金属复合栅,由金属Pt(M_1)、Au(M_2)、Ti(M_3)连接而成,功函数分别为5.65eV、5.1eV、4.3eV,长度均为60nm,总栅长为180nm。

[0049] 这四个器件除了栅极107不同,其它参数均相同,具体参数设置如表1所示。

[0050] 表1 器件仿真结构参数

[0051]

器件参数	参数值
栅源距 L_{sg}	0.6 μ m
栅漏距 L_{gd}	0.4 μ m
$Al_{0.26}Ga_{0.74}N$ 势垒层厚度	20nm
AlN 插入层厚度	1nm
GaN 缓冲层厚度	2 μ m
衬底厚度	0.5 μ m
2DEG 浓度 N_s	$1.2 \times 10^{13} \text{cm}^{-2}$

电子迁移率 μ_n	1500cm ² / Vs
---------------	--------------------------

[0052]

[0053] 图 6 所示为上述四个器件在栅极下方的电势分布。可以看出,本发明提供的 DMCG-HEMT 和 TMCG-HEMT 利用不同栅金属之间的功函数差,在栅极下方形成阶梯型势垒,这一势垒屏蔽了漏极电势对沟道的影响,从而抑制了 DIBL 效应。

[0054] 图 7 和图 8 分别为四个器件在栅极下方的横向电场分布 E_x 和电子漂移速度 v_x 的变化。可以看出,在不同金属的界面产生了电场尖峰,电场增大有利于提高电子的漂移速度;并且构成栅极的金属种类越多,电场峰值和速度峰值越多。这说明本发明提供的具有复合金属栅的氮化镓基高电子迁移率晶体管能提高电子的传输效率,从而增大器件的饱和电流和直流跨导。而已有的 DG-HEMT 却减小了电子的平均传输速度,导致器件的饱和电流和直流跨导下降。

[0055] 图 9 和图 10 所示分别为四个器件直流输出特性和转移特性的对比。可以看出,本发明提供的 DMCG-HEMT 和 TMCG-HEMT 的饱和电流均大于已有结构。

[0056] 图 11 所示为四个器件的直流跨导随栅极电压的变化。可以看出,本发明提供的 DMCG-HEMT 和 TMCG-HEMT 的最大直流跨导 g_{m_max} 分别比 SG-HEMT 增大了 5% 和 9%,而已有的 DG-HEMT 却略有降低。

[0057] 图 12 所示为四个器件的栅电容 C_g 随栅极电压的变化。可以看出,本发明提供的 DMCG-HEMT 和 TMCG-HEMT 的栅电容 C_g 分别比 SG-HEMT 减小了 2% 和 6%,而已有的 DG-HEMT 的栅电容 C_g 反而增大了 20%。

[0058] 图 13 所示为四个器件的电流增益截止频率 f_T 的对比。可以看出,本发明提供的 DMCG-HEMT 和 TMCG-HEMT 的最大电流增益截止频率 f_{T_max} 分别比 SG-HEMT 提高了 14% 和 19%,而已有的 DG-HEMT 的 f_{T_max} 却减小了 8.5%。

[0059] 表 2 仿真所得器件电学特性参数

[0060]

栅极结构	g_{m_max} (mS / mm)	C_g (fF / mm)	f_{T_max} (GHz)	DIBL (mV / V)
SG	504	451	118	43
DG	498	514	108	31.5
DMCG	529	443	134	30.5
TMCG	548	425	140	26

[0061] 表 2 所示为仿真所得的各器件电学特性参数对比。可以看出,除了上述优势,本发明提供的 DMCG-HEMT 和 TMCG-HEMT 的 DIBL 值也分别比 SG-HEMT 减小了 29% 和 39%。而已有的 DG-HEMT 虽然也抑制了 DIBL 效应,但是由于栅电容 C_g 增大了 20%,导致 f_{T_max} 有所下降。

[0062] 可以看出,本发明提供的双金属复合栅的氮化镓基高电子迁移率晶体管和三金属的复合栅氮化镓基高电子迁移率晶体管的器件特性均优于已有的单栅的氮化镓基高电子

迁移率晶体管和双栅的氮化镓基高电子迁移率晶体管。

[0063] 综上所述,本发明提供的具有复合金属栅的氮化镓基高电子迁移率晶体管(CMG-HEMT)与已有器件相比有明显的优势。

[0064] 虽然上述实施方案是以氮化镓基异质结场效应晶体管为例进行说明的,但是本发明提供的结构适用于各种其他半导体材料构成的多种结构晶体管。

[0065] 以上所述,仅是本发明的较佳实施例,并非对本发明做任何形式上的限制,凡是依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化,均落入本发明的保护范围之内。

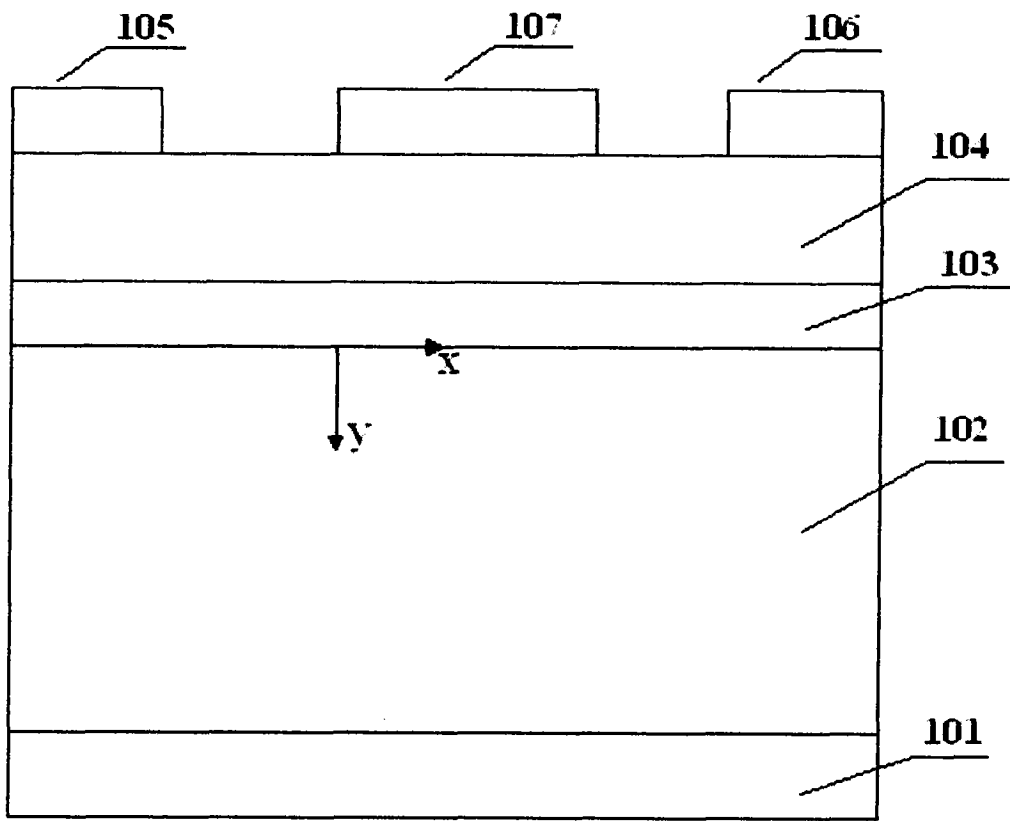


图 1

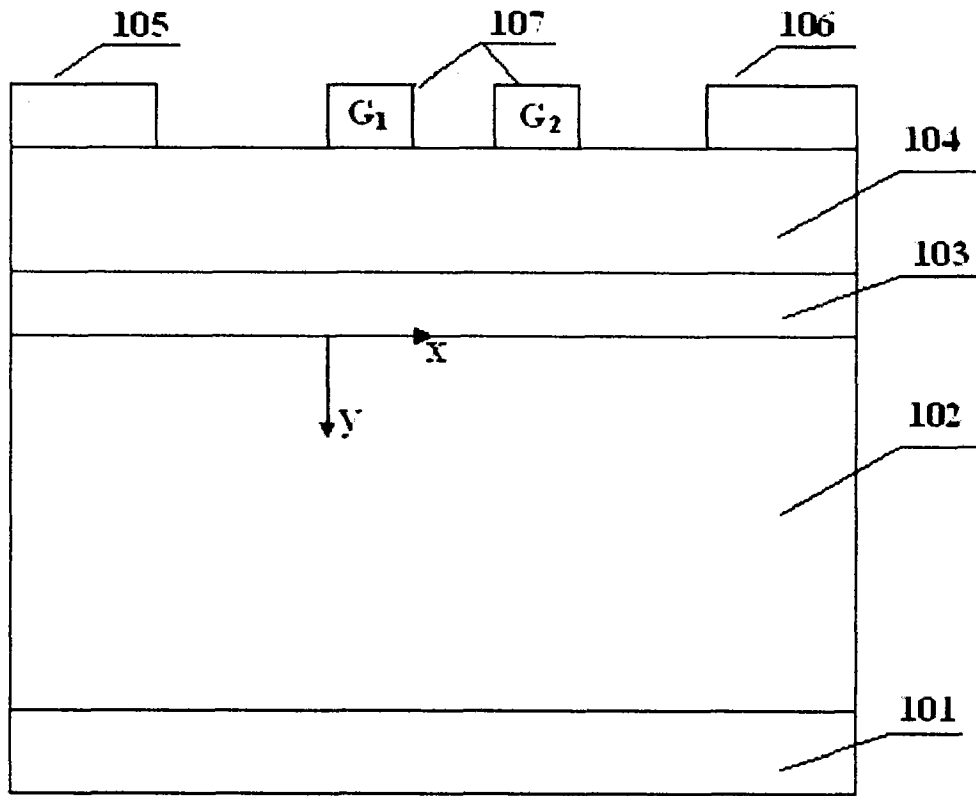


图 2

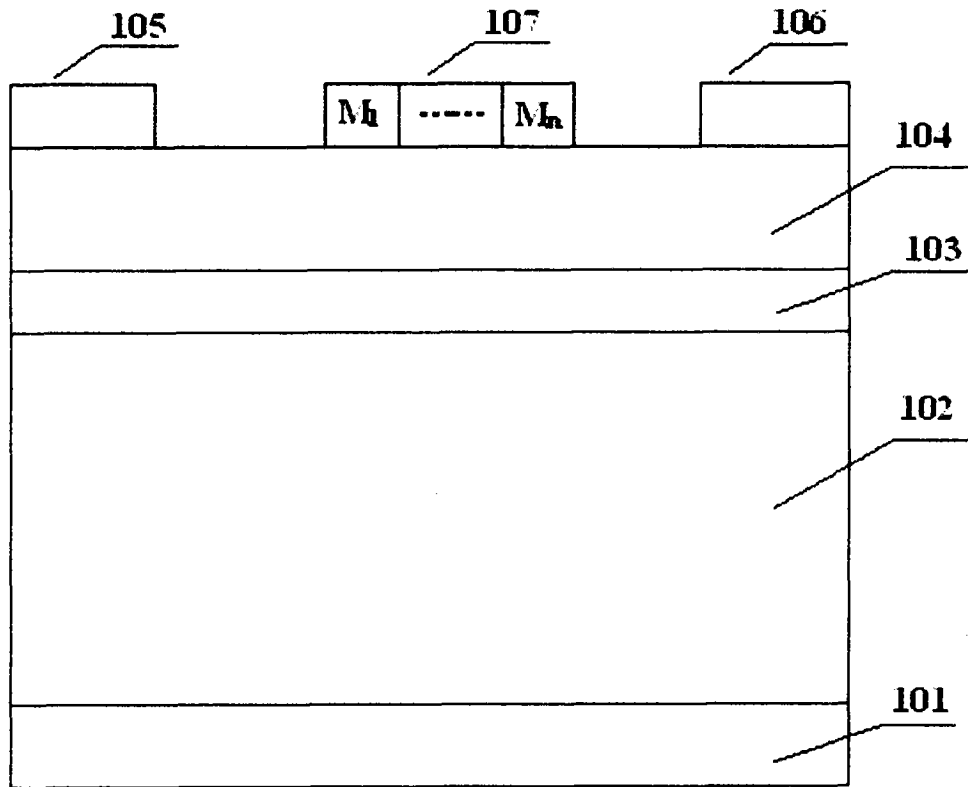


图 3

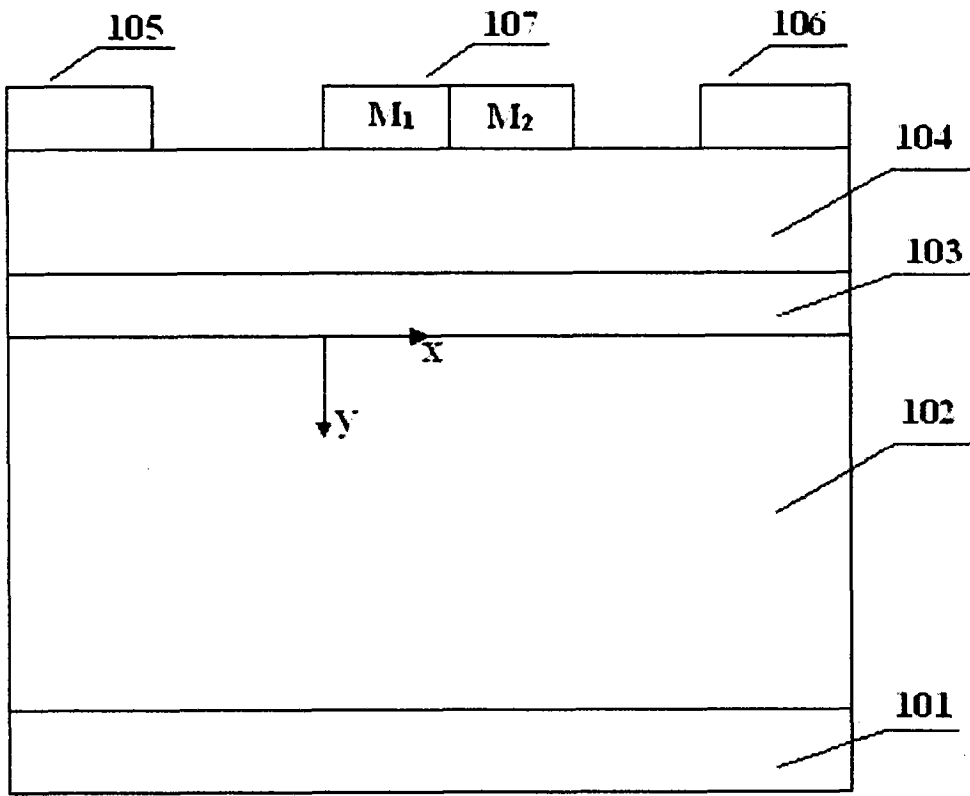


图 4

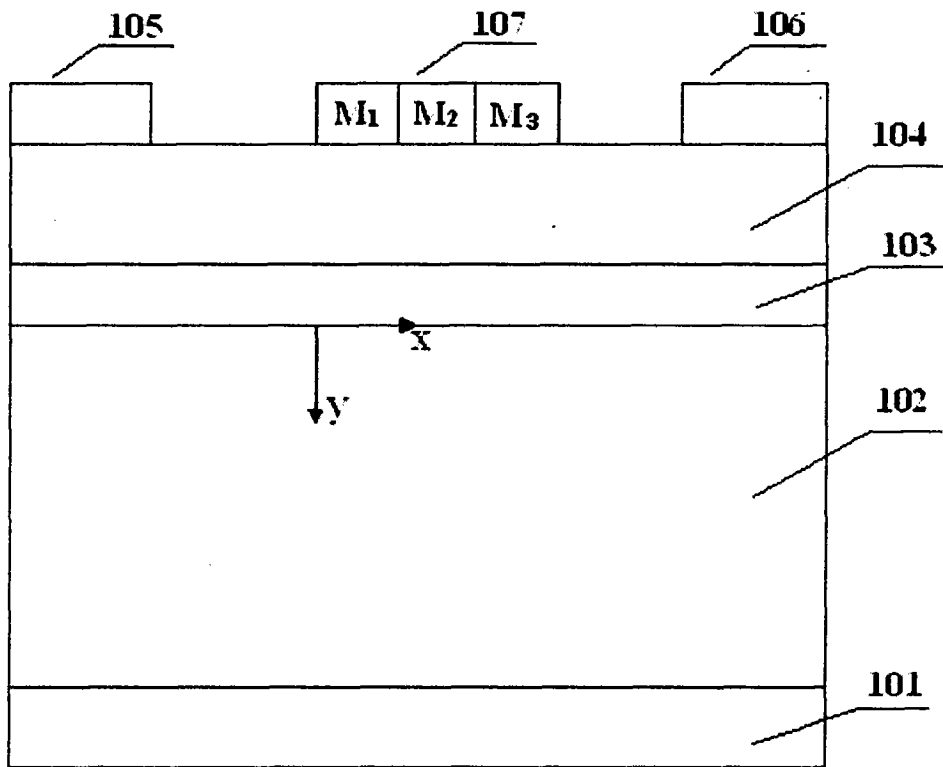


图 5

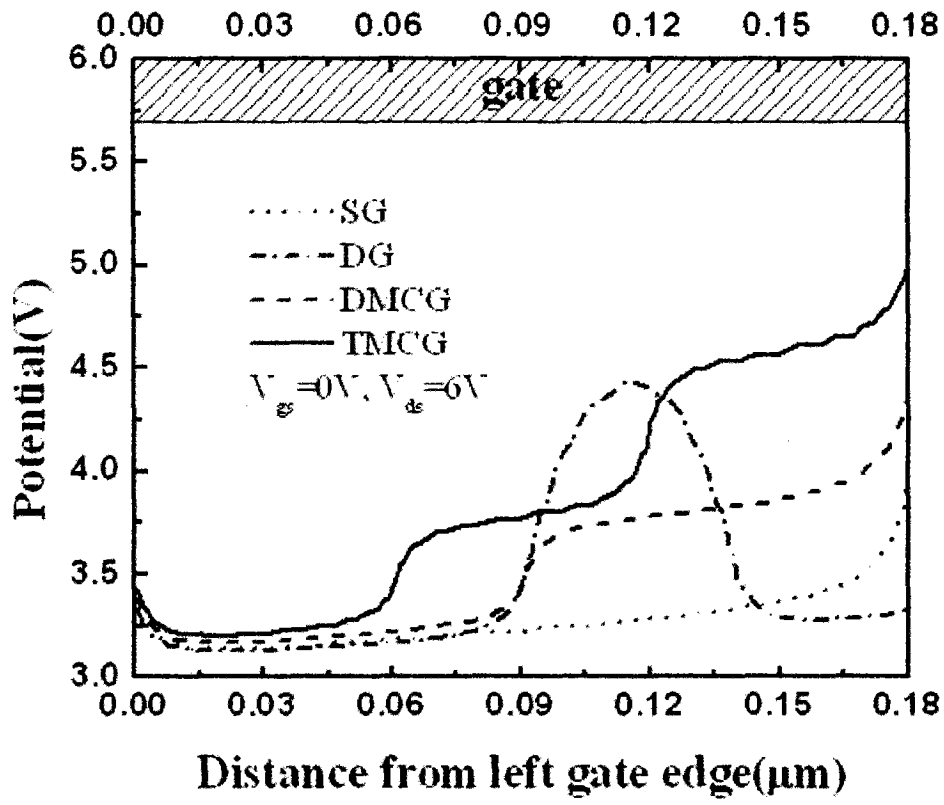


图 6

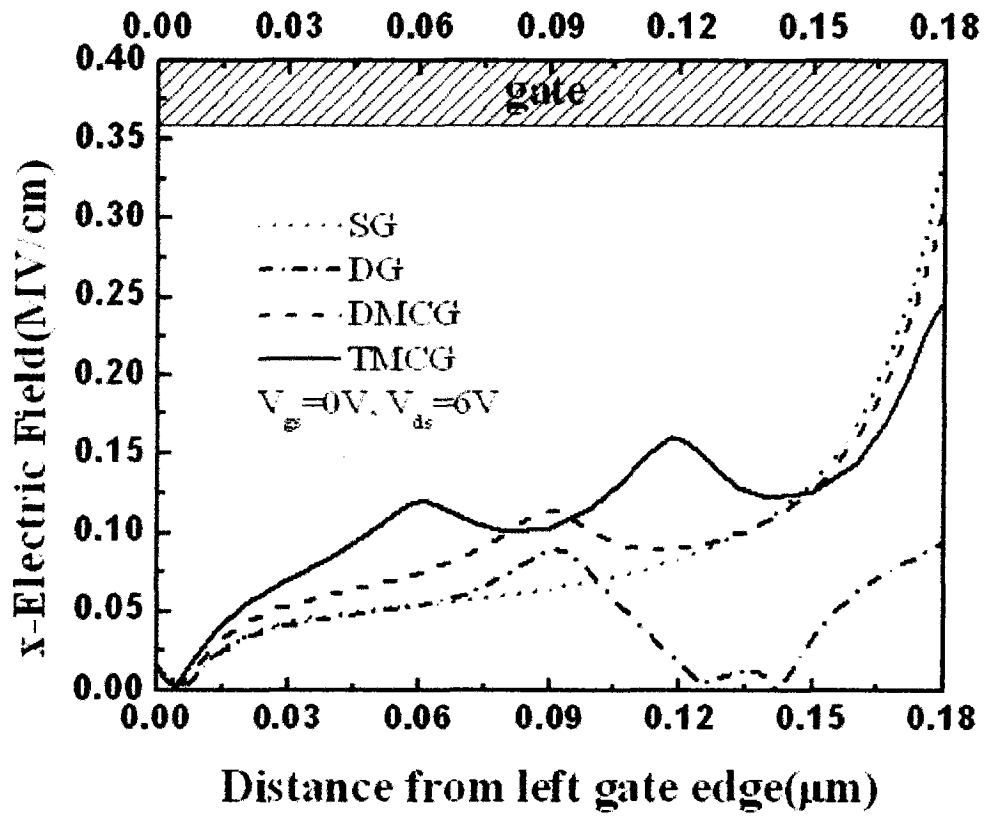


图 7

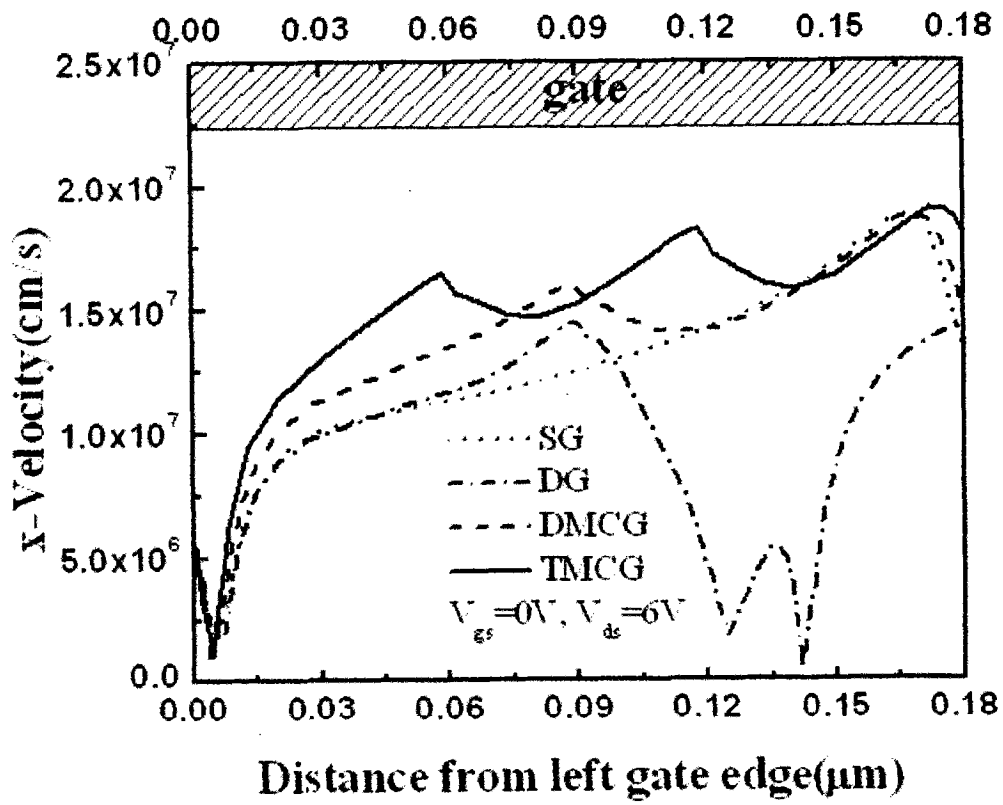


图 8

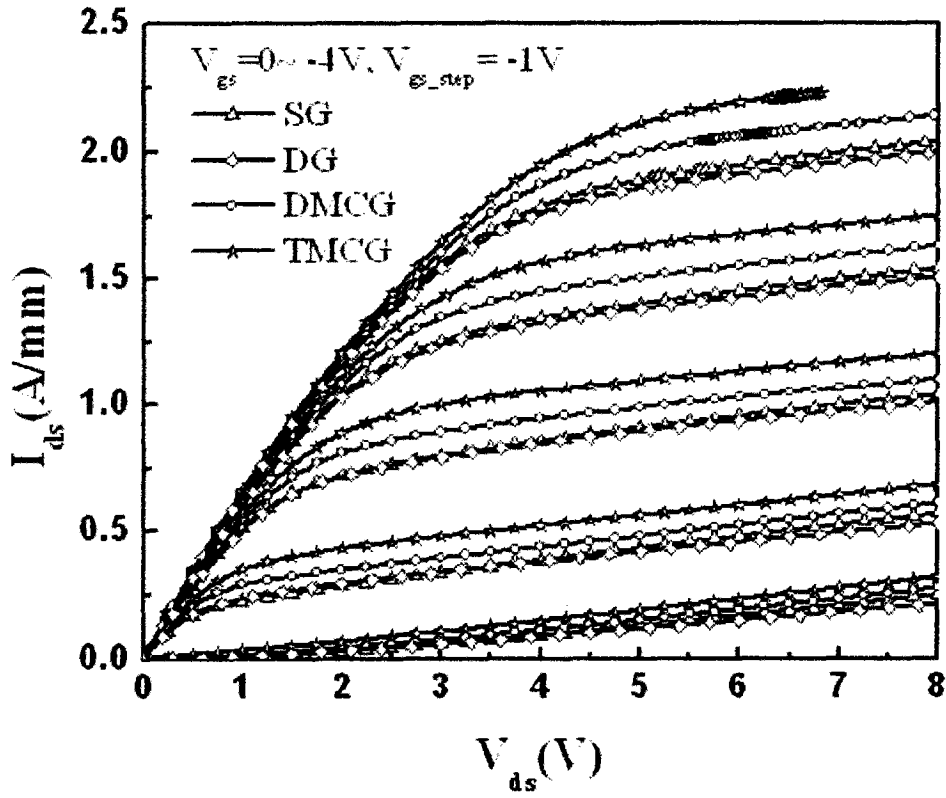


图 9

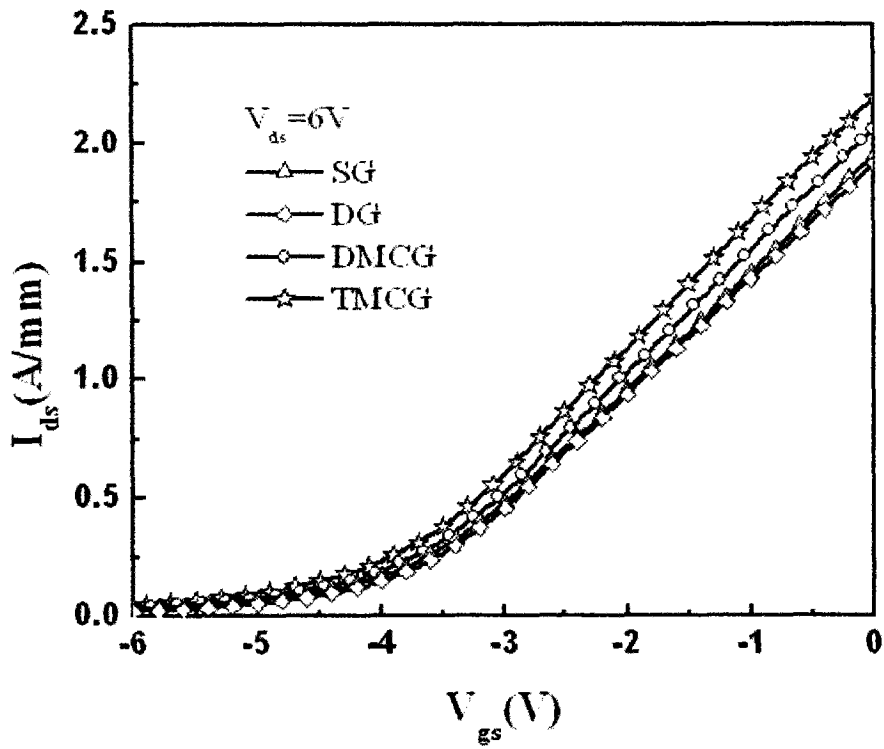


图 10

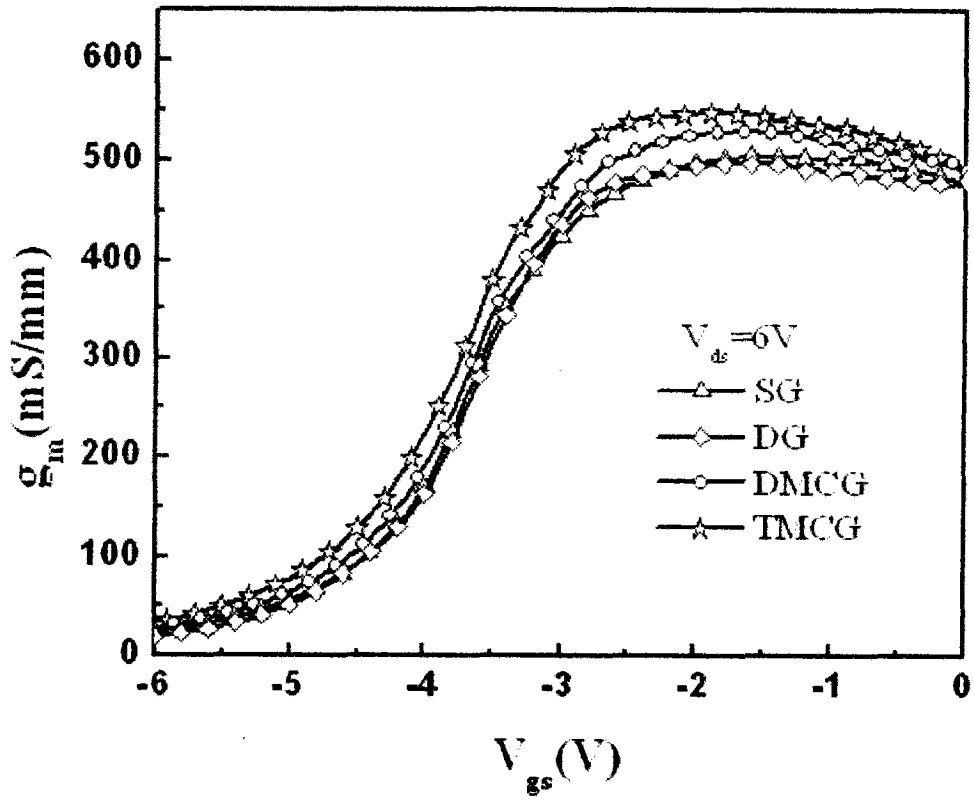


图 11

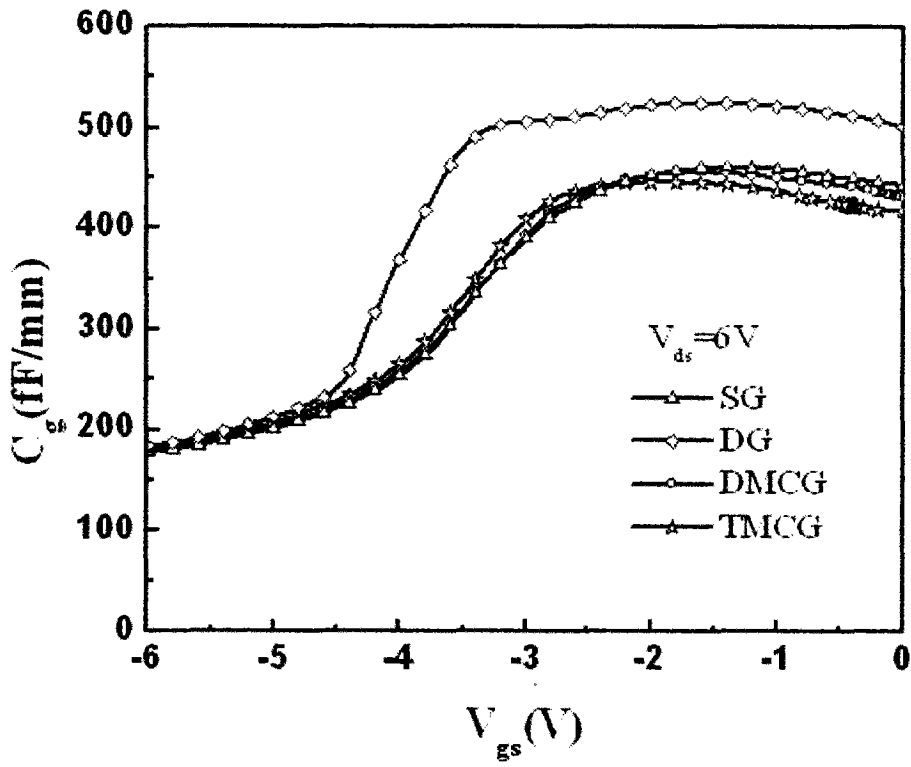


图 12

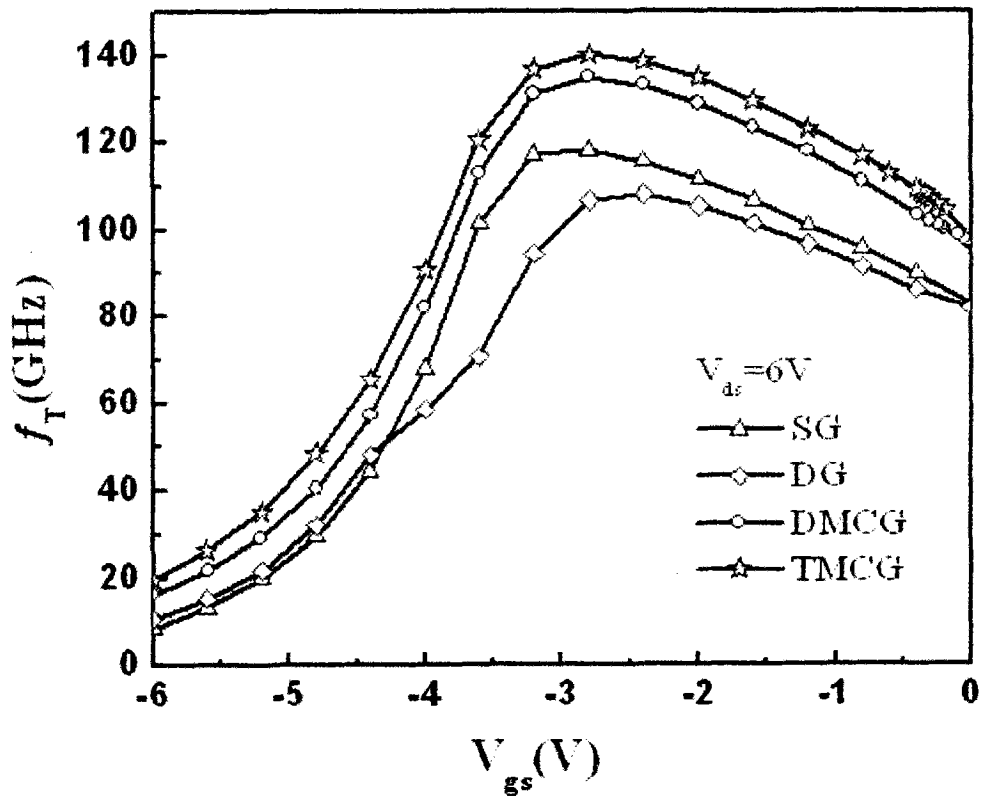


图 13