

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局



(43) 国际公布日  
2011年12月29日 (29.12.2011)

PCT

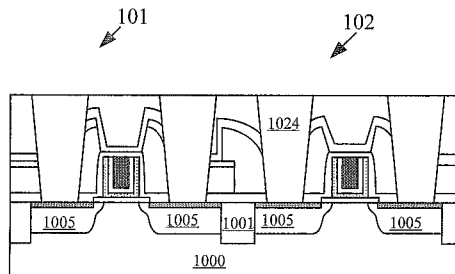
(10) 国际公布号  
WO 2011/160463 A1

- (51) 国际专利分类号:  
H01L 29/78 (2006.01) H01L 21/8238 (2006.01)  
H01L 29/94 (2006.01) H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2011/071318
- (22) 国际申请日: 2011年2月25日 (25.02.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201010215163.3 2010年6月22日 (22.06.2010) CN
- (71) 申请人(对除美国外的所有指定国): 中国科学院  
微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人(仅对美国): 朱慧珑 (ZHU, Hui-long) [US/US]; 美国纽约州波基普西市奥特姆路93#, Poughkeepsie, New York 12603 (US)。 梁擎擎 (LIANG, Qingqing) [CN/CN]; 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。 骆志炯 (LUO, Zhijiong) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街11#, Poughkeepsie, New York 12603 (US)。 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街11#, Poughkeepsie, New York 12603 (US)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT AND TRADEMARK AGENT LTD.); 中国北京市海淀区王庄路1号清华同方科技大厦B座25层, Beijing 100083 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。
- 本国际公布:  
— 包括国际检索报告(条约第21条(3))。

(54) Title: SEMICONDUCTOR STRUCTURE AND FABRICATING METHOD THEREOF

(54) 发明名称: 半导体结构及其制作方法

图 23 / Fig. 23



(57) Abstract: A semiconductor structure and a fabricating method thereof are provided. The semiconductor structure comprises: a semiconductor substrate (1000); a channel region formed in the semiconductor substrate (1000); a gate stacking structure formed on the channel region; and source/drain regions (1005) formed in the semiconductor substrate (1000) and positioned at each side of the channel region. The gate stacking structure comprises a gate dielectric layer formed on the channel region and an electric conductive layer formed on the gate dielectric layer. The electric conductive layer has compressive stress for NMOSFET (101), such that tensile stress is applied to the channel region; and the electric conductive layer has tensile stress for PMOSFET (102), such that compressive stress is applied to the channel region.

[见续页]



WO 2011/160463 A1

---

**(57) 摘要:**

提供一种半导体结构及其制造方法。所述半导体结构包括：半导体衬底（1000）；形成于半导体衬底（1000）上的沟道区；形成于所述沟道区上的栅堆叠；位于沟道区两侧且形成在半导体衬底（1000）中的源/漏区（1005）。所述栅堆叠包括形成在沟道区上的栅介质层和形成在所述栅介质层上的导电层。对于NMOSFET（101），所述导电层具有压缩应力，以对所述沟道区提供拉应力；对于PMOSFET（102），所述导电层具有拉伸应力，以对所述沟道区提供压应力。

## 半导体结构及其制作方法

### 技术领域

- 5 本发明涉及半导体领域，更具体地，涉及一种能够有效提供沟道区应力的半导体结构及其制作方法。

### 背景技术

- 10 随着半导体技术的不断发展，对 CMOSFET（互补型金属氧化物半导体场效应晶体管）器件的特征尺寸及性能的要求越来越高，将应变沟道（Strained Channel）运用于 MOSFET 中可提高器件性能。例如可以通过在源/漏之间的沟道上施加应力来改善载流子的迁移率，从而改善集成电路的性能。具体地，对于 nMOSFET，沟道中的载流子是电子，沟道两端的拉应力能够增加电子的迁移率；对于 pMOSFET，沟道中的载流子是空穴，沟道两端的压应力能够增加空穴的迁移率。

- 15 但是随着集成电路密度的增加及间距的减小，应变沟道也很难提供足够大的应力以满足器件的性能需求。

有鉴于此，需要提供一种新颖的半导体结构及其制作方法，以进一步增强沟道应力。

### 20 发明内容

本发明的目的在于提供一种半导体器件及其制作方法，以克服上述现有技术中的问题，特别是进一步增强 MOSFET 的沟道应力。

- 25 根据本发明的一方面，提供了一种半导体结构，包括：半导体衬底；沟道区，形成于半导体衬底上；栅堆叠，形成于沟道区上；源/漏区，形成于沟道区的两侧且嵌入所述半导体衬底中；栅堆叠包括：栅介质层，形成于沟道区上；导电层，形成在栅介质层上；其中，对于 nMOSFET，导电层具有压应力，以给沟道区提供拉应力；对于 pMOSFET，导电层具有拉应力，以给沟道区提供压应力。

优选地，所述栅介质层延伸形成所述栅堆叠的侧壁。

- 30 优选地，本发明实施例的半导体结构中，导电层可以包括功函数金属层和应力层，所述功函数金属层位于所述栅介质层之上并延伸形成所述栅堆叠的一部分侧壁，应力

层具有拉应力或压应力并形成于功函数金属层上。

可选地，所述栅介质层位于所述沟道区上并延伸形成所述栅堆叠的侧壁，所述功函数金属层位于所述栅介质层上。

优选地，所述导电层包括 TiAl 化合物。

- 5 可选地，在半导体结构上覆盖有应力层，对于 nMOSFET 覆盖拉应力层，对于 pMOSFET 覆盖压应力层。优选在栅堆叠上方的应力层中形成有开口，以增强 nMOSFET 的沟道区上的拉应力以及 pMOSFET 的沟道区上的压应力。

10 根据本发明的另一方面，提供了一种半导体结构的制造方法，包括：提供半导体衬底；在半导体衬底上形成牺牲栅，以及环绕所述牺牲栅的侧墙；在侧墙的两侧形成源/漏区，从而在牺牲栅下方形成沟道区；去除牺牲栅以在侧墙之内形成开口；在开口内形成栅堆叠，栅堆叠中包括导电层；其中，对于 nMOSFET，导电层具有压应力，以给沟道区提供拉应力；对于 pMOSFET，导电层具有拉应力，以给沟道区提供压力。

15 优选地，在开口内形成栅堆叠包括：在开口内形成栅介质层；以及在栅介质层上形成导电层。可选地，可以覆盖开口的底部和侧壁形成栅介质层以使得所述栅介质层延伸形成所述栅堆叠的侧壁。

优选地，形成导电层的步骤可以包括：可以覆盖开口的底部和侧壁形成功函数金属层，在功函数金属层上形成应力层。

20 优选地，对于 nMOSFET，形成应力层包括：溅射 TiAl 以形成拉应力层；对于 pMOSFET，形成导电层包括：间隔形成 Ti 薄膜层和 Al 薄膜层，并进行退火以形成由 TiAl 形成的压应力层。

可选地，在形成导电层之后，本发明实施例的方法进一步包括：在半导体结构上形成应力层；对于 nMOSFET，形成拉应力层；对于 pMOSFET，形成压应力层。

25 优选地，在形成拉应力层或压应力层后，本发明实施例的方法进一步包括：在栅堆叠上方的拉应力层或压应力层上形成开口，以进一步增强沟道区中的拉应力或压应力。

30 根据本发明实施例的半导体结构及其制造方法，通过在栅堆叠的导电层中形成应力，对于 nMOSFET 形成压应力从而能够给 nMOSFET 的沟道两侧提供拉应力，对于 pMOSFET 形成拉应力从而能够给 pMOSFET 的沟道两侧提供压应力。本发明的实施例进一步地还在 nMOSFET 结构和 pMOSFET 结构上形成应力层，并在栅堆叠的顶部

应力层上形成开口，从而能够很大程度上增大沟道区中的应力。

#### 附图说明

5 通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1~23 示出了根据本发明实施例制造半导体结构的流程中各步骤对应的器件结构剖面图。

#### 具体实施方式

10 以下，通过附图中示出的具体实施例来描述本发明。但是应该理解，这些描述只是示例性的，而非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。

15 在附图中示出了根据本发明实施例的层结构示意图。这些图并非是按比例绘制的，其中为了清楚的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

20 图1~23详细示出了根据本发明实施例制作半导体结构流程中各步骤对应的器件结构剖面图。以下，将参照这些附图来对根据本发明实施例的各个步骤以及由此得到的半导体结构予以详细说明。

本发明的实施例列举了由nMOSFET和pMOSFET组合形成的半导体结构，但对于本发明来说，可以只形成nMOSFET结构或者只形成pMOSFET结构，这些都属于本发明的保护范围。

25 首先，如图1所示，提供半导体衬底1000，并在半导体衬底上形成nMOSFET区101和pMOSFET区102，以及隔离区1001。优选地，还可以在nMOSFET区101和pMOSFET区102上分别形成氧化层1002，例如通过热氧化或淀积形成SiO<sub>2</sub>。

30 接着如图2所示，在氧化层1002上形成牺牲栅1003。牺牲栅1003的形成可以通过在整个半导体结构上淀积一层多晶硅，在多晶硅上涂覆一层光刻胶，然后根据要形成牺牲栅的形状对光刻胶进行图案化，根据图案化后的光刻胶刻蚀多晶硅以形成图2所示的牺牲栅结构。

然后,如图3所示,根据常规的源/漏区和侧墙的形成方法,在牺牲栅1003的外侧形成侧墙1004,在侧墙的两侧形成源/漏区1005。具体可以包括如下步骤:对牺牲栅1003两侧的区域进行轻掺杂以形成源/漏延伸区,或者还可以采用Halo(晕环)注入的方式形成Halo区,这些步骤为可选步骤;接着在牺牲栅1003的两侧形成侧墙1004,例如可以在整个半导体结构上淀积一层 $\text{Si}_3\text{N}_4$ 或其他的绝缘物质,然后对该 $\text{Si}_3\text{N}_4$ 进行RIE(反应离子刻蚀),则形成如图3所示的侧墙1004;最后,进行重掺杂以形成图3中所示的源/漏区1005,这时可以在 $1000-1100^\circ\text{C}$ 下进行尖峰退火或采用激光退火以激活源/漏区的杂质。源/漏区的形成,从而也使得源/漏区之间形成沟道区103和104。

去除位于侧墙外侧的氧化层1002。

10 如图4所示,可选地,在源/漏区1005以及牺牲栅1003上形成金属硅化物1006。具体地,可以在整个半导体结构上淀积一层Ni、Co、Ti或NiPt等金属材料,然后经过退火形成金属硅化物。本发明实施例可以采用淀积NiPt 3-12nm,接着 $300-500^\circ\text{C}$ 下进行快速退火以形成SiPtNi,并采用湿法刻蚀去除没有反应的NiPt。

15 接着如图5所示,在整个半导体结构上淀积氮化物层1007,例如 $\text{Si}_3\text{N}_4$ 或其他氮化物。如图6所示,在氮化物层1007上淀积一层氧化物层1008。对氧化物层1008和氮化物层1007进行CMP(化学机械抛光)处理,以露出牺牲栅1003的顶部,形成如图6所示的结构。

20 接着如图7所示,在左侧的nMOSFET区101上覆盖一层氧化物层1009,例如可以是 $\text{SiO}_2$ ,厚度约为5-20nm。可以通过在整个半导体结构上覆盖一层氧化物,然后进行图案化形成图7所示的氧化物1009。然后将pMOSFET区102上的牺牲栅1003去除以形成开口,例如可以采用干法或湿法刻蚀。

25 接着如图8所示,覆盖开口的底部和侧壁依次形成栅介质层1010、功函数金属层1011和应力层1012,其中功函数金属层1011和应力层1012合称为导电层。在不形成氧化物层1002的情况下,栅介质层1010也可以直接形成在沟道区104上方,栅介质层1010也可以只覆盖所述开口的底部。栅介质层1010优选采用高k栅介质材料,例如 $\text{HfO}_2$ 、 $\text{HfSiO}$ 、 $\text{HfSiON}$ 、 $\text{HfTaO}$ 、 $\text{HfTiO}$ 、 $\text{HfZrO}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{La}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{LaAlO}$ 等,厚度为1-5nm。功函数金属层1011为p型,其功函数与Si的价带之间的差值小于 $0.2\text{eV}$ ,可以包括 $\text{MoN}_x$ 、 $\text{TiSiN}$ 、 $\text{TiCN}$ 、 $\text{TaAlC}$ 、 $\text{TiAlN}$ 、 $\text{TaN}$ 、 $\text{PtSi}_x$ 、 $\text{Ni}_3\text{Si}$ 、 $\text{Pt}$ 、 $\text{Ru}$ 、 $\text{Ir}$ 、 $\text{Mo}$ 、 $\text{HfRu}$ 、 $\text{RuO}_x$ 中的任一种或多种的组合。应力层1012的形成具体为:间隔形成Ti薄膜层和Al薄膜层,例如先淀积一层Ti薄膜层,再淀积一Al薄膜层,接着继续淀积Ti薄膜层和Al

30

薄膜层，如此反复，直至将栅极中由p型功函数金属层1011形成的间隙填满，接着在300-500°C下进行退火以形成具有拉应力的TiAl薄膜。接着回刻TiAl 1012和p型的功函数金属层1011，形成图8所示的结构。去除氧化物层1009。

5 同样地，对于左侧的nMOSFET区101上的栅堆叠，可以采用与pMOSFET区上的栅堆叠形成的方法形成。如图9所示，首先在pMOSFET区102上覆盖氧化物1013，然后刻蚀掉nMOSFET区上的牺牲栅1003以形成开口，接着覆盖开口的底部和侧壁依次形成栅介质层1010、n型功函数金属层1011和应力层1012，其中n型功函数金属层1011和应力层1012合称为导电层。其中，n型功函数金属层1011的功函数与Si的导带之间的差值小于0.2eV，可以包括TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、  
10 RuTa<sub>x</sub>、NiTa<sub>x</sub>中的任一种或多种的组合。形成应力层1012的方法具体为：在n型功函数金属层1011上溅射TiAl化合物以填充n型功函数金属层1011形成的间隙并形成具有拉应力的TiAl薄膜。然后对TiAl和n型功函数金属层进行回刻，以形成如图9所示的结构。然后去除氧化物层1013。

接着如图10所示，可以采用RIE（反应离子刻蚀）方法去除氧化物层1008。

15 如图11所示，在pMOSFET和nMOSFET的栅堆叠的顶部形成氧化物帽层1014。具体地，先在整个半导体结构上淀积一层氧化物层，并在pMOSFET和nMOSFET的栅堆叠的顶部形成图案化的光刻胶，以该图案化的光刻胶为掩膜，将其他的氧化物刻蚀，并去除光刻胶，从而形成图11所示的结构。

20 然后选择性刻蚀氮化物层1007和侧墙1004，对氧化物1014和金属硅化物1006则不进行刻蚀，形成如图12所示的结构。对于nMOSFET，在将氮化物层1007和侧墙1004移除时产生的反作用力以及栅堆叠内TiAl中的压应力释放的共同作用下，在沟道103两端产生了很大的拉应力。对于pMOSFET，在将氮化物层1007和侧墙1004移除产生的反作用力以及栅堆叠内TiAl中的拉应力释放的共同作用下，在沟道104两端产生了很大的压应力。

25 至此形成了根据本发明的一个实施例得到的半导体结构，如图12所示，包括：半导体衬底1000；沟道区103和104，形成于半导体衬底1000上；栅堆叠，形成于所述沟道区103、104上；源/漏区1005，形成于沟道区103和沟道区104的两侧且嵌入半导体衬底中。

30 栅堆叠优选包括栅介质层1010和导电层，其中导电层包括功函数金属层1011和应力层1012。其中栅介质层1010形成于沟道区103和沟道区104上，并且延伸形成整个栅

堆叠结构的侧壁；功函数金属层1011形成于栅介质层1010上，且延伸至所述栅介质层1010的侧壁；应力层1012形成在栅介质层1010上且将所述功函数金属层1011形成的开口填满。

其中，对于nMOSFET，功函数金属层1011为n型，功函数与Si的导带之间的差值  
5 小于0.2eV，可以包括TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、  
RuTa<sub>x</sub>、NiTa<sub>x</sub>中的任一种或多种的组合，应力层1012具有压应力，以给沟道区103提供  
拉应力；对于pMOSFET，其功函数与Si的价带之间的差值小于0.2eV，可以包括MoN<sub>x</sub>、  
TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSi<sub>x</sub>、Ni<sub>3</sub>Si、Pt、Ru、Ir、Mo、HfRu、RuO<sub>x</sub>  
中的任一种或多种的组合，应力层1012具有拉应力，以给沟道区104提供压应力。

10 在栅堆叠与沟道区之间，可能还有另一氧化物层1002，例如SiO<sub>2</sub>。

以下的步骤将进一步增强nMOSFET沟道中的拉应力以及pMOPFET沟道中的压应力。

如图13所示，在整个半导体结构上淀积一层氧化物层1015，例如SiO<sub>2</sub>，厚度约为  
3-5nm。在氧化物层1015上淀积具有拉应力的氮化物层1016，例如Si<sub>3</sub>N<sub>4</sub>，厚度约为  
15 30-100nm，可以通过淀积工艺中的工艺参数选择来控制应力的形成。

接着如图14所示，在氮化物层1016上淀积刻蚀阻挡层1017，例如氧化物层。接着  
在nMOSFET区101的刻蚀阻挡层1017上覆盖一层光刻胶1018。

如图15所示，RIE处理刻蚀阻挡层1017，接着RIE处理氮化物层1016，其中RIE氮  
化物层1016时选择性刻蚀氮化物，而不刻蚀氧化物1015。从而在nMOSFET区101上形  
20 成了拉应力层，能够进一步增强沟道区103两侧的拉应力。

如图16所示，在整个半导体结构上淀积一层具有压应力的氮化物层1019，并在  
pMOSFET区102上覆盖一层光刻胶1020。光刻胶1020的覆盖范围优选一部分延伸覆盖  
到nMOSFET区101上的拉应力氮化物层1016的上方，以保证最后形成的拉应力层和压  
应力层之间的接触界面能够产生相互作用力。

25 以光刻胶1020为掩膜，将压应力氮化物层1019进行选择刻蚀，刻蚀停止于氧化  
物层1017，形成如图17所示的结构。

至此，形成了根据本发明的另一实施例得到的半导体的结构。如图17所示，在  
nMOSFET区101上覆盖有拉应力层1016，拉应力层1016上通常还有氧化物层1017；在  
pMOSFET区102上覆盖有压应力层1019。压应力层1019优选一部分延伸覆盖到拉应力  
30 层的上方，以保证拉应力层和压应力层之间产生更大的相互作用力。



对于形成本发明的实施例，还可以采用不同的方法。例如，在形成栅堆叠以及源漏区结构以后，首先在整个半导体结构上淀积一层压应力氮化物层，然后淀积一层刻蚀阻挡层，例如氧化物层，然后利用光刻胶构图掩膜，将nMOSFET结构上的压应力材料层和刻蚀阻挡层进行刻蚀，接着在整个半导体结构上淀积一层拉应力氮化物层，

5 然后再一次利用光刻胶构图掩膜，刻蚀掉pMOSFET结构上的拉应力层，刻蚀停止于刻蚀阻挡层。这样就形成了如图18所示的半导体结构。并且在刻蚀拉应力层1016时，光刻胶覆盖的范围应超过刻蚀留下的压应力层的界面，以保证最终形成的半导体结构中，拉应力层1016有一部分能够覆盖到压应力层上，从而保证拉应力层和压应力层之间能够产生相互作用力。

10 对于本发明的其他实施例，如图19所示，还可以选择在形成拉应力层1016和压应力材料层1019时，使得它们的接触界面位于第二沟道区104与nMOSFET区101之间，这样能够使得接触界面上相互作用力进一步增强，使得pMOSFET区上受到更大的压应力，而nMOSFET区上受到更大的拉应力，从而更进一步改进第一沟道区103两端的拉应力和第二沟道区104两端的压应力。

15 接着，从图17所示的半导体结构开始，继续本发明实施例的进一步工艺。如图20所示，在整个半导体结构上覆盖光刻胶1021，并对光刻胶进行图案化以使得nMOSFET的栅堆叠上方以及pMOSFET的栅堆叠上方没有光刻胶。

如图21所示，以光刻胶1021为掩膜，选择性刻蚀氮化物，因此 nMOSFET上的刻蚀阻挡层1017、拉应力层1016以及pMOSFET上的压应力层1019都被刻蚀形成开口

20 1022，刻蚀停止于氧化物层1015。

将光刻胶去除。经过进一步刻蚀，对于nMOSFET，由于将栅堆叠顶部的具有拉应力的氮化物帽移除产生了反作用力，从而进一步增强了位于第一沟道区两侧的拉应力；对于pMOSFET，由于将栅堆叠顶部的具有压应力的氮化物帽移除产生了反作用力，从而进一步增强了位于第二沟道区两侧的压应力。因而半导体器件的沟道应力得到改善，从而载流子的迁移率被进一步加强，器件的性能也得到改善。

25

如图22所示，在整个半导体结构上进一步淀积一层氮化物1023。如图23所示，在整个半导体结构上进一步形成层间介质层，并形成源漏区的接触1024。

至此就得到了根据本发明的再一实施例的半导体结构，如图23所示，该半导体结构具有的特征包括：对于nMOSFET，在栅堆叠内的导电层具有压应力，源漏区上具有拉应力层，在栅堆叠的上方形成有开口；对于pMOSFET，在栅堆叠内的导电层具

30

有拉应力，源漏区上具有压应力层，在栅堆叠的上方形形成有开口。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过现有技术中的各种手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。

5

以上参照本发明的实施例对本发明予以了说明。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围，本领域技术人员可以做出多种替换和修改，这些替换和修改都应落在本发明的范围之内。

10

## 权 利 要 求

1. 一种半导体结构，包括：半导体衬底；沟道区，形成于所述半导体衬底上；栅堆叠，形成于所述沟道区上；源/漏区，形成于所述沟道区的两侧且嵌入所述半导体衬底中；
- 5 所述栅堆叠包括：栅介质层，形成于所述沟道区上；导电层，位于所述栅介质层上；
- 其中，对于 nMOSFET，所述导电层具有压应力，以给所述沟道区提供拉应力；对于 pMOSFET，所述导电层具有拉应力，以给所述沟道区提供压应力。
- 10 2. 根据权利要求 1 所述的半导体结构，其中，所述栅介质层延伸形成所述栅堆叠的侧壁。
3. 根据权利要求 1 所述的半导体结构，所述导电层包括功函数金属层和应力层，所述应力层具有拉应力或压应力并位于所述功函数金属层上；其中，
- 15 所述栅介质层位于所述沟道区上，所述功函数金属层位于所述栅介质层之上并延伸形成所述栅堆叠的一部分侧壁；或
- 所述栅介质层位于所述沟道区上并延伸形成所述栅堆叠的侧壁，所述功函数金属层位于所述栅介质层上。
4. 根据权利要求 1 所述的半导体结构，所述导电层包括 TiAl。
5. 根据权利要求 1 至 4 中任一项所述的半导体结构，其中，在 nMOSFET 上覆盖有拉应力层，在 pMOSFET 上覆盖有压应力层。
- 20 6. 根据权利要求 5 所述的半导体结构，其中，对 nMOSFET 上方的拉应力层或 pMOSFET 上方的压应力层，在栅堆叠上方形成有开口，以增强 nMOSFET 的沟道区的拉应力或 pMOSFET 的沟道区的压应力。
7. 根据权利要求 1 所述的半导体结构，包括 nMOSFET 和 pMOSFET。
- 25 8. 根据权利要求 7 所述的半导体结构，其中，对于 nMOSFET 对应的拉应力层与 pMOSFET 对应的压应力层之间的接触界面，与所述 nMOSFET 的栅堆叠之间的距离大于所述接触界面与所述 pMOSFET 的栅堆叠之间的距离。
9. 一种半导体结构的制造方法，包括：
- 提供半导体衬底；
- 30 在所述半导体衬底上形成牺牲栅，以及环绕所述牺牲栅的侧墙；

在所述侧墙的两侧形成源/漏区，从而在所述牺牲栅下方形成沟道区；

去除所述牺牲栅以在所述侧墙之内形成开口；

在所述开口内形成栅堆叠，所述栅堆叠中包括导电层；

其中，对于 nMOSFET，所述导电层具有压应力，以给所述沟道区提供拉应力；

5 对于 pMOSFET，所述导电层具有拉应力，以给所述沟道区提供压应力。

10. 根据权利要求 9 所述的方法，在所述开口内形成栅堆叠包括：

在所述开口内形成栅介质层；

在所述栅介质层上形成所述导电层。

11. 根据权利要求 10 所述的方法，其中，在所述开口内形成栅介质层包括：

10 覆盖所述开口的底部和侧壁形成栅介质层，以使得所述栅介质层延伸形成所述栅堆叠的侧壁。

12. 根据权利要求 10 或 11 所述的方法，在所述栅介质层上形成所述导电层包括：

在所述栅介质层上形成功函数金属层；

在所述功函数金属层上形成应力层，所述应力层具有拉应力或压应力。

15 13. 根据权利要求 12 所述的方法，

对于 nMOSFET，形成所述应力层包括：溅射 TiAl 以形成压应力层；

对于 pMOSFET，形成所述应力层包括：间隔形成 Ti 薄膜层和 Al 薄膜层，并进行退火以形成由 TiAl 形成的拉应力层。

20 14. 根据权利要求 9 或 10 或 11 所述的方法，形成导电层之后，进一步包括：在 nMOSFET 上形成拉应力层；或在 pMOSFET 上形成压应力层。

15. 根据权利要求 14 所述的方法，形成压应力层或拉应力层后，所述方法进一步包括：在所述栅堆叠上方的拉应力层或压应力层中形成开口，以进一步增强沟道区中的拉应力或压应力。

1/12

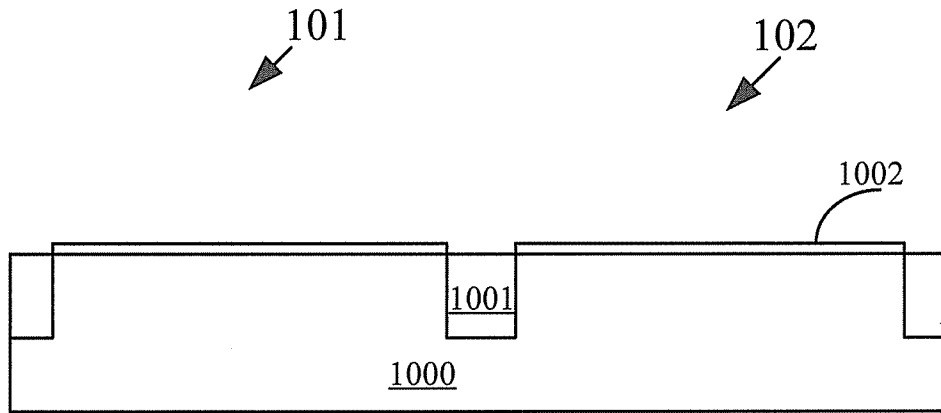


图 1

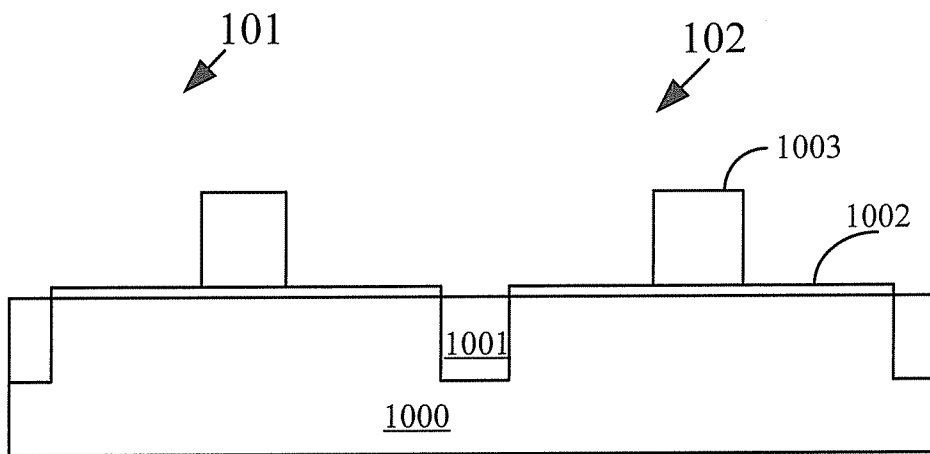


图 2

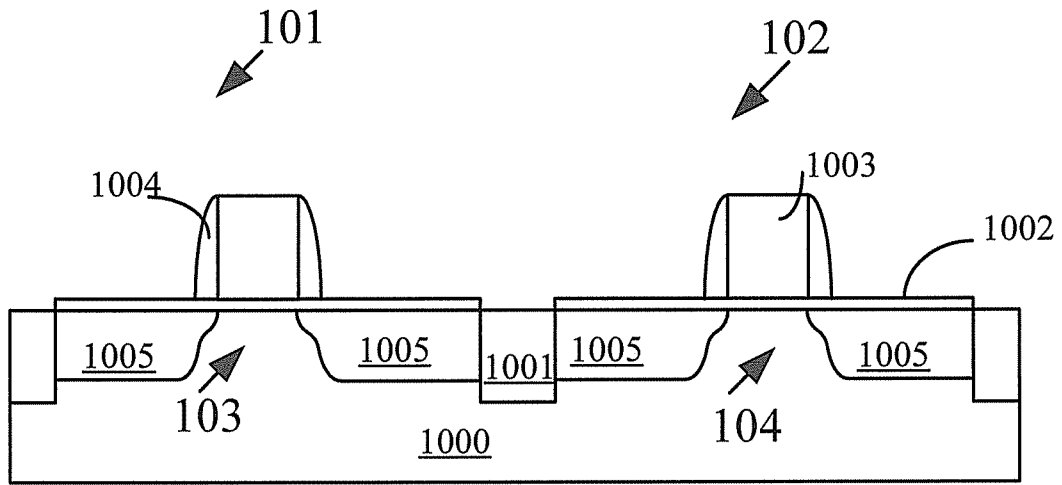


图 3

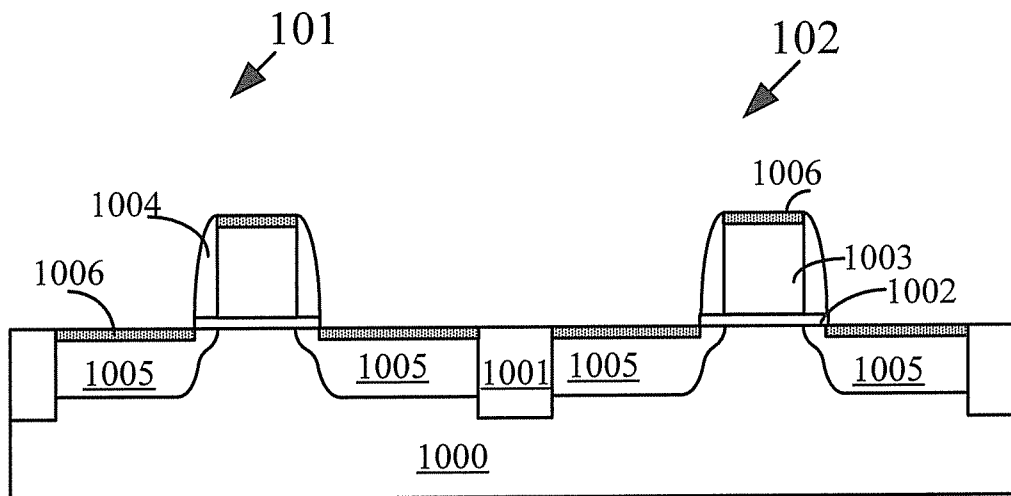


图 4

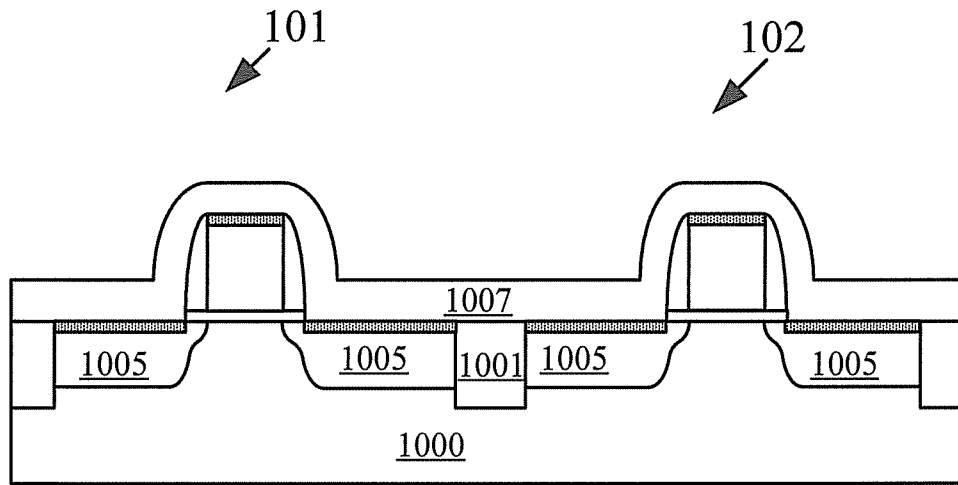


图 5

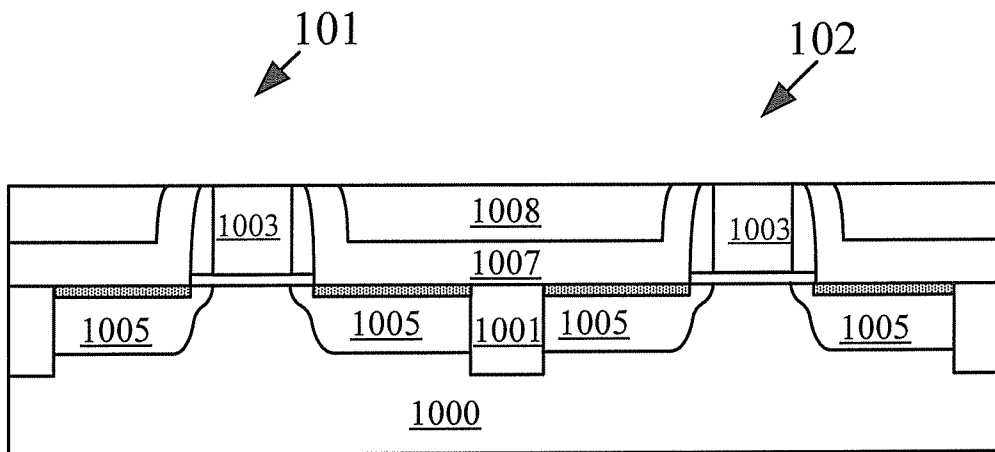


图 6

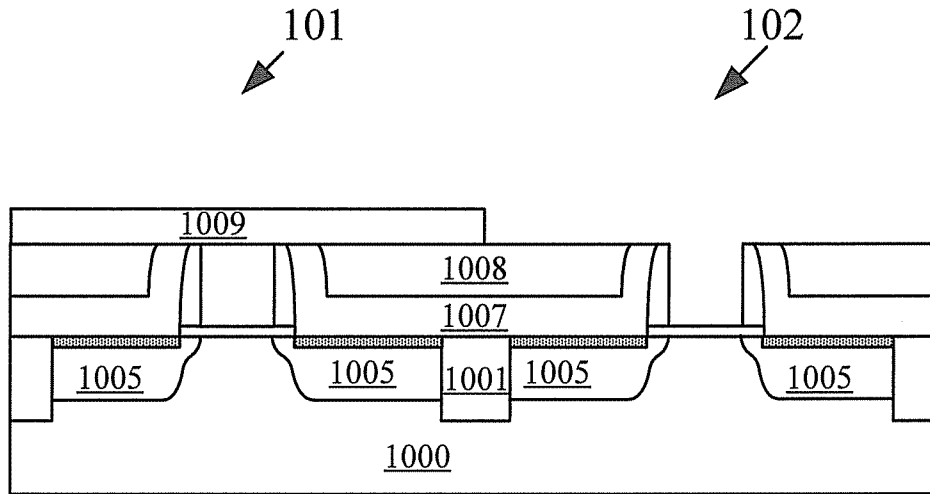


图 7

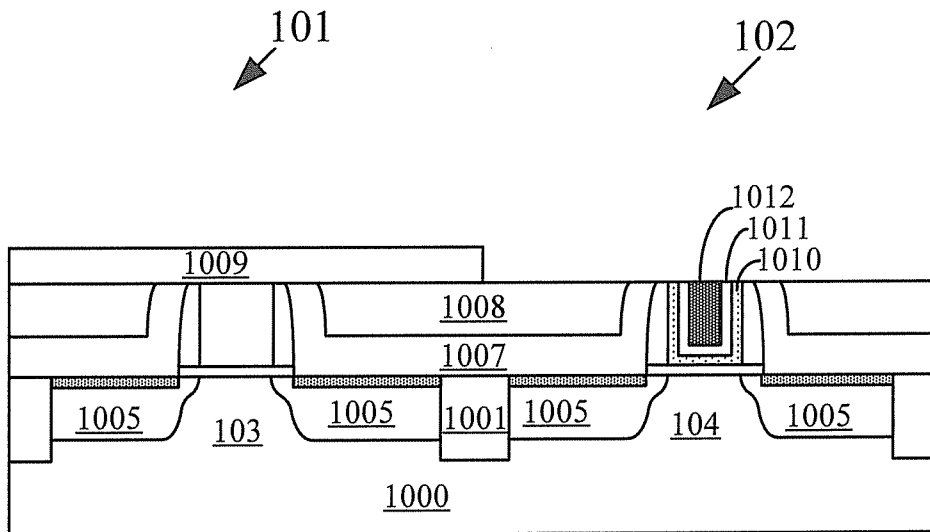


图 8



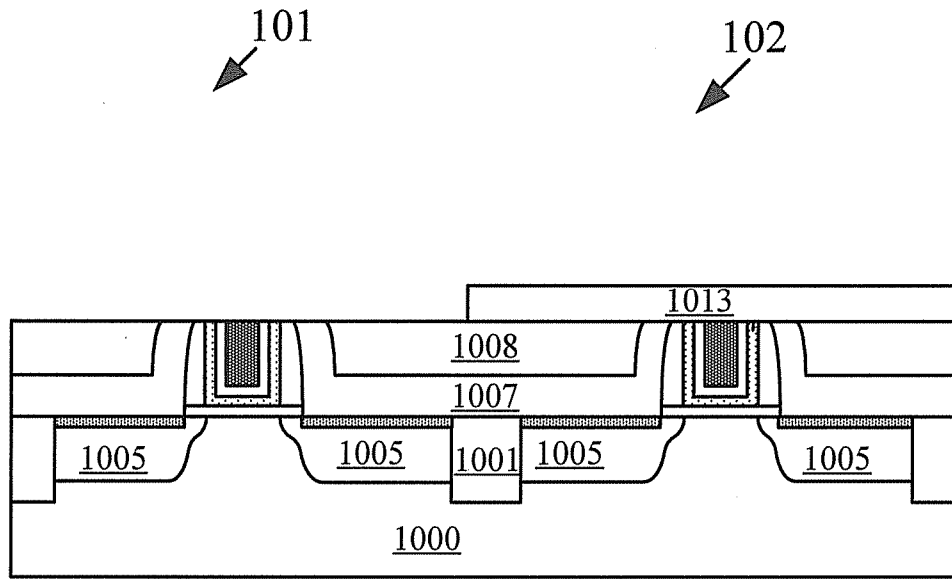


图 9

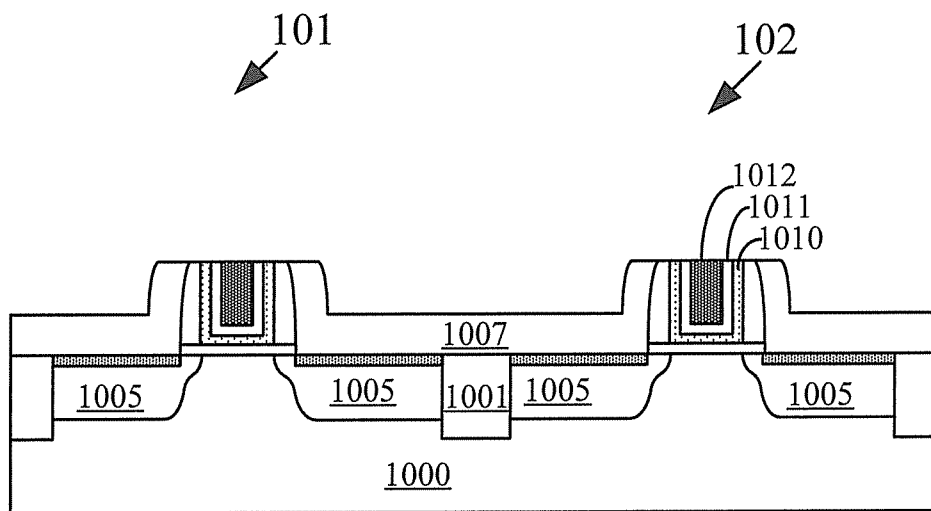


图 10

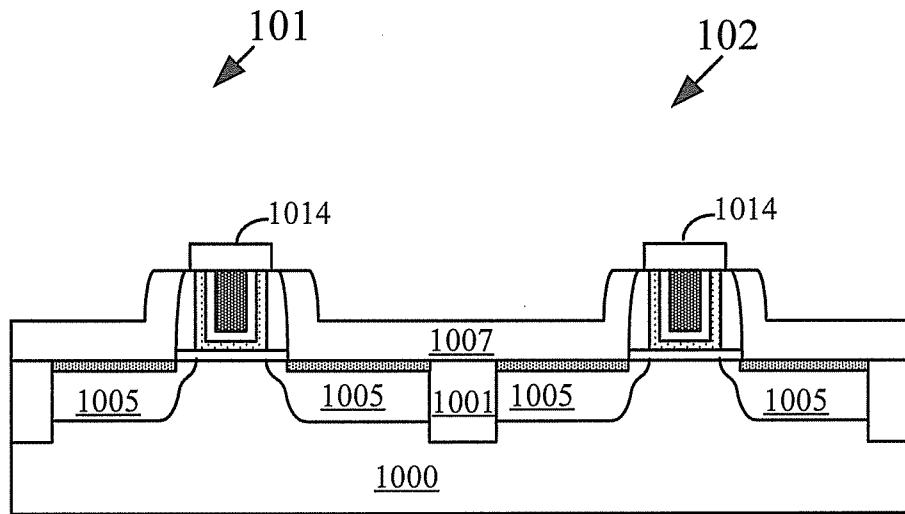


图 11

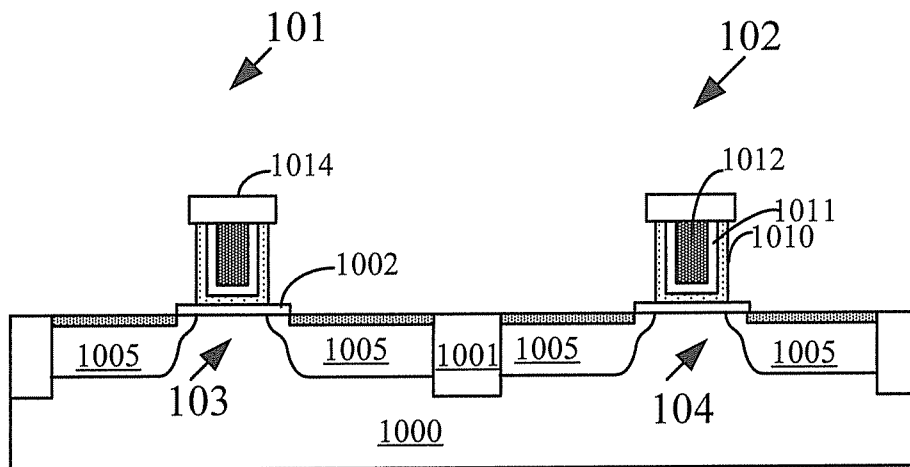


图 12

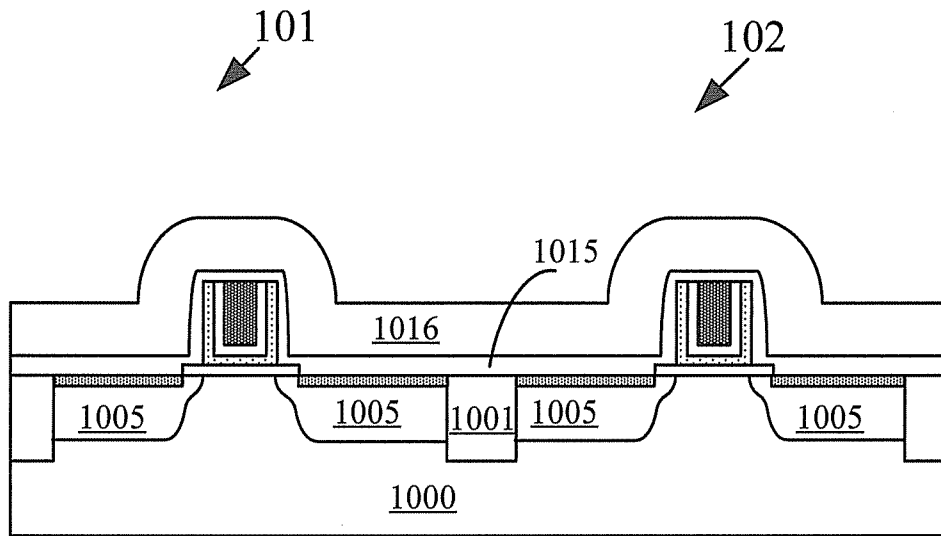


图 13

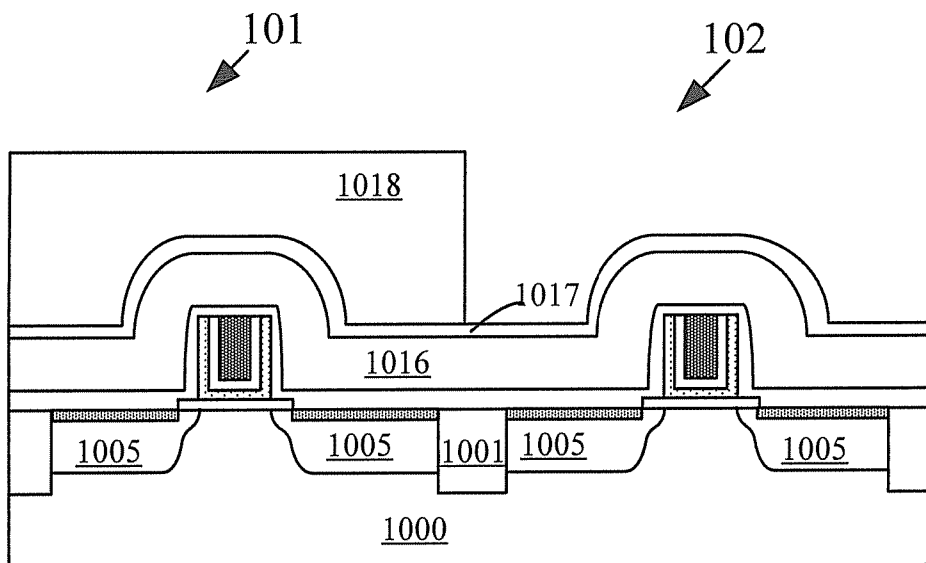


图 14

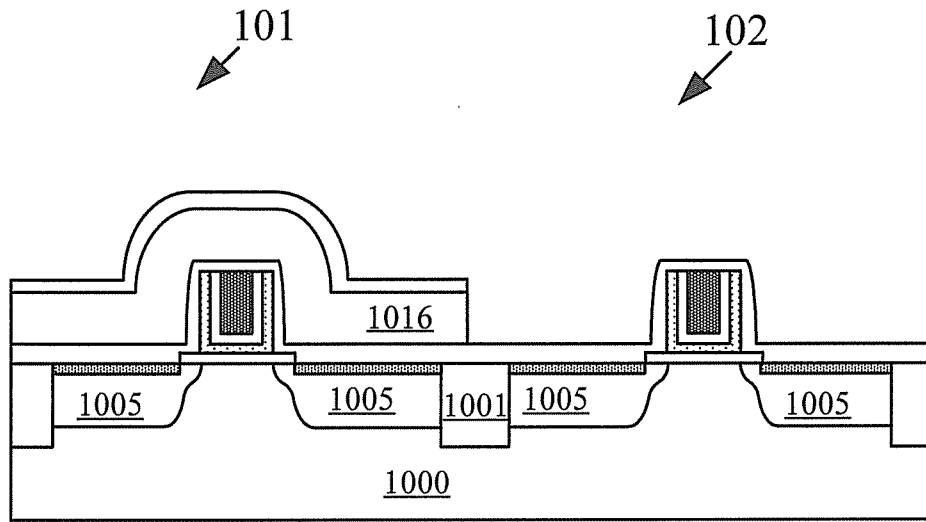


图 15

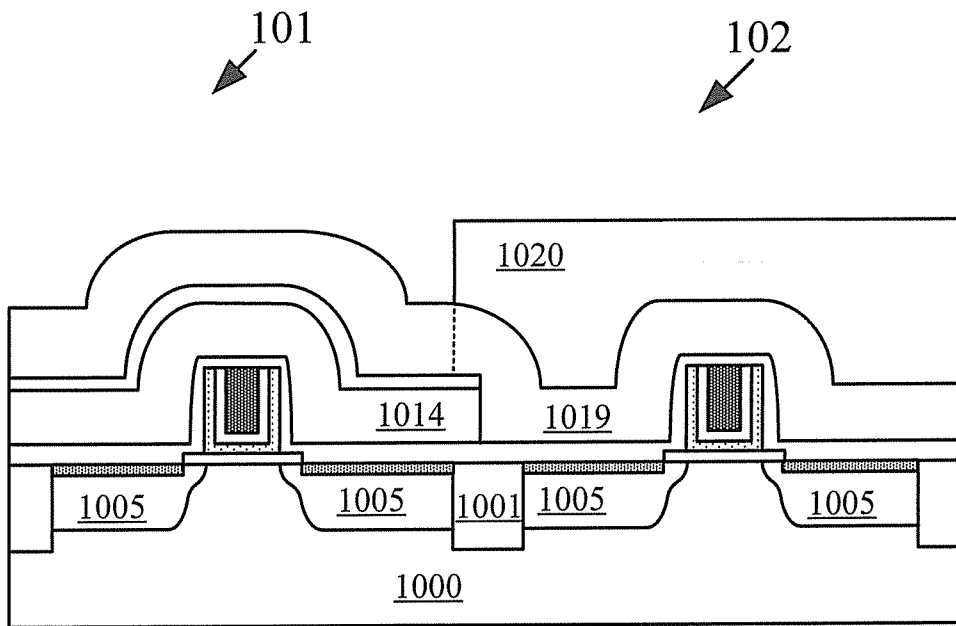


图 16

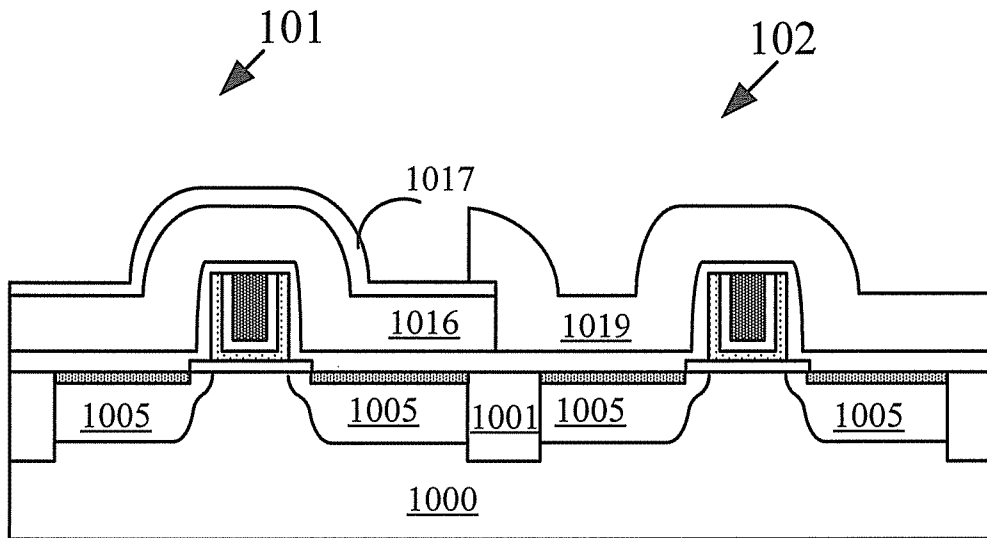


图 17

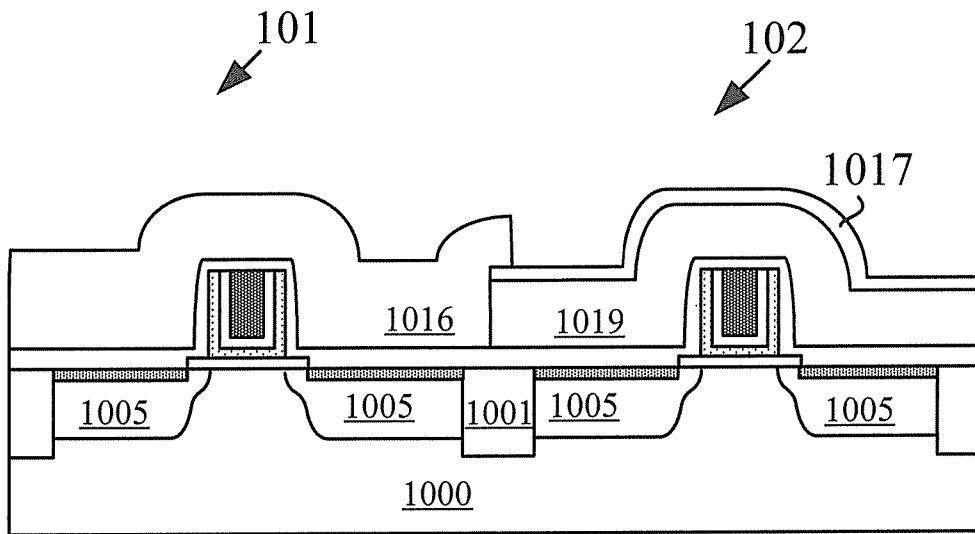


图 18

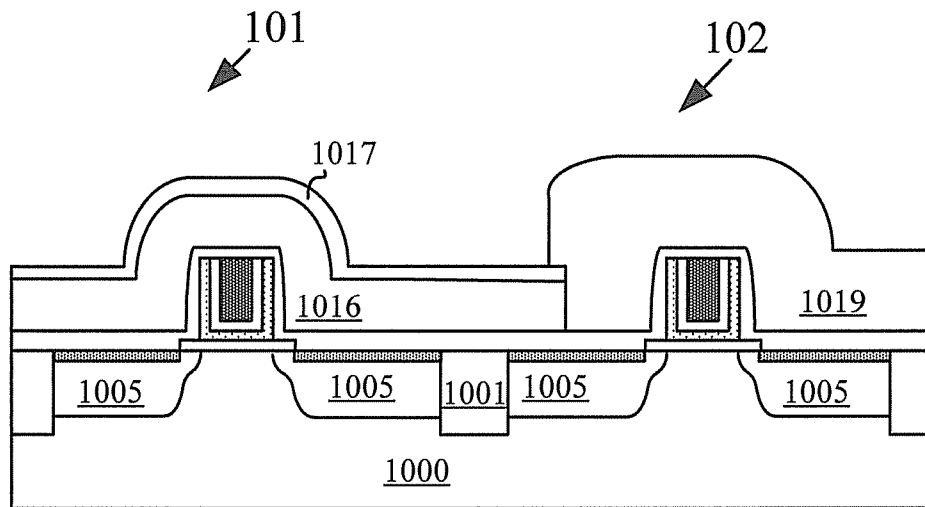


图 19

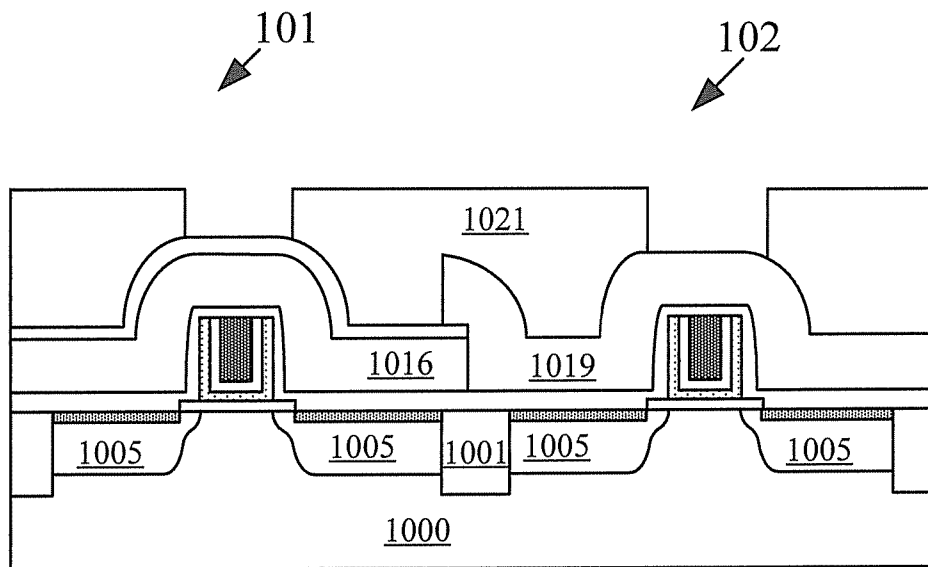


图 20

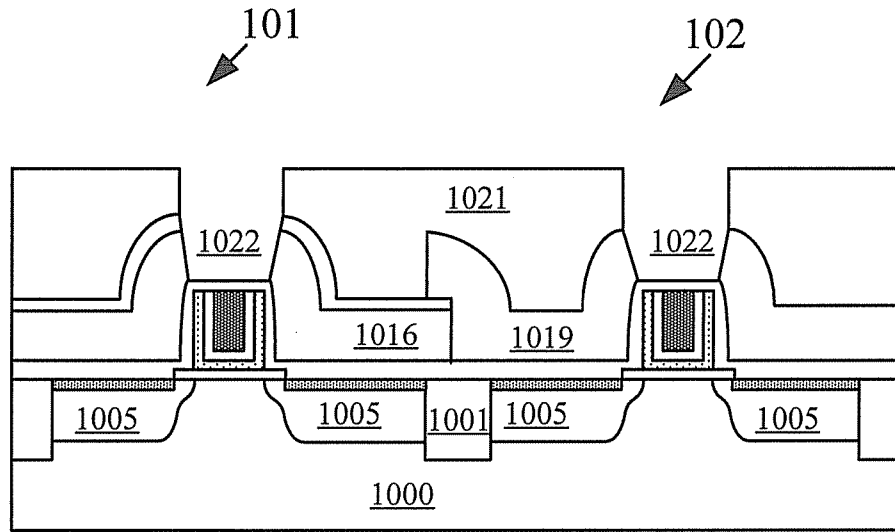


图 21

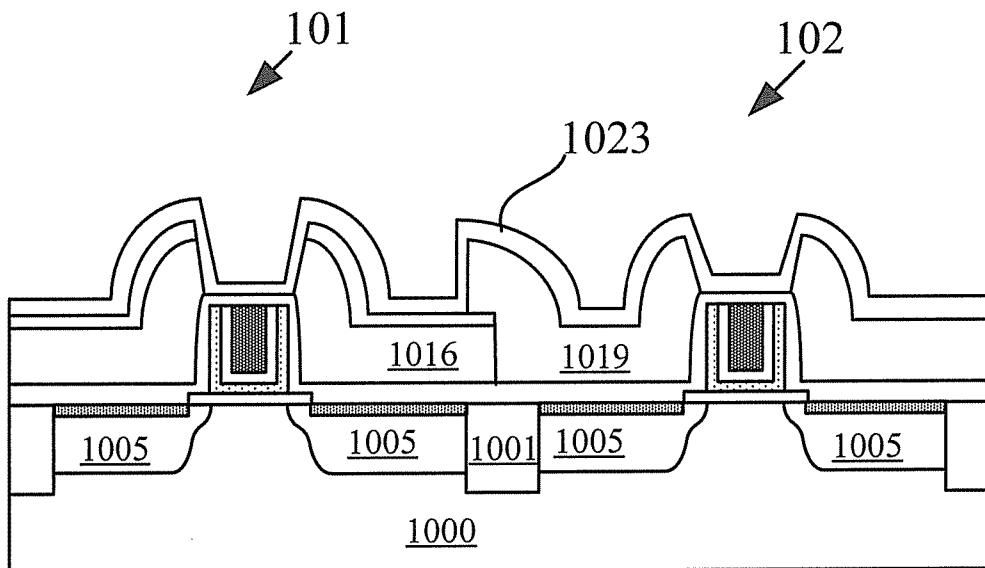


图 22

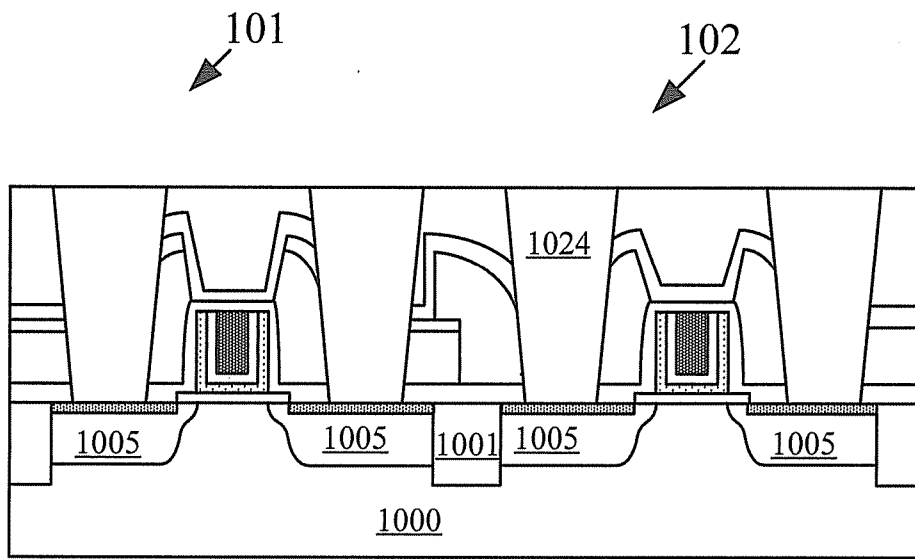


图 23



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2011/071318

## A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/-; H01L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, DWPI: substrate, source, drain, channel, stress, press, compressive, tensile, sacrificial, gate

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN101243556A(IBM CORP) 13Aug.2008(13.08.2008) pages9 -15of description, figs.1A – II	1,4,7
Y		2-3,5-6,8-15
Y	US2007/0141798A1(INTEL CORP)21Jun.2007(21.06.2007) paragraphs 28-32 of description, figs.9-10	2-3,5-6,11-15
Y	CN1846313A(IBM CORP)11Oct.2006(11.10.2006) pages 5-11of description, figs. 2-10	3,5-6,9-15
Y	US2003/0040158A1(NEC CORP)27Feb.2003(27.02.2003) paragraphs 88-93 of description, fig. 2	5-6,8,14-15

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;”document member of the same patent family</p>
--	--

Date of the actual completion of the international search  
23 May 2011(23.05.2011)

Date of mailing of the international search report  
**09 Jun. 2011 (09.06.2011)**

Name and mailing address of the ISA/CN  
The State Intellectual Property Office, the P.R.China  
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China  
100088  
Facsimile No. 86-10-62019451

Authorized officer  
**XU,Jian**  
Telephone No. (86-10)62411591

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2011/071318

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date		
CN101243556A	13.08.2008	US2007040225A1	22.02.2007		
		WO2007024984A2	01.03.2007		
		WO2007024984A3	17.01.2008		
		EP1929537A2	11.06.2008		
		KR20080037666A	30.04.2008		
		US7470943B2	30.12.2008		
		JP2009506549T	12.02.2009		
		TW200729496A	01.08.2007		
		EP1929537B1	22.07.2009		
		DE602006008017E	03.09.2009		
		KR100992036B1	05.11.2010		
		US2009134470A1	28.05.2009		
		WO2007078590A2	12.07.2007		
US2007/0141798A1	21.06.2007	EP1972004A2	24.09.2008		
		KR20080069699A	28.07.2008		
		TW200739748A	16.10.2007		
		WO2007078590A3	04.03.2010		
		CN101790778A	28.07.2010		
		US2005051854A1	10.03.2005		
		WO2005024906A2	17.03.2005		
CN1846313A	11.10.2006	US6921711B2	26.07.2005		
		EP1668706A2	14.06.2006		
		KR20060098361A	18.09.2006		
		JP2007505482T	08.03.2007		
		KR100791433B1	07.01.2008		
		EP1668706B1	05.08.2009		
		DE602004022435E	17.09.2009		
		IN237304B	25.12.2009		
		AT438928T	15.08.2009		
		EP1668706A4	05.11.2008		
		WO2005024906A3	03.11.2005		
		JP4629674B2	09.02.2011		
		CN1846313B	06.04.2011		
		US2003/0040158A1	27.02.2003	JP2003060076A	28.02.2003
				TW556348B	01.10.2003

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/071318

In continuous of A. CLASSIFICATION OF SUBJECT MATTER of second sheet

**H01L29/78 (2006.01) i**

**H01L29/94 (2006.01) i**

**H01L21/8238 (2006.01) i**

**H01L21/336 (2006.01) i**

<b>A. 主题的分类</b>		
见附加页		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
<b>B. 检索领域</b>		
检索的最低限度文献(标明分类系统和分类号)		
H01L21/-; H01L29/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, CNKI, DWPI: 源,漏,栅,牺牲,应力,压,拉,substrate, source, drain, channel, stress, press, compressive, tensile, sacrificial, gate		
<b>C. 相关文件</b>		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101243556A (国际商业机器公司) 13.8 月 2008 (13.08.2008) 说明书第 9-15 页, 附图 1A-11	1,4,7
Y		2-3,5-6,8-15
Y	US2007/0141798A1 (英特尔公司) 21.6 月 2007 (21.06.2007) 说明书第 28-32 段, 附图 9-10	2-3,5-6,11-15
Y	CN1846313A (国际商业机器公司) 11.10 月 2006 (11.10.2006) 说明书 5-11 页, 图 2-10	3,5-6,9-15
Y	US2003/0040158A1 (NEC 公司) 27.2 月 2003 (27.02.2003) 说明书第 88-93 段, 附图 2	5-6,8,14-15
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 23.5 月 2011 (23.05.2011)		国际检索报告邮寄日期 09.6 月 2011 (09.06.2011)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		授权官员  徐健 电话号码: (86-10) 62411591

国际检索报告  
关于同族专利的信息

国际申请号  
PCT/CN2011/071318

检索报告中引用的 专利文件	公布日期	同族专利	公布日期		
CN101243556A	13.08.2008	US2007040225A1	22.02.2007		
		WO2007024984A2	01.03.2007		
		WO2007024984A3	17.01.2008		
		EP1929537A2	11.06.2008		
		KR20080037666A	30.04.2008		
		US7470943B2	30.12.2008		
		JP2009506549T	12.02.2009		
		TW200729496A	01.08.2007		
		EP1929537B1	22.07.2009		
		DE602006008017E	03.09.2009		
		KR100992036B1	05.11.2010		
		US2009134470A1	28.05.2009		
		US2007/0141798A1	21.06.2007	WO2007078590A2	12.07.2007
				EP1972004A2	24.09.2008
KR20080069699A	28.07.2008				
TW200739748A	16.10.2007				
WO2007078590A3	04.03.2010				
CN1846313A	11.10.2006	CN101790778A	28.07.2010		
		US2005051854A1	10.03.2005		
		WO2005024906A2	17.03.2005		
		US6921711B2	26.07.2005		
		EP1668706A2	14.06.2006		
		KR20060098361A	18.09.2006		
		JP2007505482T	08.03.2007		
		KR100791433B1	07.01.2008		
		EP1668706B1	05.08.2009		
		DE602004022435E	17.09.2009		
		IN237304B	25.12.2009		
		AT438928T	15.08.2009		
		EP1668706A4	05.11.2008		
		WO2005024906A3	03.11.2005		
US2003/0040158A1	27.02.2003	JP4629674B2	09.02.2011		
		CN1846313B	06.04.2011		
		JP2003060076A	28.02.2003		
		TW556348B	01.10.2003		

续第 2 页 A.主题的分类

**H01L 29/78 (2006.01) i**

**H01L29/94 (2006.01) i**

**H01L 21/8238 (2006.01) i**

**H01L 21/336 (2006.01) i**