



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201216409 A1

(43)公開日：中華民國 101 (2012) 年 04 月 16 日

(21)申請案號：100127630

(22)申請日：中華民國 100 (2011) 年 08 月 03 日

(51)Int. Cl. : *H01L21/768 (2006.01)*

H01L21/306 (2006.01)

(30)優先權：2010/08/03 日本

2010-174664

(71)申請人：住友電氣工業股份有限公司 (日本) SUMITOMO ELECTRIC INDUSTRIES, LTD.

(JP)

日本

(72)發明人：增田健良 MASUDA, TAKEYOSHI (JP)

(74)代理人：陳長文

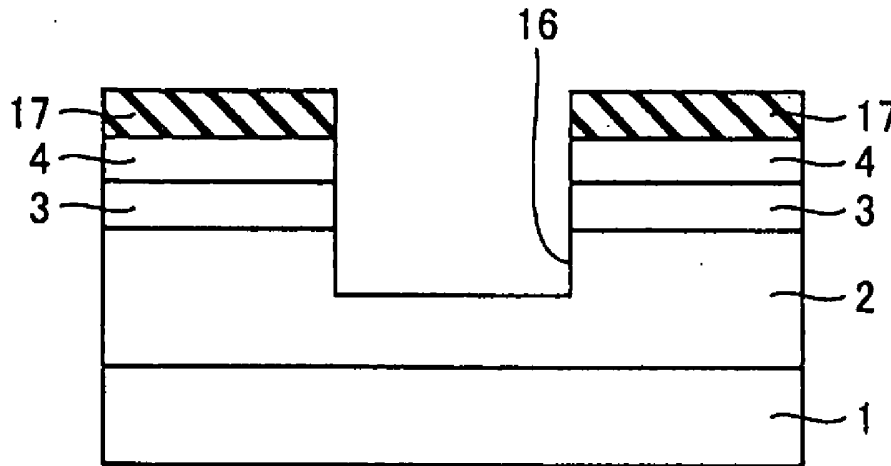
申請實體審查：無 申請專利範圍項數：8 項 圖式數：27 共 53 頁

(54)名稱

半導體裝置之製造方法

(57)摘要

本發明提供一種特性穩定之高品質之半導體裝置之製造方法。半導體裝置之製造方法包括如下步驟：準備具有主表面之碳化矽層(2~4)；藉由局部性地去掉碳化矽層(2~4)而於主表面形成溝槽(16)；及藉由熱蝕刻而局部性地去掉溝槽(16)之側壁。



1：基板

2：耐壓保持層

3：p 型主體層(p 型半導體層)

4：n 型源極接觸層

16：溝槽

17：遮罩層



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201216409 A1

(43)公開日：中華民國 101 (2012) 年 04 月 16 日

(21)申請案號：100127630

(22)申請日：中華民國 100 (2011) 年 08 月 03 日

(51)Int. Cl. : *H01L21/768 (2006.01)*

H01L21/306 (2006.01)

(30)優先權：2010/08/03 日本

2010-174664

(71)申請人：住友電氣工業股份有限公司 (日本) SUMITOMO ELECTRIC INDUSTRIES, LTD.

(JP)

日本

(72)發明人：增田健良 MASUDA, TAKEYOSHI (JP)

(74)代理人：陳長文

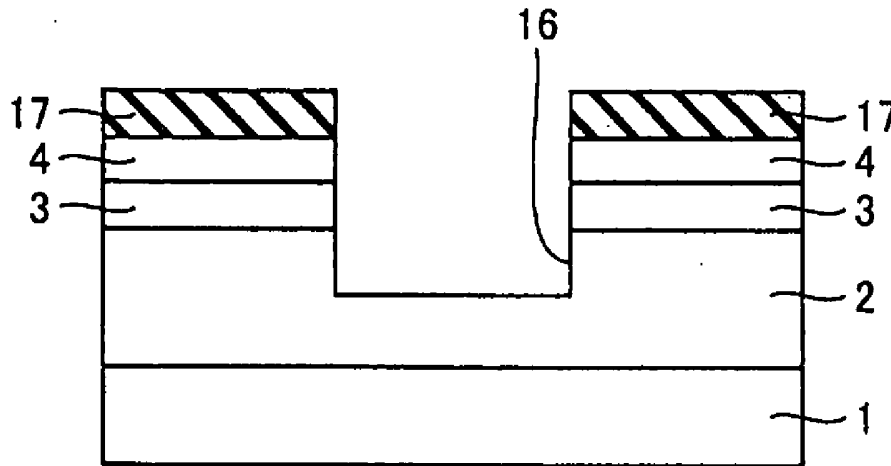
申請實體審查：無 申請專利範圍項數：8 項 圖式數：27 共 53 頁

(54)名稱

半導體裝置之製造方法

(57)摘要

本發明提供一種特性穩定之高品質之半導體裝置之製造方法。半導體裝置之製造方法包括如下步驟：準備具有主表面之碳化矽層(2~4)；藉由局部性地去掉碳化矽層(2~4)而於主表面形成溝槽(16)；及藉由熱蝕刻而局部性地去掉溝槽(16)之側壁。



1：基板

2：耐壓保持層

3：p 型主體層(p 型半導體層)

4：n 型源極接觸層

16：溝槽

17：遮罩層

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置之製造方法，更特定而言係關於一種利用形成於碳化矽層且包含特定結晶面之傾斜面之半導體裝置之製造方法。

【先前技術】

先前，提出有使用碳化矽(SiC)作為半導體裝置之材料。例如，提出有使用碳化矽形成溝槽閘極型之MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor，金屬氧化物半導體場效電晶體)(參照日本專利特開2008-235546號公報(專利文獻1))。

於日本專利特開2008-235546號公報中，提出有為提高溝槽閘極型之MOSFET中之閘極絕緣膜之耐壓，而使內部配置有閘極電極及閘極絕緣膜之溝槽(trench)之側壁為錐形。具體而言，於使用具有開口圖案之蝕刻遮罩並藉由各向異性蝕刻局部性地去除包含碳化矽之半導體層之後進行各向同性蝕刻，藉此使形成於半導體層之溝槽之側壁為錐形。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2008-235546號公報

【發明內容】

[發明所欲解決之問題]

此處，關於例如結晶型為六方晶之碳化矽，先前報告有

若將面方位成為{03-3-8}之面等所謂之半極性面用作MOSFET等半導體裝置之通道，則可實現較大之通道遷移率。然而，將如上所述之半極性面形成為溝槽閘極型之MOSFET之通道(即藉由半極性面構成溝槽之側壁)之內容並未直接揭示於上述之專利文獻1，又，上述專利文獻1中並未提及有關使溝槽之側壁成為半極性面之具體之方法。即，如專利文獻1中所揭示般，若藉由各向同性蝕刻將溝槽之側壁僅加工成錐形，則所形成之側壁並未準確地成為上述半極性面。於此情形時，存在所形成之半導體裝置之特性(例如通道遷移率)未充分提高之問題。

本發明係為解決如上所述之課題而完成，本發明之目的在於提供一種可獲得特性穩定之高品質之半導體裝置之半導體裝置之製造方法。

[解決問題之技術手段]

依據本發明之半導體裝置之製造方法包括如下步驟：準備具有主表面之碳化矽層；藉由局部性地去除碳化矽層而於主表面形成溝槽；及藉由熱蝕刻局部性地去除溝槽之側壁。

若如此則藉由使用熱蝕刻局部性地去除溝槽之側壁而可使溝槽之側壁自形成性地成為{03-3-8}面等半極性面。進而，由於使用熱蝕刻局部性地去除溝槽之側壁，因此於加工後之溝槽之側壁不會形成加工變質層等。因此，可製造將成為該半極性面之溝槽之側壁用作通道之高品質之半導體裝置。

又，於如上所述之藉由熱蝕刻局部性地去除溝槽之側壁時，藉由使所去除之側壁表面之厚度變得充分厚(例如設為 $0.1\ \mu\text{m}$ 以上)，而即便於該側壁產生加工變質層之情形時，亦可去除該加工變質層。

又，發明者進行銳意研究之結果發現，藉由對碳化矽之單晶以特定條件加工而可將所謂之半極性面形成為自形成面，藉由將此種自形成之半極性面用作半導體裝置之主動區域(例如通道區域)而可實現電氣特性優異(例如通道遷移率較大)之半導體裝置。基於上述發明者之知識見解，依據本發明之半導體裝置包括具有主表面之基板、及碳化矽層。碳化矽層形成於基板之主表面上。碳化矽層包含相對於主表面而傾斜之端面。端面於碳化矽層之結晶型為六方晶時實質上包含 $\{03-3-8\}$ 面與 $\{01-1-4\}$ 面中之任一者，於碳化矽層之結晶型為立方晶時實質上包含 $\{100\}$ 面。

再者，此處所謂端面實質上包含 $\{03-3-8\}$ 面與 $\{01-1-4\}$ 面中之任一者係指構成端面之結晶面成為 $\{03-3-8\}$ 面與 $\{01-1-4\}$ 面中之任一者之情形，及構成端面之結晶面成為 $\langle 1-100 \rangle$ 方向上之相對於 $\{03-3-8\}$ 面或 $\{01-1-4\}$ 面之偏離角為 -3° 以上且 3° 以下之面。再者，所謂「 $\langle 1-100 \rangle$ 方向上之相對於 $\{03-3-8\}$ 面或 $\{01-1-4\}$ 面之偏離角」係上述端面之法線向於 $\langle 1-100 \rangle$ 方向及 $\langle 0001 \rangle$ 方向展開之平面之正投影與 $\{03-3-8\}$ 面或 $\{01-1-4\}$ 面之法線所成之角度，其符號於上述正投影相對於 $\langle 1-100 \rangle$ 方向接近於平行之情形時為正，於上述正投影相對於 $\langle 0001 \rangle$ 方向接近於平行之情形時

為負。又，所謂端面實質上包含{100}面係指構成端面之結晶面成為{100}面之情形，及構成端面之結晶面成為自{100}面向任意結晶方位具有 -3° 以上且 3° 以下之偏離角之結晶面之情形。

如此，碳化矽層之端面實質上成為上述{03-3-8}面、{01-1-4}面與{100}面中之任一者，因此可將該等成為所謂之半極性面之端面用作半導體裝置之主動區域。並且，由於該等端面為穩定之結晶面，因此將該端面利用於通道區域等主動區域之情形，較將其他結晶面(例如(0001)面)利用於主動區域之情形可穩定且充分降低漏電流，並且可獲得較高之耐壓。

又，發明者獲得如下之知識見解，一面使碳化矽層(碳化矽之單晶層)與含有氧氣及氯氣之反應氣體接觸，一面對該碳化矽層進行加熱，藉此碳化矽中蝕刻速度最慢之結晶面可自形成。並且，發現藉由調節反應氣體之組成(例如氧氣與氯氣之比例)或加熱溫度，而可自形成上述之{03-3-8}面、{01-1-4}面或{100}面。基於上述知識見解，依據本發明之半導體裝置之製造方法包括如下步驟：準備形成有碳化矽層之基板；形成相對於碳化矽層之主表面而傾斜之端面；及利用該端面而形成半導體裝置中所包含之構造。於形成端面之步驟中，一面使碳化矽層與含有氧氣及氯氣之反應氣體接觸，一面對碳化矽層進行加熱，且藉由局部蝕刻去除碳化矽層之主表面，藉此形成相對於碳化矽層之主表面而傾斜之端面。端面於碳化矽層之結晶型為

六方晶時實質上包含{03-3-8}面與{01-1-4}面中之任一者，於碳化矽層之結晶型為立方晶時實質上包含{100}面。於此情形時，可容易製造本發明之半導體裝置。又，如上所述藉由進行蝕刻(熱蝕刻)而可自形成{03-3-8}面、{01-1-4}面或{100}面，因此無需為形成此種結晶面而使用液相成長等。因此，該自形成步驟中上述結晶面上之雜質濃度產生變動之可能性較低。因此，可藉由離子注入等方法容易進行該結晶面上之雜質濃度之控制。

[發明之效果]

根據本發明，可穩定獲得漏電流降低且高耐壓之優異特性之半導體裝置。

【實施方式】

以下，基於圖式對本發明之實施形態進行說明。再者，於以下之圖式中，對相同或相當之部分附加相同之參照編號且不重複其說明。又，於本說明書中，以[]表示個別方位，以<>表示集合方位，以()表示個別面，以{}表示集合面。又，關於負指數，於結晶學上將「-」(橫桿)附加於數字之上，但於本說明書中，於數字之前附加負符號。

(實施形態1)

參照圖1，對本發明之半導體裝置之實施形態1進行說明。

參照圖1，本發明之半導體裝置為利用側面傾斜之溝槽之立式元件即立式MOSFET。圖1所示之半導體裝置包括包含碳化矽之基板1、包含碳化矽且導電型為n型之磊晶層

之耐壓保持層2、包含碳化矽且導電型為p型之p型主體層3(p型半導體層3)、包含碳化矽且導電型為n型之n型源極接觸層4、包含碳化矽且導電型為p型之接觸區域5、閘極絕緣膜8、閘極電極9、層間絕緣膜10、源極電極12、源極配線電極13、汲極電極14、及背面保護電極15。

基板1包含結晶型為六方晶之碳化矽或結晶型為立方晶之碳化矽。耐壓保持層2形成於基板1之一方之主表面上。耐壓保持層2上形成有p型主體層3。p型主體層3上形成有n型源極接觸層4。以由該n型源極接觸層4包圍之方式形成有p型之接觸區域5。藉由局部性地去除n型源極接觸層4、p型主體層3及耐壓保持層2而形成有溝槽6。溝槽6之側壁成為相對於基板1之主表面而傾斜之端面。由傾斜之端面包圍之凸部(上部表面上形成有源極電極12之凸形狀部)之平面形狀於基板1之結晶型為六方晶時可為例如六邊形。又，於基板1之結晶型為立方晶之情形時，上述凸部之平面形狀亦可為例如四邊形狀。

該溝槽6之側壁及底壁上形成有閘極絕緣膜8。該閘極絕緣膜8延伸至n型源極接觸層4之上部表面上。以於該閘極絕緣膜8上且填充溝槽6之內部之方式形成有閘極電極9。閘極電極9之上部表面之高度成為與閘極絕緣膜8中位於n型源極接觸層4之上部表面上之部分之上表面大致相同之高度。

以覆蓋閘極絕緣膜8中延伸至n型源極接觸層4之上部表面上之部分與閘極電極9之方式形成有層間絕緣膜10。藉

由去除層間絕緣膜10與閘極絕緣膜8之一部分，而以露出一部分n型源極接觸層4與p型之接觸區域5之方式形成有開口部11。以填充該開口部11之內部並且與p型之接觸區域5及一部分n型源極接觸層4接觸之方式形成有源極電極12。以與源極電極12之上部表面接觸並且延伸至層間絕緣膜10之上部表面上之方式形成有源極配線電極13。又，於基板1中與形成有耐壓保持層2之主表面為相反側之背面上形成有汲極電極14。該汲極電極14為歐姆電極。於該汲極電極14上，在與基板1對向之面之相反側之面上形成有背面保護電極15。

於圖1所示之半導體裝置中，溝槽6之側壁傾斜，並且該側壁於構成耐壓保持層2等之碳化矽之結晶型為六方晶時實質上成為{03-3-8}面與{01-1-4}面中之任一者。又，於構成耐壓保持層2等之碳化矽之結晶型為立方晶之情形時，該溝槽6所傾斜之側壁實質上成為{100}面。由圖1可知，可將該等成為所謂之半極性面之側壁作為半導體裝置之主動區域即通道區域利用。並且，由於該等側壁為穩定之結晶面，因此將該側壁利用於通道區域之情形，較將其他結晶面(例如(0001)面)利用於通道區域之情形而言，可充分降低漏電流，並且可獲得較高之耐壓。

繼而，對圖1所示之半導體裝置之動作進行簡單說明。參照圖1，於對閘極電極9施加閾值以下之電壓之狀態、即斷開(OFF)狀態下，p型主體層3與導電型為n型之耐壓保持層2之間形成逆向偏壓，且成為非導通狀態。另一方面，

若對閘極電極9施加正電壓，則於p型主體層3上與閘極絕緣膜8接觸之區域附近之通道區域形成反轉層。其結果，n型源極接觸層4與耐壓保持層2成為電性連接之狀態。其結果，於源極電極12與汲極電極14之間流過電流。

繼而，參照圖2~圖9，對圖1所示之本發明之半導體裝置之製造方法進行說明。

首先，參照圖2，於包含碳化矽之基板1之主表面上形成導電型為n型之碳化矽之磊晶層。該磊晶層成為耐壓保持層2。用以形成耐壓保持層2之磊晶成長可藉由使用例如矽烷(SiH_4)與丙烷(C_3H_8)之混合氣體作為原料氣體，使用例如氫氣(H_2)作為載氣之CVD法(Chemical Vapor Deposition，化學氣相沈積法)而實施。又，此時較佳為導入例如氮(N)或磷(P)作為導電型為n型之雜質。該耐壓保持層2之n型雜質之節點可設為例如 $5 \times 10^{15} \text{ cm}^{-3}$ 以上且 $5 \times 10^{16} \text{ cm}^{-3}$ 以下。

繼而，藉由對耐壓保持層2之上部表面層進行離子注入而形成p型主體層3及n型源極接觸層4。於用以形成p型主體層3之離子注入中，將例如鋁(Al)等導電型為p型之雜質離子注入。此時，藉由調整所注入之離子之加速能量而可調整形成p型主體層3之區域之深度。

繼而，藉由將導電型為n型之雜質離子注入於形成有p型主體層3之耐壓保持層2而形成n型源極接觸層4。作為n型之雜質，可使用例如磷等。如此，獲得圖3所示之構造。

繼而，如圖4所示，於n型源極接觸層4之上部表面上形成遮罩層17。作為遮罩層17，可使用例如氧化矽膜等絕緣

膜。作為遮罩層17之形成方法，可使用例如如上所述之步驟。即，於n型源極接觸層4之上部表面上使用CVD法等形成氧化矽膜。繼而，於該氧化矽膜上使用光微影法形成具有特定之開口圖案之抗蝕膜(未圖示)。將該抗蝕膜用作遮罩並藉由蝕刻去除氧化矽膜。其後去除抗蝕膜。其結果，於圖4所示之應形成溝槽16之區域形成有具有開口圖案之遮罩層17。再者，遮罩層17之開口圖案之寬度例如可設為0.1 μm 以上且2 μm 以下。於使用此種微細之開口圖案之情形時，因易於於該開口圖案內產生殘渣，由此本發明特別有效。

繼而，將該遮罩層17用作遮罩並藉由蝕刻去除n型源極接觸層4、p型主體層3及耐壓保持層2之一部分。作為蝕刻之方法，可使用例如反應性離子蝕刻(Reactive Ion Etch, RIE)，特別可使用電感耦合電漿(Inductively Coupled Plasma, ICP)RIE。具體而言，可使用例如利用 SF_6 或 SF_6 與 O_2 之混合氣體之ICP-RIE作為反應氣體。藉由此種蝕刻而可於圖1之應形成溝槽6之區域形成側壁相對於基板1之主表面大致垂直之溝槽16。如此，獲得圖4所示之構造。

繼而，實施使特定結晶面露出於耐壓保持層2、p型主體層3及n型源極接觸層4之熱蝕刻步驟。具體而言，藉由對圖4所示之溝槽16之側壁進行使用氧氣與氯氣之混合氣體作為反應氣體並將熱處理溫度設為例如700 $^{\circ}\text{C}$ 以上1000 $^{\circ}\text{C}$ 以下之蝕刻(熱蝕刻)，而可如圖5所示形成具有相對於基板1之主表面傾斜之側面20之溝槽6。再者，於溝槽16之側壁

存在加工變質層之情形時，藉由使上述熱蝕刻步驟之時間充分變長而去除該加工變質層。

此處，上述熱蝕刻步驟之條件可將例如氯氣相對於氧氣之流量比率((氯氣流量)/(氧氣流量))設為0.5以上4.0以下，更佳設為1.0以上2.0以下。再者，反應氣體除上述氯氣與氧氣以外，亦可含有載氣。作為載氣，可使用例如氮氣(N₂)、氫氣、氬氣等。並且，於如上所述將熱處理溫度設為700°C以上1000°C以下之情形時，SiC之蝕刻速度成為例如70 μm/hr左右。又，於此情形時，若使用二氧化矽(SiO₂)作為遮罩層17，則可使SiC相對於SiO₂之選擇比變得極大，因此於SiC之蝕刻中包含SiO₂之遮罩層17實質上未蝕刻。

再者，露出於該側面20之結晶面成為例如{03-3-8}面。即，於上述條件之蝕刻中，蝕刻速度最慢之結晶面即{03-3-8}面自形成為溝槽6之側面20。其結果，獲得如圖5所示之構造。再者，構成側面20之結晶面亦可成為{01-1-4}面。又，於構成耐壓保持層2等之碳化矽之結晶型為立方晶之情形時，構成側面20之結晶面亦可為{100}面。

繼而，藉由蝕刻等任意方法去除遮罩層17。其後，以自溝槽6之內部延伸至n型源極接觸層4之上部表面上之方式，使用光微影法形成具有特定之圖案之抗蝕膜(未圖示)。作為抗蝕膜，可使用於溝槽6之底部及n型源極接觸層4之上部表面之一部分形成有開口圖案者。繼而，藉由將該抗蝕膜用作遮罩並將導電型為p型之雜質離子注入而

於溝槽6之底部形成電場緩和區域7，於n型源極接觸層4之部分區域形成導電型為p型之接觸區域5。其後去除抗蝕膜。其結果，獲得如圖6所示之構造。

繼而，實施用以使藉由上述離子注入而注入之雜質活性化之活性化退火步驟。於該活性化退火步驟中，於包含碳化矽之磊晶層之表面不特別形成覆蓋層而實施退火處理。此處，發明者等人發現，關於上述{03-3-8}面，即便於表面不形成覆蓋層等保護膜而進行活性化退火處理，表面性狀亦不會劣化，可維持充分之表面平滑性。因此，省略先前認為必要之活性化退火處理前之保護膜(覆蓋層)之形成步驟，而直接實施活性化退火步驟。再者，亦可於形成上述覆蓋層後實施活性化退火步驟。又，亦可構成為例如僅於n型源極接觸層4及p型之接觸區域5之上部表面上設置覆蓋層而實施活性化退火處理。

繼而，如圖7所示，以自溝槽6之內部延伸至n型源極接觸層4及p型之接觸區域5之上部表面上之方式形成閘極絕緣膜8。作為閘極絕緣膜8，可使用例如藉由將包含碳化矽之磊晶層熱氧化而獲得之氧化膜(氧化矽膜)。如此，獲得圖7所示之構造。

繼而，如圖8所示，以填充溝槽6之內部之方式於閘極絕緣膜8上形成閘極電極9。作為閘極電極9之形成方法，可使用例如如下所述之方法。首先，於閘極絕緣膜8上，使用濺鍍法等形成延伸至溝槽6之內部及p型之接觸區域5上之區域之應成為閘極電極之導電體膜。作為導電體膜之材

料，只要為具有導電性之材料，則可使用金屬等任意材料。其後，使用回蝕或CMP法(Chemical Mechanical Polishing，化學機械研磨法)等任意方法去除形成於溝槽6之內部以外之區域中的導電體膜之部分。其結果，如填充溝槽6之內部之導電體膜殘留，並藉由該導電體膜而構成閘極電極9。如此，獲得圖8所示之構造。

繼而，以覆蓋閘極電極9之上部表面、及於p型之接觸區域5上露出之閘極絕緣膜8之上部表面上之方式形成層間絕緣膜10(參照圖9)。作為層間絕緣膜，只要為具有絕緣性之材料，則可使用任意材料。並且，於層間絕緣膜10上使用光微影法形成具有圖案之抗蝕膜。於該抗蝕膜(未圖示)中位於p型之接觸區域5上之區域形成有開口圖案。

繼而，將該抗蝕膜用作遮罩，並藉由蝕刻將層間絕緣膜10及閘極絕緣膜8局部性地去除。其結果，於層間絕緣膜10及閘極絕緣膜8中形成開口部11(參照圖9)。於該開口部11之底部，成為p型之接觸區域5及n型源極接觸層4之一部分露出之狀態。其後，以填充該開口部11之內部並且覆蓋上述抗蝕膜之上部表面上之方式形成應成為源極電極12(參照圖9)之導電體膜。其後，藉由使用藥液等去除抗蝕膜而同時去除形成於抗蝕膜上之導電體膜之部分(剝離)。其結果，可藉由填充於開口部11之內部之導電體膜而形成源極電極12。該源極電極12為與p型之接觸區域5及n型源極接觸層4歐姆接觸之歐姆電極。

又，於基板1之背面側(與形成有耐壓保持層2之主表面

相反側之表面側)形成汲極電極14(參照圖9)。作為汲極電極14，只要為可與基板1歐姆接觸之材料，則可使用任意材料。如此，獲得圖9所示之構造。

其後，分別使用濺鍍法等任意方法形成與源極電極12之上部表面接觸且延伸至層間絕緣膜10之上部表面上之源極配線電極13(參照圖1)、及形成於汲極電極14之表面上之背面保護電極15(參照圖1)。其結果，可獲得圖1所示之半導體裝置。

繼而，參照圖10及圖11對圖1所示之本發明之半導體裝置之製造方法之參考例進行說明。

於本發明之半導體裝置之製造方法之參考例中，首先實施圖2~圖4所示之步驟。其後，去除圖4所示之遮罩層17。繼而，以自溝槽16之內部延伸至n型源極接觸層4之上部表面上之方式形成包含矽之Si覆膜21(參照圖10)。於該狀態下，藉由進行熱處理而於與溝槽16之內周面及n型源極接觸層4之上部表面之Si覆膜21接觸之區域產生碳化矽之再構成。如此，如圖10所示，以溝槽之側壁成為特定結晶面($\{03-3-8\}$ 面)之方式形成碳化矽之再構成層22。其結果，獲得如圖10所示之構造。

其後，去除所殘留之Si覆膜21。作為Si覆膜21之去除方法，可使用例如利用 HNO_3 與HF等混合液(氣體)之蝕刻。其後，進而藉由蝕刻去除上述再構成層22。作為用以去除再構成層22之蝕刻，可使用ICP-RIE。其結果，如圖11所示可形成具有傾斜之側面之溝槽6。

其後，藉由實施先前所說明之圖6~圖9所示之步驟而可獲得圖1所示之半導體裝置。

繼而，參照圖12對圖1所示之半導體裝置之變形例進行說明。圖12所示之半導體裝置包括基本上與圖1所示之半導體裝置相同之構成，但溝槽6之形狀與圖1所示之半導體裝置不同。具體而言，於圖12所示之半導體裝置中，溝槽6之剖面形狀成為V字狀。又，自不同之觀點而言，圖12所示之半導體裝置之溝槽6成為相對於基板1之主表面傾斜且彼此對向之側面於其下部直接連接之狀態。於溝槽6之底部(對向之側壁之下部彼此連接之部分)形成有電場緩和區域7。藉由此種構成之半導體裝置亦可獲得與圖1所示之半導體裝置相同之效果。進而，於圖12所示之半導體裝置中，由於溝槽6中未形成如圖1所示之平坦之底面，因此圖12所示之溝槽6之寬度比圖1所示之溝槽6之寬度窄。其結果，於圖12所示之半導體裝置中，較圖1所示之半導體裝置而言可縮小尺寸，對半導體裝置之微細化及高集成化有利。

(實施形態2)

參照圖13對本發明之半導體裝置之實施形態2進行說明。

參照圖13，本發明之半導體裝置為利用側面傾斜之溝槽之立式元件即IGBT(Insulated Gate Bipolar Transistor，絕緣閘極雙極性電晶體)。圖13所示之半導體裝置包括包含碳化矽之導電型為p型之基板31、包含碳化矽且導電型為p

型之作為緩衝層之p型磊晶層36、包含碳化矽且導電型為n型之作為耐壓保持層之n型磊晶層32、包含碳化矽且導電型為p型之與井區域相對應之p型半導體層33、包含碳化矽且導電型為n型之與發射極區域相對應之n型源極接觸層34、包含碳化矽且導電型為p型之接觸區域35、閘極絕緣膜8、閘極電極9、層間絕緣膜10、與發射極電極相對應之源極電極12、源極配線電極13、與集電極相對應之汲極電極14及背面保護電極15。

p型磊晶層36形成於基板31之一方之主表面上。於p型磊晶層36上形成有n型磊晶層32。於n型磊晶層32上形成有p型半導體層33。於p型半導體層33上形成有n型源極接觸層34。以由該n型源極接觸層34包圍之方式形成有p型之接觸區域35。藉由局部性地去掉n型源極接觸層34、p型半導體層33及n型磊晶層32而形成有溝槽6。溝槽6之側壁成為相對於基板31之主表面傾斜之端面。由傾斜之端面包圍之凸部(上部表面上形成有源極電極12之凸形狀部)之平面形狀成為例如六邊形。

於該溝槽6之側壁及底壁上形成有閘極絕緣膜8。該閘極絕緣膜8延伸至n型源極接觸層34之上部表面上。以於該閘極絕緣膜8上且填充溝槽6之內部之方式形成有閘極電極9。閘極電極9之上部表面之高度成為與閘極絕緣膜8中位於n型源極接觸層34之上部表面上之部分之上表面大致相同之高度。

以覆蓋閘極絕緣膜8中延伸至n型源極接觸層34之上部表

面上之部分與閘極電極9之方式形成有層間絕緣膜10。藉由去除層間絕緣膜10與閘極絕緣膜8之一部分，而以露出一部分n型源極接觸層34與p型之接觸區域35之方式形成有開口部11。以填充該開口部11之內部且與p型之接觸區域35及一部分n型源極接觸層34接觸之方式形成有源極電極12。以與源極電極12之上部表面接觸且於層間絕緣膜10之上部表面上延伸之方式形成有源極配線電極13。

又，於基板1中與形成有耐壓保持層2之主表面為相反側之背面上，與圖1所示之半導體裝置同樣地形成有汲極電極14及背面保護電極15。

於圖13所示之半導體裝置中，亦與圖1所示之半導體裝置相同，溝槽6之側壁傾斜，並且該側壁於構成n型磊晶層32等之碳化矽之結晶型為六方晶時實質上成為{03-3-8}面與{01-1-4}面中之任一者。又，於構成n型磊晶層32等之碳化矽之結晶型為立方晶之情形時，該溝槽6之傾斜之側壁實質上成為{100}面。於此情形時，亦可獲得與圖1所示之半導體裝置相同之效果。

繼而，對圖13所示之半導體裝置之動作進行簡單說明。參照圖13，對閘極電極9施加負電壓，若該負電壓超過閾值，則於與閘極電極9側方之閘極絕緣膜8相接觸之p型半導體層33之與溝槽6對向之端部區域(通道區域)形成反轉層，發射極區域即n型源極接觸層34與耐壓保持層即n型磊晶層32電性連接。藉此，自發射極區域即n型源極接觸層34向耐壓保持層即n型磊晶層32注入電洞，與此對應自基

板31經由緩衝層即p型磊晶層36將電子供給至n型磊晶層32。其結果，IGBT成為導通(ON)狀態，於n型磊晶層32中產生傳導度調變而發射極電極即源極電極12—集電極即汲極電極14間之電阻下降之狀態下流過電流。另一方面，於施加至閘極電極9之上述負電壓為閾值以下之情形時，由於上述通道區域內未形成反轉層，因此n型磊晶層32與p型半導體層33之間維持於逆向偏壓之狀態。其結果，IGBT成為斷開狀態，電流未流通。

參照圖14~圖21，對本發明之半導體裝置之實施形態2之製造方法進行說明。

首先，參照圖14，於包含碳化矽之基板31之主表面上形成導電型為p型且包含碳化矽之p型磊晶層36。並且，於p型磊晶層36上形成導電型為n型之碳化矽之n型磊晶層32。該n型磊晶層32成為耐壓保持層。用於p型磊晶層36及n型磊晶層32之磊晶成長可藉由使用例如矽烷(SiH_4)與丙烷(C_3H_8)之混合氣體作為原料氣體，使用例如氫氣(H_2)作為載氣之CVD法而實施。又，此時，作為導電型為p型之雜質，較佳為例如導入鋁(Al)等，作為導電型為n型之雜質，較佳為例如導入氮(N)或磷(P)。

繼而，藉由對n型磊晶層32之上部表面層進行離子注入而形成p型半導體層33及n型源極接觸層34。於用以形成p型半導體層33之離子注入中，將例如鋁(Al)等導電型為p型之雜質予以離子注入。此時，藉由調整所注入之離子之加速能量而可調整形成p型半導體層33之區域之深度。

繼而，藉由將導電型為n型之雜質離子注入於形成有p型半導體層33之n型磊晶層32而形成n型源極接觸層34。作為n型之雜質，可使用例如磷等。如此，獲得圖15所示之構造。

繼而，如圖16所示，於n型源極接觸層34之上部表面上形成遮罩層17。作為遮罩層17，可使用例如氧化矽膜等絕緣膜。作為遮罩層17之形成方法，可使用與圖4中所說明之遮罩層17之製造方法相同之方法。其結果，於圖4所示之應形成溝槽16之區域形成具有開口圖案之遮罩層17。

並且，將該遮罩層17用作遮罩，並藉由蝕刻去除n型源極接觸層34、p型半導體層33及n型磊晶層32之一部分。蝕刻之方法等可使用與圖4所示之步驟相同之方法。如此，獲得圖16所示之構造。

繼而，實施使於n型磊晶層32、p型半導體層33及n型源極接觸層34中之特定結晶面露出之熱蝕刻步驟。該熱蝕刻步驟之條件可使用與參照圖5進行說明之熱蝕刻步驟之條件相同之條件。其結果，如圖17所示可形成具有相對於基板31之主表面而傾斜之側面20之溝槽6。再者，露出於該側面20之結晶面之面方位成為例如{03-3-8}。如此，獲得如圖17所示之構造。

繼而，藉由蝕刻等之任意方法去除遮罩層17。其後，與圖6所示之步驟相同，以自溝槽6之內部延伸至n型源極接觸層34之上部表面上之方式，使用光微影法形成具有特定圖案之抗蝕膜(未圖示)。作為抗蝕膜，使用於溝槽6之底部

及n型源極接觸層34之上部表面之一部分形成有開口圖案者。繼而，藉由將該抗蝕膜用作遮罩並將導電型為p型之雜質離子注入，而於溝槽6之底部形成電場緩和區域7，於n型源極接觸層34之部分區域形成導電型為p型之接觸區域35。其後去除抗蝕膜。其結果，獲得如圖18所示之構造。

繼而，實施用以使藉由上述離子注入而注入之雜質活性化之活性化退火步驟。於該活性化退火步驟中，與已說明之本發明之實施形態1之情形相同，於包含碳化矽之磊晶層之表面(具體為溝槽6之側面20上)不特別形成覆蓋層而實施退火處理。再者，亦可於形成上述覆蓋層後實施活性化退火步驟。又，亦可構成為例如僅於n型源極接觸層34及p型之接觸區域35之上部表面上設置有覆蓋層而實施活性化退火處理。

繼而，如圖19所示，以自溝槽6之內部延伸至n型源極接觸層4及p型之接觸區域5之上部表面上之方式形成閘極絕緣膜8。閘極絕緣膜8之材質及形成方法與圖7中之閘極絕緣膜8之材質及形成方法相同。如此，獲得圖19所示之構造。

繼而，如圖20所示，以填充溝槽6之內部之方式於閘極絕緣膜8上形成閘極電極9。作為閘極電極9之形成方法，可使用與圖8所示之閘極電極9之形成方法相同之形成方法。如此，獲得圖20所示之構造。

繼而，以覆蓋閘極電極9之上部表面、及於p型之接觸區域35上露出之閘極絕緣膜8之上部表面上之方式形成層間

絕緣膜10(參照圖21)。作為層間絕緣膜10，只要為具有絕緣性之材料，則可使用任意材料。並且，與圖9所示之步驟相同，於層間絕緣膜10及閘極絕緣膜8上形成開口部11(參照圖21)。該開口部11之形成方法與圖9中之開口部之形成方法相同。於該開口部11之底部，成為p型之接觸區域35及一部分n型源極接觸層34露出之狀態。

其後，使用與圖9中所說明之方法相同之方法，藉由填充於開口部11之內部之導電體膜而形成源極電極12。該源極電極12為與p型之接觸區域35及n型源極接觸層34歐姆接觸之歐姆電極。

又，於基板31之背面側(與形成有n型磊晶層32之主表面相反側之表面側)形成汲極電極14(參照圖21)。作為汲極電極14，只要為可與基板1歐姆接觸之材料，則可使用任意材料。如此，獲得圖21所示之構造。

其後，分別使用濺鍍法等任意方法形成與源極電極12之上部表面接觸且延伸至層間絕緣膜10之上部表面上之源極配線電極13(參照圖13)、及形成於汲極電極14之表面之背面保護電極15(參照圖13)。其結果，可獲得圖13所示之半導體裝置。

繼而，參照圖22對圖13所示之半導體裝置之變形例進行說明。圖22所示之半導體裝置包括基本上與圖13所示之半導體裝置相同之構成，但溝槽6之形狀與圖13所示之半導體裝置不同。具體而言，於圖22所示之半導體裝置中，溝槽6之剖面形狀與圖12所示之半導體裝置相同，成為V字

狀。於溝槽6之底部(對向之側壁之下部彼此連接之部分)形成有電場緩和區域7。藉由此種構成之半導體裝置亦可獲得與圖13所示之半導體裝置相同之效果。進而，於圖22所示之半導體裝置中，由於溝槽6內未形成如圖13所示之平坦之底面，因此圖22所示之溝槽6之寬度比圖13所示之溝槽6之寬度窄。其結果，於圖22所示之半導體裝置中，較圖13所示之半導體裝置而言可縮小尺寸，對半導體裝置之微細化及高集成化有利。

(實施形態3)

參照圖23，對本發明之半導體裝置之實施形態3進行說明。

參照圖23，本發明之半導體裝置為PiN二極體且包括：基板1，其包含碳化矽； n^- 磊晶層42，其導電型為n型，具有比基板1中之導電性雜質之濃度低之導電性雜質濃度，且表面具有隆脊構造； p^+ 半導體層43，其形成於 n^- 磊晶層42之表面所形成之隆脊構造44中且與 n^- 磊晶層42連接；及護環45，其形成於隆脊構造44之周圍。基板1包含碳化矽且導電型為n型。 n^- 磊晶層42形成於基板1之主表面上。於 n^- 磊晶層42之表面形成有側面20相對於基板1之主表面傾斜之隆脊構造44。於包含隆脊構造44之上部表面之層上形成有導電型為p型之 p^+ 半導體層43。以包圍該隆脊構造44之周圍之方式形成有導電型為p型之區域即護環45。護環45以包圍隆脊構造44之方式形成為環狀。隆脊構造44之側面20藉由特定結晶面(例如{03-3-8}面)而構成。即，隆脊

構造44藉由與上述特定結晶面($\{03-3-8\}$ 面)等效之6個面而構成。因此，隆脊構造44之上部表面及底部之平面形狀成為六邊形狀。

於此種構造之半導體裝置中，隆脊構造44之側面20亦與圖1所示之溝槽6之側面20同樣地成為穩定之結晶面，因此較其他結晶面成為該側面20之情形而言，可充分降低來自該側面20之漏電流。

繼而，對圖23所示之半導體裝置之製造方法進行說明。作為圖23所示之半導體裝置之製造方法，首先準備包含碳化矽之基板1。作為基板1，可使用例如結晶型為六方晶之包含碳化矽之基板。於該基板1之主表面上使用磊晶成長法形成 n^- 磊晶層42。藉由在該 n^- 磊晶層42之表面層上離子注入導電型為p型之雜質而形成應成為 p^+ 半導體層43之p型之半導體層。

其後，於應成為隆脊構造44(參照圖23)之區域形成包含氧化矽膜之島狀之遮罩圖案。該遮罩圖案之平面形狀例如可設為六邊形狀，亦可設為其他任意形狀(例如圓形或四邊形等)。繼而，於形成有該遮罩圖案之狀態下，藉由局部蝕刻去除 p^+ 半導體層43及 n^- 磊晶層42。其結果，成為於遮罩圖案下形成有應成為隆脊構造44之凸部之狀態。

繼而，藉由與上述本發明之實施形態1中之圖5所示之步驟同樣地實施熱蝕刻步驟，並藉由蝕刻去除凸部之側面而獲得圖23所示之傾斜之側面20。其後，去除遮罩圖案。進而，以覆蓋整體之方式形成具有特定圖案之抗蝕膜。於該

抗蝕膜之應成為護環45之區域形成有開口圖案。藉由將該抗蝕膜用作遮罩並對n⁻磊晶層42注入導電型為p型之雜質而形成護環45。其後，去除抗蝕膜。繼而，於用以形成護環45之上述離子注入後進行活性化退火處理，於該活性化退火處理中，可不形成至少覆蓋側面20之覆蓋層而進行加熱處理。其結果，可獲得圖23所示之半導體裝置。

繼而，參照圖24，對圖23所示之半導體裝置之變形例進行說明。

圖24所示之半導體裝置包括基本上與圖23所示之半導體裝置相同之構造，但不同之處在於，形成有JTE(Junction Termination Extension，接面終結延伸)區域46以代替護環45(參照圖23)。JTE區域46係導電型為p型之區域。此種JTE區域46亦可與圖23所示之護環45同樣地藉由實施離子注入及活性化退火而形成。並且，與圖23所示之半導體裝置之製造方法相同，於圖24所示之半導體裝置之製造方法中，於用以形成JTE區域46之離子注入後之活性化退火處理中，亦不形成至少覆蓋側面20之覆蓋層而實施活性化退火處理。如此，側面20亦藉由穩定之結晶面(例如{03-3-8}面)而構成，因此即便藉由該活性退火亦不會產生側面20之表面粗糙之問題。

雖存在與上述實施形態部分重複之部分，但於以下列舉本發明之具特徵性之構成。

依據本發明之半導體裝置之製造方法包括如下步驟：準備具有主表面之碳化矽層(圖1之耐壓保持層2、半導體層

3、n型源極接觸層4及p型之接觸區域5，或圖13之n型磊晶層32、p型半導體層33、n型源極接觸層34、p型之接觸區域35，或圖23及圖24之n⁻磊晶層42及p⁺半導體層43)，藉由局部性地去除碳化矽層而於主表面形成溝槽16；及藉由熱蝕刻而局部性地去除溝槽16之側壁。

如此，藉由熱蝕刻局部性地去除溝槽16之側壁，藉此可使溝槽之側壁(側面20)自形成性地成為{03-3-8}面等半極性面。進而，由於使用熱蝕刻而局部性地去除溝槽16之側壁，因此於加工後之溝槽6之側壁(側面20)不會形成加工變質層等。因此，可製造將成為該半極性面之溝槽6之側壁作為通道利用之高品質之半導體裝置。

又，藉由如上所述之熱蝕刻而局部性地去除溝槽16之側壁時，藉由使所去除之側壁表面之厚度變得充分厚(例如設為0.1 μm以上)而即便於該側壁產生加工變質層之情形時，亦可去除該加工變質層。

於上述半導體裝置之製造方法中，形成上述溝槽16之步驟可包含如下步驟：於碳化矽層之主表面上形成具有開口圖案之遮罩層17；及以將遮罩層17用作遮罩並形成溝槽16之方式，藉由蝕刻局部性地去除碳化矽層。作為蝕刻，可使用例如反應性離子蝕刻。再者，為形成溝槽16，可使用研磨等物理加工方法。

此時，即便於遮罩層17之開口圖案中產生殘渣之情形時，亦可於形成溝槽16之步驟中形成溝槽16時將該殘渣與一部分碳化矽層一併去除，因此當實施局部性地去除溝槽

16之側壁之步驟時，該殘渣不存在。因此，可防止因該殘渣之存在而產生實施局部性地去除側壁之步驟後之溝槽6之側壁之形狀與設計時之形狀偏離等問題。

再者，遮罩層之開口圖案之形狀可設為線狀(例如條紋狀)、或曲線狀等任意形狀。例如，作為遮罩層之形狀，可為平面形狀為正六邊形之複數個島狀圖案經由開口圖案排列配置(例如以形成三角格子之方式配置)。進而，島狀圖案之平面形狀亦可為正六邊形以外之任意形狀(例如多邊形狀、圓形狀、橢圓形狀等)。

於上述半導體裝置之製造方法中，於去除步驟中，可於遮罩層17殘留於碳化矽層之主表面上之狀態下進行熱蝕刻。於此情形時，當進行熱蝕刻時，成為遮罩層17覆蓋碳化矽層之主表面且與溝槽16鄰接之區域之狀態，因此可防止因該熱蝕刻而使碳化矽層之主表面受損。

於上述半導體裝置之製造方法中，遮罩層17中之開口圖案之寬度可為2 μm 以下。此處，若開口圖案之寬度為2 μm 以下，則開口圖案之內部容易產生殘渣，即便將該遮罩層17作為遮罩而僅實施熱蝕刻亦無法較佳地去除開口圖案下之碳化矽層，結果存在未形成溝槽之情形。然而，藉由如本發明般首先形成溝槽16，其後進行熱蝕刻而可於最初形成溝槽16時去除該殘渣，因此可確實防止上述問題之產生。

於上述半導體裝置之製造方法中，於去除步驟中，亦可去除溝槽16之側壁上之加工變質層。此時，於將實施去除

步驟後之溝槽6之側壁作為通道區域利用之半導體裝置中，可防止該通道區域內之載體之遷移率因加工變質層之存在而下降之問題之產生。因此，可獲得高性能之半導體裝置。

於上述半導體裝置之製造方法中，於去除步驟中，亦可藉由局部性地去除溝槽16之側壁而形成相對於碳化矽層之主表面傾斜之端面(側面20)。此時，於主表面成為Si面或C面之碳化矽層中，可形成包含半極性面之端面。

於上述半導體裝置之製造方法中，端面(側面20)於碳化矽層之結晶型為六方晶時實質上可包含 $\{03-3-8\}$ 面與 $\{01-1-4\}$ 面中之任一者，於碳化矽層之結晶型為立方晶時實質上亦可包含 $\{100\}$ 面。

於此情形時，由於碳化矽層之端面(側面20)實質上成為上述 $\{03-3-8\}$ 面、 $\{01-1-4\}$ 面與 $\{100\}$ 面中之任一者，因此可將該等成為所謂之半極性面之端面作為半導體裝置之通道區域等的主動區域利用。進而，由於該端面(側面20)成為穩定之結晶面，因此將該端面利用於通道區域等之情形，較將其他結晶面(例如(0001)面)利用於主動區域之情形而言，可實現能夠穩定且充分降低漏電流並且可獲得較高之耐壓之半導體裝置。

於上述半導體裝置之製造方法中，於去除步驟中，作為熱蝕刻，一面使碳化矽層與含有氧氣及氯氣之反應氣體接觸一面對碳化矽層進行加熱而亦可局部性地去除溝槽16之側壁。於此情形時，可確實使碳化矽層之端面實質上成為

上述{03-3-8}面、{01-1-4}面與{100}面中之任一者。

又，如圖1、圖13、圖23、圖24等所示，依據本發明之半導體裝置包括：具有主表面之基板1、31、及碳化矽層(圖1之耐壓保持層2、半導體層3、n型源極接觸層4及p型之接觸區域5，或圖13之n型磊晶層32、p型半導體層33、n型源極接觸層34、p型之接觸區域35，或圖23及圖24之n⁻磊晶層42及p⁺半導體層43)。碳化矽層形成於基板1、31之主表面上。碳化矽層包含相對於主表面傾斜之端面即側面20。側面20於碳化矽層之結晶型為六方晶時實質上包含{03-3-8}面與{01-1-4}面中之任一者，於碳化矽層之結晶型為立方晶時實質上包含{100}面。

如此，由於形成於碳化矽層之側面20實質上成為上述{03-3-8}面、{01-1-4}面與{100}面中之任一者，因此可將該等成為所謂之半極性面之側面20作為半導體裝置之主動區域(例如通道區域)而利用。並且，由於該等側面20為穩定之結晶面，因此將該側面20利用於通道區域等主動區域之情形，較將其他結晶面(例如(0001)面)利用於通道區域之情形而言，可充分降低漏電流並且可獲得較高之耐壓。

再者，於本說明書中，於溝槽6之側面20成為上述{03-3-8}面、{01-1-4}面與{100}面中之任一者之情形時，包含如下情況：存在複數個構成該溝槽6之側面之結晶面，於該等複數個結晶面中包含上述{03-3-8}面、{01-1-4}面與{100}面中之任一者。以下，列舉溝槽6之側面成為{03-3-8}面之情形為例進行具體說明。

本發明中所謂{03-3-8}面，如圖25所示，微觀而言亦包含藉由例如於溝槽6之側面具有面方位{03-3-8}之面56a(第1面)、及與面56a連接且具有與面56a之面方位不同之面方位之面56b(第2面)交替設置而構成之化學上穩定之面。此處所謂「微觀」係指於至少考慮原子間隔之2倍左右之尺寸之程度詳細說明。面56b較佳為具有面方位{0-11-1}。又，圖25中之面56b之長度(寬度)例如可為Si原子(或C原子)之原子間隔之2倍。

又，若列舉溝槽之側面成為{01-1-4}面之情形為例進行說明，則本發明中所謂{01-1-4}面，如圖25所示，微觀而言亦包含藉由具有面方位{01-1-4}之面56a(第1面)、及與面56a連接且具有與面56a之面方位不同之面方位之面56b(第2面)交替設置而構成之化學上穩定之面。又，若列舉溝槽之側面成為{100}面之情形為例進行說明，則本發明所謂{100}面，如圖25所示，微觀而言亦包含藉由具有面方位{100}之面56a(第1面)、及與面56a連接且具有與面56a之面方位不同之面方位之面56b(第2面)交替設置而構成之化學上穩定之面。

於上述半導體裝置中，側面20可如圖1或圖13所示包含主動區域。又，於上述半導體裝置中，具體為主動區域包含通道區域。於此情形時，可確實獲得上述漏電流之降低及高耐壓等特性。

於上述半導體裝置中，碳化矽層於位於與基板1、31對向之面之相反側之主表面上，如圖23及圖24所示，可包含

上述側面20構成側面之台面(mesa)構造。台面構造中可形成有PN接面部(圖23或圖24之 n^- 磊晶層42與 p^+ 半導體層43之接面部)。於此情形時，台面構造之側壁即側面20成為上述結晶面，因此可降低來自該側面20之漏電流。

於上述半導體裝置中，如圖24所示，側面20之至少一部分可構成終結構造(JTE區域46)。於此情形時，可降低形成於側面20之終結構造中之漏電流，並且可實現該終結構造之高耐壓化。

又，依據本發明之半導體裝置之製造方法包括如下步驟：如圖3或圖15所示準備形成有碳化矽層之基板1、31；如圖4及圖5、或圖16及圖17所示形成相對於碳化矽層之主表面傾斜之端面(側面20)；及如圖6~圖11、或圖18~圖21所示利用該端面(側面20)而形成半導體裝置中所包含之構造。於形成端面(側面20)之步驟中，一面使碳化矽層與含有氧氣及氮氣之反應氣體接觸，一面對碳化矽層進行加熱，且藉由局部蝕刻去除碳化矽層之主表面，藉此形成相對於碳化矽層之主表面(例如圖5、圖17之 n 型源極接觸層4、34之上部表面)傾斜之端面(側面20)。端面(側面20)於碳化矽層之結晶型為六方晶時實質上包含 $\{03-3-8\}$ 面與 $\{01-1-4\}$ 面中之任一者，於碳化矽層之結晶型為立方晶時實質上包含 $\{100\}$ 面。於此情形時，可容易製造本發明之半導體裝置。

又，依據本發明之基板之加工方法包括如下步驟：如圖3或圖15所示準備形成有碳化矽層之基板1、31；及如圖

4、圖5或圖16及圖17所示形成相對於碳化矽層之主表面傾斜之端面(側面20)。於形成端面(側面20)之步驟中，一面使碳化矽層與含有氧氣及氯氣之反應氣體接觸，一面對碳化矽層進行加熱，且藉由局部蝕刻去除碳化矽層之主表面，藉此形成相對於碳化矽層之主表面傾斜之側面20。側面20於碳化矽層之結晶型為六方晶時實質上包含{03-3-8}面與{01-1-4}面中之任一者，於碳化矽層之結晶型為立方晶時實質上包含{100}面。於此情形時，可容易獲得形成有具有含有上述結晶面之側面20之碳化矽層之基板。

上述半導體裝置之製造方法或上述基板之加工方法可於形成端面(側面20)之步驟之前更包括如下步驟：如圖4或圖16所示，於碳化矽層之主表面上形成具有圖案之遮罩層17。於形成端面(側面20)之步驟中，可將遮罩層17用作遮罩而進行蝕刻。於此情形時，可藉由遮罩層17之圖案之位置而控制所形成之側面20之位置。因此，可提高所形成之半導體裝置之佈局之自由度。

又，較佳為，藉由將遮罩層17用作遮罩之上述蝕刻而預先去除一部分碳化矽層，其後，如圖5或圖17所示，使其與含有氧氣及氯氣之反應氣體接觸，並對上述碳化矽層進行加熱，並藉由局部蝕刻(熱蝕刻)去除上述碳化矽層之主表面。於此情形時，較未預先進行將遮罩層17作為遮罩之上述蝕刻之情形而言，可進一步縮短用以形成側面20之熱蝕刻所需要之時間。

於上述半導體裝置之製造方法或上述基板之加工方法

中，就形成端面(側面20)之步驟中所使用之反應氣體而言，氧氣之流量相對於氯氣之流量之比率可為0.25以上2.0以下。於此情形時，可確實形成包含上述{03-3-8}面、{01-1-4}面或{100}面之端面。

於上述半導體裝置之製造方法或上述基板之加工方法中，形成端面(側面20)之步驟中對碳化矽層進行加熱之溫度可為700°C以上1200°C以下。又，進行上述加熱之溫度之下限可設為800°C，更佳設為900°C。又，進行上述加熱之溫度之上限可更佳為1100°C，進而佳為1000°C。於此情形時，可將形成包含上述{03-3-8}面、{01-1-4}面或{100}面之端面之熱蝕刻步驟中的蝕刻速度設為充分實用之值，因此可充分縮短該步驟之處理時間。

又，碳化矽層之上部表面可為C面或Si面。又，上述溝槽(6)之側面20可包含碳化矽之結晶中成6次對稱之等效之面方位中之至少2面。

(實施例)

為確認本發明之效果而進行如下之實驗。

(試樣)

準備3片用以形成試樣1~3之包含碳化矽之基板。再者，該基板之主表面與(0001)面之偏離角成8°。並且，於該基板之主表面上形成有碳化矽之磊晶層。該磊晶層之厚度設為10 μm。

繼而，於該磊晶層之表面上使用CVD法形成有包含氧化矽膜之遮罩層。遮罩層之厚度設為0.05 μm。繼而，於該

遮罩層上使用光微影法形成有具有圖案之抗蝕膜。抗蝕膜之圖案成為平面形狀為正六邊形之島狀圖案隔著開口部排列之構成。正六邊形之一邊之長度設為4.0 μm 。開口部之寬度(相鄰接之島狀圖案之間的距離)於試樣1中設為4 μm (試樣1)，於試樣2、3中設為2 μm 。

(實驗內容)

實驗1：

針對試樣1及試樣2，實施熱蝕刻，以將遮罩層用作遮罩並去除於島狀圖案之間露出之碳化矽層。具體而言，使用氧氣與氯氣之混合氣體作為反應氣體，並將熱處理溫度設為900 $^{\circ}\text{C}$ 。又，將氧氣之流量設為1.5 slm，將氯氣之流量設為1.5 slm。又，處理時間設為15分鐘。

實驗2：

針對試樣3，為將遮罩層用作遮罩並去除於島狀圖案之間露出之碳化矽而形成溝槽，實施有反應性離子蝕刻(RIE)。RIE之製程條件為功率：800 W、偏壓：10 W，且將SF₆之流量設為20 sccm。

進而，於上述RIE後實施有熱蝕刻。熱蝕刻之條件基本與上述實驗1之條件相同，但處理時間不同。具體而言，對試樣3進行之熱蝕刻之時間為10分鐘。

(結果)

實驗1之結果：

參照圖26及圖27，對實驗1之結果進行說明。如圖26所示，已知針對試樣1於遮罩層17之間藉由蝕刻去除碳化矽

層，較佳地形成有溝槽。於遮罩層17之間的距離即開口部之寬度L為4 μm 之試樣1中，藉由蝕刻去除因熱蝕刻而於遮罩層17之間露出之碳化矽層，形成具有傾斜之側面之溝槽。

另一方面，如圖27所示，於遮罩層17之間的開口部之寬度L為2 μm 之試樣2中，僅藉由熱蝕刻無法充分去除自該開口部露出之碳化矽層，殘留有未形成溝槽之部分。

實驗2之結果：

關於實驗2中所加工之試樣3，與圖26所示之試樣1相同，大致去除於遮罩層17之間露出之碳化矽層，溝槽遍及遮罩層17之間形成。如此，即便於遮罩層17之開口部之寬度為2 μm 之相對狹窄之條件下，亦可根據本發明而確實形成溝槽。

應認為本次所揭示之實施形態全部內容均為例示，而非對本發明進行限制。本發明之範圍並非由上述說明所表示而由申請專利範圍所表示，且意欲包含與申請專利範圍均等之含義及範圍內之全部變更。

[產業上之可利用性]

本發明特別有利地適用於利用碳化矽層之半導體裝置中。

【圖式簡單說明】

圖1係表示本發明之半導體裝置之實施形態1之剖面模式圖。

圖2係用以說明圖1所示之半導體裝置之製造方法之剖面

模式圖。

圖3係用以說明圖1所示之半導體裝置之製造方法之剖面模式圖。

圖4係用以說明圖1所示之半導體裝置之製造方法之剖面模式圖。

圖5係用以說明圖1所示之半導體裝置之製造方法之剖面模式圖。

圖6係用以說明圖1所示之半導體裝置之製造方法之剖面模式圖。

圖7係用以說明圖1所示之半導體裝置之製造方法之剖面模式圖。

圖8係用以說明圖1所示之半導體裝置之製造方法之剖面模式圖。

圖9係用以說明圖1所示之半導體裝置之製造方法之剖面模式圖。

圖10係用以說明圖1所示之半導體裝置之製造方法之參考例之剖面模式圖。

圖11係用以說明圖1所示之半導體裝置之製造方法之參考例之剖面模式圖。

圖12係表示圖1所示之半導體裝置之變形例之剖面模式圖。

圖13係表示本發明之半導體之實施形態2之剖面模式圖。

圖14係用以說明圖13所示之半導體裝置之製造方法之剖

面模式圖。

圖 15 係用以說明圖 13 所示之半導體裝置之製造方法之剖面模式圖。

圖 16 係用以說明圖 13 所示之半導體裝置之製造方法之剖面模式圖。

圖 17 係用以說明圖 13 所示之半導體裝置之製造方法之剖面模式圖。

圖 18 係用以說明圖 13 所示之半導體裝置之製造方法之剖面模式圖。

圖 19 係用以說明圖 13 所示之半導體裝置之製造方法之剖面模式圖。

圖 20 係用以說明圖 13 所示之半導體裝置之製造方法之剖面模式圖。

圖 21 係用以說明圖 13 所示之半導體裝置之製造方法之剖面模式圖。

圖 22 係表示圖 13 所示之半導體裝置之變形例之剖面模式圖。

圖 23 係表示本發明之半導體裝置之實施形態 3 之剖面模式圖。

圖 24 係表示圖 23 所示之半導體裝置之變形例之剖面模式圖。

圖 25 係碳化矽層之側面之局部放大剖面模式圖。

圖 26 係表示關於試樣 1 之實驗結果之掃描型電子顯微鏡照片。

圖 27 係表示關於試樣 2 之實驗結果之掃描型電子顯微鏡照片。

【主要元件符號說明】

- | | |
|------|---------------|
| 1、31 | 基板 |
| 2 | 耐壓保持層 |
| 3 | p型主體層(p型半導體層) |
| 4、34 | n型源極接觸層 |
| 5、35 | 接觸區域 |
| 6、16 | 溝槽 |
| 7 | 電場緩和區域 |
| 8 | 閘極絕緣膜 |
| 9 | 閘極電極 |
| 10 | 層間絕緣膜 |
| 11 | 開口部 |
| 12 | 源極電極 |
| 13 | 源極配線電極 |
| 14 | 汲極電極 |
| 15 | 背面保護電極 |
| 17 | 遮罩層 |
| 20 | 側面 |
| 21 | Si覆膜 |
| 22 | SiC再構成層 |
| 32 | n型磊晶層 |
| 33 | p型半導體層 |

36	p型磊晶層
42	n ⁻ 磊晶層
43	p ⁺ 半導體層
44	隆脊構造
45	護環
46	JTE區域
56a	第1面
56b	第2面
L	寬度

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100127630

※申請日： 100.8.3

※IPC 分類：H01L 21/768 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/306 (2006.01)

半導體裝置之製造方法

二、中文發明摘要：

本發明提供一種特性穩定之高品質之半導體裝置之製造方法。半導體裝置之製造方法包括如下步驟：準備具有主表面之碳化矽層(2~4)；藉由局部性地去除碳化矽層(2~4)而於主表面形成溝槽(16)；及藉由熱蝕刻而局部性地去除溝槽(16)之側壁。

三、英文發明摘要：

七、申請專利範圍：

1. 一種半導體裝置之製造方法，其包括如下步驟：
準備具有主表面之碳化矽層(2~5、32~35、42、43)；
藉由局部性地去除上述碳化矽層(2~5、32~35、42、43)而於上述主表面形成溝槽(16)；及
藉由熱蝕刻而局部性地去除上述溝槽(16)之側壁。
2. 如請求項1之半導體裝置之製造方法，其中形成上述溝槽(16)之步驟包括如下步驟：
於上述碳化矽層(2~5、32~35、42、43)之上述主表面上形成具有開口圖案之遮罩層(17)；及
以將上述遮罩層(17)用作遮罩而形成上述溝槽(16)之方式藉由蝕刻局部性地去除上述碳化矽層(2~5、32~35、42、43)。
3. 如請求項2之半導體裝置之製造方法，其中於上述去除步驟中，於上述遮罩層(17)殘留於上述碳化矽層(2~5、32~35、42、43)之上述主表面上之狀態下進行上述熱蝕刻。
4. 如請求項2之半導體裝置之製造方法，其中上述遮罩層(17)中之上述開口圖案之寬度為2 μm以下。
5. 如請求項1之半導體裝置之製造方法，其中於上述去除步驟中，去除上述溝槽(16)之側壁上之加工變質層。
6. 如請求項1之半導體裝置之製造方法，其中於上述去除步驟中，藉由局部性地去除上述溝槽(16)之側壁而形成相對於上述碳化矽層(2~5、32~35、42、43)之上述主表

面而傾斜之端面(20)。

7. 如請求項6之半導體裝置之製造方法，其中上述端面(20)於上述碳化矽層(2~5、32~35、42、43)之結晶型為六方晶時實質上包含{03-3-8}面與{01-1-4}面中之任一者，於上述碳化矽層(2~5、32~35、42、43)之結晶型為立方晶時實質上包含{100}面。
8. 如請求項1之半導體裝置之製造方法，其中於上述去除步驟中，作為熱蝕刻，一面使上述碳化矽層(2~5、32~35、42、43)與含有氧氣及氯氣之反應氣體接觸一面對上述碳化矽層(2~5、32~35、42、43)進行加熱，藉此局部性地去除了上述溝槽(16)之側壁。

八、圖式：

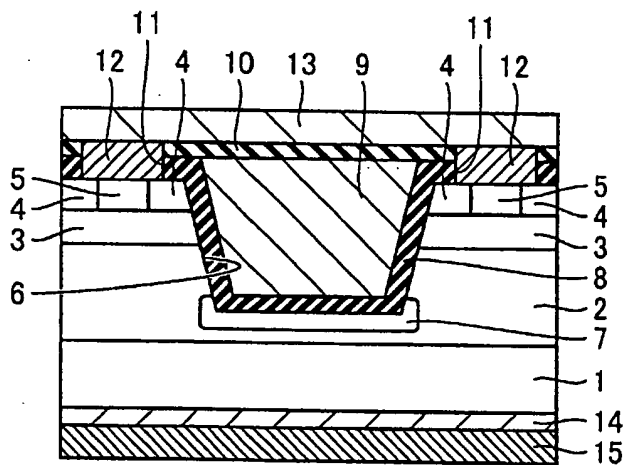


圖1

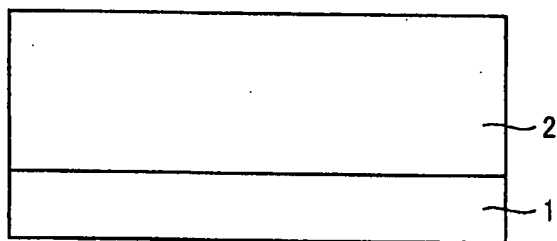


圖2

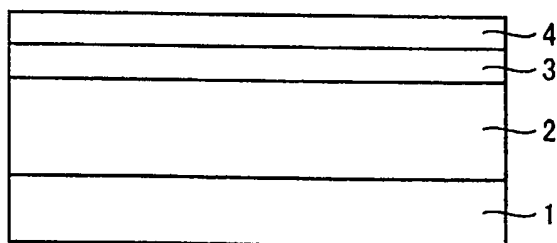


圖3

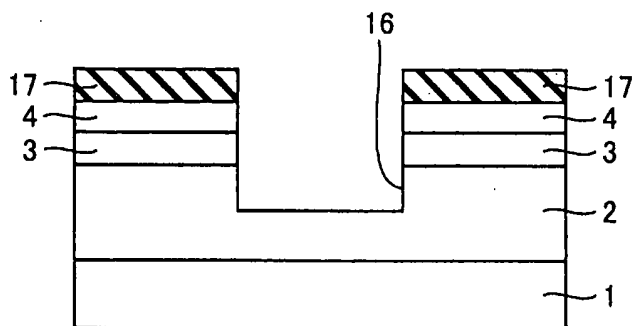


圖4

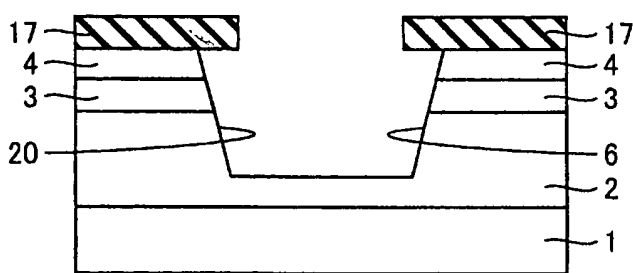


圖5

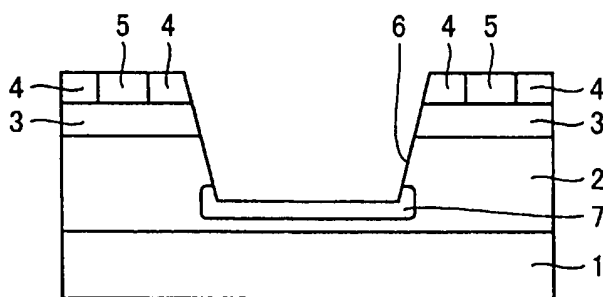


圖6

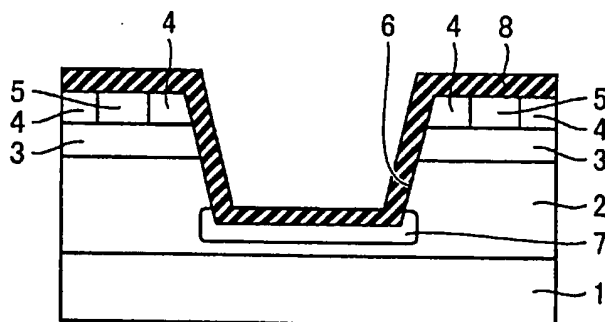


圖7

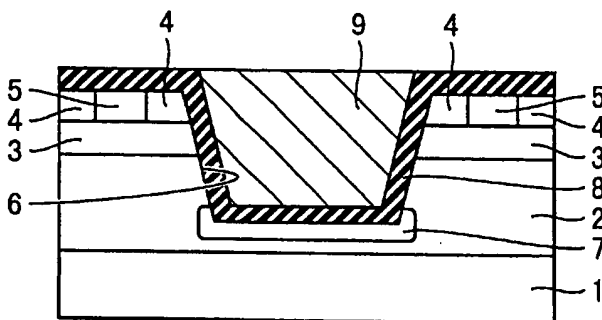


圖8

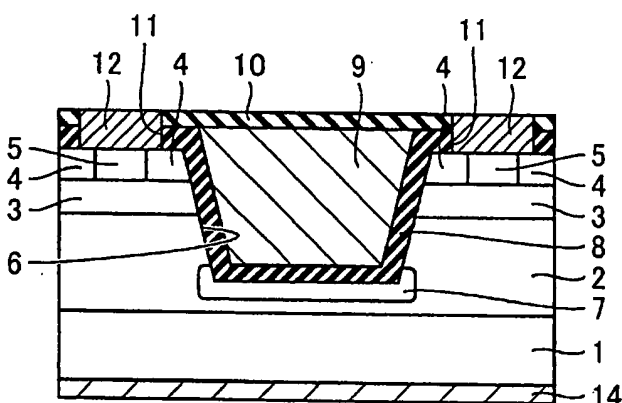


圖9

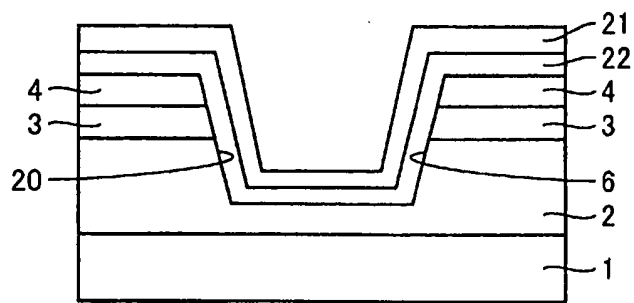


圖10

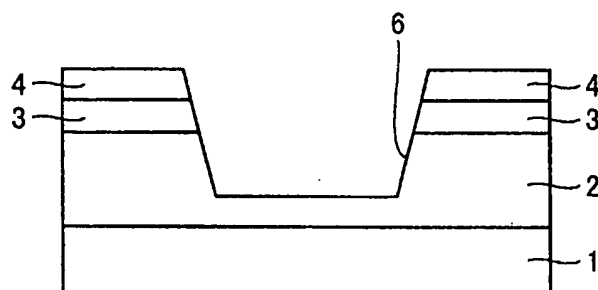


圖11

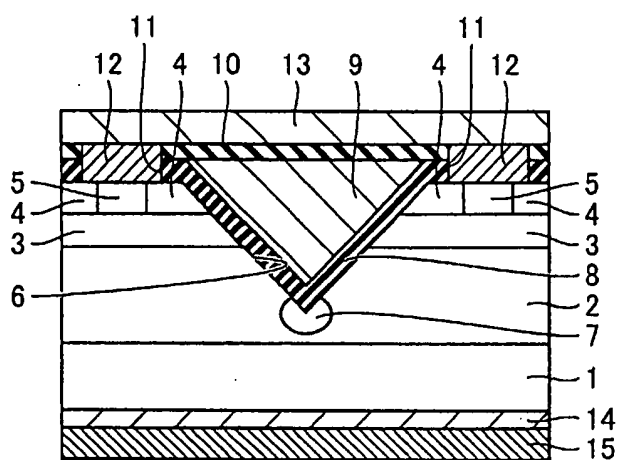


圖12

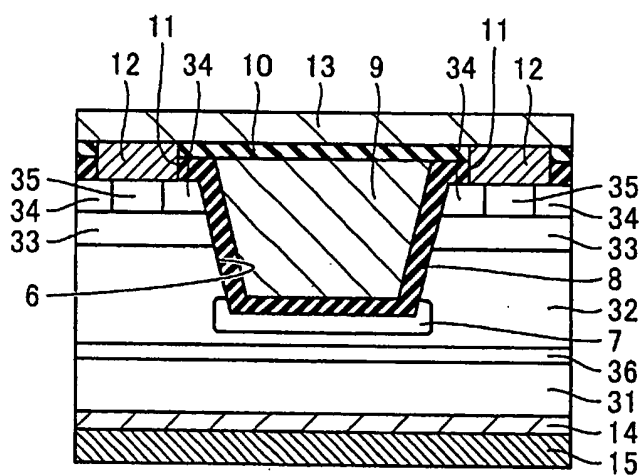


圖13

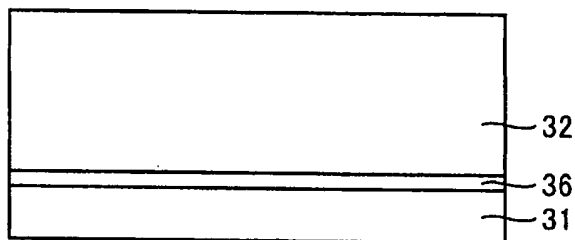


圖14

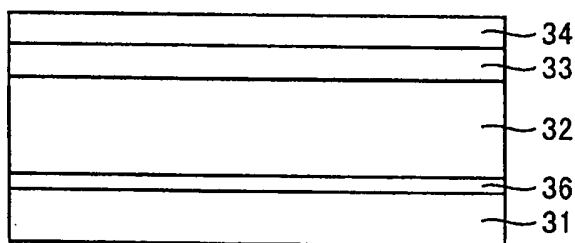


圖15

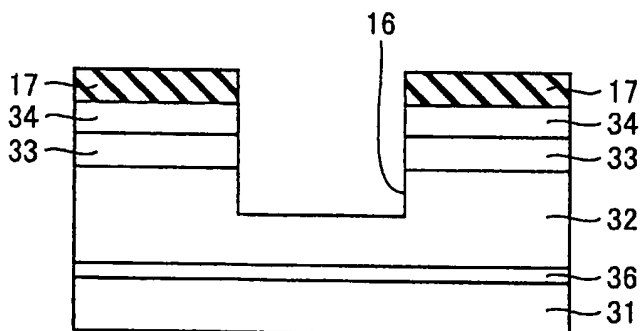


圖16

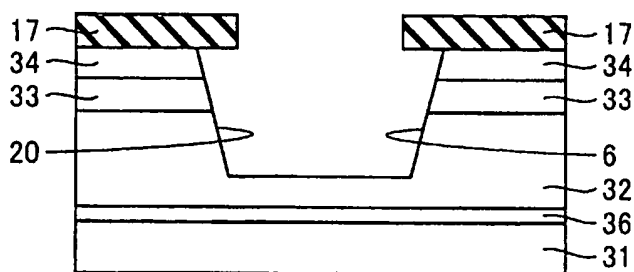


圖 17

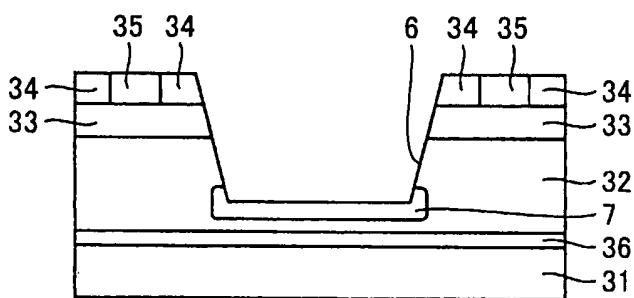


圖 18

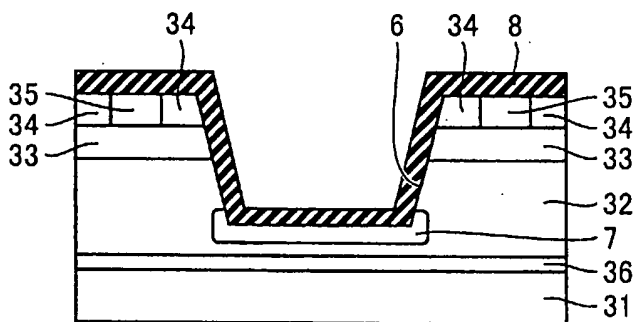


圖 19

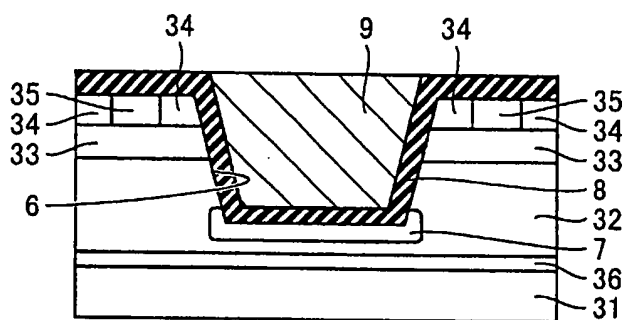


圖 20

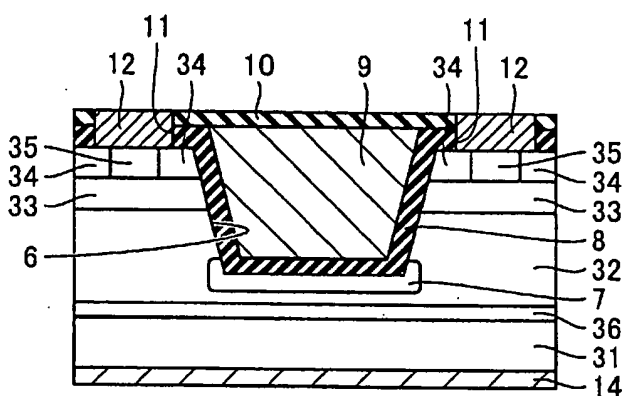


圖 21

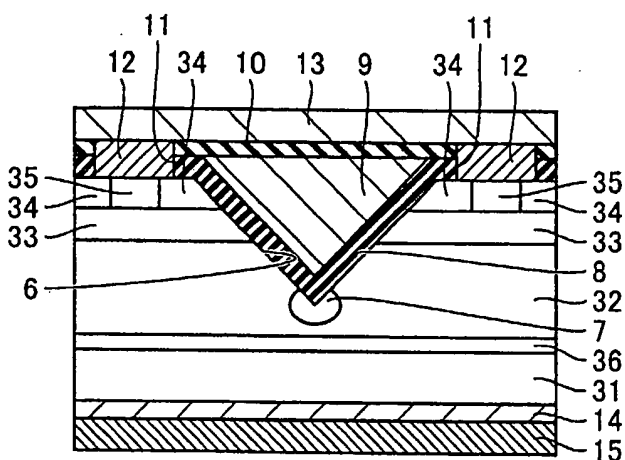


圖 22

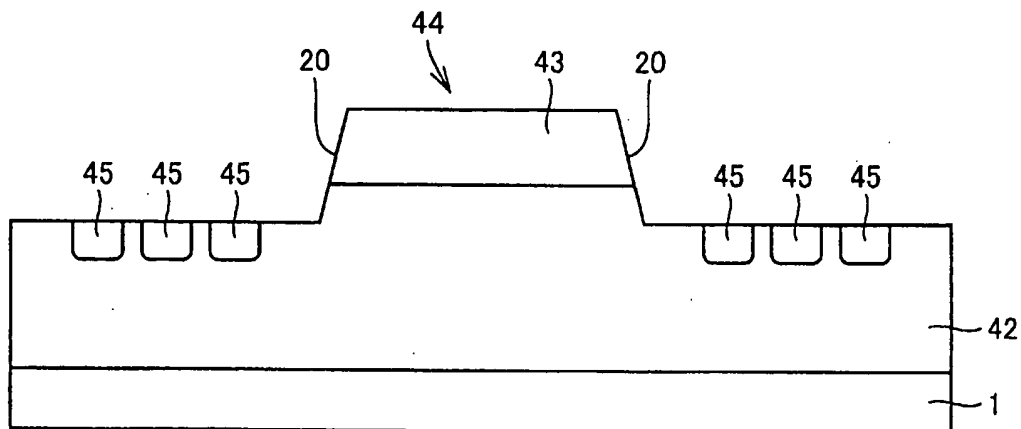


圖23

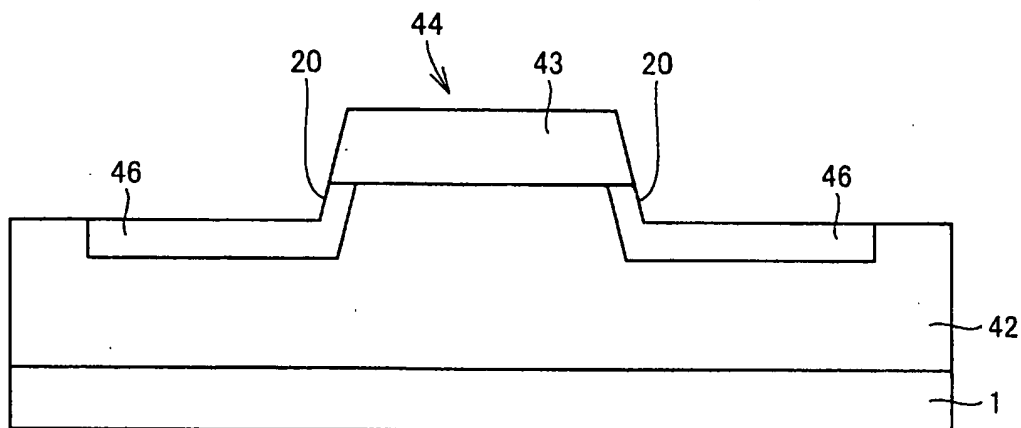


圖24

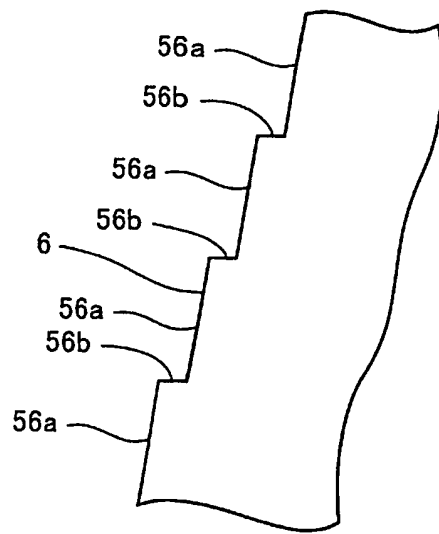


圖 25

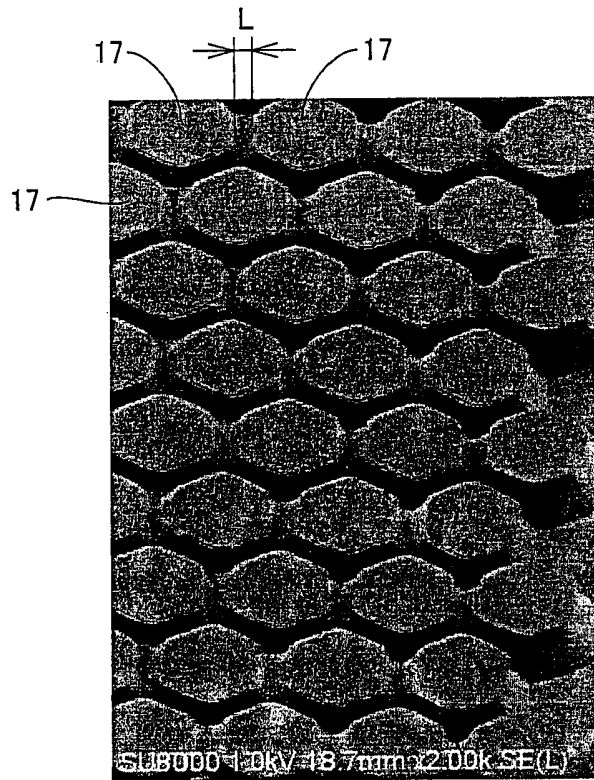


圖 26

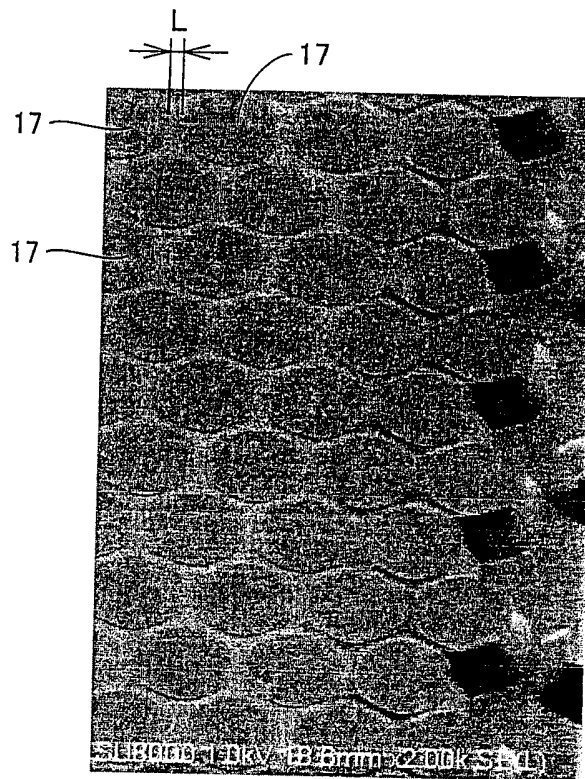


圖 27

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

1	基板
2	耐壓保持層
3	p型主體層(p型半導體層)
4	n型源極接觸層
16	溝槽
17	遮罩層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)