

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)



(10) 国際公開番号

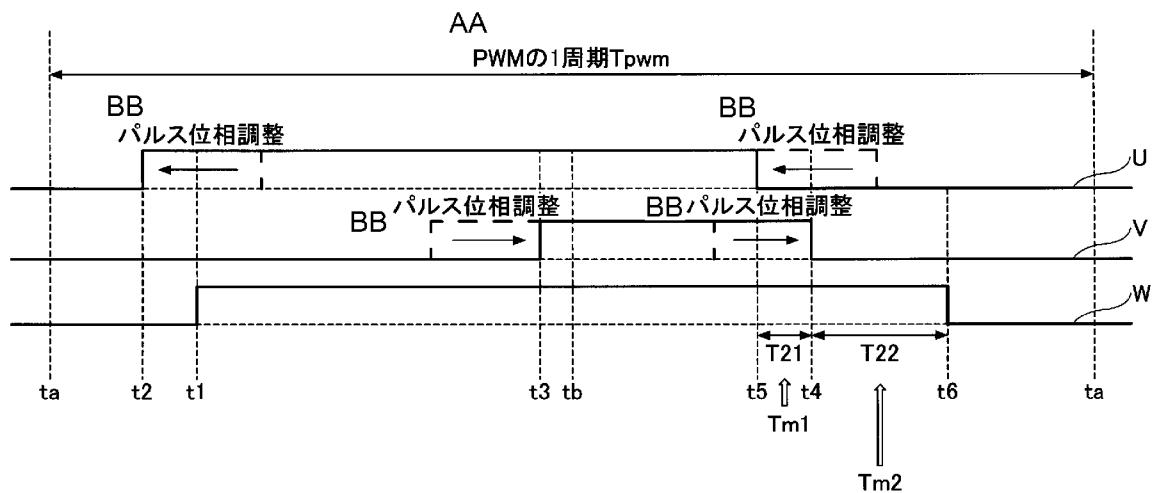
WO 2020/196397 A1

- (51) 国際特許分類:
H02P 21/22 (2016.01) *H02P 27/08* (2006.01)
- (21) 国際出願番号: PCT/JP2020/012694
- (22) 国際出願日: 2020年3月23日(23.03.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-057288 2019年3月25日(25.03.2019) JP
- (71) 出願人: ミネベアミツミ株式会社(MINEBEA MITSUMI INC.) [JP/JP]; 〒3890293 長野県北佐久郡御代田町大字御代田 4 1 0 6 - 7 3 Nagano (JP).
- (72) 発明者: 山 ▲ 崎 ▼ 玲 治 (YAMASAKI, Reiji); 〒3890293 長野県北佐久郡御代田町大字御代田 4 1 0 6 - 7 3 ミネベアミツミ株式会社内 Nagano (JP).
- (74) 代理人: 伊東 忠重, 外(ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目 1 番 1 号 丸の内 M Y P L A Z A (明治安田生命ビル) 1 6 階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: MOTOR CONTROL DEVICE, MOTOR SYSTEM, AND MOTOR CONTROL METHOD

(54) 発明の名称: モータ制御装置、モータシステム及びモータ制御方法

[図8]



AA One PWM cycle T_{pwm}
BB Pulse phase adjustment

(57) Abstract: A motor control device 100-1 comprises: an inverter 23; a current detector 24; a current detection unit 27; a duty cycle setting unit 31 for setting duty cycles for a first PWM signal, a second PWM signal, and a third PWM signal on the basis of values detected for phase currents of various phases; and a PWM signal generator 32. When a setting value changes, the PWM signal generator 32: adjusts the post-change time-series order of the timing, at which the first PWM signal, the second PWM signal, and the third PWM signal change, to the same order as the pre-change time-series

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

order of the timing at which the first PWM signal, the second PWM signal, and the third PWM signal change; and saves a first electrification time for an electrification range over which the current detection is capable of detecting phase current of one phase and the first electrification time and second electrification time for an electrification range over which the current detection is capable of detecting phase current of one phase within the half-cycle of a carrier.

(57) 要約：モータ制御装置 100-1 は、インバータ 23 と、電流検出器 24 と、電流検出部 27 と、モータ制御装置は、各相の相電流の検出値に基づいて、第 1 PWM 信号、第 2 PWM 信号及び第 3 PWM 信号のデューティ比を設定するデューティ比設定部 31 と、PWM 信号生成部 32 と、を備える。PWM 信号生成部 32 は、設定値が変化した場合、設定値が変化した場合の第 1 PWM 信号、第 2 PWM 信号及び第 3 PWM 信号が変化するタイミングの時系列的な並び順を、設定値が変化する前の第 1 PWM 信号、第 2 PWM 信号及び第 3 PWM 信号が変化するタイミングの時系列的な並び順と同じ並び順に調整して、キャリアの半周期期間内の前記電流検出部が 1 相の相電流を検出可能な通電幅の第 1 通電時間及び前記電流検出部が 1 相の相電流を検出可能な通電幅の第 1 通電時間及び第 2 通電時間を確保する。

明 細 書

発明の名称：

モータ制御装置、モータシステム及びモータ制御方法

技術分野

[0001] 本発明は、モータ制御装置、モータシステム及びモータ制御方法に関する。

背景技術

[0002] 特許文献1には、インバータ回路の直流部に挿入した1つのシャント抵抗を用いて、モータを制御するためのU、V、W各相の電流を検出する技術が開示されている。この方式で3相の全ての電流を検出するには、PWM (Pulse Width Modulation, パルス幅変調) キャリアの1周期内において、2相以上の電流を検出できるように3相のPWM信号パターンを発生させる必要がある。

先行技術文献

特許文献

[0003] 特許文献1：特開2015-84632号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、従来の技術では、PWM信号の位相が変化すると、それに応じて、直流母線に流れる電流に歪みが生じて、大きなノイズが重畳したような波形になる。この電流の歪みは、騒音の原因となり、モータに接続されるアプリケーションによっては、ユーザに不快感を与える場合があるという課題がある。

[0005] 本発明は、上記に鑑みてなされたものであって、騒音を抑制できるモータ制御装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の実施の形態のモータ制御装置は、第1 PWM信号、第2 PWM信号及び第3 PWM信号に基づいてモータを駆動するインバータ部と、前記インバータ部の直流側に流れる電流の電流値に対応する検出信号を出力する電流検出器とを備える。モータ制御装置は、前記検出信号を取得することによって、前記モータに流れる各相の相電流を検出する電流検出部を備える。モータ制御装置は、前記各相の相電流の検出値に基づいて、前記第1 PWM信号、前記第2 PWM信号及び前記第3 PWM信号のデューティ比を設定するデューティ比設定部を備える。モータ制御装置は、前記デューティ比の設定値を、レベルが周期的に増減するキャリアのレベルと比較することによって、前記第1 PWM信号、前記第2 PWM信号及び前記第3 PWM信号を生成するPWM信号生成部を備える。前記PWM信号生成部は、前記設定値が変化した場合、前記設定値が変化した後の前記第1 PWM信号、前記第2 PWM信号及び前記第3 PWM信号が変化するタイミングの時系列的な並び順を、前記設定値が変化する前の前記第1 PWM信号、前記第2 PWM信号及び前記第3 PWM信号が変化するタイミングの時系列的な並び順と同じ並び順に調整して、前記キャリアの半周期期間内の前記電流検出部が1相の相電流を検出可能な通電幅の第1通電時間及び前記電流検出部が1相の相電流を検出可能な通電幅の第2通電時間を確保する。

発明の効果

[0007] 本発明に係るモータ制御装置は、騒音を抑制できる、という効果を奏する。

図面の簡単な説明

[0008] [図1]本発明の実施の形態1に係るモータシステム1-1の構成例を示す図。
[図2]図1に示されるキャリア発生部37、PWM信号生成部32などの構成例を示す図。
[図3]各相の三角波キャリアを生成する原理を説明するための図。
[図4]複数のPWM信号U、V、Wの波形と、これらのPWM信号の一周期当たりのキャリアCの波形と、各相のデューティ比 U_{du} 、 V_{du} 、 W_{du} の

波形とを示す図。

[図5]本発明の実施の形態1に係るパルス位相調整の動作を説明するための第1図。

[図6]本発明の実施の形態1に係るパルス位相調整の動作を説明するための第2図。

[図7]本発明の実施の形態1に係るパルス位相調整の動作を説明するための第3図。

[図8]本発明の実施の形態1に係るパルス位相調整の動作を説明するための第4図。

[図9]モータ制御装置100-1の動作を示すフローチャート。

[図10]第1電流検出処理の一例を示すフローチャート。

[図11]第2電流検出処理の一例を示すフローチャート。

[図12]パルス位相調整処理の動作を説明するためのフローチャート。

[図13]本発明の実施の形態2に係るモータシステム1-2の構成例を示す図。

[図14]モータ制御装置100-2の動作を示すフローチャート。

[図15]印加電圧0(V)時に検出される電流を示す図。

発明を実施するための形態

[0009] 以下、図面を参照して、本発明の実施の形態に係るモータ制御装置、モータシステム及びモータ制御方法について詳細に説明する。

[0010] [実施の形態1]

図1は本発明の実施の形態1に係るモータシステム1-1の構成例を示す図である。図2は図1に示されるキャリア発生部37、PWM信号生成部32などの構成例を示す図である。図1に示されるモータシステム1-1は、モータ4の回転動作を制御する。モータシステム1-1が搭載される機器は、例えば、コピー機、パーソナルコンピュータ、冷蔵庫等であるが、当該機器は、これらに限られない。モータシステム1-1は、モータ4と、モータ制御装置100-1とを少なくとも備える。

- [0011] モータ４は、複数のコイルを有する。モータ４は、例えば、Ｕ相コイルとＶ相コイルとＷ相コイルとを含む３相コイルを有する。モータ４の具体例として、３相のブラシレスモータなどが挙げられる。
- [0012] モータ制御装置１００－１は、３相ブリッジ接続された複数のスイッチング素子を３相のＰＷＭ信号を含む通電パターンに従いオンオフ（ＯＮ、ＯＦＦ）制御することで、直流を３相交流に変換するインバータを介してモータを駆動する。モータ制御装置１００－１は、インバータ２３、電流検出部２７、電流検出タイミング調整部３４、駆動回路３３、通電パターン生成部３５、キャリア発生部３７、及びクロック発生部３６を備える。
- [0013] インバータ部であるインバータ２３は、直流電源２１から供給される直流を複数のスイッチング素子のスイッチングによって３相交流に変換し、３相交流の駆動電流をモータ４に流すことによって、モータ４のロータを回転させる回路である。インバータ２３は、通電パターン生成部３５によって生成される複数の通電パターン（より具体的には、通電パターン生成部３５内のＰＷＭ信号生成部３２によって生成される３相のＰＷＭ信号）に基づいて、モータ４を駆動する。
- [0014] インバータ２３は、３相ブリッジ接続された複数のスイッチング素子２５Ｕ＋、２５Ｖ＋、２５Ｗ＋、２５Ｕ－、２５Ｖ－、２５Ｗ－を有する。スイッチング素子２５Ｕ＋、２５Ｖ＋、２５Ｗ＋は、それぞれ、直流電源２１の正極側に正側母線２２ａを介して接続されるハイサイドスイッチング素子（上アーム）である。スイッチング素子２５Ｕ－、２５Ｖ－、２５Ｗ－は、それぞれ、直流電源２１の負極側（具体的には、グランド側）に接続されるローサイドスイッチング素子（下アーム）である。複数のスイッチング素子２５Ｕ＋、２５Ｖ＋、２５Ｗ＋、２５Ｕ－、２５Ｖ－、２５Ｗ－は、それぞれ、上述の通電パターンに含まれるＰＷＭ信号に基づいて駆動回路３３から供給される複数の駆動信号のうち、対応する駆動信号に従って、オン又はオフとなる。以下では、複数のスイッチング素子２５Ｕ＋、２５Ｖ＋、２５Ｗ＋、２５Ｕ－、２５Ｖ－、２５Ｗ－を、特に区別しない場合には、単にスイッ

チング素子と称する場合がある。

- [0015] スイッチング素子 25 U+ とスイッチング素子 25 U- との接続点は、モータ 4 の U 相コイルの一端に接続される。スイッチング素子 25 V+ とスイッチング素子 25 V- との接続点は、モータ 4 の V 相コイルの一端に接続される。スイッチング素子 25 W+ とスイッチング素子 25 W- との接続点は、モータ 4 の W 相コイルの一端に接続される。U 相コイルと V 相コイルと W 相コイルとのそれぞれの他端は、互いに接続されている。
- [0016] スイッチング素子の具体例として、N チャネル型の MOSFET (Metal Oxide Semiconductor Field Effect Transistor) や IGBT (Insulated Gate Bipolar Transistor) などが挙げられる。しかしながら、スイッチング素子は、これらに限られない。
- [0017] 電流検出器 24 は、インバータ 23 の直流側に流れる電流の電流値に対応する検出信号 Sd を出力する。図 1 に示される電流検出器 24 は、負側母線 22 b に流れる電流の電流値に対応する検出信号 Sd を発生させる。電流検出器 24 は、例えば、負側母線 22 b に配置される電流検出素子であり、より具体的には、負側母線 22 b に挿入されるシャント抵抗である。シャント抵抗等の電流検出素子は、自身に流れる電流の電流値に対応する電圧信号を検出信号 Sd として発生する。なお、電流検出器 24 は、負側母線 22 b に流れる電流の電流値に対応する検出信号を出力するものであればよく、CT (Current Transformer) 等のセンサでもよい。
- [0018] 電流検出部 27 は、通電パターン生成部 35 によって生成される複数の通電パターン（より具体的には、3 相の PWM 信号）に基づいて、検出信号 Sd を取得することによって、モータ 4 に流れる U, V, W 各相の相電流 I_u , I_v , I_w を検出する。より詳細には、電流検出部 27 は、複数の通電パターン（より具体的には、3 相の PWM 信号）に同期する取得タイミングで検出信号 Sd を取得することによって、モータ 4 に流れる U, V, W 各相の相電流 I_u , I_v , I_w を検出する。検出信号 Sd の取得タイミングは、電流検出タイミング調整部 34 により設定される。

[0019] 例えば、電流検出部27は、電流検出器24で発生するアナログ電圧の検出信号 S_d を、電流検出タイミング調整部34により設定される取得タイミングでAD (Analog to Digital) 変換器に取り込む。当該AD変換器は、電流検出部27に設けられている。そして、電流検出部27は、取り込んだアナログの検出信号 S_d をデジタルの検出信号 S_d にAD変換し、AD変換後のデジタルの検出信号 S_d をデジタル処理することによって、モータ4のU, V, W各相の相電流 I_u , I_v , I_w を検出する。電流検出部27により検出された各相の相電流 I_u , I_v , I_w の検出値は、通電パターン生成部35に供給される。クロック発生部36は、内蔵する発振回路により所定周波数のクロックを生成し、生成したクロックをキャリア発生部37へ出力する。なお、クロック発生部36は、例えば、モータ制御装置100-1の電源が投入されると同時に、動作を開始する。

[0020] 通電パターン生成部35は、デューティ比設定部31及びPWM信号生成部32を備える。通電パターン生成部35は、電流検出部27により検出されるモータ4の相電流 I_u , I_v , I_w の検出値に基づいて、インバータ23を通電させるパターン（インバータ23の通電パターン）を生成する。インバータ23の通電パターンは、モータ4を通電させるパターン（モータ4の通電パターン）と言い換えてもよい。インバータ23の通電パターンは、例えば、モータ4が回転するようにインバータ23を通電させる3相のPWM信号を含む。

[0021] また、通電パターン生成部35は、インバータ23の通電パターンをベクトル制御により生成する場合には、デューティ比設定部31及びPWM信号生成部32に加えて、ベクトル制御部30を有する。なお、本実施の形態においてはベクトル制御によってインバータの通電パターンを生成しているが、これに限らず、 v/f 制御等を用いて各相の相電圧を求めてもよい。

[0022] ベクトル制御部30は、外部からモータ4の回転速度指令 ω_{ref} が与えられると、モータ4の回転速度の測定値又は推定値と、回転速度指令 ω_{ref} との差分に基づいて、トルク電流指令 I_{qref} と励磁電流指令 I_{dref}

fを生成する。ベクトル制御部30は、モータ4のU、V、W各相の相電流 I_u 、 I_v 、 I_w に基づいて、ロータ位置 θ を用いたベクトル制御演算により、トルク電流 I_q 及び励磁電流 I_d を算出する。ベクトル制御部30は、トルク電流指令 I_{qref} とトルク電流 I_q との差分に対して例えばPI制御演算を行い、電圧指令 V_q を生成する。ベクトル制御部30は、励磁電流指令 I_{dref} と励磁電流 I_d との差分に対して例えばPI制御演算を行い、電圧指令 V_d を生成する。ベクトル制御部30は、電圧指令 V_q 、 V_d を上記のロータ位置 θ を用いてU、V、W各相の相電圧指令 V_{u*} 、 V_{v*} 、 V_{w*} に変換する。各相の相電圧指令 V_{u*} 、 V_{v*} 、 V_{w*} は、デューティ比設定部31に供給される。

[0023] デューティ比設定部31は、入力される各相の相電圧指令 V_{u*} 、 V_{v*} 、 V_{w*} に基づいて、3相のPWM信号を生成するためのデューティ比（各相のデューティ比の設定値） U_{du} 、 V_{du} 、 W_{du} を設定する。

[0024] 各相のデューティ比 U_{du} 、 V_{du} 、 W_{du} の設定方法の具体例を説明する。各相のデューティ比 U_{du} 、 V_{du} 、 W_{du} は、下記（1）～（3）式に示すように、変調率 m_{odU} 、 m_{odV} 及び m_{odW} に基づき設定される。下記（1）～（3）式に基づいて得られる各相のデューティ比 U_{du} 、 V_{du} 、 W_{du} は、例えば120度ずつ位相が異なる正弦波状の波形となる。なお、各相のデューティ比 U_{du} 、 V_{du} 、 W_{du} の波形の例については後述する。

[0025] $U_{du} = m_{odU} \times (\text{キャリア上限値}) \cdots (1)$

$V_{du} = m_{odV} \times (\text{キャリア上限値}) \cdots (2)$

$W_{du} = m_{odW} \times (\text{キャリア上限値}) \cdots (3)$

[0026] PWM信号生成部32は、デューティ比設定部31により設定される各相のデューティ比 U_{du} 、 V_{du} 、 W_{du} をキャリアCのレベルと比較することによって、3相のPWM信号を含む通電パターンを生成する。キャリアCは、レベルが周期的に増減する搬送波信号である。PWM信号生成部32は、各相のデューティ比の各設定値をキャリアCのレベルと比較する。PWM

信号生成部 32 は、この比較結果に基づき、PWM 信号のデューティ比の設定値がキャリア C のレベルよりも大きい期間に、当該 PWM 信号のレベルをハイレベルに設定する。一方、PWM 信号生成部 32 は、この比較結果に基づき、PWM 信号のデューティ比の設定値がキャリア C のレベルよりも小さい期間に、当該 PWM 信号のレベルをローレベルに設定する。PWM 信号生成部 32 は、上アーム駆動用の 3 相の PWM 信号を反転させた下アーム駆動用の PWM 信号も生成し、必要に応じてデッドタイムを付加した後、生成した PWM 信号を含む通電パターンを駆動回路 33 に出力する。

[0027] 駆動回路 33 は、与えられた PWM 信号を含む通電パターンに従い、インバータ 23 に含まれる 6 つのスイッチング素子 25U⁺, 25V⁺, 25W⁺, 25U⁻, 25V⁻, 25W⁻ をスイッチングさせる駆動信号を出力する。これにより、3 相交流の駆動電流がモータ 4 に供給され、モータ 4 のロータが回転する。

[0028] 電流検出タイミング調整部 34 は、PWM 信号生成部 32 から供給されるキャリア C と、PWM 信号生成部 32 により生成される PWM 信号とに基づいて、電流検出部 27 がキャリア C の 1 周期内で 3 相（3 つの相）の相電流の内、2 相（2 つの相）の相電流を検出するための取得タイミングを決定する。

[0029] なお、電流検出部 27、通電パターン生成部 35 及び電流検出タイミング調整部 34 の各機能は、不図示の記憶装置に読み出し可能に記憶されるプログラムによって CPU（Central Processing Unit）が動作することにより実現される。例えば、これらの各機能は、CPU を含むマイクロコンピュータにおけるハードウェアとソフトウェアとの協働により実現される。

[0030] 次に図 2 を用いてキャリア発生部 37 及び PWM 信号生成部 32 の詳細を説明する。

[0031] キャリア発生部 37 は、アップダウンカウンタ 12、比較器 13、比較器 14 及びフリップフロップ 15 を備える。

[0032] アップダウンカウンタ 12 には、図 1 に示すクロック発生部 36 から出力

されるクロックと、計数開始信号及び計数初期値信号とが入力される。

[0033] アップダウンカウンタ 1 2 は、計数開始信号が与えられると、クロックの計数を開始し、計数値の累加算（クロックが入力されるたびに 1 を加算）又は累減算（クロックが入力されるたびに 1 を減算）により、三角波キャリアであるキャリア C を出力する。

[0034] また、アップダウンカウンタ 1 2 には、計数の初期値が設定されており、この初期値は、前述した計数初期値信号により設定される。

[0035] 比較器 1 3 は、アップダウンカウンタ 1 2 の計数値と、予め決められた上限値とを比較し、計数値が上限値に達したことを検出して検出信号 I N T 1 を出力する。

[0036] 比較器 1 4 は、アップダウンカウンタ 1 2 の計数値と、予め決められた下限値とを比較し、計数値が下限値に達したことを検出して検出信号 I N T 2 を出力する。

[0037] フリップフロップ 1 5 は、比較器 1 3 からの出力によりアップダウンカウンタ 1 2 に対して、ローレベルの「L」信号を出力し、比較器 1 4 からの出力によりアップダウンカウンタ 1 2 に対して、ハイレベルの「H」信号を出力する。

[0038] アップダウンカウンタ 1 2 は、フリップフロップ 1 5 から「H」信号が入力されると、クロックの計数値を累加算し、「L」信号が入力されると、クロックの計数値を累減算する。従って、フリップフロップ 1 5 からの「H」信号は累加算を行うための加算指令であり、「L」信号は累減算を行うための減算指令である。

[0039] フリップフロップ 1 5 には、初期指令値信号が与えられる。フリップフロップ 1 5 の初期状態が「H」か「L」かは、上記初期指令値信号により設定される。

[0040] 比較器 1 3 の検出出力、すなわち計数値が上限値に達したことを検出した信号は、上述したようにフリップフロップ 1 5 へ与えられると同時に、検出信号 I N T 1 として出力される。

- [0041] さらに、各相の比較器 14 の検出出力、すなわち計数値が下限値に達したことを検出した信号は、上述したようにフリップフロップ 15 へ与えられると同時に、検出信号 INT 2 として出力される。
- [0042] PWM 信号生成部 32 は、3 つの比較器 16, 17, 18 と、PWM 回路 108 と、割込コントローラ 109 とを備える。
- [0043] 比較器 16 は、U 相のデューティ比 U_{du} と、キャリア C との比較を行い、比較結果をパルスとして出力する。具体的には、比較器 16 は、デューティ比 U_{du} の値とキャリア C の振幅とを比較し、キャリア C の振幅がデューティ比 U_{du} 以上である区間では「H」信号を出力し、キャリア C の振幅がデューティ比 U_{du} 未満である区間では「L」信号を出力する。
- [0044] 比較器 17 は、V 相のデューティ比 V_{du} と、キャリア C との比較を行い、比較結果をパルスとして出力する。具体的には、比較器 17 は、デューティ比 V_{du} の値とキャリア C の振幅とを比較し、キャリア C の振幅がデューティ比 V_{du} 以上である区間では「H」信号を出力し、キャリア C の振幅がデューティ比 V_{du} 未満である区間では「L」信号を出力する。
- [0045] 比較器 18 は、W 相のデューティ比 W_{du} と、キャリア C との比較を行い、比較結果をパルスとして出力する。具体的には、比較器 18 は、デューティ比 W_{du} の値とキャリア C の振幅とを比較し、キャリア C の振幅がデューティ比 W_{du} 以上である区間では「H」信号を出力し、キャリア C の振幅がデューティ比 W_{du} 未満である区間では「L」信号を出力する。
- [0046] PWM 回路 108 は、比較器 16, 17, 18 からの出力に基づき、各相の電圧指令の変化に応じたオンオフ区間をもつ 6 種類の PWM 信号を出力する。6 種類の PWM 信号には、U 相上アームのスイッチング素子を駆動する PWM 信号、U 相下アームのスイッチング素子を駆動する PWM 信号、V 相上アームのスイッチング素子を駆動する PWM 信号、V 相下アームのスイッチング素子を駆動する PWM 信号、W 相上アームのスイッチング素子を駆動する PWM 信号、及び W 相下アームのスイッチング素子を駆動する PWM 信号が含まれる。6 種類の PWM 信号は、インバータ 23 の各スイッチング素

子のゲートへ与えられる。6種類のPWM信号により、各スイッチング素子のオンオフ動作が行われる。これによってインバータ23からU相、V相、W相の各電圧が出力されて、モータ4に印加される。なお、具体的な通電方式については、実施の形態1においては三角波比較法を用いているが、三角波比較法に限らず、空間ベクトル法などのその他の方式を用いて各相の電圧を出力してもよい。

[0047] また、PWM回路108は、例えば、PWM信号の立ち上りのタイミングで割込信号を生成して、割込コントローラ109へ入力する。割込コントローラ109は、PWM回路108からの割込信号を受けて、電流検出部27に対してA/D変換の指令を与える。これにより、電流検出部27は、割込信号が発生するタイミングで、検出信号S_dのA/D変換を行う。

[0048] 次に、図2及び図3を用いて、各相の三角波キャリアを生成する原理を説明する。図3は各相の三角波キャリアを生成する原理を説明するための図である。図3にはキャリアCの波形が示される。

[0049] 図2において、アップダウンカウンタ12に計数開始信号が入力されると、アップダウンカウンタ12はクロック発生部36からのクロックの計数を開始する。前述のように、アップダウンカウンタ12には初期値が設定されており、この初期値は例えば0に設定されている。従って、アップダウンカウンタ12は0から計数を開始する。また、アップダウンカウンタ12に対して累加算、累減算を指令するフリップフロップ15の出力は、初期状態において「H」に設定されている。初期状態は、初期指令値信号が与えられた時点のフリップフロップ15の出力状態である。従って、アップダウンカウンタ12は計数を開始すると、計数値の累加算を行う。以上の結果、アップダウンカウンタ12の出力は、図3に示すように、下限値（初期値）である0から、上限値Tに向って矢印a1のように時間とともに増加してゆく。

[0050] そして、計数値が上限値Tに達すると、比較器13がこれを検出して、検出信号INT1をフリップフロップ15に与える。フリップフロップ15は、この信号により反転して「L」を出力する。従って、アップダウンカウン

タ 1 2 の動作は累加算から累減算に転じ、その出力は、図 3 に示すように、上限値 T から下限値 0 に向って、矢印 b 1 のように時間とともに減少してゆく。

[0051] そして、計数値が下限値 0 に達すると、比較器 1 4 がこれを検出して、検出信号 I N T 2 をフリップフロップ 1 5 に与える。フリップフロップ 1 5 は、この信号により反転して「H」を出力する。従って、アップダウンカウンタ 1 2 の動作は再び累加算に転じ、その出力は下限値 0 から上限値 T に向って矢印 c 1 のように増加してゆく。

[0052] このような累加算、累減算の動作を繰り返すことにより、アップダウンカウンタ 1 2 からは、図 3 に示すような三角波のキャリア C が出力される。

[0053] なお、実施の形態 1 では、キャリア C を谷部（下限値）から発生させたが、キャリア C を山部（上限値）から発生させてもよい。この場合、キャリア C の初期値は T（上限値）、初期指令値は「L」であり、谷部から発生するキャリアに比べて位相は $1/2$ 周期ずれることになる。

[0054] なお、実施の形態 1 では、キャリア C を三角波によって出力を行ったが、アウトプットコンペアを利用したのこぎり波等での出力を行ってもよい。

[0055] 図 4 は複数の PWM 信号 U, V, W の波形と、これらの PWM 信号の一周あたりのキャリア C の波形と、各相のデューティ比 $U d u$, $V d u$, $W d u$ の波形とを示す図である。

[0056] 図 4 に示すように、各相のデューティ比 $U d u$, $V d u$, $W d u$ とキャリア C とが一致するタイミングで、ハイレベルとローレベルとが反転するように、複数の PWM 信号 U ~ W が生成される。

[0057] PWM 信号 U は、U 相の上下アームを構成する 2 つのスイッチング素子を駆動するための PWM 信号である。図 4 では、PWM 信号 U が「U 相 PWM 信号 (U)」と表記される。PWM 信号 U がローレベルのとき、U 相の下アームのスイッチング素子がオン (U 相の上アームのスイッチング素子がオフ) となり、PWM 信号 U がハイレベルのとき、U 相の下アームのスイッチング素子がオフ (U 相の上アームのスイッチング素子がオン) となる。PWM

信号Uのレベルの変化に対して、U相の上下アームを構成する2つのスイッチング素子は相補的にオンオフ動作する。

[0058] PWM信号Vは、V相の上下アームを構成する2つのスイッチング素子を駆動するためのPWM信号である。図4では、PWM信号Vが「V相PWM信号(V)」と表記される。PWM信号Vがローレベルのとき、V相の下アームのスイッチング素子がオン(V相の上アームのスイッチング素子がオフ)となり、PWM信号Vがハイレベルのとき、V相の下アームのスイッチング素子がオフ(V相の上アームのスイッチング素子がオン)となる。PWM信号Vのレベルの変化に対して、V相の上下アームを構成する2つのスイッチング素子は相補的にオンオフ動作する。

[0059] PWM信号Wは、W相の上下アームを構成する2つのスイッチング素子を駆動するためのPWM信号である。図4では、PWM信号Wが「W相PWM信号(W)」と表記される。PWM信号Wがローレベルのとき、W相の下アームのスイッチング素子がオン(W相の上アームのスイッチング素子がオフ)となり、PWM信号Wがハイレベルのとき、W相の下アームのスイッチング素子がオフ(W相の上アームのスイッチング素子がオン)となる。PWM信号Wのレベルの変化に対して、W相の上下アームを構成する2つのスイッチング素子は相補的にオンオフ動作する。

[0060] なお、複数のPWM信号U~Wがローレベルからハイレベルに転じるタイミングは、各相のデューティ比 U_{du} 、 V_{du} 、 W_{du} とキャリアCとが一致するタイミングよりも若干遅れたタイミングとなる。上下アームの短絡防止のためのデッドタイムが必要だからである。図4では、説明の便宜上デッドタイムの表記が省略される。以下では、複数のPWM信号U~Wのそれぞれを区別しない場合、「PWM信号」と称する場合がある。

[0061] 図4に示すように、複数のPWM信号U~Wのそれぞれの1周期 T_{pwm} において、複数のPWM信号U~Wのそれぞれの変化点($t_1 \sim t_6$)は以下の通り定義される。

[0062] 変化点 t_1 は、W相の下アームがオンからオフに転じるタイミング(W相

の上アームがオフからオンに転じるタイミング) である。変化点 t_2 は、V 相の下アームがオンからオフに転じるタイミング (V 相の上アームがオフからオンに転じるタイミング) である。変化点 t_3 は、U 相の下アームがオンからオフに転じるタイミング (U 相の上アームがオフからオンに転じるタイミング) である。変化点 t_4 は、U 相の下アームがオフからオンに転じるタイミング (U 相の上アームがオンからオフに転じるタイミング) である。変化点 t_5 は、V 相の下アームがオフからオンに転じるタイミング (V 相の上アームがオンからオフに転じるタイミング) である。変化点 t_6 は、W 相の下アームがオフからオンに転じるタイミング (W 相の上アームがオンからオフに転じるタイミング) である。

[0063] 本実施の形態では、 $t_4 \sim t_5$ までの期間が第 1 電流検出タイミング T_{m1} 、 $t_5 \sim t_6$ までの期間が第 2 電流検出タイミング T_{m2} と定義されるが、第 1 電流検出タイミング T_{m1} 及び第 2 電流検出タイミング T_{m2} の期間は、これらに限定されるものではない。

[0064] インバータ 23 が PWM 変調された 3 相交流を出力している状態では、電流検出部 27 は、上アーム側のスイッチング素子 25U⁺、25V⁺、25W⁺ に対する通電パターンに応じて、特定の相の電流を検出できる。あるいは、インバータ 23 が PWM 変調された 3 相交流を出力している状態では、電流検出部 27 は、下アーム側のスイッチング素子 25U⁻、25V⁻、25W⁻ に対する通電パターンに応じて、特定の相の電流を検出してもよい。

[0065] 例えば図 4 のように、通電時間 T_{21} において、電流検出器 24 の両端に発生する電圧の電圧値は、正の相電流 I_{u+} の電流値に対応する。通電時間 T_{21} は、 t_4 から t_5 までの時間である。通電時間 T_{21} は、U 相下アームのスイッチング素子がオン、V 相下アームのスイッチング素子がオフ、及び W 相下アームのスイッチング素子がオフの状態の期間に相当する。従って、電流検出部 27 は、通電時間 T_{21} 内の第 1 電流検出タイミング T_{m1} で検出信号 S_d を取得することによって、正の相電流 I_{u+} の電流値を検出できる。

[0066] 電流検出タイミング調整部34は、PWM信号の内の1相が他の2相と異なる論理レベルに遷移する時（例えば、U相のPWM信号がV相及びW相と同じハイレベルから、V相及びW相と異なるローレベルに遷移するタイミング： t_4 ）から、所定の遅延時間 t_d 経過時に、第1電流検出タイミング T_{m1} を設定する。このとき、電流検出タイミング調整部34は、通電時間 T_{21} 内に、第1電流検出タイミング T_{m1} を設定する。

[0067] 遅延時間 t_d は、下記（4）式により表される。 T_{dead} はデッドタイムである。 T_{ring} は、PWM信号の変化時に伴い生じるリングングが収束するまでに要する時間（リングング収束時間）である。

[0068] $t_d = T_{dead} + T_{ring} \cdots (4)$

[0069] また、例えば図4のように、通電時間 T_{22} では、電流検出器24の両端に発生する電圧の電圧値は、負の相電流 I_w の電流値に対応する。通電時間 T_{22} は、 t_5 から t_6 までの時間である。通電時間 T_{22} は、U相下アームのスイッチング素子がオン、V相下アームのスイッチング素子がオン、及びW相下アームのスイッチング素子がオフの状態の期間に相当する。従って、電流検出部27は、通電時間 T_{21} 内の第1電流検出タイミング T_{m1} で検出信号 S_d を取得することによって、負の相電流 I_w の電流値を検出できる。

[0070] 電流検出タイミング調整部34は、PWM信号の内の1相が他の2相と異なる論理レベルに遷移する時（例えばV相のPWM信号がW相と同じハイレベルから、U相と同じローレベルに遷移したことで、W相がU相及びV相と異なる論理レベルとなるタイミング： t_5 ）から所定の遅延時間 t_d 経過時に第2電流検出タイミング T_{m2} を設定する。このとき、電流検出タイミング調整部34は、通電時間 T_{22} 内に、第2電流検出タイミング T_{m2} を設定する。

[0071] 同様に、電流検出部27は、他の相電流の電流値も検出できる。

[0072] このように、3相のPWM信号を含む通電パターンに応じて相電流 I_u 、 I_v 、 I_w のうち、2相の相電流を順次検出して記憶すれば、3相分の電流

を時分割で検出することが可能となる。3相の相電流の総和が零であることから、電流検出部27は、3相変調の場合、3相の相電流うち2相の相電流を検出できれば、残り1相の相電流も検出できる。

[0073] ここで、デューティ比 U_{du} 、 V_{du} 、 W_{du} の大小関係が変化した場合、第1PWM信号、第2PWM信号及び第3PWM信号のそれぞれのオンデューティが変化する。デューティ比 U_{du} 、 V_{du} 、 W_{du} の大小関係が変化する様子の具体例は後述する。第1PWM信号は、例えばU相の下アームスイッチング素子を駆動するPWM信号である。第2PWM信号は、例えばV相の下アームスイッチング素子を駆動するPWM信号である。第3PWM信号は、例えばW相の下アームスイッチング素子を駆動するPWM信号である。

[0074] 実施の形態1に係るモータ制御装置100-1は、デューティ比 U_{du} 、 V_{du} 、 W_{du} の大小関係が変化した場合でも、第1PWM信号、第2PWM信号及び第3PWM信号のそれぞれが変化するタイミングの時系列的な並び順は変えないように、パルス位相調整を行う点に特徴を有する。「第1PWM信号、第2PWM信号及び第3PWM信号のそれぞれが変化するタイミング」は、例えば、図4に示されるU相PWM信号のレベルが変化するタイミング（例えば変化点 t_4 ）、図4に示されるV相PWM信号のレベルが変化するタイミング（例えば変化点 t_5 ）、図4に示されるW相PWM信号のレベルが変化するタイミング（例えば変化点 t_6 ）などである。パルス位相調整は、第1PWM信号、第2PWM信号及び第3PWM信号のそれぞれの位相をシフトすることである。具体的には、パルス位相調整は、図4に示されるU相PWM信号のレベルが変化するタイミング（例えば変化点 t_4 ）、図4に示されるV相PWM信号のレベルが変化するタイミング（例えば変化点 t_5 ）、図4に示されるW相PWM信号のレベルが変化するタイミング（例えば変化点 t_6 ）を移動することである。図5～図7を用いてパルス位相調整の動作例を説明する。

[0075] 図5は本発明の実施の形態1に係るパルス位相調整の動作を説明するため

の第1図である。図6は本発明の実施の形態1に係るパルス位相調整の動作を説明するための第2図である。図7は本発明の実施の形態1に係るパルス位相調整の動作を説明するための第3図である。図8は本発明の実施の形態1に係るパルス位相調整の動作を説明するための第4図である。

[0076] 図5に示されるデューティ比 U_{du} は、デューティ比 V_{du} よりも高い値である。図6に示されるデューティ比 U_{du} は、デューティ比 V_{du} よりも低い値である。このように、デューティ比 U_{du} とデューティ比 V_{du} との大小関係が変化した場合、図6に示されるU相のPWM信号及びV相のPWM信号のそれぞれが変化するタイミングが、図5に示されるU相のPWM信号及びV相のPWM信号のそれぞれが変化するタイミングと異なることが分かる。図5では、変化点 t_4 でU相のPWM信号が変化し、変化点 t_5 でV相のPWM信号が変化しているのに対して、図6では、変化点 t_4 でV相のPWM信号が変化し、変化点 t_5 でU相のPWM信号が変化している。

[0077] この場合でも、通電時間 T_{21} 及び通電時間 T_{22} が確保されるため、電流検出タイミング調整部34は、通電時間 T_{21} に第1電流検出タイミング T_{m1} を設定し、通電時間 T_{22} に第2電流検出タイミング T_{m2} を設定する。従って、デューティ比 U_{du} とデューティ比 V_{du} との大小関係が変化した場合でも、電流検出は可能である。

[0078] しかしながら、通電パターンの変化に伴い、図7に示すように、検出電流に歪みが生じる。これは、複数のPWM信号のそれぞれが変化するタイミングの、時系列的な並び順が変化することが原因である。具体的には、図5では、複数のPWM信号のレベルが変化する順が、U、V、Wの順であるのに対して、図6では、デューティ比 U_{du} 、 V_{du} の大小関係が逆転しているため、複数のPWM信号のレベルが変化する順が、V、U、Wの順である。

[0079] 複数のPWM信号の変化するタイミング（位相）が変わると、それに応じて、直流母線（正側母線22a、負側母線22b）に流れる電流に歪みが生じて、大きなノイズが重畳したような波形になる。この電流の歪みは、騒音の原因となり、モータ4に接続される機器によっては、ユーザに不快感を与

えることになる。

[0080] このような電流の歪みの発生を抑制するため、本実施の形態に係るモータ制御装置100-1は、デューティ比 U_{du} 、 V_{du} の大小関係が変化した場合でも、複数のPWM信号のそれぞれが変化するタイミングの、時系列的な並び順を、1つの配列順に固定するように、パルス位相調整を行う。

[0081] 図8には、複数のPWM信号に対してパルス位相調整を実施する様子が示される。図8の例では、U相のPWM信号の変化するタイミング（位相）が、進み側にシフトされる。また、V相のPWM信号の変化するタイミング（位相）が、遅れ側にシフトされる。さらに、シフトされたU相のPWM信号の位相から、V相のPWM信号の位相までの時間幅は、第1電流検出タイミング T_{m1} で検出信号 S_d を取得可能な幅に設定される。

[0082] 次にモータ制御装置100-1の動作を説明する。図9は、モータ制御装置100-1の動作を示すフローチャートである。本実施の形態では、キャリアCのボトムの位相 t_a のタイミング毎に、図9に示すPWMカウンタ割込み処理が発生する。

[0083] ステップS10において、PWM信号生成部32は、パルス位相調整処理を行う。パルス位相調整処理の詳細は後述する。

[0084] ステップS11において、電流検出部27はU、V、W各相の相電流 I_u 、 I_v 、 I_w を検出する。電流検出部27が検出信号 S_d を取得する電流検出割込み処理（例えば、検出信号 S_d をAD変換する割込み処理）は、図9に示す処理とは別に（図10、11参照）、キャリアCの1周期 T_{pwm} 内で2回実行される。

[0085] 図10は第1電流検出処理の一例を示すフローチャートである。電流検出タイミング調整部34は、キャリアカウンタのカウント値が、 t_4 から遅延時間 t_d 経過した時に相当する値に一致すると、第1電流検出タイミング T_{m1} の設定レジスタをアサートする。電流検出部27は、第1電流検出タイミング T_{m1} の設定レジスタがアサートされると、検出信号 S_d をAD変換器により取得し（ステップS41）、その検出信号 S_d の取得値を第1取得

レジスタに格納する。

[0086] 図 1 1 は第 2 電流検出処理の一例を示すフローチャートである。電流検出タイミング調整部 3 4 は、キャリアカウンタのカウント値が、 t_5 から遅延時間 t_d 経過した時に相当する値に一致すると、第 2 電流検出タイミング T_{m2} の設定レジスタをアサートする。電流検出部 2 7 は、第 2 電流検出タイミング T_{m2} の設定レジスタがアサートされると、検出信号 S_d を A/D 変換器により取得し（ステップ S 5 1）、その検出信号 S_d の取得値を第 2 取得レジスタに格納する。

[0087] 電流検出部 2 7 は、第 1 取得レジスタ及び第 2 取得レジスタにそれぞれ格納された検出信号 S_d の設定値に基づいて、3 相電流 I_u 、 I_v 、 I_w を検出する。

[0088] ベクトル制御部 3 0 は、電流検出部 2 7 により検出される 3 相電流 I_u 、 I_v 、 I_w の電流算出値に基づいて、P/I 制御等の電流制御を行い（ステップ S 1 3）、各相の相電圧指令 V_u^* 、 V_v^* 、 V_w^* （制御量）を算出する（ステップ S 1 4）。

[0089] ステップ S 1 5 にて、デューティ比設定部 3 1 は、ステップ S 1 4 で算出された各相の相電圧指令 V_u^* 、 V_v^* 、 V_w^* に基づいて、各相のデューティ比を設定する。そして、ステップ S 1 6 にて、PWM 信号生成部 3 2 は、デューティ比設定部 3 1 により設定された各相のデューティ比に基づいて、複数の通電パターンのうちどの通電パターンによってインバータ 2 3 の通電を制御するのかを判定する。

[0090] 次にパルス位相調整処理の動作を説明する。図 1 2 はパルス位相調整処理の動作を説明するためのフローチャートである。PWM 信号生成部 3 2 には、以下に示す複数のパルス条件が与えられているものとする。

[0091] 以下に示すパルス位相条件は、検出に係るパルスの変化タイミングを U/V/W の順で検出するときの条件であり、検出に係るパルス変化タイミングが例えば、V/U/W 等で検出するとした場合には、その順の場合に位相を変更しないものと、それ以外の場合に位相をシフトするものとして読み替えることと

する。

- [0092] 第1パルス位相条件は、キャリアカウンタがダウンカウントのとき、かつ、各PWM信号U、V、Wの配置が位相の進み側から順に $U \rightarrow V \rightarrow W$ の関係性を有する。
- [0093] 第2パルス位相条件は、キャリアカウンタがダウンカウントのとき、かつ、各PWM信号U、V、Wの配置が位相の進み側から順に $U \rightarrow W \rightarrow V$ の関係性を有する。
- [0094] 第3パルス位相条件は、キャリアカウンタがダウンカウントのとき、かつ、各PWM信号U、V、Wの配置が位相の進み側から順に $V \rightarrow U \rightarrow W$ の関係性を有する。
- [0095] 第4パルス位相条件は、キャリアカウンタがダウンカウントのとき、かつ、各PWM信号U、V、Wの配置が位相の進み側から順に $V \rightarrow W \rightarrow U$ の関係性を有する。
- [0096] 第5パルス位相条件は、キャリアカウンタがダウンカウントのとき、かつ、各PWM信号U、V、Wの配置が位相の進み側から順に $W \rightarrow U \rightarrow V$ の関係性を有する。
- [0097] 第6パルス位相条件は、キャリアカウンタがダウンカウントのとき、かつ、各PWM信号U、V、Wの配置が位相の進み側から順に $W \rightarrow V \rightarrow U$ の関係性を有する。
- [0098] ステップS100においてPWM信号生成部32は、第1パルス位相条件を満たすか否を判定する。
- [0099] 第1パルス位相条件を満たしている場合（ステップS100、Yes）、キャリアカウンタがダウンカウントのときのU相のPWM信号、V相のPWM信号、W相のPWM信号のそれぞれが変化するタイミングは、U、V、Wの順である。そのため、PWM信号生成部32は、U相のPWM信号、V相のPWM信号、W相のPWM信号のそれぞれの位相を変更することなく（ステップS110）、ステップS111において電流検出区間（通電時間T21、T22）を確保する処理を行い、その後、図9のステップS11の処理

を行う。

- [0100] 第1パルス位相条件を満たしていない場合（ステップS100, No）、ステップS101の処理が実行される。ステップS101においてPWM信号生成部32は、第2パルス位相条件を満たすか否を判定する。
- [0101] 第2パルス位相条件を満たしている場合（ステップS101, Yes）、キャリアカウンタがダウンカウントのときのU相のPWM信号、V相のPWM信号、W相のPWM信号のそれぞれが変化するタイミングは、U、W、Vの順である。そのため、PWM信号生成部32は、W相のPWM信号、V相のPWM信号のそれぞれの位相を変更し（ステップS120）、ステップS121において電流検出区間（通電時間T21, T22）を確保する処理を行い、その後、図9のステップS11の処理を行う。ステップS120では、例えば、W相のPWM信号の変化するタイミング（位相）が、遅れ側にシフトされる。また、V相のPWM信号の変化するタイミング（位相）が、進み側にシフトされる。
- [0102] 第2パルス位相条件を満たしていない場合（ステップS101, No）、ステップS102の処理が実行される。ステップS102においてPWM信号生成部32は、第3パルス位相条件を満たすか否を判定する。
- [0103] 第3パルス位相条件を満たしている場合（ステップS102, Yes）、キャリアカウンタがダウンカウントのときのU相のPWM信号、V相のPWM信号、W相のPWM信号のそれぞれが変化するタイミングは、V、U、Wの順である。そのため、PWM信号生成部32は、V相のPWM信号、U相のPWM信号のそれぞれの位相を変更し（ステップS130）、ステップS131において電流検出区間（通電時間T21, T22）を確保する処理を行い、その後、図9のステップS11の処理を行う。ステップS130では、例えば、V相のPWM信号の変化するタイミング（位相）が、遅れ側にシフトされる。また、U相のPWM信号の変化するタイミング（位相）が、進み側にシフトされる。
- [0104] 第3パルス位相条件を満たしていない場合（ステップS102, No）、

ステップS 1 0 3 の処理が実行される。ステップS 1 0 3 においてPWM信号生成部3 2 は、第4パルス位相条件を満たすか否を判定する。

[0105] 第4パルス位相条件を満たしている場合（ステップS 1 0 3, Y e s）、キャリアカウンタがダウンカウントのときのU相のPWM信号、V相のPWM信号、W相のPWM信号のそれぞれが変化するタイミングは、V相のPWM信号、W相のPWM信号、U相のPWM信号の順である。そのため、PWM信号生成部3 2 は、V相のPWM信号、W相のPWM信号、U相のPWM信号のそれぞれの位相を変更し（ステップS 1 4 0）、ステップS 1 4 1 において電流検出区間（通電時間T 2 1, T 2 2）を確保する処理を行い、その後、図9のステップS 1 1 の処理を行う。ステップS 1 4 0 では、例えば、V相のPWM信号の変化するタイミング（位相）が、遅れ側にシフトされる。またW相のPWM信号の変化するタイミング（位相）が、遅れ側にシフトされる。また、U相のPWM信号の変化するタイミング（位相）が、進み側にシフトされる。

[0106] 第4パルス位相条件を満たしていない場合（ステップS 1 0 3, N o）、ステップS 1 0 4 の処理が実行される。ステップS 1 0 4 においてPWM信号生成部3 2 は、第5パルス位相条件を満たすか否を判定する。

[0107] 第5パルス位相条件を満たしている場合（ステップS 1 0 4, Y e s）、キャリアカウンタがダウンカウントのときのU相のPWM信号、V相のPWM信号、W相のPWM信号のそれぞれが変化するタイミングは、W、U、Vの順である。そのため、PWM信号生成部3 2 は、それぞれのPWM信号の位相を変更し（ステップS 1 5 0）、ステップS 1 5 1 において電流検出区間（通電時間T 2 1, T 2 2）を確保する処理を行い、その後、図9のステップS 1 1 の処理を行う。ステップS 1 5 0 では、例えば、W相のPWM信号の変化するタイミング（位相）が、遅れ側にシフトされる。またU相のPWM信号の変化するタイミング（位相）が、進み側にシフトされる。また、V相のPWM信号の変化するタイミング（位相）が、進み側にシフトされる。

[0108] 第5パルス位相条件を満たしていない場合（ステップS104, No）、ステップS160の処理が実行される。残りのパルス位相条件は、第6パルス位相条件、あるいは各相の内2以上の相で同一のパルス変化タイミングであるので、キャリアカウンタがダウンカウントのときのU相のPWM信号、V相のPWM信号、W相のPWM信号のそれぞれが変化するタイミングは、W、V、Uの順である。そのため、PWM信号生成部32は、それぞれのPWM信号の位相を変更し（ステップS160）、ステップS161において電流検出区間（通電時間T21, T22）を確保する処理を行い、その後、図9のステップS11の処理を行う。ステップS160では、例えば、W相のPWM信号の変化するタイミング（位相）が、遅れ側にシフトされる。またV相のPWM信号の変化するタイミング（位相）が、遅れ側にシフトされる。また、U相のPWM信号の変化するタイミング（位相）が、進み側にシフトされるなど、検出順序がU、V、Wの順番となるようシフトされる。

[0109] なお、本実施の形態のPWM信号生成部32は、各相で共通の一つのキャリアCを用いて、各相のPWM信号を生成する。すなわち、本実施の形態は、各相のそれぞれに対応するキャリアCを生成する態様ではない。さらに、本実施の形態では、位相 t_b を中心とする左右対称の三角波をキャリアCとしているため、各相のPWM信号の波形生成の回路構成を簡素化できる。キャリアカウンタは、位相 t_a までダウンカウント中であり、位相 t_a から位相 t_b までアップカウント中であり、位相 t_b からダウンカウント中である。このように、カウントアップ期間とカウントダウン期間とが繰り返される。

[0110] なお、本実施の形態では、第1PWM信号がU相のPWM信号、第2PWM信号がV相のPWM信号、第3PWM信号がW相のPWM信号として説明したが、第1PWM信号、第2PWM信号、第3PWM信号の種類はこれらに限定されるものではない。

[0111] 以上に説明したように実施の形態1に係るモータ制御装置100-1は、第1PWM信号、第2PWM信号及び第3PWM信号に基づいてモータを駆

動するインバータと、前記インバータの直流側に流れる電流の電流値に対応する検出信号を出力する電流検出器と、前記検出信号を取得することによって、前記モータに流れる各相の相電流を検出する電流検出部と、前記各相の相電流の検出値に基づいて、前記第 1 PWM 信号、第 2 PWM 信号及び第 3 PWM 信号のデューティ比を設定するデューティ比設定部と、前記デューティ比の設定値を、レベルが周期的に増減するキャリアのレベルと比較することによって、前記第 1 PWM 信号、第 2 PWM 信号及び第 3 PWM 信号を生成する PWM 信号生成部と、を備え、前記 PWM 信号生成部は、前記設定値が変化した場合、前記設定値が変化した後の前記第 1 PWM 信号、第 2 PWM 信号及び第 3 PWM 信号が変化するタイミングの時系列的な並び順を、前記設定値が変化する前の前記第 1 PWM 信号、第 2 PWM 信号及び第 3 PWM 信号が変化するタイミングの時系列的な並び順と同じ並び順に調整して、前記キャリアの半周期期間内の第 1 通電時間及び第 2 通電時間を確保するように構成されている。

[0112] この構成により、PWM 信号の位相のタイミングが変化することがなくなり、直流母線（正側母線 22a、負側母線 22b）に流れる電流に歪みが生じることがない。従って、騒音の原因となるノイズが電流に重畳することなく、騒音の発生を抑制できる。また、電流に歪みが生じることがなくなるため、高調波を抑制でき、力率も高く保つことができるため、モータ 4 の駆動時の電力損失が低減される。

[0113] [実施の形態 2]

図 13 は本発明の実施の形態 2 に係るモータシステム 1-2 の構成例を示す図である。実施の形態 1 との相違点は、モータシステム 1-2 は、モータ制御装置 100-1 の代わりにモータ制御装置 100-2 を備え、モータ制御装置 100-2 は、電流検出部 27 の代わりに電流検出部 27A を備えることである。

[0114] 図 15 は印加電圧 $V=0$ 時に検出される電流を示す図である。図 15 に示すように、電流検出部 27A は、3 つの PWM 信号のそれぞれのオンデューティ

が50%にされているとき（印加電圧 $V=0$ ）、図15に示すように異なるタイミングで電流検出を2回行い、検出した電流の値（検出値）を保持する。図15では、U相下アームのPWM信号がオン、V相下アームのPWM信号がオフ、W相下アームのPWM信号がオフのときに1回目の電流検出が行われる。また、U相下アームのPWM信号がオン、V相下アームのPWM信号がオン、W相下アームのPWM信号がオフのときに2回目の電流検出が行われる。そして、電流検出部27Aは、運転時に、2回電流検出を行い、この検出した電流の値から、事前に保持した検出値を減じて（電流をオフセットして）、その結果として得られた電流値を制御に利用するように構成される。

[0115] 電流検出部27Aは、モータ4に平均電圧値が0V以外の電圧が印加されている状態（平均電圧値 $\neq 0$ ）で例えば、第1PWM信号のみオンのときに流れる第1電流から、モータ4に平均電圧値が0Vの電圧が印加されている状態（平均電圧値 $=0$ ）で第1PWM信号（例えばUH）のみオンのときに流れる第2電流を減じた第1電流値と、モータ4に平均電圧値が0V以外の電圧が印加されている状態（平均電圧値 $\neq 0$ ）で例えば、第2PWM信号のみオフのとき又は第3PWM信号（例えばWH）のみオフのときに流れる第3電流から、モータ4に平均電圧値が0Vの電圧が印加されている状態（平均電圧値 $=0$ ）で第2PWM信号のみオフのとき又は第3PWM信号のみオフのときに流れる第4電流を減じた第2電流値とを、検出値として出力する。

[0116] 第2電流は、モータ4に平均電圧値が0Vの電圧が印加されるように、3つのPWM信号のそれぞれのオンデューティが50%にされているとき、第1PWM信号のみオンの状態で検出される電流である。電流検出部27Aは、第2電流の値を示す情報を記憶する。

[0117] 第1電流は、モータ4を駆動するときに、第1PWM信号のみオンの状態で検出される電流である。

[0118] 第4電流は、モータ4に平均電圧値が0Vの電圧が印加されるように、3つのPWM信号のそれぞれのオンデューティが50%にされているとき、第

2 PWM信号のみオフ又は第3 PWM信号のみオフの状態で検出される電流である。電流検出部27Aは、第4電流の値を示す情報を記憶する。

[0119] 第3電流は、モータ4を駆動するときに、第2 PWM信号のみオフ又は第3 PWM信号のみオフの状態で検出される電流である。

[0120] モータ4が駆動されるときには、電流検出部27Aは、第1電流の値から、事前に記憶した第2電流の値を減じて、その結果を検出値として出力する。また、電流検出部27Aは、第3電流の値から、事前に記憶した第4電流の値を減じて、その結果を検出値として出力する。通電パターン生成部35は、電流検出部27Aの出力結果、すなわち、第1電流から第2電流を減じた電流値と、第3電流から第4電流を減じた電流値とを利用して、PWM信号を生成する。これにより、検出電流を平均化したかのような効果を得ることが出来る。全相のオンデューティが50%、つまりモータ4に印加される平均電圧が0[V]のときでも、パルス位相調整によりT21, T22のように電流検出区間を設けると、その区間内だけでは電圧が印加され、電流が流れる。そのため、その電流を検出し、その電流値を基準（オフセット量）にすることで、電流はその値を基準に正弦波状に変化することになる。その結果、その増加（減少）量が電流値となり、電流を平均化する演算処理を行うことなく、検出電流を平均化したかのような効果を得ることが出来る。

[0121] なお、実施の形態2の電流検出部27Aによる電流オフセット制御は、実施の形態1の通電パターン生成部35による電流検出相固定方式（パルス位相調整制御）に組み合わせることも可能である。

[0122] なお、従来の検出電流の平均化方法は、電流の検出箇所のバラつきや、電流検出のタイミングがバラつくことによって、PWM1周期内でも、電流リップルのどの箇所をサンプリングするかによって、検出される電流値に違いが出てしまう。そのため、従来の検出電流の平均化方法は、複数回同じ相の電流値を測定されて、それを平均化するという手法や、前周期に検出した電流値を利用して、現周期に検出した電流を補正するという手法であった。しかしながら、実施の形態1の電流検出相固定方式（パルス位相調整制御）と、

実施の形態２の電流オフセット制御とを組み合わせることで、同じ通電パターンで、かつ、同じ検出タイミングで、電流検出が行われ、常に実際に流れる電流の電流検出区間でのリップルの挙動が同じになる。すなわち、常に同じステップ電圧が印加され、それに応じて電流が応答するので、電流の挙動も同じになる。

[0123] 図１４はモータ制御装置１００－２の動作を示すフローチャートである。図９のフローチャートとの相違点は、ステップＳ１０の処理に代えてステップＳ１０Ａの処理が設けられていることである。ステップＳ１０Ａでは電流オフセット制御が行われる。ステップＳ１０Ａ以降の処理は図９で説明した処理と同様のため、説明を割愛する。

[0124] 以上、モータ制御装置、モータシステム及びモータ制御方法を実施の形態により説明したが、本発明は上記の実施の形態に限定されるものではない。他の実施の形態の一部又は全部との組み合わせや置換などの種々の変形及び改良が、本発明の範囲内で可能である。

[0125] 本国際出願は、２０１９年３月２５日に出願した日本国特許出願第２０１９－０５７２８８号に基づく優先権を主張するものであり、日本国特許出願第２０１９－０５７２８８号の全内容を本国際出願に援用する。

符号の説明

[0126] １－１ モータシステム、１－２ モータシステム、４ モータ、１２ アップダウンカウンタ、１３ 比較器、１４ 比較器、１５ フリップフロップ、１６ 比較器、１７ 比較器、１８ 比較器、２１ 直流電源、２２ a 正側母線、２２ b 負側母線、２３ インバータ、２４ 電流検出器、２５ U スイッチング素子、２５ V スイッチング素子、２５ W スイッチング素子、２７ 電流検出部、２７ A 電流検出部、３０ ベクトル制御部、３１ デューティ比設定部、３２ PWM信号生成部、３３ 駆動回路、３４ 電流検出タイミング調整部、３５ 通電パターン生成部、３６ クロック発生部、３７ キャリア発生部、１００－１ モータ制御装置、１００－２ モータ制御装置、１０８ PWM回路、１０９ 割込コントローラ。

請求の範囲

[請求項1]

第1 PWM信号、第2 PWM信号及び第3 PWM信号に基づいてモータを駆動するインバータ部と、

前記インバータ部の直流側に流れる電流の電流値に対応する検出信号を出力する電流検出器と、

前記検出信号を取得することによって、前記モータに流れる各相の相電流を検出する電流検出部と、

前記各相の相電流の検出値に基づいて、前記第1 PWM信号、前記第2 PWM信号及び前記第3 PWM信号のデューティ比を設定するデューティ比設定部と、

前記デューティ比の設定値を、レベルが周期的に増減するキャリアのレベルと比較することによって、前記第1 PWM信号、前記第2 PWM信号及び前記第3 PWM信号を生成するPWM信号生成部と、

を備え、

前記PWM信号生成部は、

前記設定値が変化した場合、前記設定値が変化した後の前記第1 PWM信号、前記第2 PWM信号及び前記第3 PWM信号が変化するタイミングの時系列的な並び順を、前記設定値が変化する前の前記第1 PWM信号、前記第2 PWM信号及び前記第3 PWM信号が変化するタイミングの時系列的な並び順と同じ並び順に調整して、前記キャリアの半周期期間内の前記電流検出部が1相の相電流を検出可能な通電幅の第1通電時間及び前記電流検出部が1相の相電流を検出可能な通電幅の第2通電時間を確保するモータ制御装置。

[請求項2]

前記電流検出部は、

前記モータに平均電圧値が0 V以外の電圧が印加されている状態で前記第1 PWM信号のみオンのときに流れる電流から、前記モータに平均電圧値が0 Vの電圧が印加されている状態で前記第1 PWM信号のみオンのときに流れる電流を減じた第1電流値と、前記モータに電

圧が印加されている状態で前記第2 PWM信号のみオフのとき又は前記第3 PWM信号のみオフのときに流れる電流から、前記モータに電圧が印加されていない状態で前記第2 PWM信号のみオフのとき又は前記第3 PWM信号のみオフのときに流れる電流を減じた第2 電流値とを、前記検出値として出力する、請求項1に記載のモータ制御装置。

[請求項3]

第1 PWM信号、第2 PWM信号及び第3 PWM信号に基づいてモータを駆動するインバータ部と、

前記インバータ部の直流側に流れる電流の電流値に対応する検出信号を出力する電流検出器と、

前記検出信号を取得することによって、前記モータに流れる各相の相電流を検出する電流検出部と、

前記各相の相電流の検出値に基づいて、前記第1 PWM信号、前記第2 PWM信号及び前記第3 PWM信号のデューティ比を設定するデューティ比設定部と、

前記デューティ比の設定値を、レベルが周期的に増減するキャリアのレベルと比較することによって、前記第1 PWM信号、前記第2 PWM信号及び前記第3 PWM信号を生成するPWM信号生成部と、

を備え、

前記電流検出部は、

前記モータに平均電圧値が0 V以外の電圧が印加されている状態で前記第1 PWM信号のみオンのときに流れる電流から、前記モータに平均電圧値が0 Vの電圧が印加されている状態で前記第1 PWM信号のみオンのときに流れる電流を減じた第1 電流値と、前記モータに平均電圧値が0 V以外の電圧が印加されている状態で前記第2 PWM信号のみオフのとき又は前記第3 PWM信号のみオフのときに流れる電流から、前記モータに平均電圧値が0 Vの電圧が印加されている状態で前記第2 PWM信号のみオフのとき又は前記第3 PWM信号のみオ

フのときに流れる電流を減じた第2電流値とを、前記検出値として出力するモータ制御装置。

[請求項4] 請求項1に記載のモータ制御装置と、
前記モータと、
を備えるモータシステム。

[請求項5] モータを制御するモータ制御装置で実行されるモータ制御方法であって、

第1PWM信号、第2PWM信号及び第3PWM信号に基づいて前記モータを駆動するインバータ部の直流側に流れる電流の電流値に対応する検出信号を出力するステップと、

前記検出信号を取得することによって、前記モータに流れる各相の相電流を検出するステップと、

前記各相の相電流の検出値に基づいて、前記第1PWM信号、前記第2PWM信号及び前記第3PWM信号のデューティ比を設定するステップと、

前記デューティ比の設定値を、レベルが周期的に増減するキャリアのレベルと比較することによって、前記第1PWM信号、前記第2PWM信号及び前記第3PWM信号を生成するステップと、

前記設定値が変化した場合、前記設定値が変化した後の前記第1PWM信号、前記第2PWM信号及び前記第3PWM信号が変化するタイミングの時系列的な並び順を、前記設定値が変化する前の前記第1PWM信号、前記第2PWM信号及び前記第3PWM信号が変化するタイミングの時系列的な並び順と同じ並び順に調整して、前記キャリアの半周期期間内の電流検出部が1相の相電流を検出可能な通電幅の第1通電時間及び前記電流検出部が1相の相電流を検出可能な通電幅の第2通電時間を確保するステップと、

を含むモータ制御方法。

[請求項6] モータを制御するモータ制御装置で実行されるモータ制御方法であ

って、

第1 PWM信号、第2 PWM信号及び第3 PWM信号に基づいて前記モータを駆動するインバータ部の直流側に流れる電流の電流値に対応する検出信号を出力するステップと、

前記検出信号を取得することによって、前記モータに流れる各相の相電流を検出するステップと、

前記各相の相電流の検出値に基づいて、前記第1 PWM信号、前記第2 PWM信号及び前記第3 PWM信号のデューティ比を設定するステップと、

前記デューティ比の設定値を、レベルが周期的に増減するキャリアのレベルと比較することによって、前記第1 PWM信号、前記第2 PWM信号及び前記第3 PWM信号を生成するステップと、

前記モータに平均電圧値が0 V以外の電圧が印加されている状態で前記第1 PWM信号のみオンのときに流れる電流から、前記モータに平均電圧値が0 Vの電圧が印加されている状態で前記第1 PWM信号のみオンのときに流れる電流を減じた第1 電流値と、前記モータに平均電圧値が0 V以外の電圧が印加されている状態で前記第2 PWM信号のみオフのとき又は前記第3 PWM信号のみオフのときに流れる電流から、前記モータに平均電圧値が0 V以外の電圧が印加されている状態で前記第2 PWM信号のみオフのとき又は前記第3 PWM信号のみオフのときに流れる電流を減じた第2 電流値とを、前記検出値として出力するステップと、

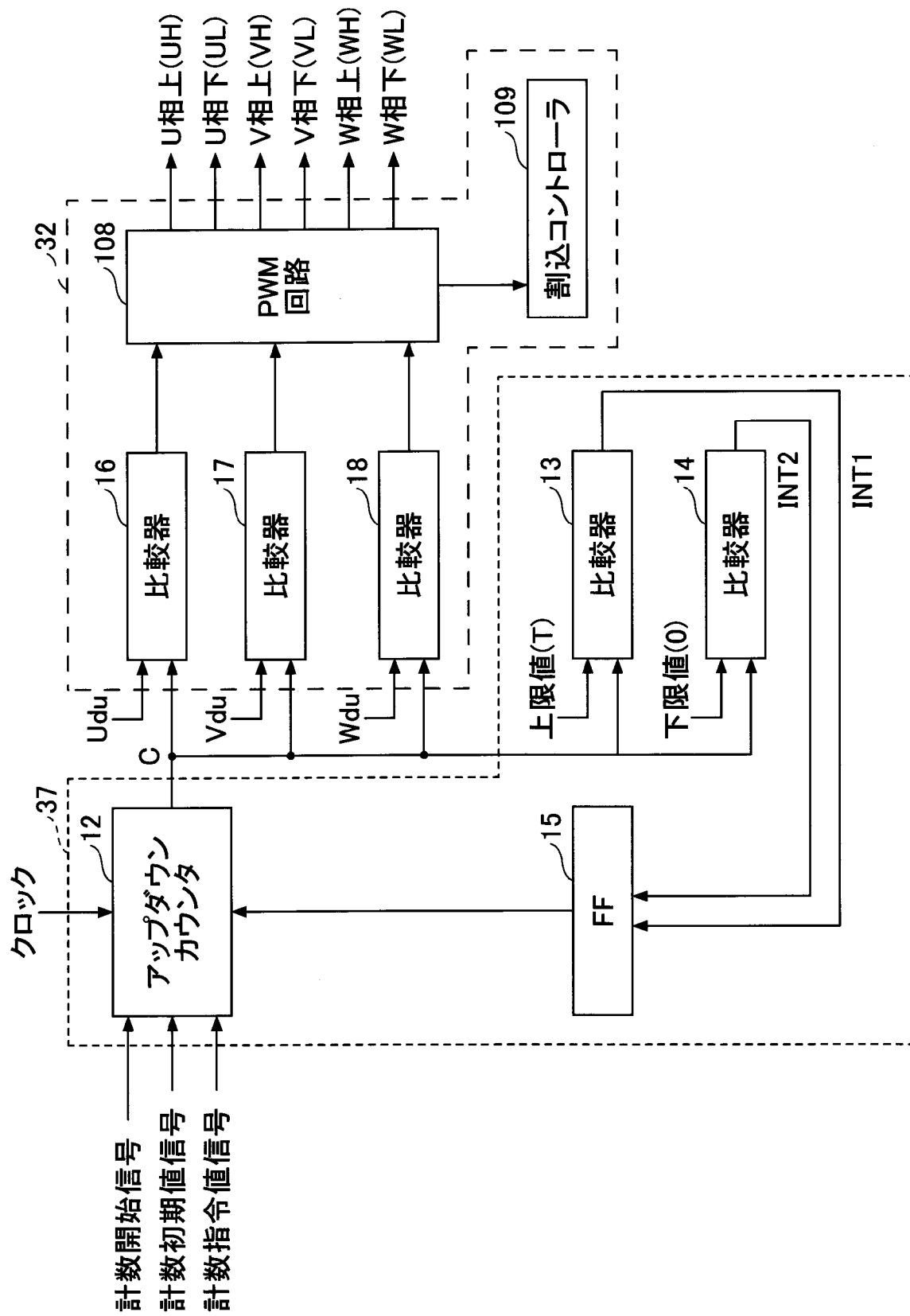
を含むモータ制御方法。

[請求項7] 請求項2に記載のモータ制御装置と、
前記モータと、
を備えるモータシステム。

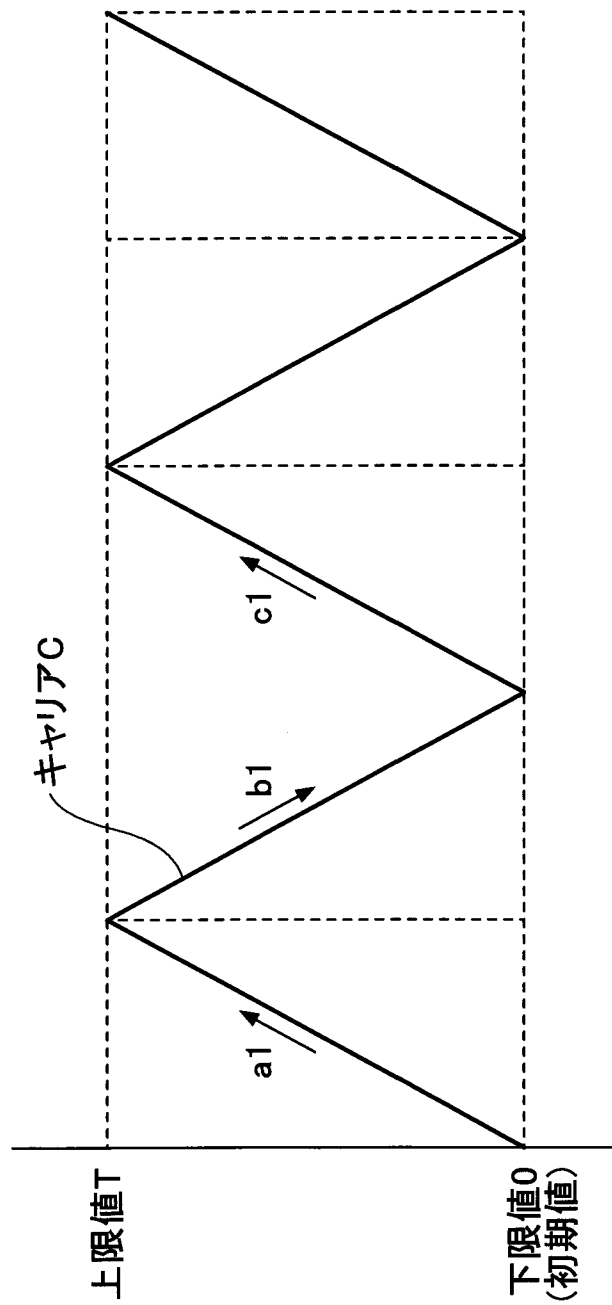
[請求項8] 請求項3に記載のモータ制御装置と、
前記モータと、

を備えるモータシステム。

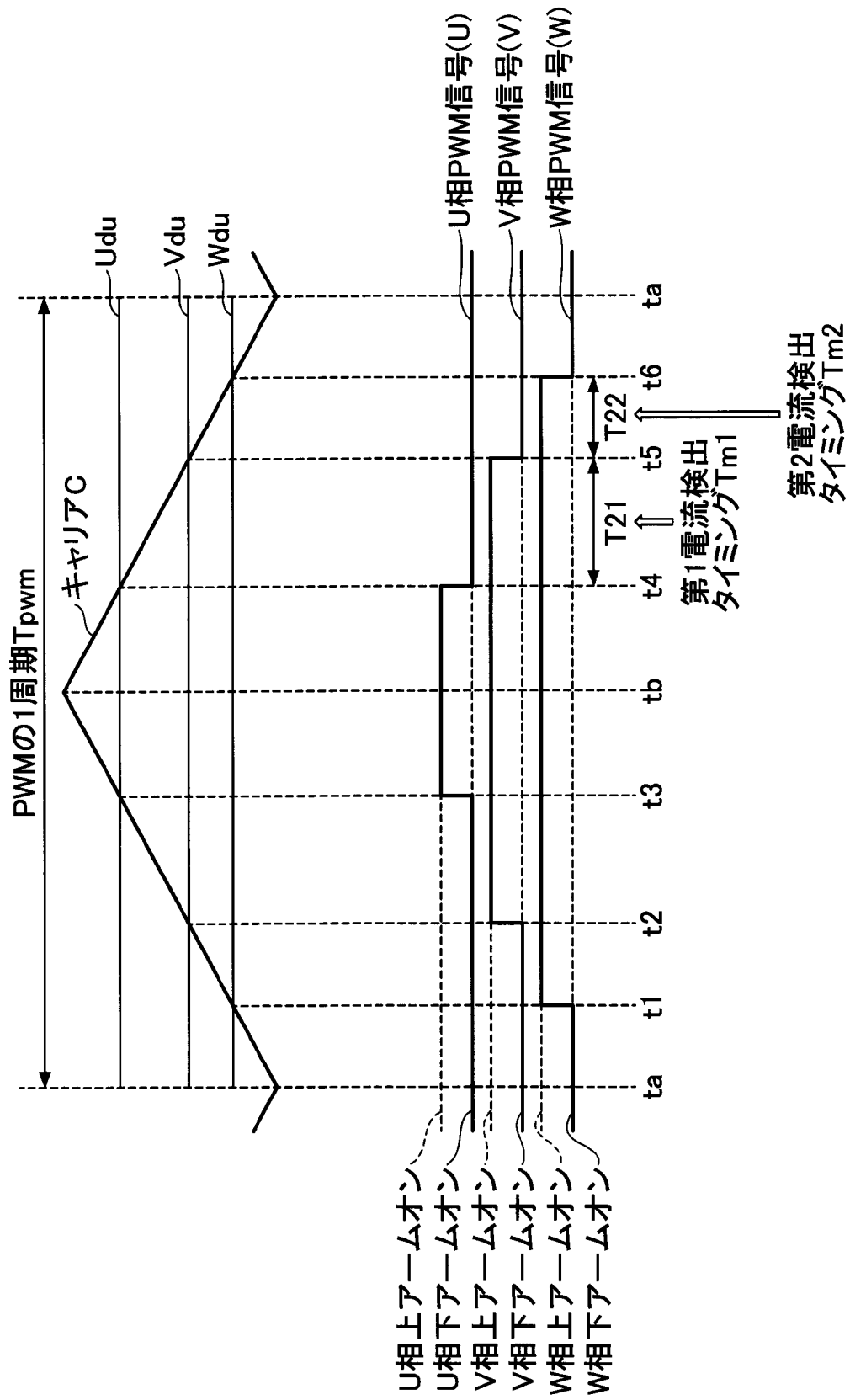
[図2]



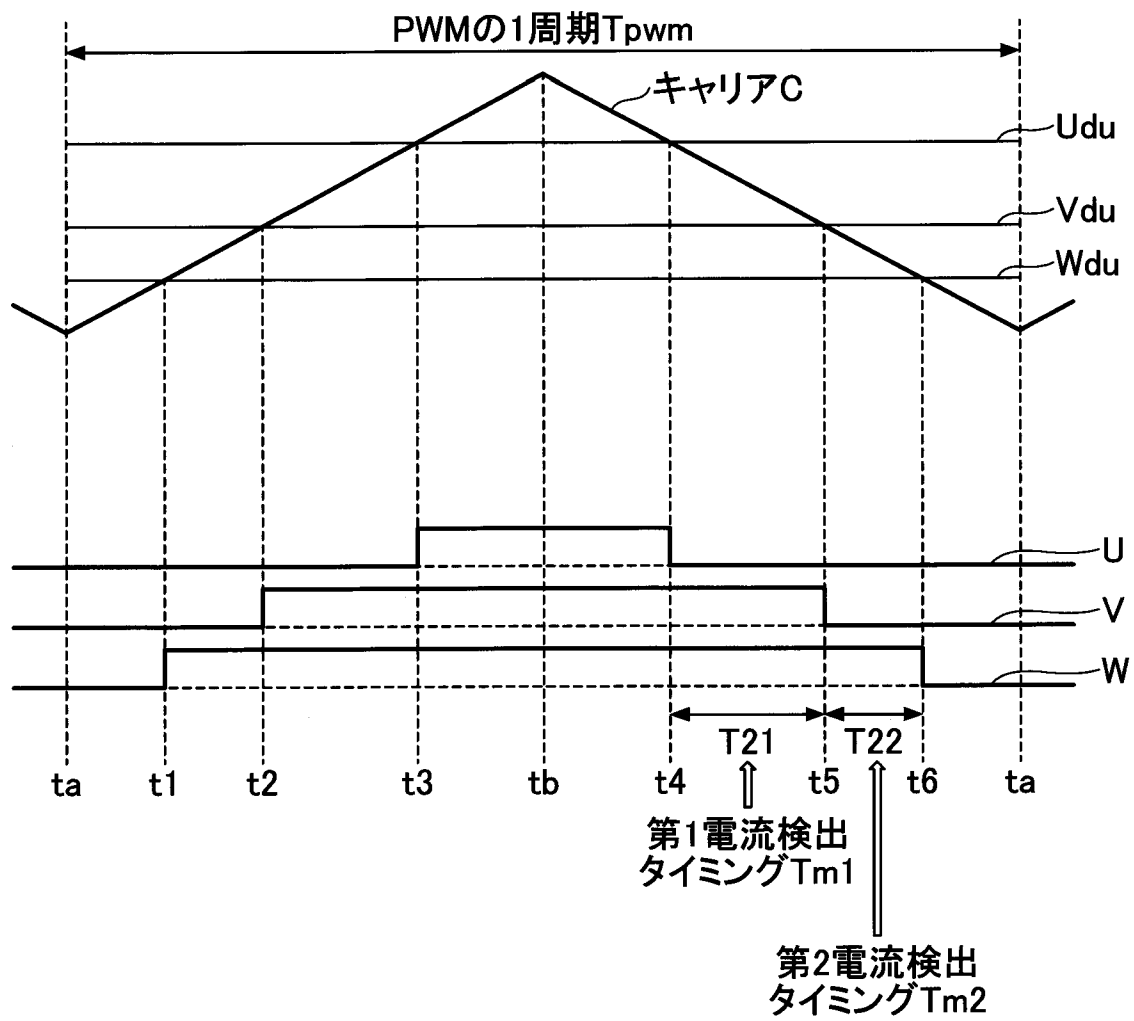
[図3]



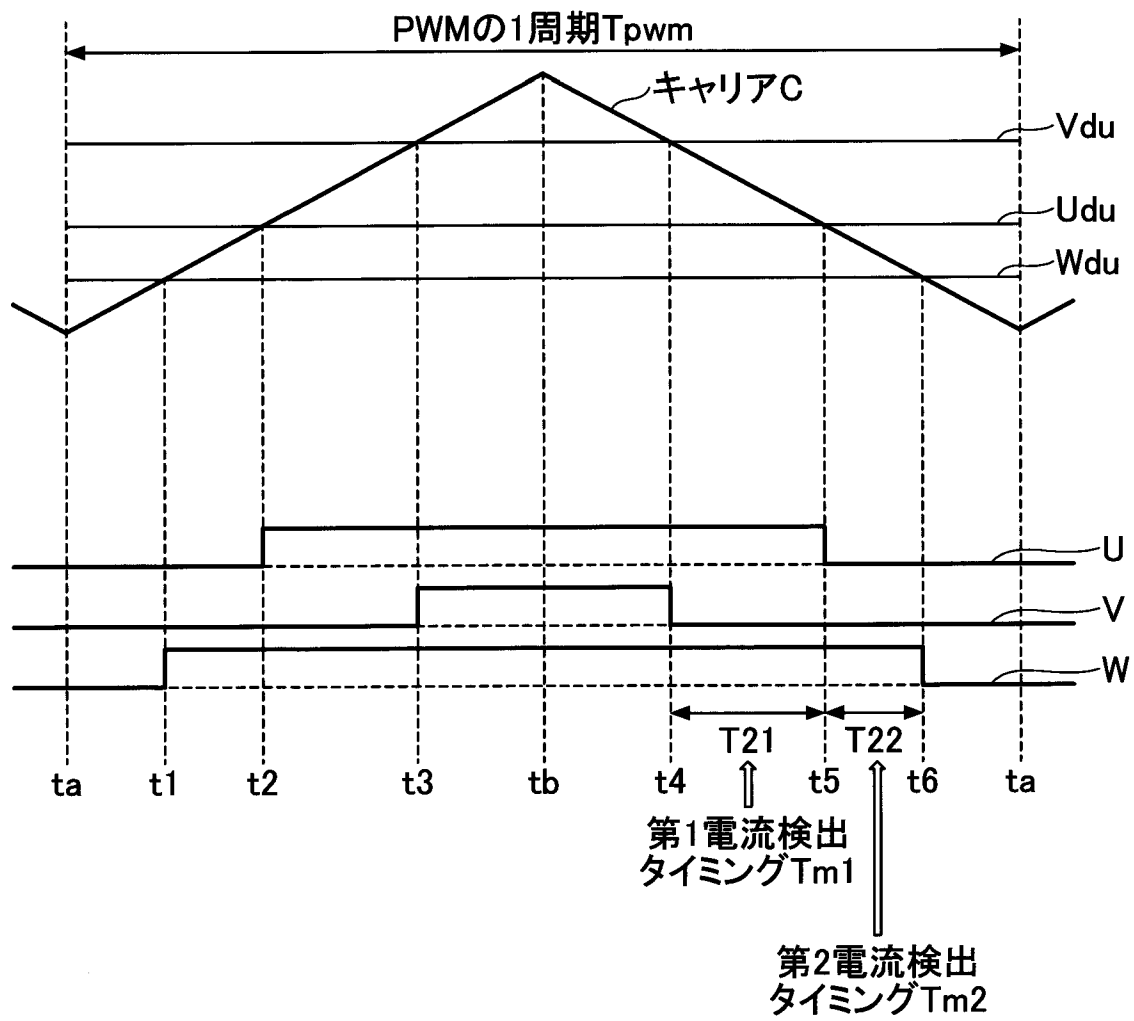
[図4]



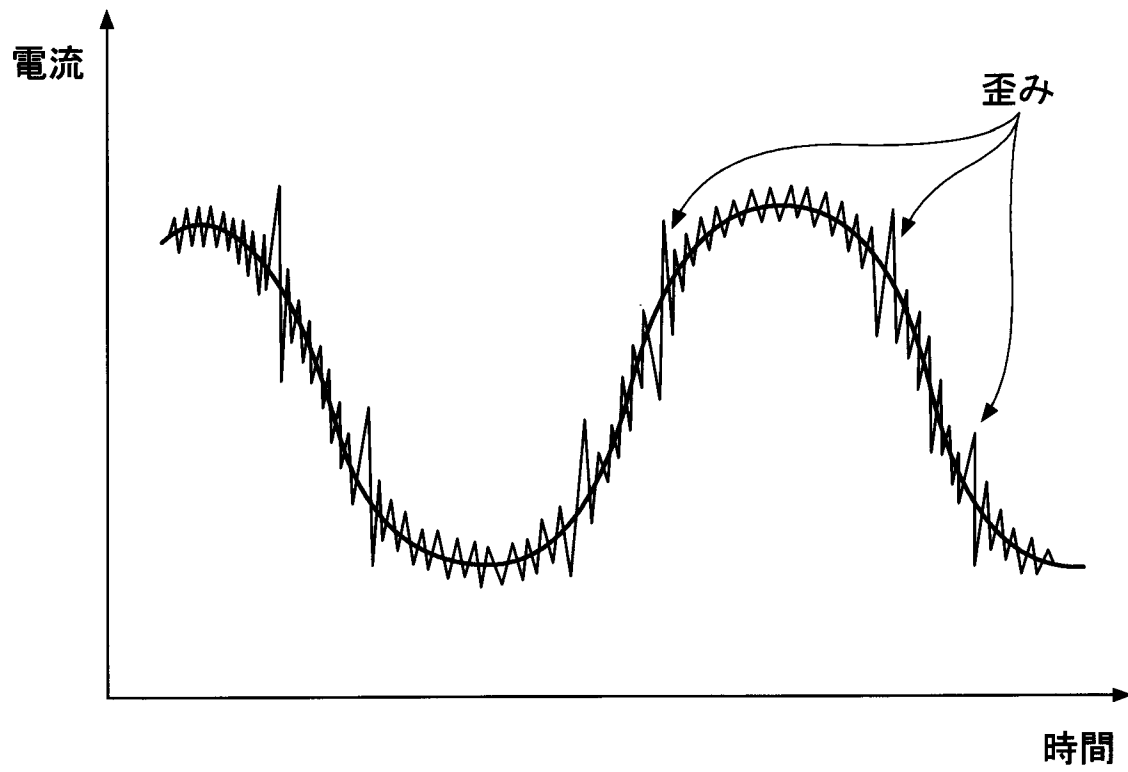
[図5]



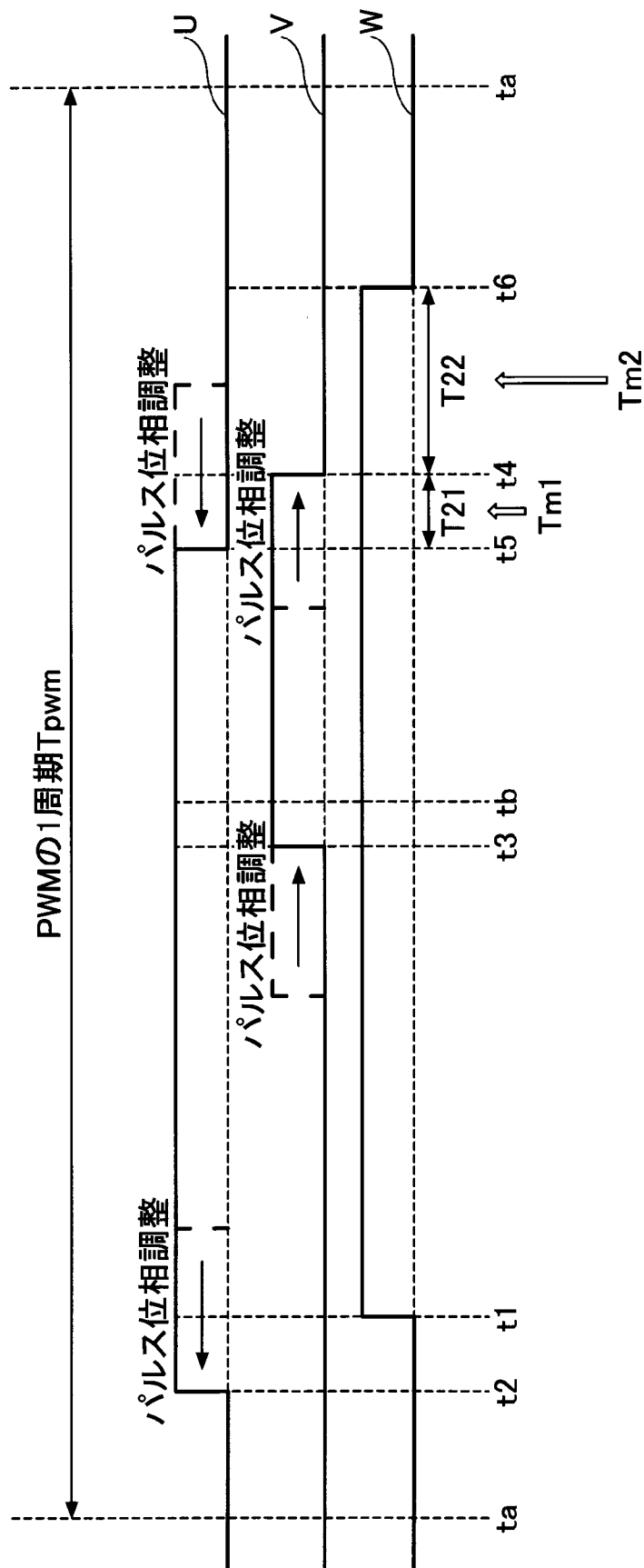
[図6]



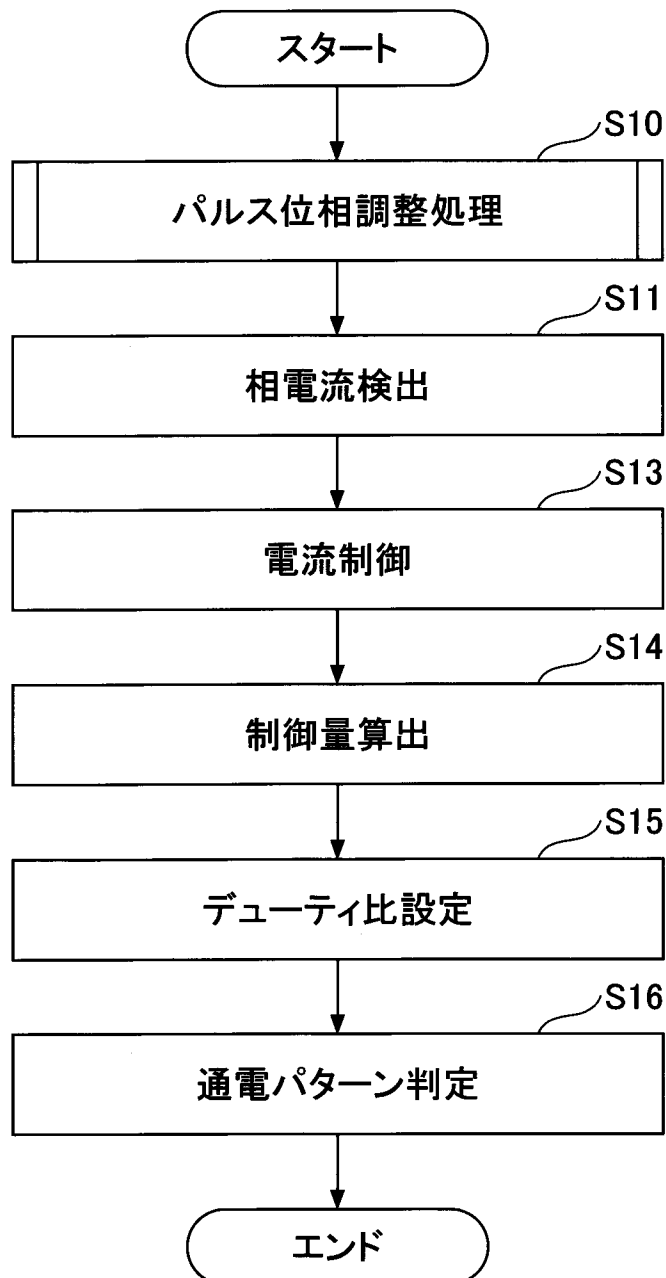
[図7]



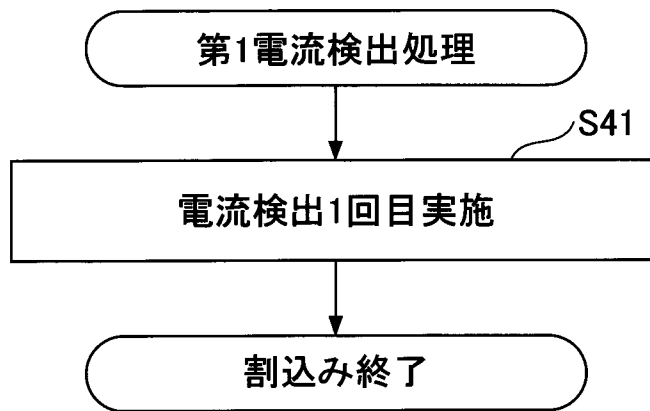
[図8]



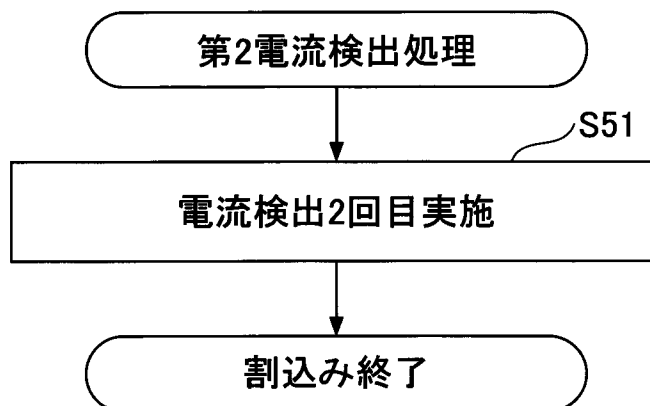
[図9]



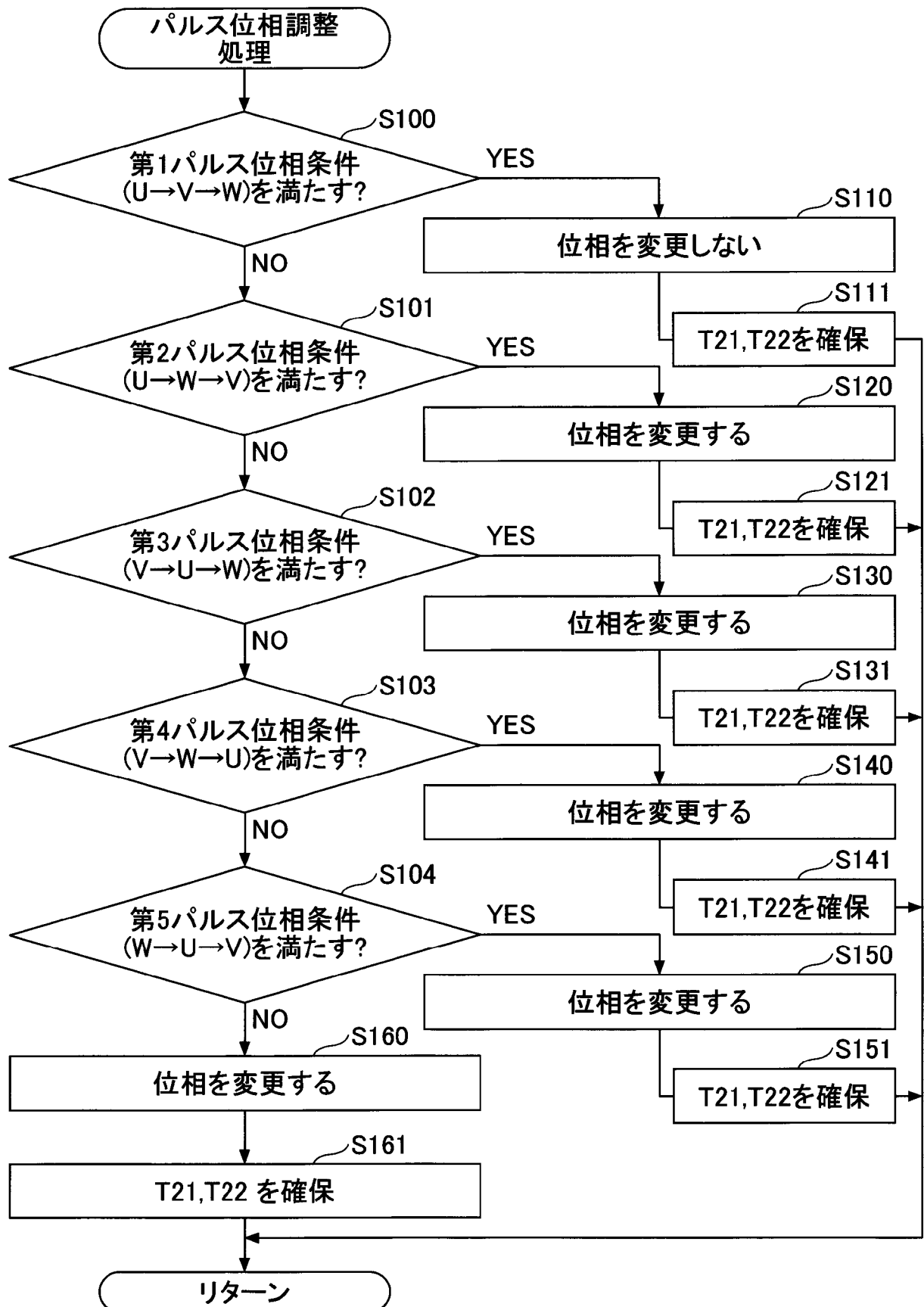
[図10]



[図11]



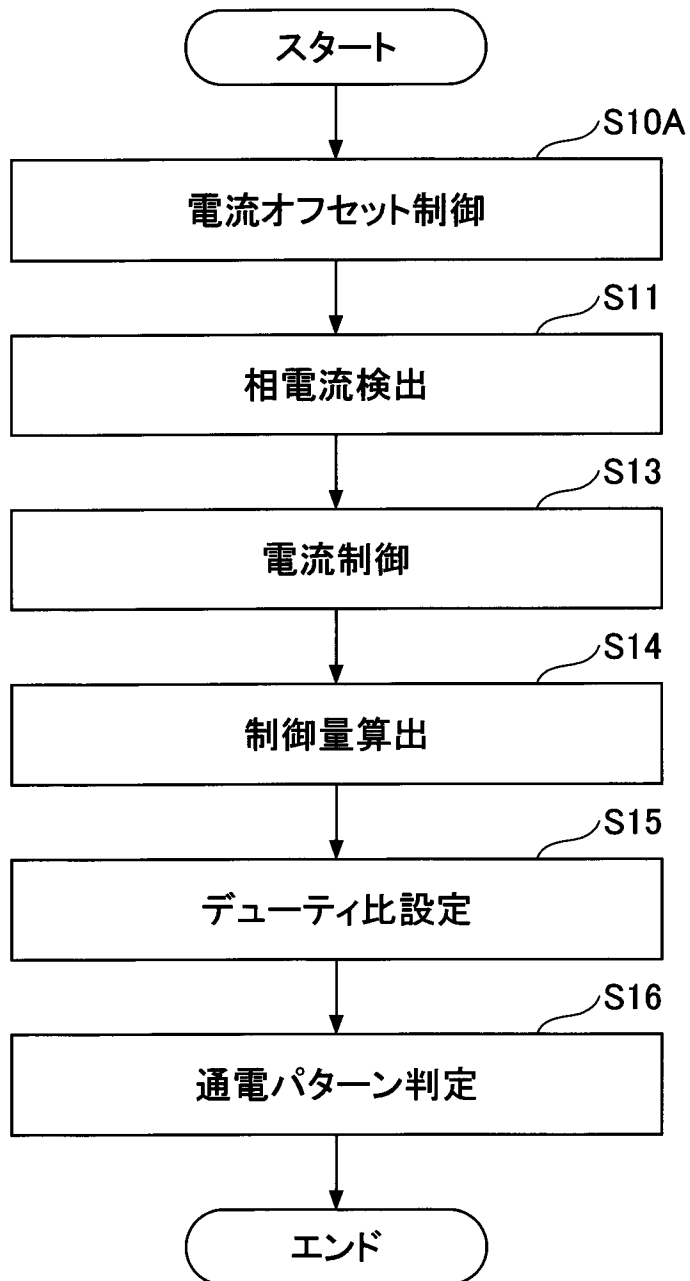
[図12]



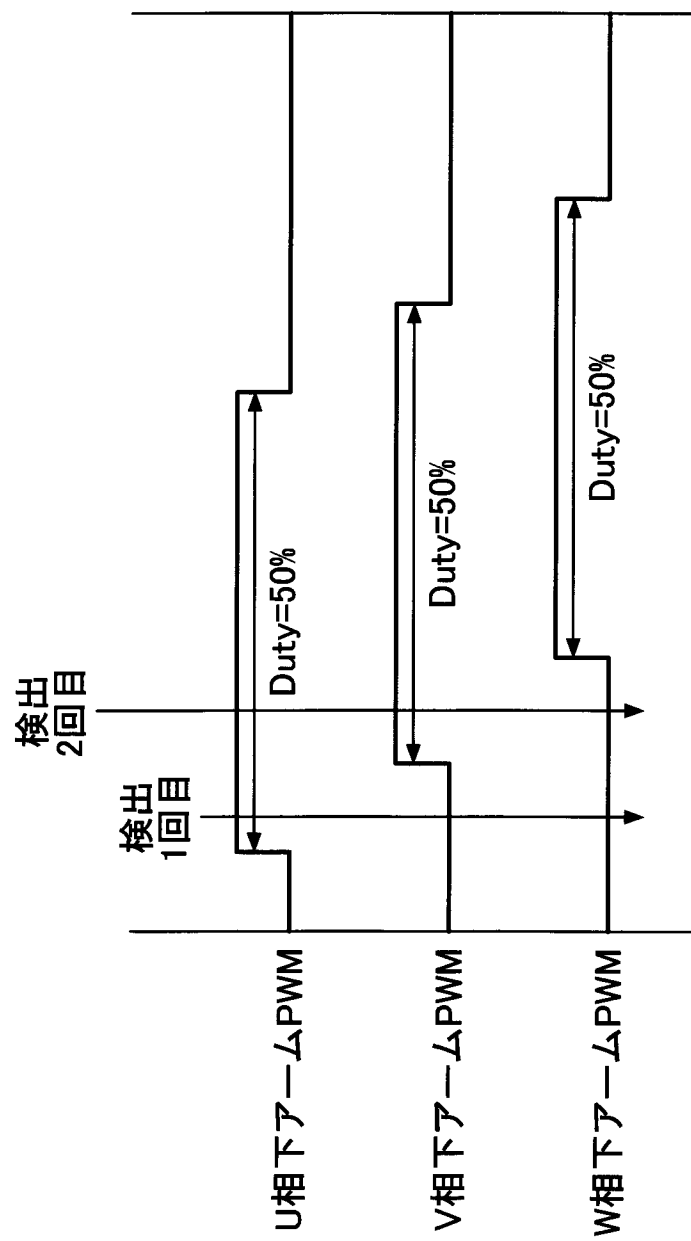
100-2



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/012694

A. CLASSIFICATION OF SUBJECT MATTER

H02P 21/22 (2016.01) i; H02P 27/08 (2006.01) i
FI: H02P27/08; H02P21/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02P21/22; H02P27/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-279141 A (OMRON AUTOMOTIVE ELECTRONICS CO., LTD.) 09.12.2010 (2010-12-09) entire text, all drawings	1-8
A	JP 2015-61421 A (NSK LTD.) 30.03.2015 (2015-03-30) entire text, all drawings	1-8
A	JP 2014-168332 A (HITACHI AUTOMOTIVE SYSTEMS, LTD.) 11.09.2014 (2014-09-11) paragraphs [0031]-[0032], fig. 1, 4	2-3, 6-8
A	JP 2003-164192 A (DENSO CORP.) 06.06.2003 (2003-06-06) entire text, all drawings	2-3, 6-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 June 2020 (03.06.2020)

Date of mailing of the international search report
16 June 2020 (03.06.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/012694

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2010-279141 A	09 Dec. 2010	(Family: none)	
JP 2015-61421 A	30 Mar. 2015	(Family: none)	
JP 2014-168332 A	11 Sep. 2014	US 2014/0239861 A1 paragraphs [0039]- [0040], fig. 1, 4 DE 102014203529 A1 CN 104022703 A KR 10-2014-0108116 A	
JP 2003-164192 A	06 Jun. 2003	DE 10255369 A1 FR 2832872 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02P 21/22(2016.01)i; H02P 27/08(2006.01)i FI: H02P27/08; H02P21/22														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02P21/22; H02P27/08 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2010-279141 A（オムロンオートモーティブエレクトロニクス株式会社） 09.12.2010（2010 - 12 - 09） 全文、全図	1-8												
A	JP 2015-61421 A（日本精工株式会社）30.03.2015（2015 - 03 - 30） 全文、全図	1-8												
A	JP 2014-168332 A（日立オートモティブシステムズ株式会社）11.09.2014（2014 - 09 - 11） 段落[0031]-[0032]、図1、図4	2-3, 6-8												
A	JP 2003-164192 A（株式会社デンソー）06.06.2003（2003 - 06 - 06） 全文、全図	2-3, 6-8												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 03.06.2020		国際調査報告の発送日 16.06.2020												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 田村 恵里加 3V 4656 電話番号 03-3581-1101 内線 3357												

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/012694

引用文献			公表日	パテントファミリー文献	公表日
JP	2010-279141	A	09.12.2010	(ファミリーなし)	
JP	2015-61421	A	30.03.2015	(ファミリーなし)	
JP	2014-168332	A	11.09.2014	US 2014/0239861 A1	
				段落[0039]–[0040]、図1、図4	
				DE 102014203529 A1	
				CN 104022703 A	
				KR 10-2014-0108116 A	
JP	2003-164192	A	06.06.2003	DE 10255369 A1	
				FR 2832872 A1	