

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/8242



[12] 发明专利申请公开说明书

[21] 申请号 02816933.6

[43] 公开日 2005 年 7 月 13 日

[11] 公开号 CN 1639861A

[22] 申请日 2002.8.13 [21] 申请号 02816933.6

[30] 优先权

[32] 2001.8.29 [33] US [31] 09/942,208

[86] 国际申请 PCT/US2002/025909 2002.8.13

[87] 国际公布 WO2003/021661 英 2003.3.13

[85] 进入国家阶段日期 2004.2.27

[71] 申请人 自由度半导体公司

地址 美国得克萨斯

[72] 发明人 窦格拉斯·R·罗伯茨

埃里克·卢科斯基

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

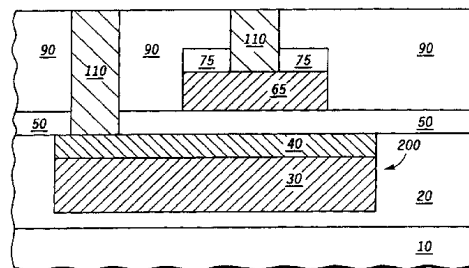
代理人 王永刚

权利要求书 2 页 说明书 9 页 附图 5 页
按照条约第 19 条的修改 2 页

[54] 发明名称 用于制作 MIM 电容器的方法

[57] 摘要

一种制作金属-绝缘体-金属(MIM)电容器结构的方法包括在半导体衬底(10)的介质层(20)中制作凹槽。在凹槽内制作第一电容器电极(30, 40), 凹槽中具有铜第一金属层(30)和在第一金属层(30)上制作的导电的氧化阻挡层(40)。将第一电容器电极(30, 40)相对于介质层(20)进行平整。在第一电容器电极(30, 40)上制作绝缘体(50), 而且在绝缘体(50)上制作第二电容器电极(65)。在凹槽内制作第一电容器电极(30, 40)使铜第一金属层(30)的周边与导电的氧化阻挡层(40)保持对准。



ISSN 1008-4274

- 1、一种制作金属-绝缘体-金属电容器结构的方法，包括：
提供半导体衬底（10）；
在半导体衬底（10）上制作介质层（20）；
在介质层（20）上制作凹槽（205）；
在凹槽中制作第一金属层（30），第一金属层包含铜；
对第一金属层（30）制作凹槽；
在第一金属层（30）上制作第二金属层（40），第二金属层（40）是用作第一金属层（30）的导电的氧化阻挡层；
在第二金属层（40）上制作绝缘体（50）；以及
在绝缘体（50）上制作第三金属层（60）。
- 2、权利要求1的方法，其中制作第一金属层（30）还包括：
在所述介质层（20）的表面上沉积所述第一金属层（30）；和
平整所述第一金属层（30）以制作镶嵌结构。
- 3、权利要求1的方法，其中制作第二金属层（40）还包括制作所述第二金属层（40），使其具有50到2000埃的厚度。
- 4、权利要求1的方法，其中制作第二金属层（40）包括：
在所述介质层（20）的表面和所述被制作凹槽的第一金属层（30）上沉积所述第二金属层（40）；
去除所述第一金属层（30）中所述凹槽（205）外面的所有所述第二金属层（40），以使所述第二金属层（40）的周边与第一金属层（30）的周边自对准；以及
平整所述第二金属层（40）使其与所述介质层（20）的表面共面。
- 5、一种制作半导体器件结构的方法，包括：
提供半导体衬底（10）；
在半导体衬底（10）上制作第一介质层（20）；
在第一介质层内（20）制作凹槽（205）；
在凹槽（205）中制作第一金属层（30），第一金属层（30）包含

铜;

对第一金属层(30)制作凹槽; 以及

在第一金属层(30)上制作第二金属层(40), 第二金属层(40)是用作第一金属层(30)的导电的氧化阻挡层。

用于制作 MIM 电容器的方法

技术领域

本发明通常涉及半导体器件领域，更具体地，涉及如半导体器件中所使用的金属-绝缘体-金属（MIM）电容器。

背景技术

由于半导体器件缩小，所以需要减小部件（比如电容器）占用的面积。为了适应这种需要，与在更靠近主要半导体衬底的晶体管层面上制作电容器相反，将在晶体管外面（也就是在金属层面上）制作电容器。这种电容器的例子就是金属-绝缘体-金属（MIM）电容器。在金属面上，由于多晶硅的沉积是高温过程，与后面（金属之后）的处理不相容，所以多晶硅不能用作电极材料。在半导体制造中，铜正替代铝和铝合金作为金属相互连接的主要材料。因此，为避免增加更多的材料和处理步骤，使用铜作为 MIM 电容器电极的金属是有利的。然而，在与许多高介电常数材料的连接中，存在与使用铜相关的问题，这些高介电常数材料需要被用于 MIM 电容器，特别是在需要高容量线性的 RF 应用中使用的电容器。高线性电容是一种恒定的电容，该电容是使用电压和频率的函数。已知的使用铜作为电极材料的问题包括由于铜表面机械和化学稳定性不良导致的不利影响，以及铜与电容器介质材料的其它相互作用（也就是铜扩散）。

因此，存在对 MIM 电容器结构的需要，这种 MIM 电容器结构包括使用铜作为电容器电极，这种电容器电极的制作能够容易与半导体制造的其它次序相结合，结果导致具有高线性和高电容的电容器，而且减轻了与铜作为电容器电极之一相关的许多问题。

发明内容

根据本发明的一方面,提供一种制作金属-绝缘体-金属(MIM)电容器结构的工艺包括:提供半导体衬底;在半导体衬底上制作介质层;在介质层上制作凹槽;在凹槽中制作第一金属层,第一金属层包含铜;对第一金属层制作凹槽,其中通过刻蚀第一金属层的方法制作凹槽;在第一金属层上制作第二金属层,第二金属层是用作第一金属层的导电的氧化阻挡层;在第二金属层上制作绝缘体;以及在绝缘体上制作第三金属层。根据本发明的另一方面,提供一种制作半导体器件结构的工艺包括:

根据本发明的另一方面,提供半导体器件;在半导体衬底上制作第一介质层;在第一介质层内制作凹槽;在凹槽中制作第一金属层,第一金属层包含铜;对第一金属层制作凹槽,其中通过刻蚀第一金属层的方法制作凹槽;以及第一金属层上制作第二金属层,第二金属层是用作第一金属层的导电的氧化阻挡层。

附图说明

本发明采用举例的方式但不局限于举例进行说明,在这些举例中同样的参考标记表示类似的元件,而且其中:

图1说明在横截面中具有半导体器件和介质层的半导体器件的部分,该介质层可用于根据本发明一个实施方式制作MIM电容器。

图2说明根据本发明一个实施方式制作开口和沉积第一金属层后的图1中的器件。

图3说明根据本发明一个实施方式平整第一金属层后的图2中的器件。

图4说明根据本发明一个实施方式刻蚀第一金属层以制作凹槽后的图3中的器件。

图5说明根据本发明一个实施方式在凹槽内沉积第二金属层后的图4中的器件。

图6说明根据本发明一个实施方式平整第二金属层以制作MIM电容器的底部电极后的图5中的器件。

图 7 说明根据本发明一个实施方式制作电容器介质层、第三金属层和刻蚀终止层后的图 6 中的器件。

图 8 说明根据本发明一个实施方式沉积第一光致抗蚀剂层后的图 7 中的器件。

图 9 说明根据本发明一个实施方式对第三金属层和刻蚀终止层制作图案以形成 MIM 电容器的顶部电极后的图 8 中的器件。

图 10 说明根据本发明一个实施方式制作中间层介质层以及用于对中间层介质层形成图案的光致抗蚀剂层后的图 9 中的器件。

图 11 说明根据本发明一个实施方式制作用于电接触 MIM 电容器的导电通路后的图 10 中的器件。

熟练的技术人员意识到图中的元件是为简单和清楚地说明，没有必要按比例绘出。例如，相对于其它元件将图中一些元件的尺寸可能夸大以帮助改善对本发明具体实施方式的理解。

具体实施方式

由于金属氧化物具有高介电常数，因此为了增加 MIM 电容器结构的电容，使用金属氧化物作为电容器绝缘体是适当的。一般地，这样的金属氧化物具有大于大约 20 的介电常数。然而，在铜电极外面制作金属氧化物时，铜的不可预见的氧化在电极和随后沉积的材料之间产生不相容的界面。更具体地，电容器介质与电极之间粘合不良而且铜氧化物薄膜的存在可能不可预见地增加电容器的泄漏。

根据本发明，通过在铜电极 30 和金属氧化物 50 之间制作导电的氧化阻挡层 40，制作具有高容量密度以及在金属氧化物介质 50 与铜电极 30 之间粘合良好的 MIM 电容器。为了减少工艺的复杂性，在凹槽 205 内铜开口 200 的上面制作导电的氧化阻挡层 40。MIM 电容器的底部电极包括导电的氧化阻挡层 40 和铜电极 30。在优选的实施方式中，导电氧化物阻挡层 40 是氮化钽。然后可以在不形成铜氧化物层的情况下沉积氧化钽或者氧化铪。因此，最终的电容器结构能够具有高电容、低泄漏以及稳定的界面，并且容易制作。结合附图，对使用

导电的氧化阻挡层的本发明的一个具体实施方式中进行描述。

图 1~11 说明根据本发明经过系列加工步骤以制作 MIM 电容器时半导体器件的一部分。更具体地,图 1 说明在半导体衬底 10 上面制作介质层 20。在优选的具体实施方式中,半导体衬底 10 是硅。然而,可以应用其它半导体材料,如砷化镓和绝缘体上硅(SOI)。有代表性地,衬底 10 将包括许多各种各样的有源半导体器件(如金属-氧化物-半导体(MOS)和/或双极晶体管)。然而,对于理解本发明,没有必要理解这些器件,因此没有对这些器件进行说明。

介质层 20 是通过化学气相沉积(CVD)、物理气相沉积(PVD)或者上述方法相结合等方法进行沉积的,而且介质层 20 可以是任何电介质材料,如氧化硅。

为了制作图 2 的结构,对介质层 20 制作图案并对其进行刻蚀以制作开口 200,有时称为沟槽或者凹槽。优选通过采用 PVD、CVD、电镀、上述方法相结合等方法沉积电极材料,在介质层 20 的上面和在开口内制作第一金属层 30。在最好的具体实施方式中,第一金属层 30 包含铜,例如,第一金属层 30 可以是铜或者铝铜合金。在一个实施方式中,第一金属层 30 大部分是铜。金属层材料可以采用 PVD、CVD、原子层沉积(ALD)、电镀、上述方法相结合等方法进行沉积。此外,实际上第一金属层 30 可以由多种材料制成。例如,在铜嵌入金属化设计中,通常沟槽被包含钽或者氮化钽的扩散阻挡层衬在里面。

图 3 所示为平整第一金属层 30 以制作第一金属层 30 后的半导体器件,第一金属层为镶嵌结构。可以通过化学机械抛光(CMP)、内腐蚀,比如湿法或者干法刻蚀工艺等平整第一金属层 30。如果对第一金属层 30 进行抛光,则可以将其开槽以帮助控制抛光过程中铜的凹陷。电容器的面积通常比附近的集成电路互连电路的面积大,而且大面积的铜容易在抛光过程中凹陷。在这样的情况下,将该材料开槽是已知的减轻这个问题的方法。

图 4 中所示,第一金属层 30 的部分被去除以在开口 200 内制作凹槽 205,从而制作第一金属层 30。换句话说,对第一金属层 30 制作

凹槽。凹槽 205 在沟槽 200 的最上面部分以下延伸。根据特定的实施方式,采用反应离子刻蚀(RIF)工艺或者湿法刻蚀工艺制作凹槽 205,湿法刻蚀工艺以大于大约 3~5 倍去除介质层 20 部分的速度去除部分第一金属层 30。有代表性地,凹槽 205 的深度大约在 50 到 2000 埃之间而且大约为开口 200 深度的 1/4 到 1/3。凹槽 205 的数量由随后制作的底部电极的厚度要求确定,将在下文中对底部电极进行说明。在一个具体实施方式中,在旋转刻蚀工艺中采用湿的刻蚀剂制作凹槽 205。在这种旋转刻蚀工艺中,半导体器件放置在卡盘上,以 1000~1200rpm 的速度旋转,而且刻蚀剂分配到半导体器件上。有代表性地,刻蚀过程持续 10~60 秒。有代表性地,实际的刻蚀步骤之后有使用去离子水在与旋转刻蚀的相同处理工具中进行 10~30 秒旋转冲洗的步骤。刻蚀剂的化学成分取决于第一金属层 30 的成分。例如,如果第一金属层 30 是铜,刻蚀剂则可以包含酸,如 HNO_3 、 HCl 、 H_2SO_4 或者它们的组合。

或者,与首先平整第一金属层 30 然后对其进行刻蚀相反,可以在制作第一金属层 30 之后采用单一的旋转刻蚀工艺制作凹槽 205。在该具体实施方式中,使晶片旋转速度、刻蚀剂的化学成分以及刻蚀剂的分配分布最优化以控制刻蚀工艺的均匀和平整性。

制作凹槽 205 后,通过 PVD、CVD、ALD、电镀、化学镀、上述方法相结合等方法制作导电的氧化阻挡层 40,如图 5 所示。导电的氧化阻挡层 40 沉积在介质层 20 和开槽的第一金属层 30 的表面上。导电的氧化阻挡层 40 可以是能发生氧化而且还能作为下层第一金属层 30 的阻挡层的任何材料。较好地发生氧化并且对包括铜在内的材料作为阻挡层的材料有钽、钛、铂、铌、铝、钇、钨、氮化钽、氮化钛等等。通常,导电的氧化阻挡层 40 是金属或者金属合金并能作为第二金属层 40。在优选的实施方式中,为了制作充分平整的表面以在随后制作上层薄膜,使凹槽 205 充满导电的氧化阻挡层 40。因此,导电的氧化阻挡层厚度为 50 到 2000 埃。然而,没有必要使开口 200 完全充满第一金属层 30 和导电的氧化阻挡层 40。导电的氧化阻挡层 40 应该足

够厚以发生氧化并作为第一金属层 30 的扩散阻挡层。此外，导电的氧化阻挡层 40 还应该足够薄，以使随后完成的 MIM 电容器的阻抗以及在半导体衬底上 MIM 电容器附近制作的互连的阻抗不发生很大地增加。而且，导电的氧化阻挡层 40 还应该与第一金属层 30 以及随后制作的电容器介质层具有良好的粘合性。

图 6 所示为平整导电的氧化阻挡层 40 后的半导体器件。在一个实施方式中，导电的氧化阻挡层 40 被去除到凹槽 205 的外面，以使导电的氧化阻挡层 40 的周边与第一金属层 30 的周边自对准。可以使用用于平整第一金属层 30 的任何方法。经过抛光后，要求导电的氧化阻挡层 40 的顶部表面与介质层 20 的顶部基本共面。抛光工艺达到这些结果的能力决定于制作凹槽 205 后第一金属层 30 的表面形貌以及工艺的选择性。因此，光滑的第一金属层 30 表面和导电的氧化阻挡层 40 的高选择性是必要的。基本共面的导电的氧化阻挡层 40 防止下面的铜电极中发生的纳米尺度的氧化和铜原子向随后沉积的绝缘材料中进行的纳米尺度的扩散，如果发生，任一情形将使电容器的漏电严重化。

在半导体衬底 10 上分别沉积电容器介质层 50、第三金属层 60 和刻蚀终止层 (ESL) 70，如图 7 中所示。电容器介质层 50 是在导电的氧化阻挡层 40 上通过采用 CVD、PVD 原子层沉积 (ALD)、上述方法相结合等方法制作的绝缘体。对于 RF 应用，电容器介质层 50 最好包含具有高线性的金属氧化物（也就是，有代表性地，标称电容的变化小于百万分之 100 电压单位），如氧化钽和氧化铪。然而，对于线性可以不太关键的一般应用，其它的金属氧化物如氧化锆、氧化铝、钡钛酸锶 (BST) 以及钛酸锶 (STO) 可以是合适的。最好采用 PVD，但也可以应用 CVD、ALD 或者它们相结合的方法，在电容器介质层 50 的外面制作第三金属层 60。第三金属层 60 将形成电容器的第二（顶部）电极，因此，第三金属层 60 可以由任何导电材料如钽、氮化钽、钛、氮化钛、钨、铌、铜、铝、铂、钨和上述金属相结合等制成。

在一个实施方式中，第三金属层 60 包含氮和钽或钛二者之一（以氮化钽或者氮化钛的形式）。如果第三金属层 60 是铜，则需要在第三

金属层 60 与电容器介质层 50 之间制作第二氧化阻挡层，如用于氧化阻挡层 40 的材料。然而，由于在金属氧化物沉积之后制作铜电极，铜电极没有暴露在氧化性气氛中，因此不存在由铜氧化引起的粘合问题。

ESL 层 70 也是采用 PVD、CVD、ALD 或者它们相结合的方法沉积的。下文中将显而易见，ESL 层 70 用作刻蚀后沉积的夹层绝缘体 (ILD) 时的刻蚀终止层。ESL 层 70 还可作为金属层 60 刻蚀的硬掩模。而且，ESL 层 70 可用作抗反射涂层 (ARC) 以在随后的光刻工艺中改善光学性质。在优选的实施方式中，ESL 层 70 是氮化硅或者氮化铝，或者选择氧化钽或氧化铪。在下文中参照图 10 将获得 ESL 层 70 的更详细的用途。

可以采用相同或者不同的工艺制作电容器介质层 50、第三金属层 60 和 ESL 层 70。但是，对于电容器介质层 50、第三金属层 60 和 ESL 层 70，希望采用同样的工艺进行制作以提高大空间生产环境中的工艺控制和产量。

转到图 8，为了刻蚀 ESL 层 70 和第三金属层 60，沉积第一光致抗蚀剂层 80 并使其形成图案。刻蚀 ESL 层 70 和第三金属层 60 后，制作了顶部（电容器）电极 65（或者第二电极 65），如图 9 中所示。采用传统的方法形成图案之后，去除第一光致抗蚀剂层 80。

转到图 10，在半导体衬底 10 上沉积 ILD90。为了刻蚀 ILD 层 90 以制作通路开口，沉积第一光致抗蚀剂层 100 并使其形成图案，通路开口被填充金属以制作导电通路 110，如图 11 中所示。使用第一化学成分刻蚀在 ESL 层 75（呈现的地方）和电容器介质层 50 上终止且暴露部分的通路开口，ESL 层 75 和电容器介质层 50 都可作为中间的刻蚀终止层。由于要被刻蚀制作成顶部电极上通路开口的部分 ILD 的厚度实质上地小于被刻蚀以制作用于导电的氧化阻挡层 40 的刻蚀工艺开口的部分 ILD 的厚度，因此，不应该采用第一化学成分对 ESL 层 75 进行完全地刻蚀。这使得在刻蚀顶部电极 65 上的通路开口后，能够连续刻蚀工艺以制作更深的用于导电的氧化阻挡层 40 的通路开口。因此，对于 ESL 层材料以及或许甚至是电容器介质层 50，需要

第一化学成分是选择性的。

接下来，将刻蚀化学成分转换到第二化学成分以刻蚀电容器介质层 50 和 ESL 层 75 从而完全地制作转接头开口并露出下面的导电部分。尽管工艺使用两种不同的刻蚀化学成分，但为了提高产量和生产效率，可以在同样的工具甚至同样的容器中进行转接头开口的刻蚀。

如图 11 中所示，制作转接头开口后，为了制作导电转接头 110，要在转接头开口内制作导电材料。在转接头开口内制作的导体形成顶部电极 65 和导电的氧化阻挡层 40 的接触。在一个实施方式中，进行铜电镀并对其背面进行化学机械抛光以制作导电转接头 110。

由于使用金属氧化物作为主要的电容器介质，在金属氧化物与铜电极之间不存在不良界面的缺点，因此图 11 中所示的最终 MIM 电容器比先前提及的结构具有更高的电容。由于具有相容的界面，所以根据本发明的结构提高了漏电特性。此外，由于本发明使本身具有高线性的金属氧化物电容器介质的应用成为可能，因此 MIM 结构具有高线性。这样的位于芯片上的电容器广泛适用于需要高频率（>1GHz）的 RF 电路，以及混合信号模拟和过滤。而且，由于导电的氧化阻挡层 40 是自对准的，因此不需要采用光刻步骤以使导电的氧化阻挡层 40 形成图案。

附图所示说明的实施方式是 MIM 电容器，其中，与一同形成底部（电容器）电极的第一金属层 30 和导电的氧化阻挡层 40 相比，顶部电极 65 尺寸较小。在另外一个具体实施方式中，与第一金属层 30 和导电的氧化阻挡层 40 相比，顶部电极 65 尺寸可以更大。在该实施方式中，由于接触位于第一金属层 30 的下面，因此在制作第一金属层 30 和导电的氧化阻挡层 40 之前制作用于导电的氧化阻挡层 40 的接触，而不是在导电的氧化阻挡层 40 上制作接触。而且，在该实施方式中，对 ESL 层 70 和第三金属层 60 进行刻蚀时，能够在不破坏电容器结构关键部分的情况下完全将电容器介质层 50 去除。这样，在 ILD 层 90 的下面存在高介电常数的缺点得到克服。然而，仍然存在当从 MIM 电容器外部区域去除电容器介质层 50 时，该层下面的其它结构

例如附近的铜衬垫结构可能被破坏的问题。这种相关的结构并没有明确地显示于附图中，但这种结构一般通常以 IC 互连电路的基本部分呈现在芯片上。

尽管上述的实施方式是关于 MIM 电容器的，但也可能在其它应用中使用该制作方法以减少铜的氧化以及提高粘合性，例如在半导体衬底上制作的最后金属层。

上面已经结合特殊的具体实施方式对好处、其它优点以及问题的解决办法进行了说明。然而，好处、优点、问题的解决办法以及可能导致任何好处、优点或者解决办法产生或变得更明显的任何要素，都不是解释成任何或者全部权利要求的关键、必需或者基本的特征或要素。这里所使用的，“包含”、“由...组成”或者它们的其它任何变化的术语，意指覆盖非排他性的含义，这样，包含一系列要素的工艺、方法、制品或者设备并不只包括那些要素，而是可以包括其它没有列出或者这种工艺、方法、制品或者设备所固有的要素。

在前述的说明书中，已经参照特定的实施方式对本发明进行了说明。然而，一个普通的该技术的熟练人员意识到在不背离下面权利要求书提出的本发明的范围的情况下，可以进行各种各样的修改和变化。例如，象已经描述和说明的那样，在器件中以单镶嵌方式制作 MIN 电容器。但是，一个普通的技术熟练人员将认识到类似的结构可以合并成双镶嵌整体。因此，说明书和附图将被认为是说明性的而不是限制性的，而且所有这样的修改意为包含在本发明的范围之内。

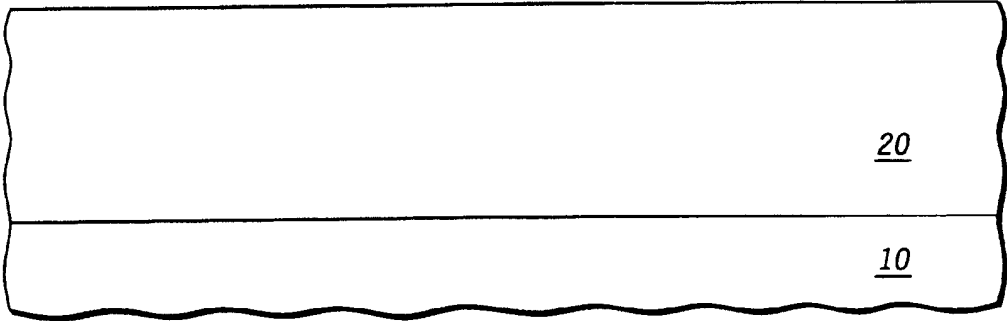


图 1

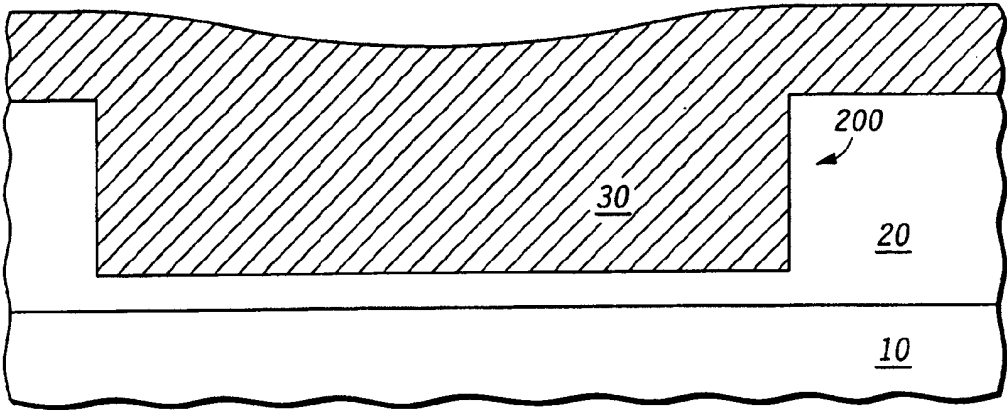


图 2

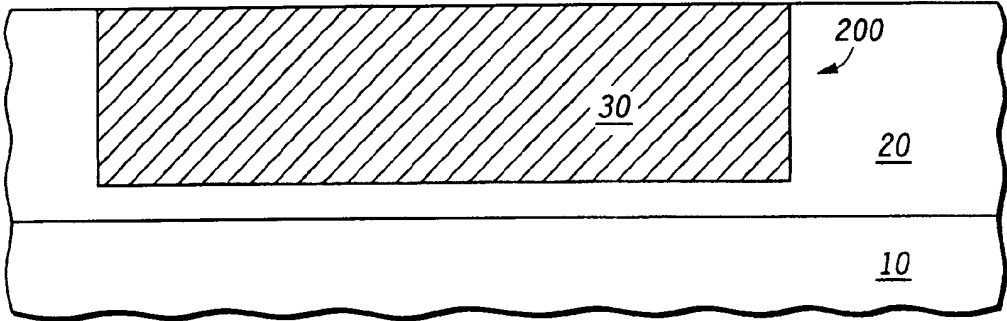


图 3

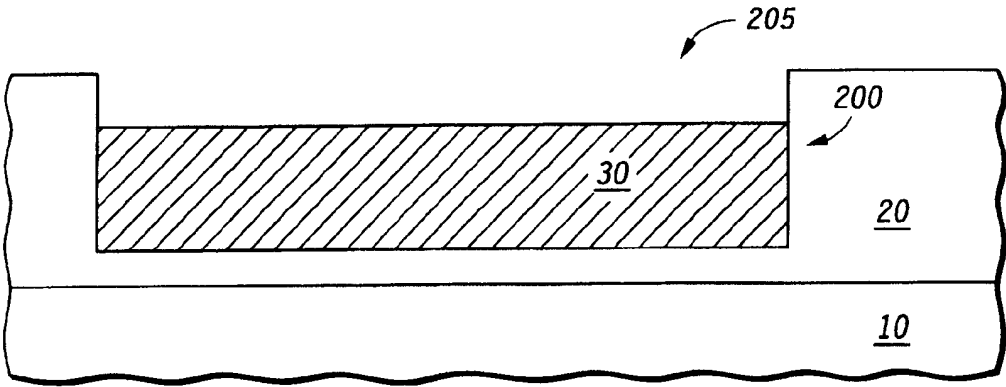


图 4

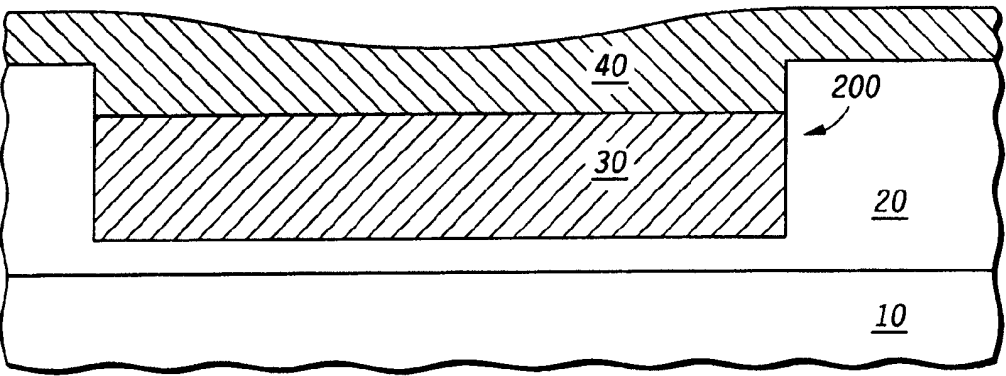


图 5

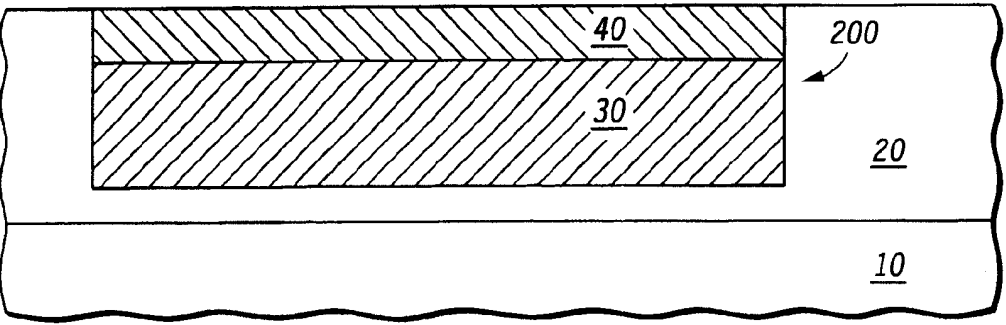


图 6

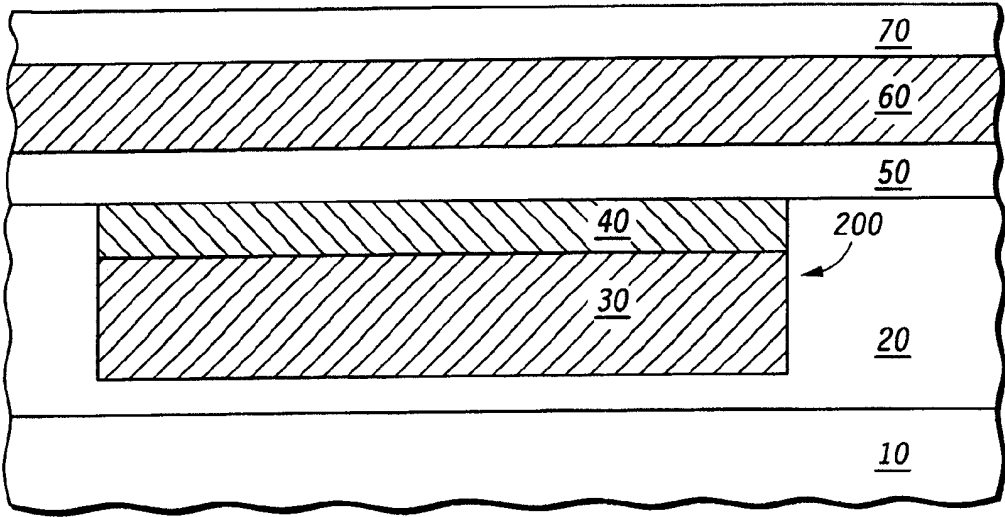


图 7

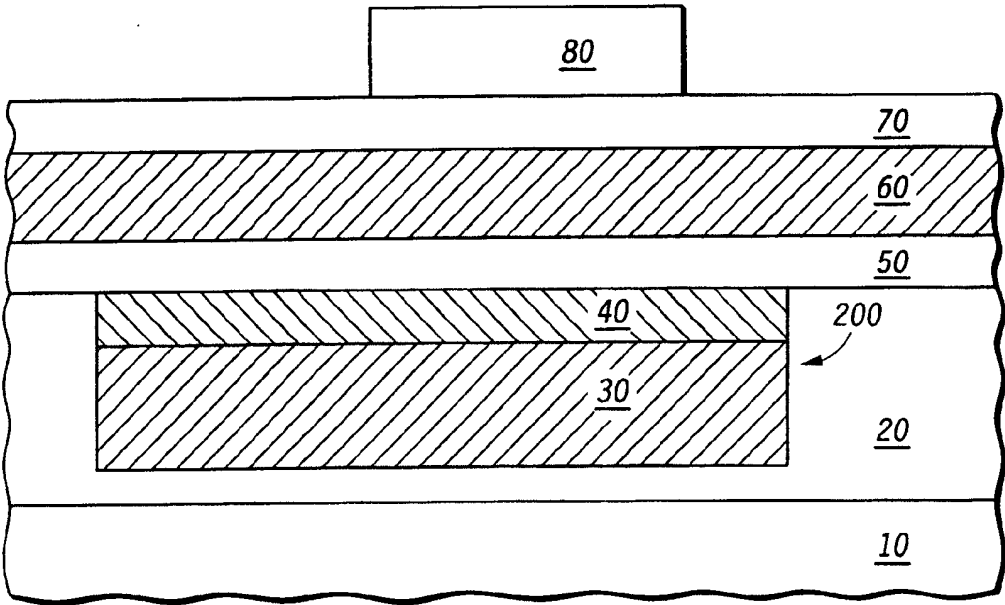


图 8

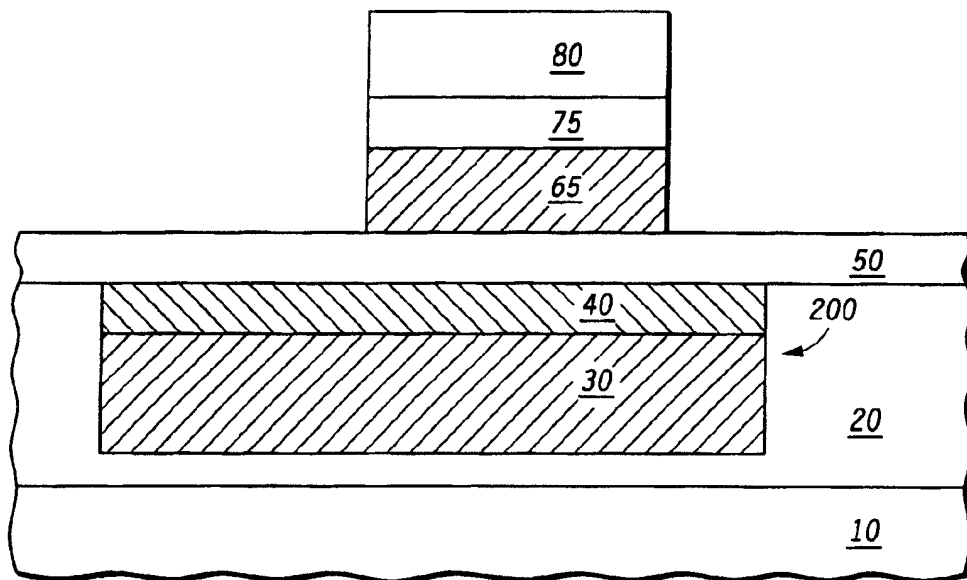


图 9

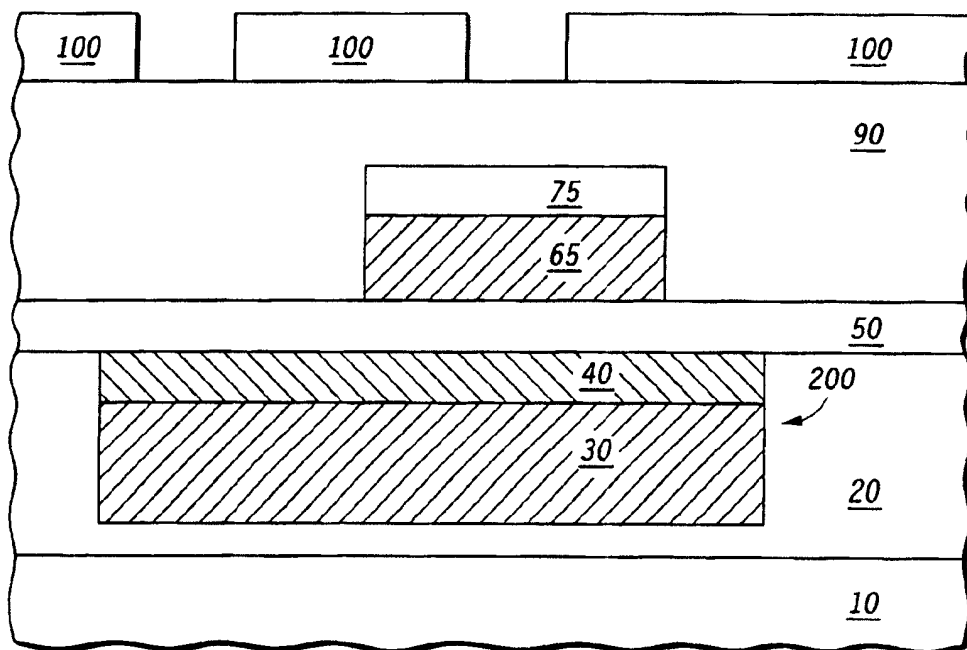


图 10

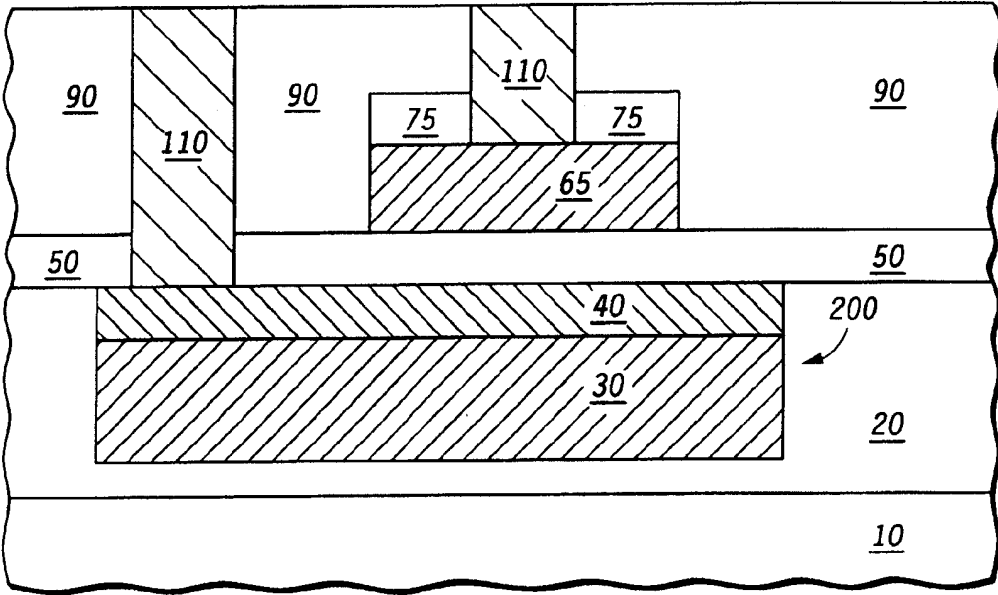


图 11

- 1、一种制作金属-绝缘体-金属电容器结构的方法, 包括:
提供半导体衬底(10);
在半导体衬底(10)上制作介质层(20);
在介质层(20)中制作凹槽(205);
在凹槽中制作第一金属层(30), 第一金属层包含铜;
对第一金属层(30)制作凹槽, 其中通过刻蚀第一金属层的方法制作凹槽;
在第一金属层(30)上制作第二金属层(40), 第二金属层(40)是用作第一金属层(30)的导电的氧化阻挡层;
在第二金属层(40)上制作绝缘体(50); 以及
在绝缘体(50)上制作第三金属层(60)。
- 2、权利要求1的方法, 其中制作第一金属层(30)还包括:
在所述介质层(20)的表面上沉积所述第一金属层(30); 和
平整所述第一金属层(30)以制作镶嵌结构。
- 3、权利要求1的方法, 其中制作第二金属层(40)还包括制作所述第二金属层(40)到具有50到2000埃的厚度。
- 4、权利要求1的方法, 其中制作第二金属层(40)包括:
在所述介质层(20)的表面和所述被制作凹槽的第一金属层(30)上沉积第二金属层(40);
去除所述第一金属层(30)中凹槽(205)外面的所有所述第二金属层(40), 以使所述第二金属层(40)的周边与所述第一金属层(30)的周边自对准; 以及
平整所述第二金属层(40)使其与所述介质层(20)的表面共面。
- 5、一种制作半导体器件结构的方法, 包括:
提供半导体器件(10);
在半导体衬底(10)上制作第一介质层(20);
在第一介质层(20)中制作凹槽(205);

在凹槽(205)中制作第一金属层(30),第一金属层(30)包含铜;

对第一金属层(30)制作凹槽,其中通过刻蚀第一金属层的方法制作凹槽;以及

在第一金属层(30)上制作第二金属层(40),第二金属层(40)是用作第一金属层(30)的导电的氧化阻挡层。