

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年3月25日(25.03.2021)



(10) 国際公開番号

WO 2021/053952 A1

(51) 国際特許分類:

G02B 5/30 (2006.01) *H04N 5/359* (2011.01)

H01L 27/146 (2006.01) *H04N 5/369* (2011.01)

(21) 国際出願番号: PCT/JP2020/027703

(22) 国際出願日: 2020年7月16日(16.07.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-168138 2019年9月17日(17.09.2019) JP

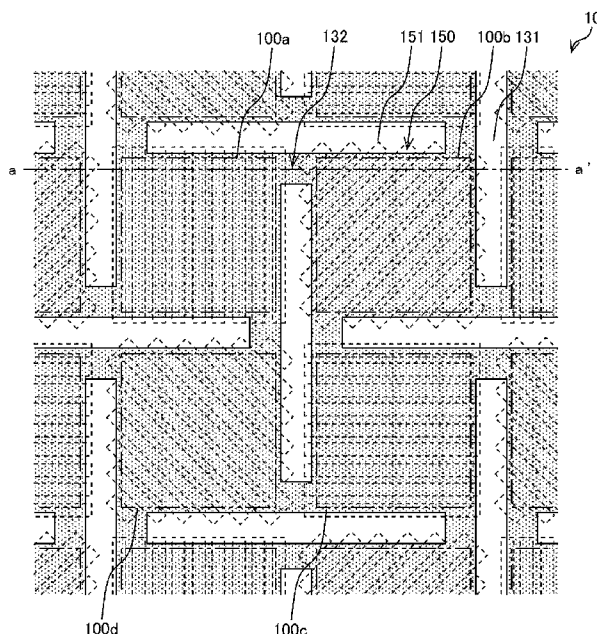
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 迫田 一輝(SAKODA Kazuki); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 上坂 祐介(UESAKA Yusuke); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 井上 晋(INOUE Susumu); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) Title: IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称: 撮像素子および撮像装置



(57) Abstract: The present invention reduces the cross-talk between adjacent pixels in an imaging element that acquires polarization information from a subject. The imaging element includes a plurality of pixels, a separation region, and a non-separation region. Each of the plurality of pixels is provided with a polarizing section for polarizing incident light in a specific polarization direction and a photoelectric conversion section formed in a semiconductor substrate and photoelectrically converting the incident light that has been polarized. The separation region is arranged in the semiconductor



WO 2021/053952 A1

(74) 代理人: 松尾 憲一郎 (MATSUO Kenichiro);
〒8100042 福岡県福岡市中央区赤坂 1 丁目 1 0
番 1 7 号 しんくみ赤坂ビル 7 階 Fukuoka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

substrate and separates the plurality of pixels from each other. The non-separation region is constituted by the semiconductor substrate in a gap formed in the separation region close to the corner of the pixel.

(57) 要約: 被写体の偏光情報を取得する撮像素子における隣接する画素の間のクロストークを低減する。撮像素子は、複数の画素と分離領域と非分離領域とを具備する。その複数の画素は、入射光を特定の偏光方向に偏光する偏光部および半導体基板に形成されて偏光された入射光の光電変換を行う光電変換部をそれぞれ備える。その分離領域は、半導体基板に配置されて複数の画素同士を分離する。その非分離領域は、画素の隅部の近傍の分離領域に形成される間隙部分の半導体基板により構成される。

明 細 書

発明の名称：撮像素子および撮像装置

技術分野

[0001] 本開示は、撮像素子および撮像装置に関する。詳しくは、被写体の偏光情報を取得する撮像素子および当該撮像素子を使用する撮像装置に関する。

背景技術

[0002] 従来、被写体の偏光情報を取得する撮像素子が使用されている。偏光情報を取得することにより、特定の偏光方向の入射光、例えば、水溜まりやガラス面からの反射光等を検出し、この特定の偏光方向の入射光を除去することができる。撮像素子により撮像される画像の画質を向上させることが可能となる。また、偏光情報を用いて被写体の表面の3次元形状を取得することもできる。偏光情報は、特定の偏光方向の入射光を透過する偏光部を撮像素子の画素に配置することにより、取得することができる。この偏光部としてワイヤグリッドにより構成された偏光部を使用することができる。このワイヤグリッドは、複数の帯状の導体が所定のピッチに基づいて配列されて構成されたものである。複数の帯状の導体の並び方向に平行な偏光方向の入射光がワイヤグリッドによる偏光部を透過し、複数の帯状の導体の並び方向に垂直な偏光方向の入射光は偏光部により反射されて減衰される。

[0003] このような撮像素子として、例えば、画素毎の光電変換素子が配置された半導体基板における光電変換素子の周囲を囲む遮光膜を備え、半導体基板の裏面に偏光部が配置された撮像素子が使用されている（例えば、特許文献1参照。）。この撮像素子においては、遮光膜は隣接する画素間を埋めるように格子状に配置される。また、遮光膜は導電遮光材料により構成されて偏光部を構成する帯状の導体に接続され、遮光膜を介して偏光部に負のバイアス電圧が印加される。このバイアス電圧により半導体基板の裏面に負の電位が与えられて半導体基板の裏面側のピニングが強化される。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2017/018258号

発明の概要

発明が解決しようとする課題

[0005] 上述の従来技術では、画素間のクロストークが増加するという問題がある。上述の遮光膜は、エッチングにより半導体基板に格子状の溝を形成し、この溝に金属等の導電遮光材料を埋め込むことにより形成される。この溝を形成する際、格子を構成する縦横の溝の交点の部分においてマイクロローディング現象を生じて溝が深くなる。このため、交点以外の溝が相対的に浅くなり、形成後の遮光膜の深さが不足する。この深さが不足する遮光膜の領域において、隣接する画素への入射光の漏洩を生じてクロストークが増加するという問題がある。このクロストークにより偏光情報の誤差が増加し、撮像素子により撮像される画像の画質が低下する。

[0006] 本開示は、上述した問題点に鑑みてなされたものであり、被写体の偏光情報を取得する撮像素子における隣接する画素の間のクロストークを低減することを目的としている。

課題を解決するための手段

[0007] 本開示は、上述の問題点を解消するためになされたものであり、その第1の態様は、入射光を特定の偏光方向に偏光する偏光部および半導体基板に形成されて上記偏光された入射光の光電変換を行う光電変換部を備える複数の画素と、上記半導体基板に配置されて上記複数の画素同士を分離する分離領域と、上記画素の隅部の近傍の上記分離領域に形成される間隙部分の上記半導体基板により構成される非分離領域とを具備する撮像素子である。

[0008] また、この第1の態様において、上記偏光部は、上記入射光のうち特定の偏光方向の入射光を透過することにより上記入射光を偏光してもよい。

[0009] また、この第1の態様において、上記偏光部は、所定のピッチに配列された複数の帯状導体からなるワイヤグリッドにより構成されてもよい。

- [0010] また、この第1の態様において、上記非分離領域は、互いに直交しない上記特定の偏光方向の偏光部を備える上記複数の画素同士の間配置されてもよい。
- [0011] また、この第1の態様において、上記分離領域は、上記半導体基板に形成された凹部に形成されてもよい。
- [0012] また、この第1の態様において、上記分離領域は、上記入射光を遮光する部材を有してもよい。
- [0013] また、この第1の態様において、上記分離領域は、金属により構成される部材を有してもよい。
- [0014] また、この第1の態様において、上記分離領域は、絶縁部材を有してもよい。
- [0015] また、この第1の態様において、上記非分離領域は、上記画素の上記入射光が照射される面の幅の略10%の隙間の上記間隙部分の上記半導体基板により構成されてもよい。
- [0016] また、この第1の態様において、上記非分離領域は、上記分離領域の上記入射光が照射される面の幅と略等しい隙間の上記間隙部分の上記半導体基板により構成されてもよい。
- [0017] また、この第1の態様において、上記偏光部を備えない上記画素である第2の画素をさらに具備してもよい。
- [0018] また、この第1の態様において、上記非分離領域は、上記画素および上記第2の画素の間に配置されてもよい。
- [0019] また、本開示の第2の態様は、入射光を特定の偏光方向に偏光する偏光部および半導体基板に形成されて上記偏光された入射光の光電変換を行う光電変換部を備える複数の画素と、上記半導体基板に配置されて上記複数の画素同士を分離する分離領域と、上記画素の隅部の近傍の上記分離領域に形成される間隙部分の上記半導体基板により構成される非分離領域と、上記光電変換に基づいて生成される画像信号を処理する処理回路とを具備する撮像装置である。

[0020] 本開示の態様により、画素の境界が交差する領域の分離領域に隣接して非分離領域が配置されるという作用をもたらす。

図面の簡単な説明

[0021] [図1]本開示の実施の形態に係る撮像素子の構成例を示す図である。

[図2]本開示の第1の実施の形態に係る画素の構成例を示す図である。

[図3]本開示の第1の実施の形態に係る分離領域の構成例を示す図である。

[図4]本開示の第1の実施の形態に係る分離領域の凹部の一例を示す図である。
。

[図5]本開示の第1の実施の形態に係る画素の製造方法の一例を示す図である。
。

[図6]本開示の第1の実施の形態に係る画素の製造方法の一例を示す図である。
。

[図7]本開示の第1の実施の形態に係る画素の製造方法の一例を示す図である。
。

[図8]本開示の第2の実施の形態に係る分離領域の構成例を示す図である。

[図9]本開示の第3の実施の形態に係る画素の構成例を示す図である。

[図10]本開示の第4の実施の形態に係る分離領域の構成例を示す図である。

[図11]本開示の第5の実施の形態に係る分離領域の構成例を示す図である。

[図12]本開示の第6の実施の形態に係る分離領域の構成例を示す図である。

[図13]本技術が適用され得る撮像装置の一例であるカメラの概略的な構成例を示すブロック図である。

発明を実施するための形態

[0022] 次に、図面を参照して、本開示を実施するための形態（以下、実施の形態と称する）を説明する。以下の図面において、同一または類似の部分には同一または類似の符号を付している。また、以下の順序で実施の形態の説明を行う。

1. 第1の実施の形態

2. 第2の実施の形態

３．第３の実施の形態

４．第４の実施の形態

５．第５の実施の形態

６．第６の実施の形態

７．カメラへの応用例

[0023] <１．第１の実施の形態>

[撮像素子の構成]

図１は、本開示の実施の形態に係る撮像素子の構成例を示す図である。同図の撮像素子１は、画素アレイ部１０と、垂直駆動部２０と、カラム信号処理部３０と、制御部４０とを備える。

[0024] 画素アレイ部１０は、画素１００が２次元格子状に配置されて構成されたものである。ここで、画素１００は、照射された光に応じた画像信号を生成するものである。この画素１００は、照射された光に応じた電荷を生成する光電変換部を有する。また画素１００は、画素回路をさらに有する。この画素回路は、光電変換部により生成された電荷に基づく画像信号を生成する。画像信号の生成は、後述する垂直駆動部２０により生成された制御信号により制御される。画素アレイ部１０には、信号線１１および１２がＸＹマトリクス状に配置される。信号線１１は、画素１００における画素回路の制御信号を伝達する信号線であり、画素アレイ部１０の行毎に配置され、各行に配置される画素１００に対して共通に配線される。信号線１２は、画素１００の画素回路により生成された画像信号を伝達する信号線であり、画素アレイ部１０の列毎に配置され、各列に配置される画素１００に対して共通に配線される。これら光電変換部および画素回路は、半導体基板に形成される。

[0025] 垂直駆動部２０は、画素１００の画素回路の制御信号を生成するものである。この垂直駆動部２０は、生成した制御信号を同図の信号線１１を介して画素１００に伝達する。カラム信号処理部３０は、画素１００により生成された画像信号を処理するものである。このカラム信号処理部３０は、同図の信号線１２を介して画素１００から伝達された画像信号の処理を行う。カラ

ム信号処理部30における処理には、例えば、画素100において生成されたアナログの画像信号をデジタルの画像信号に変換するアナログデジタル変換が該当する。カラム信号処理部30により処理された画像信号は、撮像素子1の画像信号として出力される。制御部40は、撮像素子1の全体を制御するものである。この制御部40は、垂直駆動部20およびカラム信号処理部30を制御する制御信号を生成して出力することにより、撮像素子1の制御を行う。制御部40により生成された制御信号は、信号線41および42により垂直駆動部20およびカラム信号処理部30に対してそれぞれ伝達される。なお、カラム信号処理部30は、請求の範囲に記載の処理回路の一例である。

[0026] [画素の構成]

図2は、本開示の第1の実施の形態に係る画素の構成例を示す図である。同図は、画素100の構成例を表す模式断面図である。同図の画素100は、半導体基板110と、配線領域120と、分離領域131と、非分離領域132と、絶縁膜140および161と、偏光部150と、保護膜162と、カラーフィルタ170と、オンチップレンズ180とを備える。

[0027] 半導体基板110は、光電変換部や画素回路等の素子の拡散領域が形成される半導体の基板である。この半導体基板110には、例えば、シリコン(Si)により構成された半導体基板を使用することができる。光電変換部や画素回路の素子の拡散領域は、半導体基板110に形成されたウェル領域に形成される。便宜上、同図の半導体基板110は、p型のウェル領域に構成されるものと想定する。このp型のウェル領域にn型の半導体領域を配置することにより光電変換部や画素回路の素子の拡散領域を形成することができる。

[0028] 同図には、これらの例として、光電変換部101を記載した。この光電変換部101は、同図の半導体基板110に配置されたn型の半導体領域111により構成される。具体的には、n型の半導体領域111と周囲のp型のウェル領域との界面のpn接合によるフォトダイオードが光電変換部101

に該当する。この p n 接合部分に入射光が照射されると、光電変換による電荷が生成される。この電荷のうちの電子が n 型の半導体領域 1 1 1 に蓄積される。この蓄積された電荷（電子）に基づいて、不図示の画素回路により画像信号が生成される。

[0029] 配線領域 1 2 0 は、半導体基板 1 1 0 の表面に隣接して配置され、画素 1 0 0 の画素回路の素子等に信号を伝達する配線が形成される領域である。同図の配線領域 1 2 0 は、配線層 1 2 2 および絶縁層 1 2 1 により構成される。配線層 1 2 2 は、信号を伝達する配線である。この配線層 1 2 2 は、例えば、銅（C u）等の金属により構成することができる。絶縁層 1 2 1 は、配線層 1 2 2 を絶縁するものである。この絶縁層 1 2 1 は、例えば、酸化シリコン（S i O₂）や窒化シリコン（S i N）により構成することができる。

[0030] 絶縁膜 1 4 0 は、半導体基板 1 1 0 の裏面に隣接して配置され、半導体基板 1 1 0 の裏面を保護する膜である。この絶縁膜 1 4 0 は、例えば、S i O₂ や S i N より構成することができる。なお、半導体基板 1 1 0 および絶縁膜 1 4 0 の間に半導体基板 1 1 0 の界面準位をピンングする固定電荷膜を配置することもできる。固定電荷膜には、例えば、酸化ハフニウム（H f O₂）の膜を使用することができる。

[0031] 偏光部 1 5 0 は、絶縁膜 1 4 0 の表面に配置されて被写体からの入射光を特定の偏光方向に偏光するものである。この偏光部 1 5 0 には、例えば、特定の偏光方向の入射光を透過させることにより入射光の偏光を行う偏光部を使用することができる。同図の偏光部 1 5 0 は、ワイヤグリッドにより構成される偏光部の例を表したものである。このワイヤグリッドは、複数の帯状の導体が所定のピッチに配列されて構成された偏光部である。同図の偏光部 1 5 0 は、帯状導体 1 5 1 が配列されて構成される。複数の帯状導体 1 5 1 の間の領域 1 5 2 には、空気等の誘電体を配置することができる。

[0032] 帯状導体 1 5 1 の並び方向に垂直な偏光方向、すなわち帯状導体 1 5 1 に平行な偏光方向の入射光は偏光部 1 5 0 により減衰される。入射光により帯状導体 1 5 1 の内部の電荷が振動して反射光を生じるためである。一方、帯

状導体 151 の並び方向に平行な偏光方向、すなわち帯状導体 151 に垂直な偏光方向の入射光は、偏光部 150 を透過する。帯状導体 151 内部の電荷の振動が制限されるためである。偏光部 150 を透過する偏光方向は、透過軸と称される。

[0033] また、偏光部 150 の透過光のうち最大の透過光と最小の透過光との比率は、消光比と称される。前述のように、偏光部 150 は、特定の偏光方向（透過軸）の光を透過する。一方、偏光部 150 は、透過軸とは異なる偏光方向の光を減衰する。透過軸に対して 90 度異なる偏光方向の透過光が最大の減衰量となる。このような透過光の最大値および最小値の比率が消光比となる。消光比が高いほど、ノイズの少ない偏光情報を取得することができる。なお、後述する分離領域 131 が配置される半導体基板 110 の裏面に隣接して偏光部 150 を配置することにより、クロストークを低減することができる。同図の偏光部 150 は、絶縁膜 140 を介して半導体基板 110 の裏面に隣接して配置される。

[0034] 絶縁膜 161 は、偏光部 150 を絶縁する膜である。また、絶縁膜 161 は、偏光部 150 の帯状導体 151 の保護をさらに行う。この絶縁膜 161 は、例えば、 SiO_2 により構成することができる。

[0035] 保護膜 162 は、半導体基板 110 の裏面を保護するとともに平坦化する膜である。保護膜 162 を配置することにより、後述するカラーフィルタ 170 が配置される面が平坦化され、色むらの発生を防ぐことができる。

[0036] カラーフィルタ 170 は、入射光のうち所定の波長の光を透過させる光学的なフィルタである。カラーフィルタ 170 を配置することにより、カラーの画像信号を生成することができる。カラーフィルタ 170 として、例えば、赤色光、緑色光および青色光を透過するカラーフィルタを使用することができる。

[0037] オンチップレンズ 180 は、画素 100 毎に配置されて入射光を集光するレンズである。このオンチップレンズ 180 は、半球形状に構成されて入射光を光電変換部 101（n 型の半導体領域 111）に集光する。オンチップ

レンズ１８０は、例えば、アクリル樹脂等の有機材料やＳｉＮ等の無機材料により構成することができる。

[0038] 同図の画素１００は、オンチップレンズ１８０により集光され、カラーフィルタ１７０および偏光部１５０を透過した入射光が半導体基板１１０の裏面から光電変換部１０１に照射される。このような半導体基板１１０の裏面に入射光が照射される撮像素子１は、裏面照射型の撮像素子と称される。ここで、撮像素子１の入射光が照射される面を入射面と称する。

[0039] 半導体基板１１０における画素１００の境界には、分離領域１３１が配置される。この分離領域１３１は、画素１００の半導体基板１１０を囲繞する形状に構成され、画素１００を分離するものである。分離領域１３１を配置することにより、隣接する画素１００との間の電荷の移動を防ぐことができ、クロストークを低減することができる。ここでクロストークとは、隣接する画素１００の影響を受けて画像信号が変化することであり、画像信号のノイズの原因となるものである。同図の分離領域１３１は、例えば、半導体基板１１０に形成された溝状の凹部１３０に分離用の部材を埋め込むことにより構成することができる。同図の分離領域１３１は、半導体基板１１０の入射面である裏面における画素１００を分離し、半導体基板１１０の裏面から表面に達しない深さに形成される例を表したものである。

[0040] また、分離用の部材として入射光を遮光する部材を使用すると好適である。隣接する画素１００の入射光の漏洩を防止し、クロストークをさらに低減することができるためである。具体的には、隣接する画素１００における異なる波長に対応するカラーフィルタ１７０を透過した光の入射を防ぐことにより、混色の発生を防止することができる。ここで、混色とは、異なる色の画像信号が混入する現象であり、クロストークの一例である。また、入射光を遮光する部材による分離領域１３１を配置することにより、隣接する画素１００における偏光部１５０により異なる方向に偏光された入射光の入射を防ぐことができる。前述の消光比の低下を防止することができる。

[0041] 入射光を遮光する部材には、例えば、タングステン（Ｗ）、アルミニウム

(A1) および銅 (Cu) 等の金属材料を使用することができる。同図の分離領域131は、半導体基板110における画素100の境界部分に形成された凹部130の内壁に絶縁膜を配置し、上述の金属材料であるWを埋め込むことにより形成されたものである。

[0042] 画素100の境界の半導体基板110には、非分離領域132がさらに配置される。この非分離領域132は、上述の分離領域131の間隙部分の半導体基板110により構成される。同図の半導体基板110の破線の矩形は非分離領域132を表したものである。この分離領域131の間隙部分は、画素100の隅部の近傍に配置される。分離領域131および非分離領域132の構成の詳細については後述する。

[0043] [分離領域の構成]

図3は、本開示の第1の実施の形態に係る分離領域の構成例を示す図である。同図は、画素アレイ部10に配置される複数の画素100の入射面からみた平面図であり、分離領域131および非分離領域132の構成例を表す平面図である。同図においてハッチングが付された領域は、半導体基板110の裏面を表す。また、二点鎖線の矩形は、画素100を表す。また、白抜き矩形は分離領域131を表す。また、破線の矩形は、偏光部150の帯状導体151を表す。なお、図2は、同図のa-a'線に沿った断面の構成を表したものである。

[0044] 同図は、平面視において矩形形状に構成される画素100の例を表したものである。また、同図の2行2列に配置された画素100a、100b、100cおよび100dには、それぞれ異なる偏光方向に入射光を偏光する偏光部150が配置される。すなわち、画素100a、100b、100cおよび100dには、透過軸が45度ずつ異なる偏光部150が配置される。この2行2列の画素100により、4つの偏光方向の入射光を検出し、4方向の偏光情報を含む画像信号を生成することができる。

[0045] 分離領域131は、画素100同士の境界に配置され、画素100の周囲を囲繞する形状に配置される。一方、非分離領域132は、矩形形状の画素

100の隅部の近傍に形成される分離領域131の間隙部分に配置される。この間隙は、平面視において格子形状に配置される縦横の分離領域131の交点に隣接する分離領域131に形成される。同図に表したように、分離領域131は、平面視における格子形状の画素100の境界が交わる交点において縦または横方向の一方が貫通するとともに他方が非分離領域132の間隙部分により分断される形状に構成される。また、全ての画素100の境界の交点に隣接して非分離領域132が配置される。

[0046] 前述のように、分離領域131は、半導体基板110に形成された凹部130に配置される。この凹部130は、半導体基板110の裏面をエッチングすることにより形成することができる。この凹部130をエッチングにより形成する際、非分離領域132を配置することにより、凹部130の深さばらつきを低減することができる。これにより、深さばらつきに基づくクロストークの発生を低減することができる。凹部130の深さばらつきの詳細については後述する。

[0047] なお、非分離領域132は、画素100に配置される偏光部150の偏光方向が互いに直交しない画素100の間に配置することができる。具体的には、同図の画素100aおよび画素100bの間、画素100bおよび画素100cの間、画素100cおよび画素100dの間ならびに画素100dおよび画素100aの間に配置される。

[0048] この非分離領域132を配置することにより、隣接する画素100の間の入射光の漏洩を生じる。異なる偏光方向の偏光部150を透過した入射光が漏洩することとなり、消光比が低下する。しかし、分離領域131は、偏光方向が直交しない偏光部150が配置される画素100の間に配置される。このため、消光比の低下を軽減することができる。これを画素100aおよび画素100bを例に挙げて説明する。画素100aおよび画素100bの間には、非分離領域132が配置される。画素100aの偏光部150の透過軸に対して画素100bの偏光部150は45度ずれた偏光方向に構成される。偏光部150の透過軸に対して45度ずれた偏光方向の入射光は、略

50%の光量に減衰されて透過する。すなわち、非分離領域132を介して画素100aに混入する画素100bの偏光部150を透過した入射光は、画素100aの偏光部150において略50%に減衰された偏光方向の入射光である。このため、非分離領域132を配置した場合であっても、軽微な消光比の増加にとどめることができる。

[0049] 一方、偏光方向が略直交する偏光部150を備える画素100同士の間には非分離領域132を配置しない。例えば、偏光方向が80乃至100度異なる画素100同士の間には非分離領域132を配置しない構成を採ることができる。同図においては、画素100aおよび画素100cの間ならびに画素100bおよび画素100dの間には、非分離領域132は配置されない。偏光部150は、自身の透過軸に対して直交する偏光方向の入射光を略100%遮光する。このため、直交する偏光方向の偏光部150が配置された画素100からの入射光の混入を生じると消光比が大幅に低下することとなる。この直交する偏光方向の偏光部150が配置された画素100の間には非分離領域132を配置しないことにより、非分離領域132を介した入射光の混入を防ぐことができる。直交する偏光方向の偏光部150が配置された画素100に基づく消光比の低下を防止することが可能となる。なお、偏光方向の略直交する場合には、偏光方向が80乃至100度異なる場合を想定する。

[0050] このように、直交しない偏光方向の偏光部150が配置される画素100の間に非分離領域132を配置することにより、非分離領域132に起因する消光比の低下を軽減することができる。

[0051] [分離領域の凹部の構成]

図4は、本開示の第1の実施の形態に係る分離領域の凹部の一例を示す図である。同図は、凹部130の形状の一例を示す図であり、非分離領域132の効果を説明する図である。同図におけるAおよびCは、画素100の半導体基板110および分離領域131の簡略化した平面図である。同図におけるBおよびDは、それぞれ同図におけるAおよびCのa-a'線に沿った

断面図である。なお、同図に於けるAおよびBは、非分離領域132を配置しない場合の例を比較のために表した図である。

[0052] 同図におけるAの画素アレイ部10は、非分離領域132が配置されないため、分離領域131の凹部130が平面視において縦横に交差した形状となる。凹部130は、半導体基板110の裏面を、例えば、エッチングすることにより形成することができる。このエッチングには、異方性のドライエッチングを適用することができる。この異方性のドライエッチングにより高いアスペクト比の溝形状の凹部130を形成することができる。このドライエッチングは、イオン化されたエッチングガスにより半導体基板110をエッチングする方式であり、エッチングガスを半導体基板110の表面に供給しながらエッチングを行う。このエッチングの際、平面視において交差する部分は、線形状の部分と比較して面積が広くなるため、エッチングガスの供給量が多くなり、エッチング速度が増加する。このように、エッチング対象の開口部の面積差に基づいてエッチング速度が変化する現象は、マイクロローディング現象と称される。このマイクロローディング現象により、交差する部分は、他の部分より深い形状の凹部130となる。

[0053] 同図におけるBは、この様子を表したものである。凹部130の交差する部分と他の部分とは Δd の深さばらつきを生じる。画素100の隅部以外の境界の半導体基板110は Δd だけ分離領域131が浅くなるため、当該領域を介した隣接画素100からのクロストークが大きくなる。赤色光や赤外光等の長波長の入射光は半導体基板110の深部に到達するため、赤色光等の長波長の入射光を透過するカラーフィルタ170が配置される画素100において、クロストークがさらに大きくなる。

[0054] これに対し、同図におけるCに表したように、非分離領域132を配置して間隙部分を分離領域131に配置することにより、上述の交差する部分の面積の増加を防ぐことができる。マイクロローディング現象の発生を防止することができ、均一な深さの凹部130を形成することができる。

[0055] [画素の製造方法]

図5乃至7は、本開示の第1の実施の形態に係る撮像素子の製造方法の一例を示す図である。図5乃至7は、撮像素子1の製造工程の一例を表した図である。まず、半導体基板110にp型のウェル領域を形成する。このp型のウェル領域に光電変換部101を構成するn型の半導体領域111等を形成する。これは、例えば、イオン注入により行うことができる。次に、半導体基板110の表面に配線領域120を形成する（図5におけるA）。当該工程は、光電変換部形成工程に該当する。次に、半導体基板110の天地を反転させて裏面側を研削し、半導体基板110を所望の厚さに構成する（図5におけるB）。

[0056] 次に、半導体基板110の裏面にレジスト301を配置する。このレジスト301には、凹部130を形成する領域に開口部302が配置される。一方、非分離領域132が配置される領域309には開口部は形成されない（図5におけるC）。次に、レジスト301をマスクとしてエッチングを行う。このエッチングには、前述のドライエッチングを適用することができる。このエッチングにより凹部130を形成する。なお、非分離領域132が配置される領域309はエッチングされず、図2において説明した分離領域131の間隙部分が形成される（図5におけるD）。その後、レジスト301を除去する。当該工程は、凹部形成工程に該当する。

[0057] 次に、凹部130の内壁を含む半導体基板110の裏面に絶縁膜140を形成する。これは、例えば、CVD（Chemical Vapor Deposition）により行うことができる。なお、絶縁膜140を形成する前に、固定電荷膜を凹部130の内壁を含む半導体基板110の裏面に形成することもできる（図6におけるE）。次に、凹部130の内壁を含む半導体基板110の裏面に金属膜303を配置する。これは、例えば、Wの膜をCVDにより形成することにより行うことができる。これにより、凹部130に金属材料を埋め込むことができる（図6におけるF）。次に、半導体基板110の裏面を研削して凹部130以外の金属膜303を除去する。これは、例えば、化学的機械的研磨（CMP：Chemical Mechanical Polishing）により行うことができる。

これにより、分離領域 131 を形成することができる（図 6 における G）。当該工程は、分離領域形成工程に該当する。

[0058] 次に、半導体基板 110 の裏面に絶縁膜 140 を再度形成する（図 6 における H）。次に、偏光部 150 の帯状導体 151 の材料となる金属膜 304 を配置する。これは、例えばスパッタリングにより行うことができる（図 7 における I）。次に、金属膜 304 をエッチングして帯状導体 151 を形成し、偏光部 150 を形成する（図 7 における J）。当該工程は、偏光部形成工程に該当する。

[0059] 次に、絶縁膜 161 を配置する（図 7 における K）。その後、保護膜 162、カラーフィルタ 170 およびオンチップレンズ 180 を形成することにより、撮像素子 1 を製造することができる。

[0060] なお、撮像素子 1 の構成は、この例に限定されない。例えば、凹部 130 に SiO_2 および SiN 等による絶縁部材を埋め込んで構成された分離領域 131 を使用することもできる。また、画素 100 のカラーフィルタ 170 を省略し、モノクロの画像信号を生成する構成を採ることもできる。

[0061] 以上説明したように、本開示の第 1 の実施の形態の撮像素子 1 は、偏光部 150 を備える複数の画素 100 の間に分離領域 131 を配置するとともに画素 100 の隅部の分離領域 131 の間隙部分の半導体基板 110 により非分離領域 132 を形成する。これにより、分離領域 131 を配置するための凹部 130 の深さばらつきを低減することができ、クロストークを低減することができる。

[0062] <2. 第 2 の実施の形態>

上述の第 1 の実施の形態の撮像素子 1 は、偏光方向が異なる 4 種類の偏光部 150 が画素 100 に配置されていた。これに対し、本開示の第 2 の実施の形態の撮像素子 1 は、画素 100 に配置する偏光部 150 の種類を削減する点で、上述の第 1 の実施の形態と異なる。

[0063] [分離領域の構成]

図 8 は、本開示の第 2 の実施の形態に係る分離領域の構成例を示す図であ

る。同図は、図3と同様に、画素アレイ部10に配置される複数の画素100における入射面からみた平面図である。偏光方向が異なる3種類の偏光部150が画素100に配置される点で、図3において説明した画素アレイ部10と異なる。

[0064] 同図の画素100dには、画素100aの偏光部150とは偏光方向が直交する偏光部150が配置される。画素100bおよび画素100cには、同じ偏光方向の偏光部150が配置される。この画素100bおよび画素100cの偏光部150は、画素100aおよび画素100dのそれぞれの偏光部150と偏光方向が45度異なる偏光部である。非分離領域132は、画素100aおよび画素100b、画素100bおよび画素100cならびに画素100cおよび画素100dの間にそれぞれ配置される。このように、非分離領域132は、互いに直交しない偏光方向の偏光部150が配置される画素100の間に配置される。画素100の境界の交点には、1つの非分離領域132が配置され、平面視においてT字状の分離領域131が形成される。この非分離領域132が配置されることにより、マイクロローディング現象の発生を軽減することができる。

[0065] これ以外の撮像素子1の構成は本開示の第1の実施の形態において説明した撮像素子1の構成と同様であるため、説明を省略する。

[0066] 以上説明したように、本開示の第2の実施の形態の撮像素子1は、偏光部150の種類を削減する場合においても画素100の隅部の分離領域131の間隙部分の半導体基板110により非分離領域132を形成する。これにより、分離領域131を配置するための凹部130の深さばらつきを低減することができ、クロストークを低減することができる。

[0067] <3. 第3の実施の形態>

上述の第1の実施の形態の撮像素子1は、半導体基板110の裏面に分離領域131が配置されていた。これに対し、本開示の第3の実施の形態の撮像素子1は、半導体基板110の裏面から表面に貫通する分離領域131を配置する点で、上述の第1の実施の形態と異なる。

[0068] [画素の構成]

図9は、本開示の第3の実施の形態に係る画素の構成例を示す図である。同図は、図2と同様に、画素100の構成例を表す模式断面図である。分離領域131が半導体基板110を貫通する点で、図2において説明した画素100と異なる。

[0069] 同図の分離領域131は、半導体基板110の裏面から表面に貫通する凹部130に配置され、半導体基板110を貫通する形状に構成される。これにより、画素100の分離能力を向上させることができる。半導体基板110の膜厚が薄い場合であっても、クロストークを低減することができる。この場合においても、非分離領域132を配置することにより、凹部130の深さばらつきを低減することができる。

[0070] これ以外の撮像素子1の構成は本開示の第1の実施の形態において説明した撮像素子1の構成と同様であるため、説明を省略する。

[0071] 以上説明したように、本開示の第3の実施の形態の撮像素子1は、半導体基板110を貫通する分離領域131を配置することにより、クロストークの影響をさらに低減することができる。

[0072] <4. 第4の実施の形態>

上述の第1の実施の形態の撮像素子1は、分離領域131の間隙部分に非分離領域132が配置されていた。これに対し、本開示の第4の実施の形態の撮像素子1は、分離領域131の間隙部分の大きさについて提案する。

[0073] [分離領域の構成]

図10は、本開示の第4の実施の形態に係る分離領域の構成例を示す図である。同図は、複数の画素100における入射面からみた平面図であり、分離領域131および非分離領域132の構成を簡略化して表した図である。

[0074] 前述のように、非分離領域132を配置することにより、マイクロローディング現象の発生を低減することができ、クロストークを低減することができる。一方、非分離領域132を配置することにより、この非分離領域132を介したクロストークを生じる。非分離領域132が配置される分離領域

131の間隙部分の大きさを制限することにより、非分離領域132を介したクロストークの影響を低減することができる。具体的には、間隙部分の間隙Gを矩形形状の画素100の幅W1の略10%以下に構成する。これにより、非分離領域132に起因するクロストークによる誤差の画像信号に対する比率を低減することができ、マイクロローディング現象の発生を低減しながら非分離領域132を介したクロストークの影響を低減することができる。

[0075] また、間隙部分の間隙Gを分離領域131の幅W2と略等しい大きさに構成してもよい。例えば、分離領域131の幅W2および間隙部分の間隙Gを100nmの大きさに構成することができる。この場合においても、マイクロローディング現象の発生を低減することができる。

[0076] これ以外の撮像素子1の構成は本開示の第1の実施の形態において説明した撮像素子1の構成と同様であるため、説明を省略する。

[0077] 以上説明したように、本開示の第4の実施の形態の撮像素子1は、非分離領域132を配置する分離領域131の間隙部分の大きさを規制する。これにより、マイクロローディング現象の発生を低減しながら非分離領域132を介したクロストークの影響を低減することができる。

[0078] <5. 第5の実施の形態>

上述の第1の実施の形態の撮像素子1は、偏光部150を備える画素100が配置されていた。これに対し、本開示の第5の実施の形態の撮像素子1は、偏光部150を備えない画素がさらに配置される点で、上述の第1の実施の形態と異なる。

[0079] [分離領域の構成]

図11は、本開示の第5の実施の形態に係る分離領域の構成例を示す図である。同図は、図3と同様に、画素アレイ部10に配置される複数の画素100における入射面からみた平面図である。偏光部150を備えない画素200が配置される点で、図3において説明した画素アレイ部10と異なる。

[0080] 同図の画素200は、偏光部150を備えない画素である。この画素200

0は、偏光情報を含まない通常の画像信号を生成する画素である。画素200は、図2における画素100において、偏光部150の代わりに保護膜162が配置された画素により構成することができる。非分離領域132は画素100および画素200の間に配置することができる。また、同図の撮像素子1においても、直交しない偏光方向の偏光部150が配置される画素100同士の間非分離領域132が配置される。なお、画素200は、請求の範囲に記載の第2の画素の一例である。

[0081] これ以外の撮像素子1の構成は本開示の第1の実施の形態において説明した撮像素子1の構成と同様であるため、説明を省略する。

[0082] 以上説明したように、本開示の第5の実施の形態の撮像素子1は、偏光部150を備えない画素200および画素100の間に非分離領域132を配置することにより、マイクロローディング現象の発生を低減し、クロストークを低減することができる。

[0083] <6. 第6の実施の形態>

上述の第1の実施の形態の撮像素子1は、入射面における平面視において矩形形状に構成される画素100を備えていた。これに対し、本開示の第6の実施の形態の撮像素子1は、矩形以外の形状の画素100を備える点で、上述の第1の実施の形態と異なる。

[0084] [分離領域の構成]

図12は、本開示の第6の実施の形態に係る分離領域の構成例を示す図である。同図は、図3と同様に、画素アレイ部10に配置される複数の画素100における入射面からみた平面図である。六角形状に構成される画素100を備える点で、図3において説明した画素アレイ部10と異なる。

[0085] 同図の画素100a、画素100b、画素100cおよび画素100dは、入射面の平面視において六角形の形状に構成される。図3と同様に、画素100a、画素100b、画素100cおよび画素100dには、偏光方向が45度ずつ異なる偏光部150がそれぞれ配置される。この画素100a等の間には分離領域131が配置される。また、画素アレイ部10には、画

素 1 0 0 a 等の隅部の近傍の分離領域 1 3 1 の間隙部分の半導体基板 1 1 0 により構成される非分離領域 1 3 2 がさらに配置される。

[0086] また、非分離領域 1 3 2 は、互いに直交しない偏光方向の偏光部 1 5 0 を備える画素 1 0 0 a 等の間に配置される。図 3 と同様に、同図の画素 1 0 0 a および画素 1 0 0 b の間、画素 1 0 0 b および画素 1 0 0 c の間、画素 1 0 0 c および画素 1 0 0 d の間ならびに画素 1 0 0 d および画素 1 0 0 a の間に配置される。

[0087] なお、撮像素子 1 の構成は、この例に限定されない。例えば、他の多角形の形状の画素 1 0 0 を配置する構成にすることもできる。

[0088] これ以外の撮像素子 1 の構成は本開示の第 1 の実施の形態において説明した撮像素子 1 の構成と同様であるため、説明を省略する。

[0089] 以上説明したように、本開示の第 5 の実施の形態の撮像素子 1 は、六角形の形状の画素 1 0 0 を備える場合において、画素 1 0 0 の間に非分離領域 1 3 2 を配置することにより、マイクロローディング現象の発生を低減し、クロストークを低減することができる。

[0090] < 7. カメラへの応用例 >

本開示に係る技術（本技術）は、様々な製品に応用することができる。例えば、本技術は、カメラ等の撮像装置に搭載される撮像素子として実現されてもよい。

[0091] 図 1 3 は、本技術が適用され得る撮像装置の一例であるカメラの概略的な構成例を示すブロック図である。同図のカメラ 1 0 0 0 は、レンズ 1 0 0 1 と、撮像素子 1 0 0 2 と、撮像制御部 1 0 0 3 と、レンズ駆動部 1 0 0 4 と、画像処理部 1 0 0 5 と、操作入力部 1 0 0 6 と、フレームメモリ 1 0 0 7 と、表示部 1 0 0 8 と、記録部 1 0 0 9 とを備える。

[0092] レンズ 1 0 0 1 は、カメラ 1 0 0 0 の撮影レンズである。このレンズ 1 0 0 1 は、被写体からの光を集光し、後述する撮像素子 1 0 0 2 に入射させて被写体を結像させる。

[0093] 撮像素子 1 0 0 2 は、レンズ 1 0 0 1 により集光された被写体からの光を

撮像する半導体素子である。この撮像素子１００２は、照射された光に応じたアナログの画像信号を生成し、デジタルの画像信号に変換して出力する。

[0094] 撮像制御部１００３は、撮像素子１００２における撮像を制御するものである。この撮像制御部１００３は、制御信号を生成して撮像素子１００２に対して出力することにより、撮像素子１００２の制御を行う。また、撮像制御部１００３は、撮像素子１００２から出力された画像信号に基づいてカメラ１０００におけるオートフォーカスを行うことができる。ここでオートフォーカスとは、レンズ１００１の焦点位置を検出して、自動的に調整するシステムである。このオートフォーカスとして、撮像素子１００２に配置された位相差画素により像面位相差を検出して焦点位置を検出する方式（像面位相差オートフォーカス）を使用することができる。また、画像のコントラストが最も高くなる位置を焦点位置として検出する方式（コントラストオートフォーカス）を適用することもできる。撮像制御部１００３は、検出した焦点位置に基づいてレンズ駆動部１００４を介してレンズ１００１の位置を調整し、オートフォーカスを行う。なお、撮像制御部１００３は、例えば、ファームウェアを搭載したDSP（Digital Signal Processor）により構成することができる。

[0095] レンズ駆動部１００４は、撮像制御部１００３の制御に基づいて、レンズ１００１を駆動するものである。このレンズ駆動部１００４は、内蔵するモータを使用してレンズ１００１の位置を変更することによりレンズ１００１を駆動することができる。

[0096] 画像処理部１００５は、撮像素子１００２により生成された画像信号を処理するものである。この処理には、例えば、画素毎の赤色、緑色および青色に対応する画像信号のうち不足する色の画像信号を生成するデモザイク、画像信号のノイズを除去するノイズリダクションおよび画像信号の符号化等が該当する。画像処理部１００５は、例えば、ファームウェアを搭載したマイコンにより構成することができる。

[0097] 操作入力部１００６は、カメラ１０００の使用者からの操作入力を受け付

けるものである。この操作入力部１００６には、例えば、押しボタンやタッチパネルを使用することができる。操作入力部１００６により受け付けられた操作入力は、撮像制御部１００３や画像処理部１００５に伝達される。その後、操作入力に応じた処理、例えば、被写体の撮像等の処理が起動される。

[0098] フレームメモリ１００７は、１画面分の画像信号であるフレームを記憶するメモリである。このフレームメモリ１００７は、画像処理部１００５により制御され、画像処理の過程におけるフレームの保持を行う。

[0099] 表示部１００８は、画像処理部１００５により処理された画像を表示するものである。この表示部１００８には、例えば、液晶パネルを使用することができる。

[0100] 記録部１００９は、画像処理部１００５により処理された画像を記録するものである。この記録部１００９には、例えば、メモリカードやハードディスクを使用することができる。

[0101] 以上、本開示が適用され得るカメラについて説明した。本技術は以上において説明した構成のうち、撮像素子１００２に適用され得る。具体的には、図１において説明した撮像素子１は、撮像素子１００２に適用することができる。撮像素子１００２に撮像素子１を適用することによりクロストークの発生が軽減され、カメラ１０００により生成される画像の画質の低下を防止することができる。なお、画像処理部１００５は、請求の範囲に記載の処理回路の一例である。カメラ１０００は、請求の範囲に記載の撮像装置の一例である。

[0102] なお、ここでは、一例としてカメラについて説明したが、本開示に係る技術は、その他、例えば監視装置等に適用されてもよい。また、本開示は、カメラ等の電子機器の他に、半導体モジュールの形式の半導体装置に適用することもできる。具体的には、図１３の撮像素子１００２および撮像制御部１００３を１つのパッケージに封入した半導体モジュールである撮像モジュールに本開示に係る技術を適用することもできる。

[0103] 最後に、上述した各実施の形態の説明は本開示の一例であり、本開示は上述の実施の形態に限定されることはない。このため、上述した各実施の形態以外であっても、本開示に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。

[0104] また、上述の実施の形態における図面は、模式的なものであり、各部の寸法の比率等は現実のものとは必ずしも一致しない。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれることは勿論である。

[0105] なお、本技術は以下のような構成もとることができる。

(1) 入射光を特定の偏光方向に偏光する偏光部および半導体基板に形成されて前記偏光された入射光の光電変換を行う光電変換部を備える複数の画素と、

前記半導体基板に配置されて前記複数の画素同士を分離する分離領域と、
前記画素の隅部の近傍の前記分離領域に形成される間隙部分の前記半導体基板により構成される非分離領域と
を具備する撮像素子。

(2) 前記偏光部は、前記入射光のうち特定の偏光方向の入射光を透過することにより前記入射光を偏光する前記(1)に記載の撮像素子。

(3) 前記偏光部は、所定のピッチに配列された複数の帯状導体からなるワイヤグリッドにより構成される前記(2)に記載の撮像素子。

(4) 前記非分離領域は、互いに直交しない前記特定の偏光方向の偏光部を備える前記複数の画素同士の間に配置される前記(1)から(3)の何れかに記載の撮像素子。

(5) 前記分離領域は、前記半導体基板に形成された凹部に形成される前記(1)から(4)の何れかに記載の撮像素子。

(6) 前記分離領域は、前記入射光を遮光する部材を有する前記(1)から(5)の何れかに記載の撮像素子。

(7) 前記分離領域は、金属により構成される部材を有する前記(6)に記載の撮像素子。

(8) 前記分離領域は、絶縁部材を有する前記(1)から(5)の何れかに記載の撮像素子。

(9) 前記非分離領域は、前記画素の前記入射光が照射される面の幅の略10%の隙間の前記間隙部分の前記半導体基板により構成される前記(1)から(8)の何れかに記載の撮像素子。

(10) 前記非分離領域は、前記分離領域の前記入射光が照射される面の幅と略等しい隙間の前記間隙部分の前記半導体基板により構成される前記(1)から(8)の何れかに記載の撮像素子。

(11) 前記偏光部を備えない前記画素である第2の画素をさらに具備する前記(1)から(10)の何れかに記載の撮像素子。

(12) 前記非分離領域は、前記画素および前記第2の画素の間に配置される前記(11)に記載の撮像素子。

(13) 入射光を特定の偏光方向に偏光する偏光部および半導体基板に形成されて前記偏光された入射光の光電変換を行う光電変換部を備える複数の画素と、

前記半導体基板に配置されて前記複数の画素同士を分離する分離領域と、

前記画素の隅部の近傍の前記分離領域に形成される間隙部分の前記半導体基板により構成される非分離領域と、

前記光電変換に基づいて生成される画像信号を処理する処理回路とを具備する撮像装置。

符号の説明

- [0106] 1 撮像素子
- 10 画素アレイ部
- 30 カラム信号処理部
- 100、100a、100b、100c、100d、200 画素
- 101 光電変換部
- 110 半導体基板
- 130 凹部

- 1 3 1 分離領域
- 1 3 2 非分離領域
- 1 5 0 偏光部
- 1 5 1 帯状導体
- 1 0 0 0 カメラ
- 1 0 0 2 撮像素子
- 1 0 0 5 画像処理部

請求の範囲

- [請求項1] 入射光を特定の偏光方向に偏光する偏光部および半導体基板に形成されて前記偏光された入射光の光電変換を行う光電変換部を備える複数の画素と、
- 前記半導体基板に配置されて前記複数の画素同士を分離する分離領域と、
- 前記画素の隅部の近傍の前記分離領域に形成される間隙部分の前記半導体基板により構成される非分離領域と
- を具備する撮像素子。
- [請求項2] 前記偏光部は、前記入射光のうち特定の偏光方向の入射光を透過することにより前記入射光を偏光する請求項 1 記載の撮像素子。
- [請求項3] 前記偏光部は、所定のピッチに配列された複数の帯状導体からなるワイヤグリッドにより構成される請求項 2 記載の撮像素子。
- [請求項4] 前記非分離領域は、互いに直交しない前記特定の偏光方向の偏光部を備える前記複数の画素同士の間に配置される請求項 1 記載の撮像素子。
- [請求項5] 前記分離領域は、前記半導体基板に形成された凹部に形成される請求項 1 記載の撮像素子。
- [請求項6] 前記分離領域は、前記入射光を遮光する部材を有する請求項 1 記載の撮像素子。
- [請求項7] 前記分離領域は、金属により構成される部材を有する請求項 6 記載の撮像素子。
- [請求項8] 前記分離領域は、絶縁部材を有する請求項 1 記載の撮像素子。
- [請求項9] 前記非分離領域は、前記画素の前記入射光が照射される面の幅の略 10% の隙間の前記間隙部分の前記半導体基板により構成される請求項 1 記載の撮像素子。
- [請求項10] 前記非分離領域は、前記分離領域の前記入射光が照射される面の幅と略等しい隙間の前記間隙部分の前記半導体基板により構成される請

求項 1 記載の撮像素子。

[請求項11] 前記偏光部を備えない前記画素である第 2 の画素をさらに具備する請求項 1 記載の撮像素子。

[請求項12] 前記非分離領域は、前記画素および前記第 2 の画素の間に配置される請求項 1 1 記載の撮像素子。

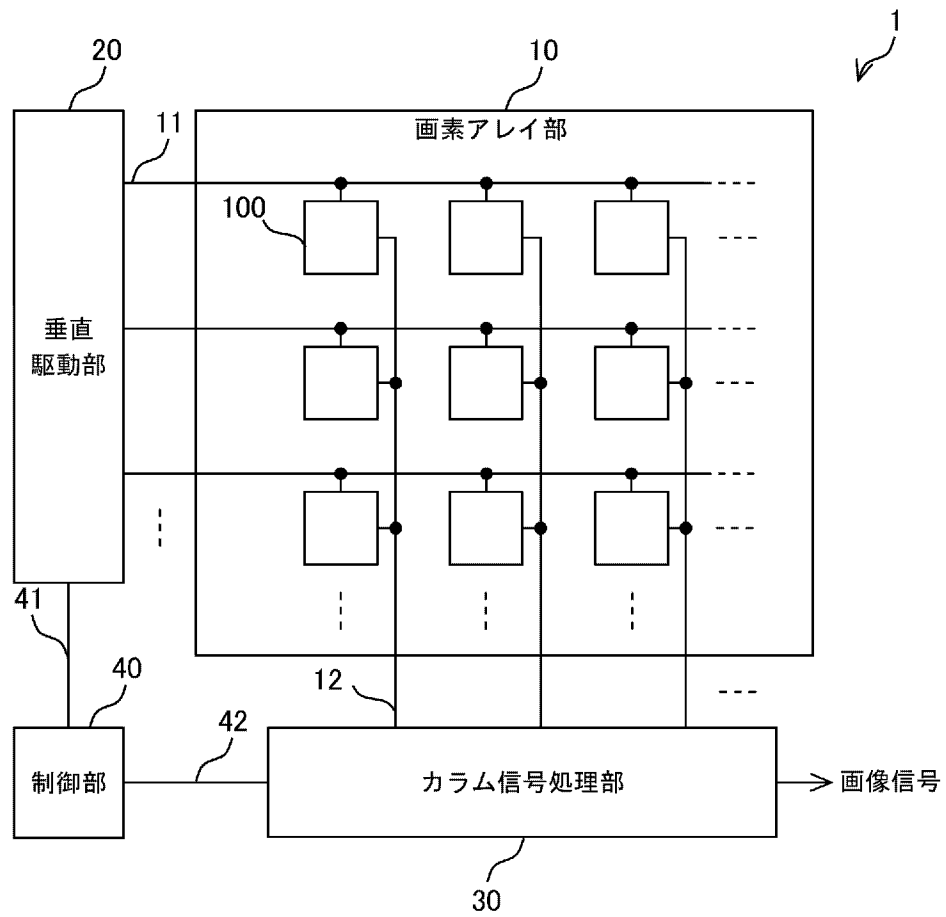
[請求項13] 入射光を特定の偏光方向に偏光する偏光部および半導体基板に形成されて前記偏光された入射光の光電変換を行う光電変換部を備える複数の画素と、

前記半導体基板に配置されて前記複数の画素同士を分離する分離領域と、

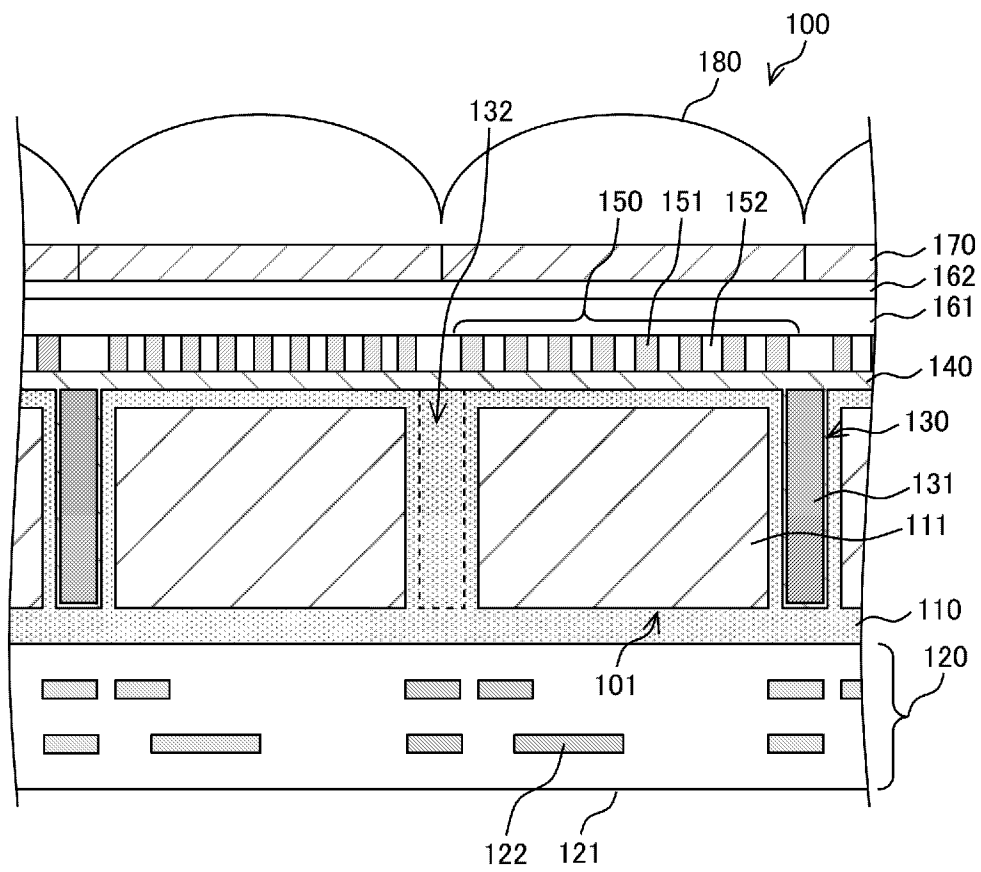
前記画素の隅部の近傍の前記分離領域に形成される間隙部分の前記半導体基板により構成される非分離領域と、

前記光電変換に基づいて生成される画像信号を処理する処理回路とを具備する撮像装置。

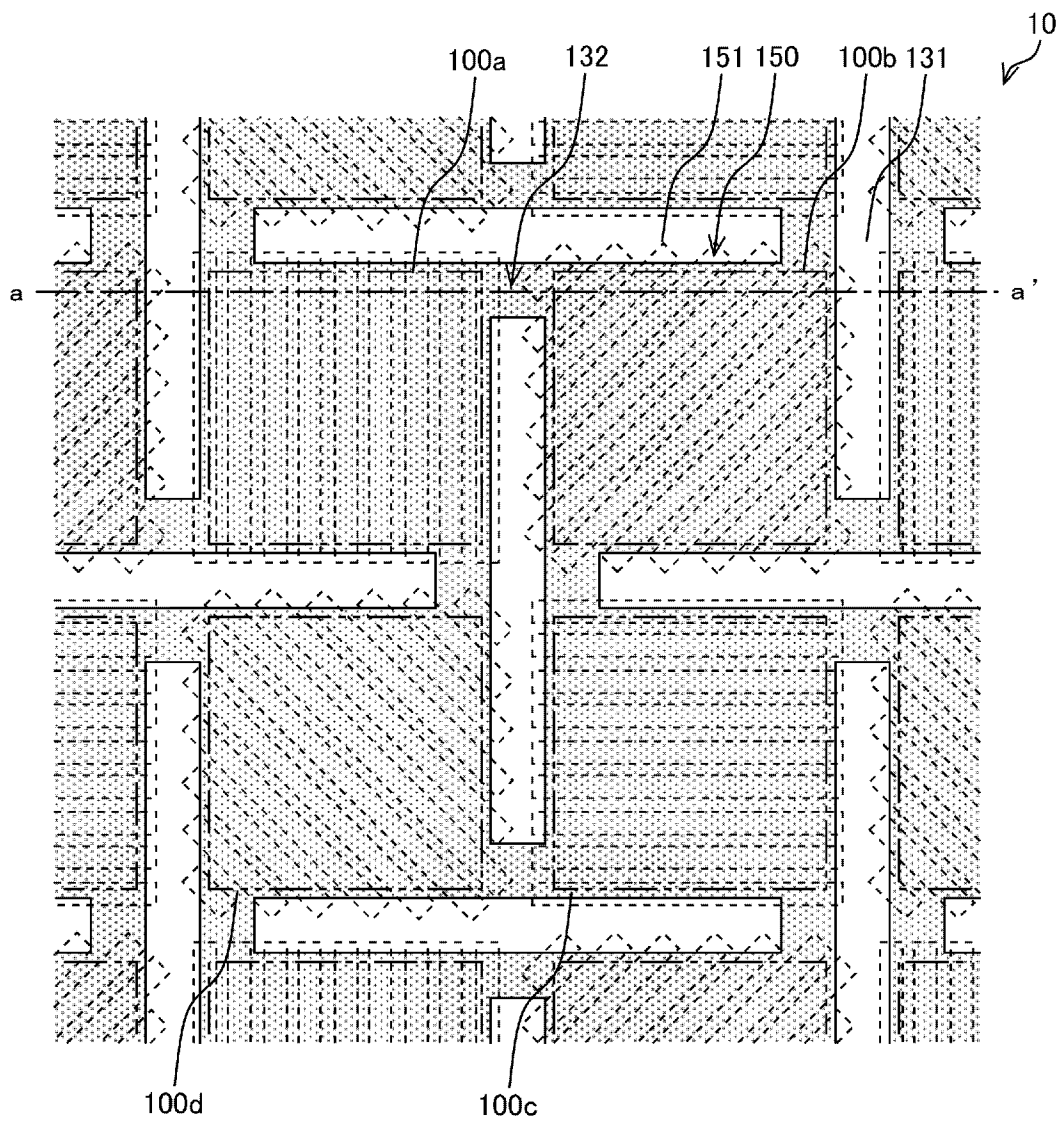
[図1]



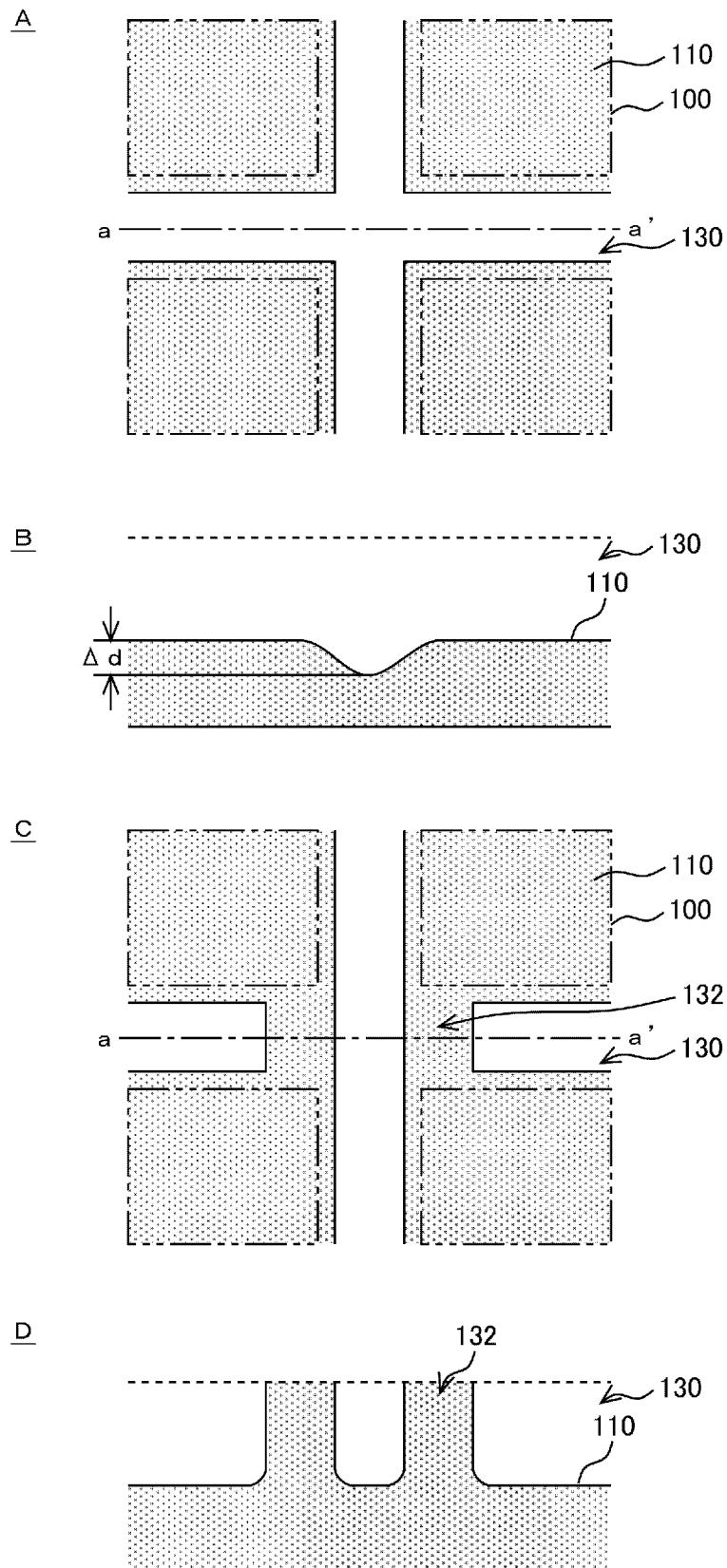
[図2]



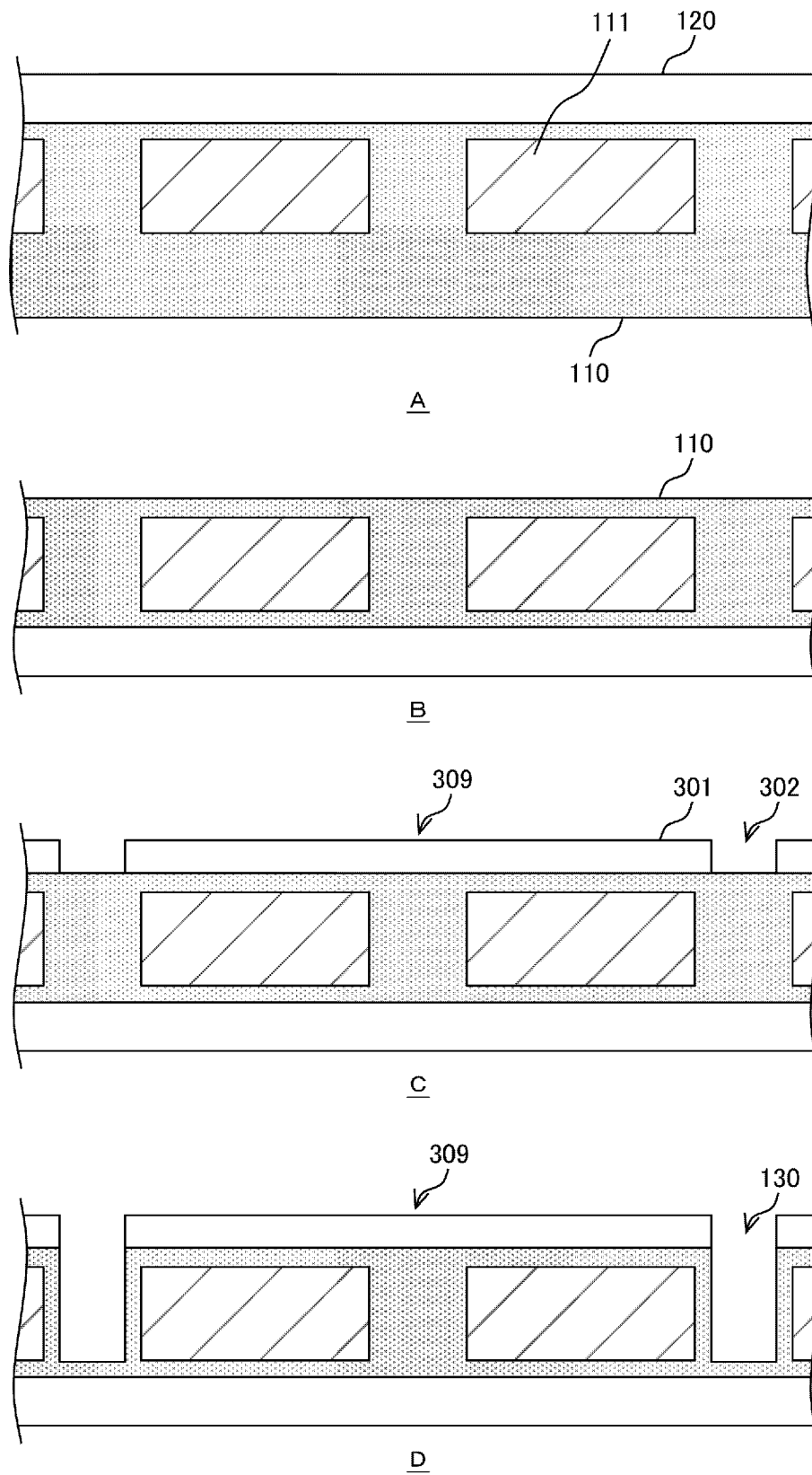
[図3]



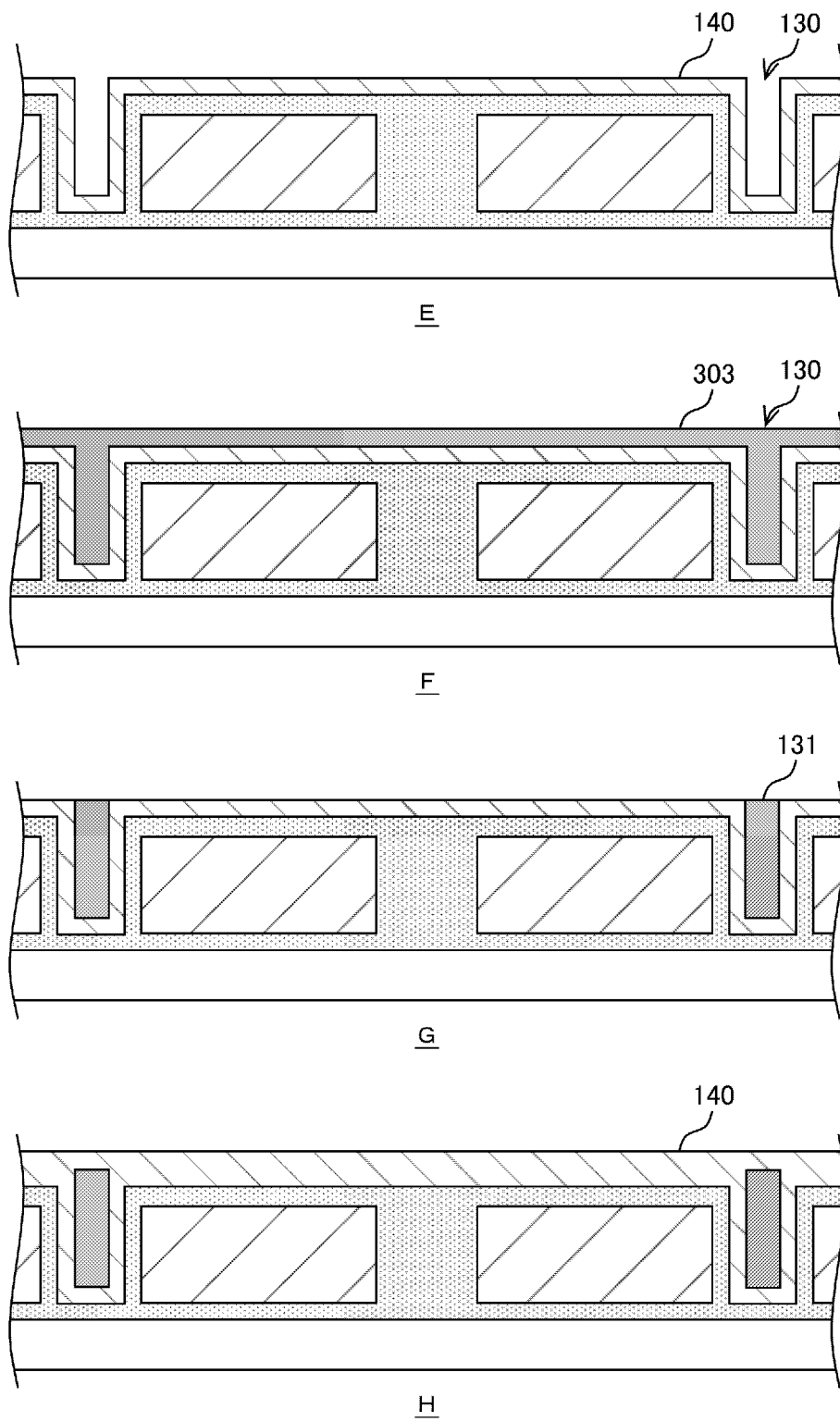
[図4]



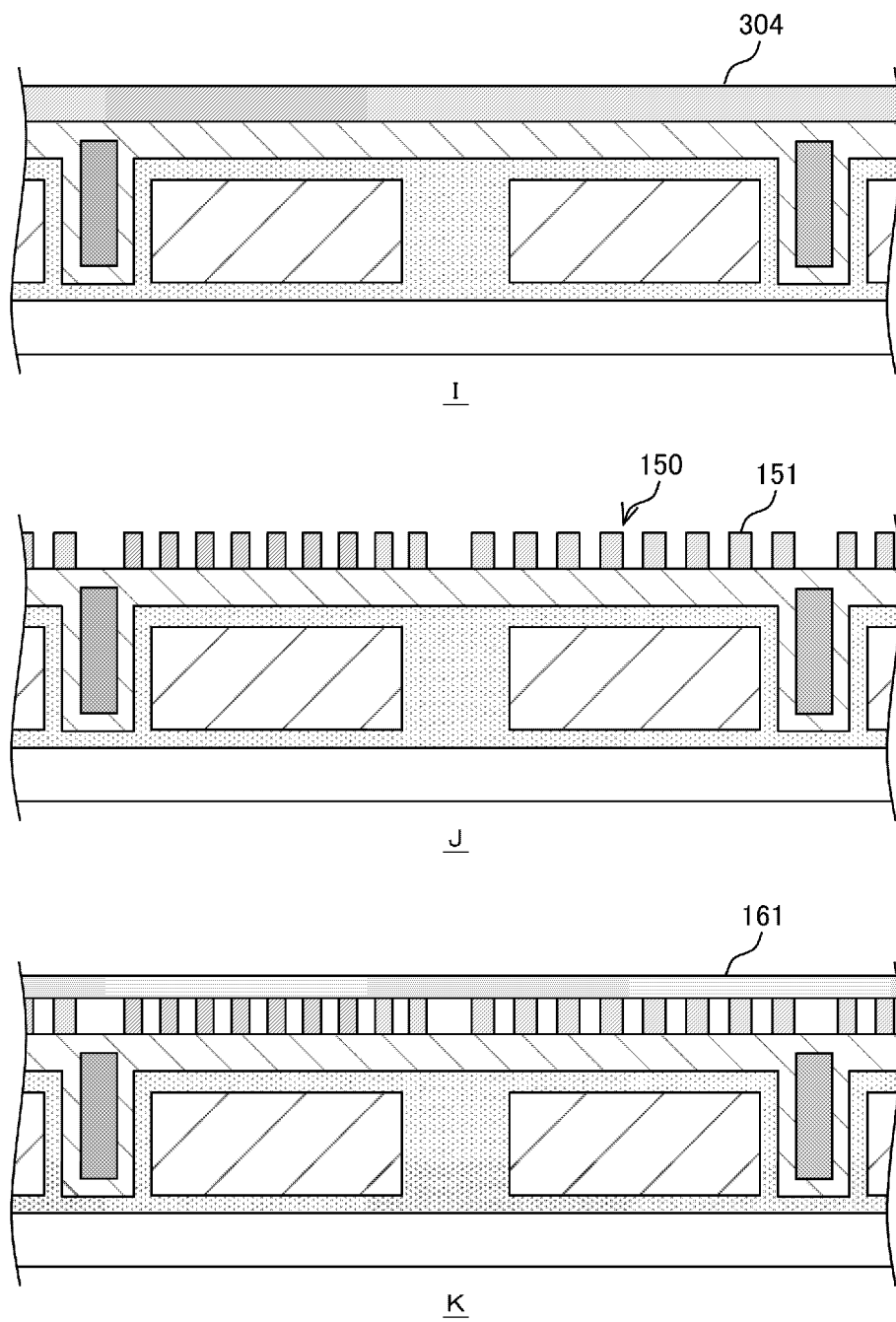
[図5]



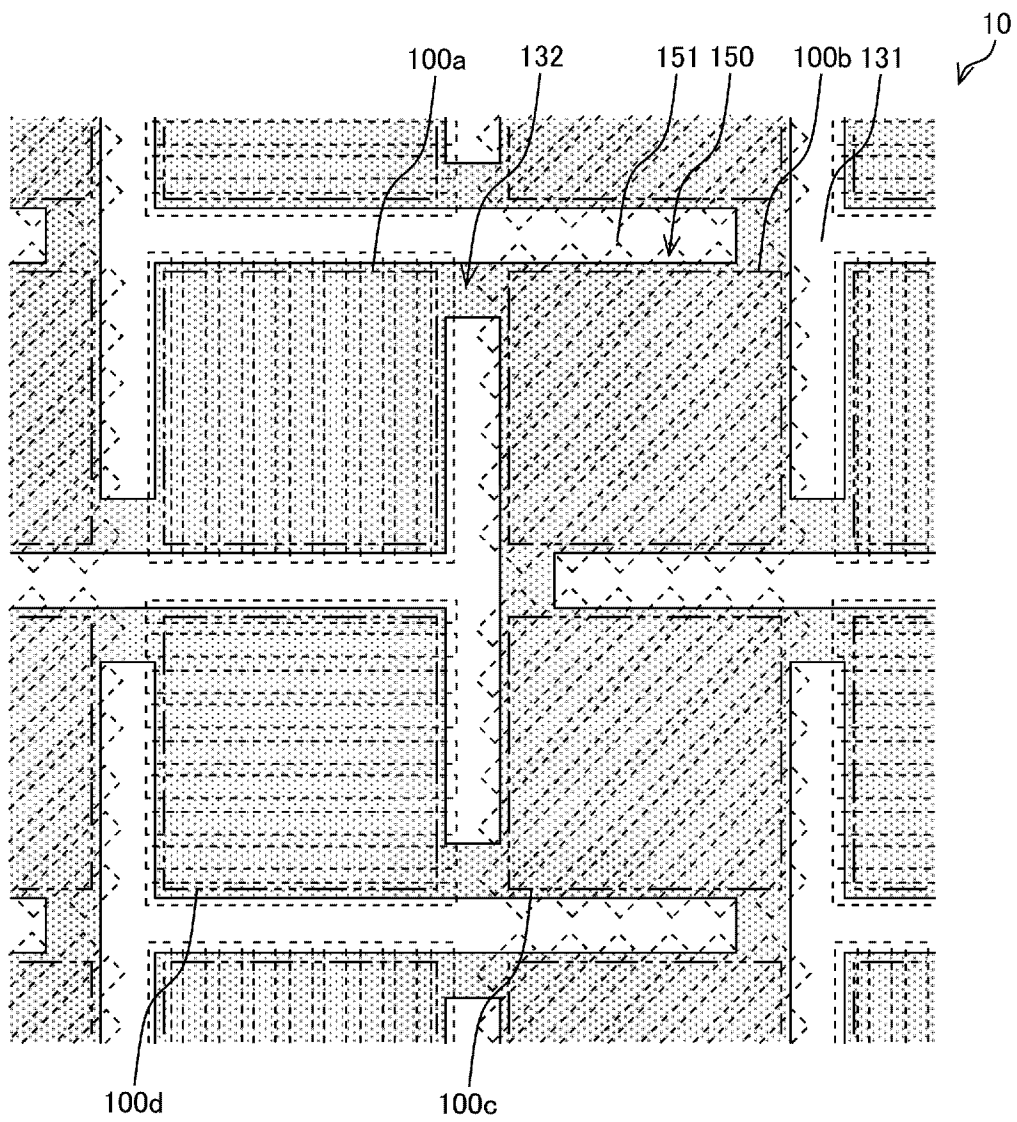
[図6]



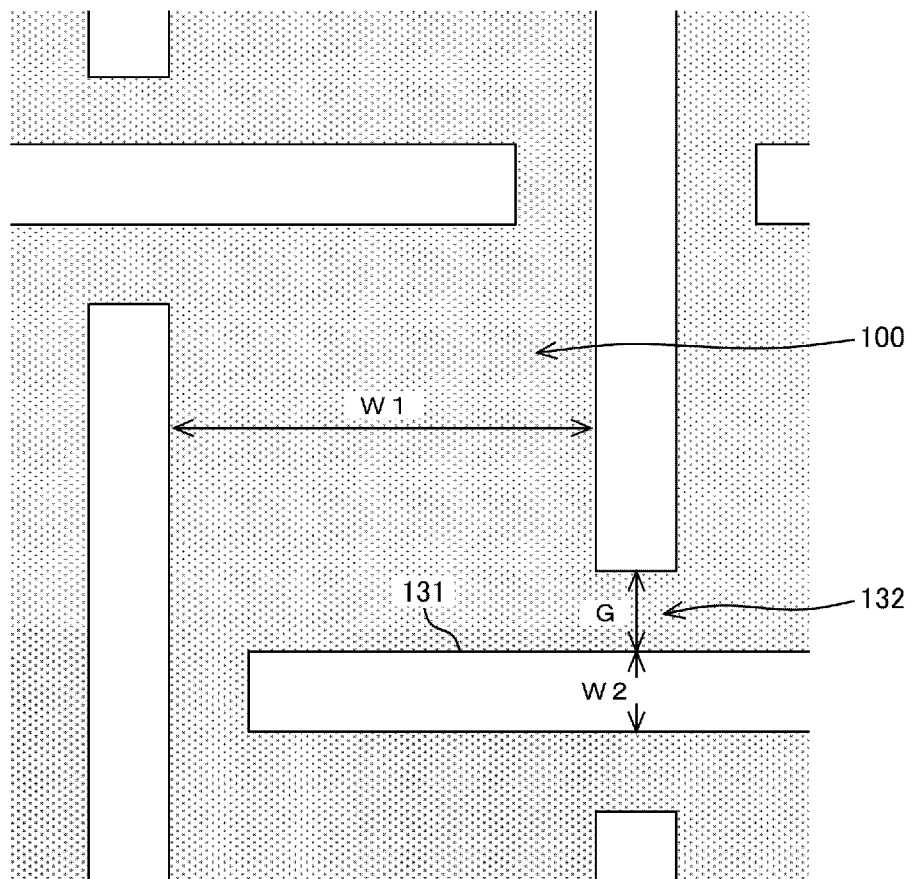
[図7]



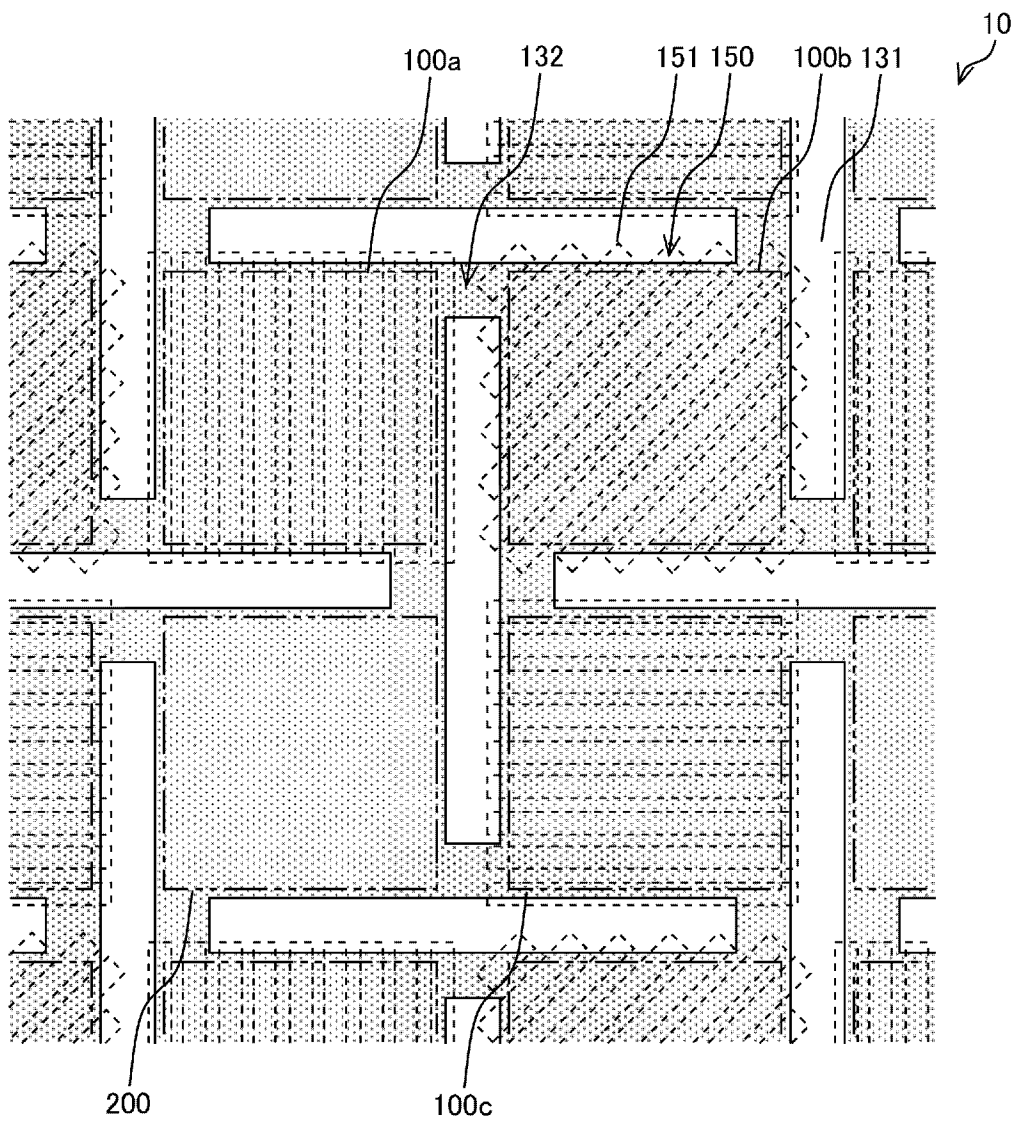
[図8]



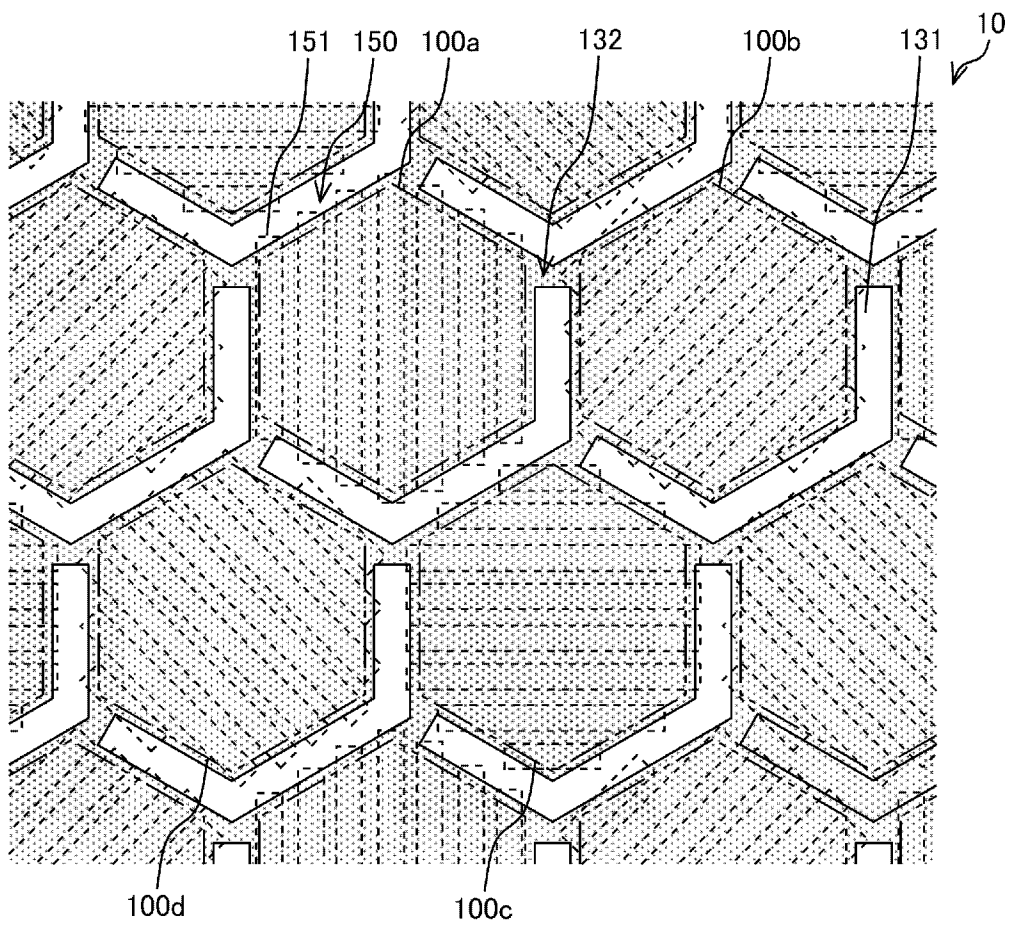
[図10]



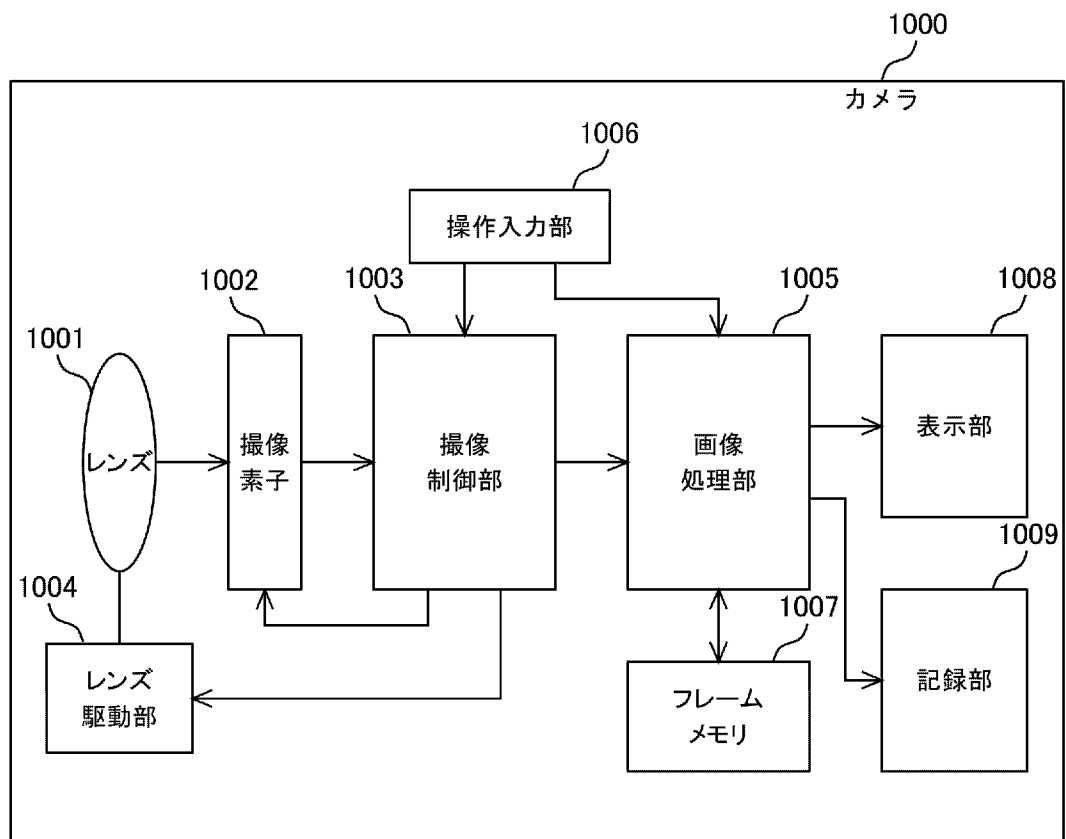
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/027703

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G02B5/30(2006.01)i, H01L27/146(2006.01)i, H04N5/359(2011.01)i, H04N5/369(2011.01)i

FI: H01L27/146D, H04N5/369, H04N5/359, H01L27/146A, G02B5/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02B5/30, H01L27/146, H04N5/359, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2017/018258 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 02.02.2017 (2017-02-02), paragraphs [0034]-[0088], fig. 2, 12	1-13
Y	JP 2015-153772 A (TOSHIBA CORPORATION) 24.08.2015 (2015-08-24), paragraphs [0052]-[0120], fig. 12, 29-31	1-13
A	WO 2019/159711 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 22.08.2019 (2019-08-22), paragraphs [0036]-[0085], fig. 3, 4	1-13

☐	Further documents are listed in the continuation of Box C.	☒	See patent family annex.
--------------------------	--	-------------------------------------	--------------------------

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18.09.2020	Date of mailing of the international search report 06.10.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/027703

WO 2017/018258 A1 02.02.2017 US 2019/0006407 A1
paragraphs [0050]-[0111], fig. 2, 12
CN 107924923 A

JP 2015-153772 A 24.08.2015 US 2015/0228684 A1
paragraphs [0082]-[0150],
fig. 12, 29-31
CN 104835826 A
KR 10-2015-0094489 A
TW 201532257 A

WO 2019/159711 A1 22.08.2019 JP 2019-145544 A

A. 発明の属する分野の分類（国際特許分類（IPC）） G02B 5/30(2006.01)i; H01L 27/146(2006.01)i; H04N 5/359(2011.01)i; H04N 5/369(2011.01)i FI: H01L27/146 D; H04N5/369; H04N5/359; H01L27/146 A; G02B5/30														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） G02B5/30; H01L27/146; H04N5/359; H04N5/369														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2020年													
日本国実用新案登録公報	1996-2020年													
日本国登録実用新案公報	1994-2020年													
国際調査でを使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	WO 2017/018258 A1（ソニーセミコンダクタソリューションズ株式会社）02.02.2017 (2017-02-02) [0034]-[0088], 図2, 12	1-13												
Y	JP 2015-153772 A（株式会社東芝）24.08.2015（2015-08-24） [0052]-[0120], 図12, 29-31	1-13												
A	WO 2019/159711 A1（ソニーセミコンダクタソリューションズ株式会社）22.08.2019 (2019-08-22) [0036]-[0085], 図3, 4	1-13												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 18.09.2020	国際調査報告の発送日 06.10.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/027703

引用文献			公表日	パテントファミリー文献			公表日
WO	2017/018258	A1	02.02.2017	US	2019/0006407	A1	
					[0050]-[0111], FIGS. 2, 12		
				CN	107924923	A	
JP	2015-153772	A	24.08.2015	US	2015/0228684	A1	
					[0082]-		
					[0150], FIGS. 12, 29-31		
				CN	104835826	A	
				KR	10-2015-0094489	A	
				TW	201532257	A	
WO	2019/159711	A1	22.08.2019	JP	2019-145544	A	