



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년11월25일

(11) 등록번호 10-2330407

(24) 등록일자 2021년11월19일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(21) 출원번호 10-2014-0180295

(22) 출원일자 2014년12월15일

심사청구일자 2019년12월05일

(65) 공개번호 10-2015-0072345

(43) 공개일자 2015년06월29일

(30) 우선권주장

JP-P-2013-262873 2013년12월19일 일본(JP)

(56) 선행기술조사문헌

JP2009224479 A*

(뒷면에 계속)

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

시모무라 아키히사

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(뒷면에 계속)

(74) 대리인

장훈

전체 청구항 수 : 총 14 항

심사관 : 강필승

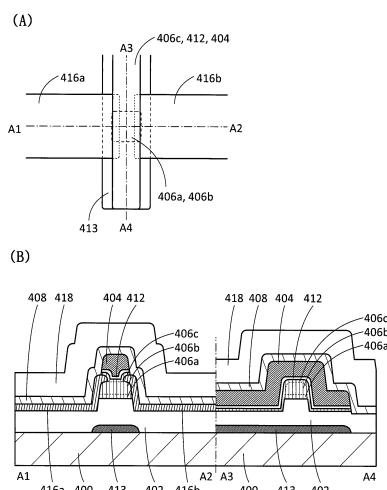
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 도통 시의 전류값이 큰 트랜지스터를 제공한다.

과잉 산소를 포함하는 제 1 절연체와, 제 1 절연체 위의 제 1 산화물 반도체와, 제 1 산화물 반도체 위의 제 2 산화물 반도체와, 제 2 산화물 반도체 위에서 간격을 두고 배치된 제 1 도전체 및 제 2 도전체와, 제 1 산화물 반도체의 측면, 제 2 산화물 반도체의 상면 및 측면, 제 1 도전체의 상면, 및 제 2 도전체의 상면에 접촉하는 제 3 산화물 반도체와, 제 3 산화물 반도체 위의 제 2 절연체와, 제 2 절연체 및 제 3 산화물 반도체를 개재하여 제 2 산화물 반도체의 상면 및 측면과 대향하는 제 3 도전체를 갖고, 제 1 산화물 반도체는 제 3 산화물 반도체보다 산소 투과성이 높은 반도체 장치이다.

대표도 - 도1



(72) 발명자

사토 유헤이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

야마네 야수마사

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

야마모토 요시타카

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

수자와 히데오미

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

타나카 테츠히로

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

오카자키 유타카

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

오쿠노 나오키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

이시야마 다카히사

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌

JP2013021313 A*

JP2013038402 A*

JP2013232636 A*

KR1020100084466 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 장치에 있어서:

제 1 절연체;

상기 제 1 절연체 위의 제 1 산화물 반도체;

상기 제 1 산화물 반도체 위의 제 2 산화물 반도체;

상기 제 2 산화물 반도체 위의 제 1 도전체 및 제 2 도전체;

상기 제 1 산화물 반도체의 측면, 상기 제 2 산화물 반도체의 상면 및 측면, 상기 제 1 도전체의 상면, 및 상기 제 2 도전체의 상면에 접촉하는 제 3 산화물 반도체;

상기 제 3 산화물 반도체 위의 제 2 절연체; 및

상기 제 2 절연체 및 상기 제 3 산화물 반도체를 개재(介在)하여 상기 제 2 산화물 반도체의 상기 상면 및 상기 측면과 대향하는 제 3 도전체를 포함하고,

상기 제 1 산화물 반도체는 상기 제 3 산화물 반도체보다 산소 투과성이 높고,

상기 제 1 산화물 반도체는 상기 제 3 산화물 반도체보다 두꺼운, 반도체 장치.

청구항 2

반도체 장치에 있어서:

제 1 절연체;

상기 제 1 절연체 위의 제 1 산화물 반도체;

상기 제 1 산화물 반도체 위의 제 2 산화물 반도체;

상기 제 2 산화물 반도체 위의 제 1 도전체 및 제 2 도전체;

상기 제 1 산화물 반도체의 측면, 상기 제 2 산화물 반도체의 상면 및 측면, 상기 제 1 도전체의 상면, 및 상기 제 2 도전체의 상면에 접촉하는 제 3 산화물 반도체;

상기 제 3 산화물 반도체 위의 제 2 절연체; 및

상기 제 2 절연체 및 상기 제 3 산화물 반도체를 개재하여 상기 제 2 산화물 반도체의 상기 상면 및 상기 측면과 대향하는 제 3 도전체를 포함하고,

상기 제 1 산화물 반도체는 상기 제 3 산화물 반도체보다 밀도가 낮고,

상기 제 1 산화물 반도체는 상기 제 3 산화물 반도체보다 두꺼운, 반도체 장치.

청구항 3

반도체 장치에 있어서:

제 1 절연체;

상기 제 1 절연체 위의 제 1 산화물 반도체;

상기 제 1 산화물 반도체 위의 제 2 산화물 반도체;

상기 제 2 산화물 반도체 위의 제 1 도전체 및 제 2 도전체;

상기 제 1 산화물 반도체의 측면, 상기 제 2 산화물 반도체의 상면 및 측면, 상기 제 1 도전체의 상면, 및 상기

제 2 도전체의 상면에 접촉하는 제 3 산화물 반도체;

상기 제 3 산화물 반도체 위의 제 2 절연체; 및

상기 제 2 절연체 및 상기 제 3 산화물 반도체를 개재하여 상기 제 2 산화물 반도체의 상기 상면 및 상기 측면과 대향하는 제 3 도전체를 포함하고,

상기 제 1 산화물 반도체는 상기 제 3 산화물 반도체보다 결정성이 낮고,

상기 제 1 산화물 반도체는 상기 제 3 산화물 반도체보다 두꺼운, 반도체 장치.

청구항 4

반도체 장치에 있어서:

블록부를 포함하는 제 1 절연체;

상기 제 1 절연체의 상기 블록부 위의 제 1 산화물 반도체;

상기 제 1 산화물 반도체 위의 제 2 산화물 반도체;

상기 제 2 산화물 반도체 위의 제 1 도전체 및 제 2 도전체로서, 상기 제 1 도전체 및 상기 제 2 도전체 중 적어도 하나에 상기 블록부의 측면이 접촉하는, 상기 제 1 도전체 및 상기 제 2 도전체;

상기 제 1 산화물 반도체의 측면, 상기 제 2 산화물 반도체의 상면 및 측면, 상기 제 1 도전체의 상면, 및 상기 제 2 도전체의 상면에 접촉하는 제 3 산화물 반도체;

상기 제 3 산화물 반도체 위의 제 2 절연체; 및

상기 제 2 절연체 및 상기 제 3 산화물 반도체를 개재하여 상기 제 2 산화물 반도체의 상기 상면, 상기 제 2 산화물 반도체의 상기 측면, 및 상기 블록부의 상기 측면과 대향하는 제 3 도전체를 포함하고,

상기 제 1 산화물 반도체는 상기 제 3 산화물 반도체보다 산소 투과성이 높고,

상기 제 1 산화물 반도체는 상기 제 3 산화물 반도체보다 두꺼운, 반도체 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 절연체는 가열 처리에 의하여 상기 제 1 절연체로부터 방출될 수 있는 산소 원자를 포함하는, 반도체 장치.

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

적어도 상기 제 1 절연체, 상기 제 1 산화물 반도체, 및 상기 제 2 산화물 반도체를 덮는 제 3 절연체를 더 포함하고,

상기 제 3 절연체는 산소를 블로킹하는 기능을 갖고,

상기 제 3 절연체는 수소를 블로킹하는 기능을 갖는, 반도체 장치.

청구항 7

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 산화물 반도체는 상기 제 2 산화물 반도체보다 전자 친화력이 낮고,

상기 제 3 산화물 반도체는 상기 제 2 산화물 반도체보다 전자 친화력이 낮은, 반도체 장치.

청구항 8

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 산화물 반도체는 상기 제 2 산화물 반도체보다 에너지 갭이 크고,

상기 제 3 산화물 반도체는 상기 제 2 산화물 반도체보다 에너지 갭이 큰, 반도체 장치.

청구항 9

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 절연체는 이차 이온 질량 분석법에 의하여 측정되는 수소 농도가 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만인 영역을 포함하는, 반도체 장치.

청구항 10

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 절연체는 과잉 산소를 포함하고,

상기 제 2 산화물 반도체는 과잉 산소를 포함하는, 반도체 장치.

청구항 11

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

적어도 상기 제 1 절연체, 상기 제 1 산화물 반도체, 및 상기 제 2 산화물 반도체를 덮는 제 3 절연체와;

상기 제 3 절연체 위의 제 4 절연체를 더 포함하고,

상기 제 4 절연체는 상기 제 2 산화물 반도체에 포함되는 영역보다 이차 이온 질량 분석법에 의하여 측정되는 수소 농도가 높은 영역을 포함하는, 반도체 장치.

청구항 12

제 4 항에 있어서,

상기 제 1 도전체 및 상기 제 2 도전체 각각은, 상기 제 1 도전체 및 상기 제 2 도전체 각각의 상면이 상기 블록부의 상면보다 낮게 위치되는 영역을 포함하는, 반도체 장치.

청구항 13

제 4 항에 있어서,

상기 제 3 도전체는, 상기 제 3 도전체의 하면이 상기 블록부의 상면보다 낮게 위치되는 영역을 포함하는, 반도체 장치.

청구항 14

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 반도체 장치는 상기 제 1 절연체 아래의 제 4 도전체를 포함하는, 반도체 장치.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히 본 발명은 예컨대, 반도체, 반도체 장치, 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 및 프로세서에 관한 것이다. 또는, 반도체, 반도체 장치, 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 및 프로세서의 제조 방법에 관한 것이다. 또는, 반도체 장치, 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 및 프로세서의 구동 방법에 관한 것이다.

[0002] 또한, 본 명세서 등에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 표시 장치, 발광 장치, 조명 장치, 전기 광학 장치, 반도체 회로, 및 전자 기기는 반도체 장치를 갖는 경우가 있다.

배경 기술

[0003] 절연 표면을 갖는 기판 위의 반도체를 사용하여 트랜지스터를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로나 표시 장치 등의 반도체 장치에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체로서는 실리콘층이 알려져 있다.

[0004] 트랜지스터의 반도체에 사용되는 실리콘층으로서, 용도에 따라 비정질 실리콘층 또는 다결정 실리콘층이 사용된다. 예를 들어, 대형 표시 장치를 구성하는 트랜지스터에는, 대면적 기판에 성막하는 기술이 확립되어 있는 비정질 실리콘층이 바람직하다. 한편, 구동 회로를 일체로 형성한 고기능의 표시 장치를 구성하는 트랜지스터에는, 높은 전계 효과 이동도를 갖는 트랜지스터를 제작할 수 있는 다결정 실리콘층이 바람직하다. 다결정 실리콘층의 형성 방법으로서, 비정질 실리콘층에 대하여 고온 가열 처리, 또는 레이저 광 처리를 수행하는 방법이 알려져 있다.

[0005] 또한, 근년에 들어, 산화물 반도체가 주목을 받고 있다. 산화물 반도체는 스퍼터링법 등에 의하여 성막할 수 있기 때문에, 대형 표시 장치를 구성하는 트랜지스터의 반도체로서 사용할 수 있다. 또한, 산화물 반도체를 사용한 트랜지스터는 전계 효과 이동도가 높기 때문에, 구동 회로를 일체로 형성한 고기능 표시 장치를 구현할 수 있다. 또한, 비정질 실리콘층을 사용한 트랜지스터의 생산 설비의 일부를 개량함으로써 이용할 수 있기 때문에, 설비 투자를 억제할 수 있는 장점도 있다.

[0006] 산화물 반도체를 사용한 트랜지스터에 안정적인 전기 특성을 부여하는 방법으로서, 산화물 반도체에 접촉되는 절연체에 대한 산소 도핑 기술이 개시(開示)되어 있다(특허문헌 1 참조). 특허문헌 1에 개시된 기술을 사용함으로써 산화물 반도체 내의 산소 결손을 저감할 수 있다. 이 결과, 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감하여 신뢰성을 향상시킬 수 있다.

[0007] 그런데, 산화물 반도체막을 사용한 트랜지스터는 비도통 상태 시의 누설 전류가 매우 작은 것이 알려져 있다. 예를 들어, 산화물 반도체막을 사용한 트랜지스터의 누설 전류 특성을 응용한 저소비 전력의 CPU 등이 개시되어 있다(특허문헌 2 참조).

[0008] 또한, 반도체막으로 이루어진 활성층으로 우물(well) 퍼텐셜을 구성함으로써, 전계 효과 이동도가 높은 트랜지스터를 얻을 수 있다는 것이 개시되어 있다(특허문헌 3 참조).

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본국 특개 2011-243974호 공보

(특허문헌 0002) 일본국 특개 2012-257187호 공보

(특허문헌 0003) 일본국 특개 2012-59860호 공보

발명의 내용

해결하려는 과제

- [0010] 도통 시의 전류(온 전류)가 큰 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 비도통 시의 전류가 작은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 전기 특성이 안정된 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 상기 트랜지스터를 갖는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 튼튼한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 신규의 반도체 장치를 제공하는 것을 과제 중 하나로 한다.
- [0011] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 과제가 추출될 수 있다.

과제의 해결 수단

- [0012] (1)
- [0013] 본 발명의 일 형태는, 과잉 산소를 포함하는 제 1 절연체와, 제 1 절연체 위의 제 1 산화물 반도체와, 제 1 산화물 반도체 위의 제 2 산화물 반도체와, 제 2 산화물 반도체 위에서 간격을 두고 배치된 제 1 도전체 및 제 2 도전체와, 제 2 산화물 반도체, 제 1 도전체, 및 제 2 도전체 위의 제 2 절연체와, 제 2 절연체를 개재(介在)하여 제 2 산화물 반도체와 대향하는 제 3 도전체를 갖고, 제 1 산화물 반도체는 산소 투과성을 갖는 반도체 장치이다.
- [0014] (2)
- [0015] 또는, 본 발명의 일 형태는, 과잉 산소를 포함하는 제 1 절연체와, 제 1 절연체 위의 제 1 산화물 반도체와, 제 1 산화물 반도체 위의 제 2 산화물 반도체와, 제 2 산화물 반도체 위에서 간격을 두고 배치된 제 1 도전체 및 제 2 도전체와, 제 1 산화물 반도체의 측면, 제 2 산화물 반도체의 상면 및 측면, 제 1 도전체의 상면, 및 제 2 도전체의 상면에 접촉하는 제 3 산화물 반도체와, 제 3 산화물 반도체 위의 제 2 절연체와, 제 2 절연체 및 제 3 산화물 반도체를 개재하여 제 2 산화물 반도체의 상면 및 측면과 대향하는 제 3 도전체를 갖고, 제 1 산화물 반도체는 제 3 산화물 반도체보다 산소 투과성이 높은 반도체 장치이다.
- [0016] (3)
- [0017] 또는, 본 발명의 일 형태는, 과잉 산소를 포함하는 제 1 절연체와, 제 1 절연체 위의 제 1 산화물 반도체와, 제 1 산화물 반도체 위의 제 2 산화물 반도체와, 제 2 산화물 반도체 위에서 간격을 두고 배치된 제 1 도전체 및 제 2 도전체와, 제 1 산화물 반도체의 측면, 제 2 산화물 반도체의 상면 및 측면, 제 1 도전체의 상면, 및 제 2 도전체의 상면에 접촉하는 제 3 산화물 반도체와, 제 3 산화물 반도체 위의 제 2 절연체와, 제 2 절연체 및 제 3 산화물 반도체를 개재하여 제 2 산화물 반도체의 상면 및 측면과 대향하는 제 3 도전체를 갖고, 제 1 산화물 반도체는 제 3 산화물 반도체보다 밀도가 낮은 반도체 장치이다.
- [0018] (4)
- [0019] 또는, 본 발명의 일 형태는, 과잉 산소를 포함하는 제 1 절연체와, 제 1 절연체 위의 제 1 산화물 반도체와, 제 1 산화물 반도체 위의 제 2 산화물 반도체와, 제 2 산화물 반도체 위에서 간격을 두고 배치된 제 1 도전체 및 제 2 도전체와, 제 1 산화물 반도체의 측면, 제 2 산화물 반도체의 상면 및 측면, 제 1 도전체의 상면, 및 제 2 도전체의 상면에 접촉하는 제 3 산화물 반도체와, 제 3 산화물 반도체 위의 제 2 절연체와, 제 2 절연체 및 제 3 산화물 반도체를 개재하여 제 2 산화물 반도체의 상면 및 측면과 대향하는 제 3 도전체를 갖고, 제 1 산화물 반도체는 제 3 산화물 반도체보다 결정성이 낮은 반도체 장치이다.
- [0020] (5)
- [0021] 또는, 본 발명의 일 형태는, (1)~(4) 중 어느 하나에서, 적어도 제 1 절연체, 제 1 산화물 반도체, 및 제 2 산화물 반도체를 덮는 제 3 절연체를 갖고, 제 3 절연체가 산소를 블로킹하는 기능을 갖는 반도체 장치이다.

- [0022] (6)
- [0023] 또는, 본 발명의 일 형태는, (1)~(4) 중 어느 하나에서, 적어도 제 1 절연체, 제 1 산화물 반도체, 및 제 2 산화물 반도체를 덮는 제 3 절연체를 갖고, 제 3 절연체가 수소를 블로킹하는 기능을 갖는 반도체 장치이다.
- [0024] (7)
- [0025] 또는, 본 발명의 일 형태는, (1)~(6) 중 어느 하나에서, 제 1 산화물 반도체는 제 2 산화물 반도체보다 전자 친화력이 낮은 반도체 장치이다.
- [0026] (8)
- [0027] 또는, 본 발명의 일 형태는, (2)~(7) 중 어느 하나에서, 제 3 산화물 반도체는 제 2 산화물 반도체보다 전자 친화력이 낮은 반도체 장치이다.
- [0028] (9)
- [0029] 또는, 본 발명의 일 형태는, (1)~(8) 중 어느 하나에서, 제 1 산화물 반도체는 제 2 산화물 반도체보다 에너지 갭이 큰 반도체 장치이다.
- [0030] (10)
- [0031] 또는, 본 발명의 일 형태는, (2)~(9) 중 어느 하나에서, 제 3 산화물 반도체는 제 2 산화물 반도체보다 에너지 갭이 큰 반도체 장치이다.
- [0032] (11)
- [0033] 또는, 본 발명의 일 형태는, (1)~(10) 중 어느 하나에서, 제 1 절연체는 산화 실리콘층 또는 산화질화 실리콘층인 반도체 장치이다.
- [0034] (12)
- [0035] 또는, 본 발명의 일 형태는, (2)~(11) 중 어느 하나에서, 제 3 산화물 반도체는 산소를 블로킹하는 기능을 갖는 반도체 장치이다.
- [0036] (13)
- [0037] 또는, 본 발명의 일 형태는, (1)~(12) 중 어느 하나에서, 제 2 절연체는 이차 이온 질량 분석법에 의하여 측정되는 수소 농도가 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만인 영역을 갖는 반도체 장치이다.
- [0038] (14)
- [0039] 또는, 본 발명의 일 형태는, (2)~(13) 중 어느 하나에서, 제 3 산화물 반도체, 제 2 절연체, 및 제 3 도전체는 상면으로부터 보았을 때의 단부 형상이 같은 반도체 장치이다.
- [0040] (15)
- [0041] 또는, 본 발명의 일 형태는, (1)~(14) 중 어느 하나에서, 제 2 산화물 반도체가 과잉 산소를 포함하는 반도체 장치이다.
- [0042] (16)
- [0043] 또는, 본 발명의 일 형태는, (1)~(15) 중 어느 하나에서, 제 3 절연체 위에 제 4 절연체를 갖고, 제 4 절연체는 이차 이온 질량 분석법에 의하여 측정되는 수소 농도가 제 2 산화물 반도체가 갖는 영역보다 높은 영역을 갖는 반도체 장치이다.
- [0044] 또한, 본 발명의 일 형태에 따른 반도체 장치에 있어서, 산화물 반도체를 다른 반도체로 바뀌도 좋다.

발명의 효과

- [0045] 도통 시의 전류가 큰 트랜지스터를 제공할 수 있다. 또는, 비도통 시의 전류가 작은 트랜지스터를 제공할 수 있다. 또는, 전기 특성이 안정된 트랜지스터를 제공할 수 있다. 또는, 상기 트랜지스터를 갖는 반도체 장치를 제공할 수 있다. 또는 튼튼한 반도체 장치를 제공할 수 있다. 또는, 신규 반도체 장치를 제공할 수 있다.

[0046] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 이들 효과 모두를 가질 필요는 없다. 또한, 이들 이외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 효과가 추출될 수 있다.

도면의 간단한 설명

[0047] 도 1은 본 발명의 일 형태에 따른 트랜지스터를 도시한 상면도 및 단면도.
 도 2는 본 발명의 일 형태에 따른 트랜지스터의 단면을 도시한 사시도.
 도 3은 본 발명의 일 형태에 따른 트랜지스터의 일부의 밴드도 및 도통 시의 전류 경로를 설명한 도면.
 도 4는 본 발명의 일 형태에 따른 트랜지스터의 도통 시의 전자의 흐름을 설명한 도면.
 도 5는 본 발명의 일 형태에 따른 트랜지스터를 도시한 단면도.
 도 6은 본 발명의 일 형태에 따른 트랜지스터를 도시한 상면도 및 단면도.
 도 7은 본 발명의 일 형태에 따른 트랜지스터를 도시한 상면도 및 단면도.
 도 8은 본 발명의 일 형태에 따른 트랜지스터를 도시한 상면도 및 단면도.
 도 9는 본 발명의 일 형태에 따른 트랜지스터를 도시한 상면도 및 단면도.
 도 10은 본 발명의 일 형태에 따른 트랜지스터를 도시한 상면도 및 단면도.
 도 11은 본 발명의 일 형태에 따른 트랜지스터를 도시한 상면도 및 단면도.
 도 12는 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 도시한 단면도.
 도 13은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 도시한 단면도.
 도 14는 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 도시한 단면도.
 도 15는 본 발명의 일 형태에 따른 트랜지스터를 도시한 상면도 및 단면도.
 도 16은 본 발명의 일 형태에 따른 트랜지스터를 도시한 단면도.
 도 17은 본 발명의 일 형태에 따른 트랜지스터를 도시한 상면도 및 단면도.
 도 18은 본 발명의 일 형태에 따른 트랜지스터를 도시한 상면도 및 단면도.
 도 19는 본 발명의 일 형태에 따른 트랜지스터를 도시한 상면도 및 단면도.
 도 20은 본 발명의 일 형태에 따른 트랜지스터를 도시한 단면도.
 도 21은 본 발명의 일 형태에 따른 반도체 장치의 단면도.
 도 22는 본 발명의 일 형태에 따른 반도체 장치의 회로도.
 도 23은 본 발명의 일 형태에 따른 기억 장치의 회로도.
 도 24는 본 발명의 일 형태에 따른 RF태그의 블록도.
 도 25는 본 발명의 일 형태에 따른 RF태그의 사용예를 도시한 도면.
 도 26은 본 발명의 일 형태에 따른 CPU를 도시한 블록도.
 도 27은 본 발명의 일 형태에 따른 기억 소자의 회로도.
 도 28은 본 발명의 일 형태에 따른 표시 장치의 상면도 및 회로도.
 도 29는 본 발명의 일 형태에 따른 표시 모듈을 설명한 도면.
 도 30은 본 발명의 일 형태에 따른 전자 기기를 도시한 도면.
 도 31은 CAAC-OS의 단면에서의 Cs 보정 고분해능 TEM 이미지, 및 CAAC-OS의 단면 모식도.
 도 32는 CAAC-OS의 평면에서의 Cs 보정 고분해능 TEM 이미지.

- 도 33은 XRD에 의한 CAAC-OS 및 단결정 산화물 반도체의 구조 해석(解析)을 설명한 도면.
- 도 34는 In-Ga-Zn 산화물 내의 산소의 이동 경로를 설명한 도면.
- 도 35는 성막 시의 기판 온도와 상면의 거칠기의 관계를 나타낸 도면.
- 도 36은 성막 시의 산소 가스 비율과 상면의 거칠기의 관계를 나타낸 도면.
- 도 37은 성막 시의 기판 온도, 산소 가스 비율, 및 XRD 스펙트럼의 관계를 나타낸 도면.
- 도 38은 성막 시의 산소 가스 비율과 CAAC화율의 관계를 나타낸 도면.
- 도 39는 성막 시의 기판 온도, 산소 가스 비율, 및 XRD 스펙트럼의 관계를 나타낸 도면.
- 도 40은 성막 시의 기판 온도 및 성막 시의 산소 가스 비율과 CAAC에 기인한 XRD 강도의 관계를 나타낸 도면.
- 도 41은 성막 시의 기판 온도 및 성막 시의 산소 가스 비율과 막 밀도의 관계를 나타낸 도면.
- 도 42는 막 밀도와 CAAC에 기인한 XRD 강도의 관계를 나타낸 도면.
- 도 43은 ^{18}O 의 확산을 나타낸, SIMS에 의한 분석 결과를 나타낸 도면.
- 도 44는 ^{18}O 의 확산을 나타낸, SIMS에 의한 분석 결과를 나타낸 도면.
- 도 45는 ^{18}O 의 확산 길이를 SIMS에 의한 분석 결과로부터 해석하는 방법을 설명한 도면.
- 도 46은 막 밀도와 확산 길이의 관계를 나타낸 도면.
- 도 47은 트랜지스터의 전기 특성을 나타낸 도면.
- 도 48은 트랜지스터의 전기 특성을 나타낸 도면.
- 도 49는 트랜지스터의 전기 특성을 나타낸 도면.
- 도 50은 트랜지스터의 전기 특성을 나타낸 도면.
- 도 51은 트랜지스터의 전기 특성을 나타낸 도면.
- 도 52는 CAAC-OS의 전자 회절 패턴을 나타낸 도면.
- 도 53은 전자 조사에 의한 In-Ga-Zn 산화물의 결정부의 변화를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0048] 본 발명의 실시형태에 대해서는 도면을 사용하여 자세히 설명하기로 한다. 그러나, 본 발명은 이하 설명에 제한되지 않으며 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 발명은 이하 실시형태들의 기재 내용에 제한되어 해석되는 것이 아니다. 또한, 도면을 사용하여 발명의 구성을 설명하는 데 있어서, 같은 것을 가리키는 부호는 다른 도면간에서도 공통되게 사용한다. 또한, 같은 것을 가리킬 때에는 해치 패턴을 같게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0049] 또한, 도면에서, 크기, 막(층) 두께, 또는 영역은, 명료화를 위하여 과장되어 도시된 경우가 있다.
- [0050] 또한, 전압은 소정의 전위와 기준 전위(예컨대, 접지 전위(GND) 또는 소스 전위)의 전위차를 가리키는 경우가 많다. 따라서, 전압을 전위로 바꿔 말하는 것이 가능하다.
- [0051] 또한 제 1, 제 2로서 붙여지는 서수사(序數詞)는 편의상 사용하는 것이며, 공정순 또는 적층순을 가리키는 것이 아니다. 따라서, 예컨대 "제 1"을 "제 2" 또는 "제 3" 등으로 적절히 바꿔서 설명할 수 있다. 또한, 본 명세서 등에 기재되어 있는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않는 경우가 있다.
- [0052] 또한, "반도체"로 표기하였을 때에도, 예컨대 도전성이 충분히 낮은 경우에는 "절연체"로서의 특성을 갖는 경우가 있다. 또한, "반도체"와 "절연체"는 그 경계가 애매하며 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 "반도체"는 "절연체"라고 바꿔 말할 수 있는 경우가 있다. 마찬가지로, 본 명세서에 기재된 "절연체"는 "반도체"라고 바꿔 말할 수 있는 경우가 있다.

- [0053] 또한, "반도체"로 표기하였을 때에도, 예컨대 도전성이 충분히 높은 경우에는 "도전체"로서의 특성을 갖는 경우가 있다. 또한, "반도체"와 "도전체"는 그 경계가 애매하며 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 "반도체"는 "도전체"라고 바꿔 말할 수 있는 경우가 있다. 마찬가지로, 본 명세서에 기재된 "도전체"는 "반도체"로 바꿔 말할 수 있는 경우가 있다.
- [0054] 또한, 반도체의 불순물이란, 예컨대 반도체를 구성하는 주성분 이외의 것을 말한다. 예를 들어, 농도가 0.1atomic% 미만인 원소는 불순물이다. 불순물이 포함됨으로써, 예컨대, 반도체에 DOS(Density of State)가 형성되거나, 캐리어 이동도가 저하되거나, 결정성이 저하되는 경우 등이 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예컨대 제 1 족 원소, 제 2 족 원소, 제 14 족 원소, 제 15 족 원소, 및 주성분 이외의 전이 금속 등이 있으며 특히 예컨대 수소(물에도 포함됨), 리튬, 나트륨, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 반도체가 산화물 반도체인 경우, 예컨대 수소 등 불순물이 혼입됨으로써 산소 결손이 형성되는 경우가 있다. 또한, 반도체가 실리콘인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예컨대 산소, 수소를 제외한 제 1 족 원소, 제 2 족 원소, 제 13 족 원소, 제 15 족 원소 등을 들 수 있다.
- [0055] 또한, 이하 실시형태에서는 반도체가 산화물 반도체인 경우에 대하여 설명하지만 이에 한정되지 않는다. 예를 들어 반도체로서는 다결정 구조, 단결정 구조 등의 실리콘, 게르마늄 등을 사용하여도 좋다. 또는, 변형 실리콘 등 변형을 갖는 반도체를 사용하여도 좋다. 또는, 반도체로서 고전자이동도 트랜지스터(HEMT: High Electron Mobility Transistor)에 적용할 수 있는 비소화 갈륨, 비소화 알루미늄 갈륨, 비소화 인듐 갈륨, 질화 갈륨, 인화 인듐, 실리콘 게르마늄 등을 사용하여도 좋다. 이들 반도체를 사용함으로써 고속 동작에 적합한 트랜지스터로 할 수 있다.
- [0056] 또한, 본 명세서에서 A가 농도 B의 영역을 갖는다고 기재하는 경우, 예컨대 A의 소정의 영역에서의 깊이 방향 전체의 농도가 B인 경우, A의 소정의 영역에서의 깊이 방향의 농도의 평균값이 B인 경우, A의 소정의 영역에서의 깊이 방향의 농도의 중앙값이 B인 경우, A의 소정의 영역에서의 깊이 방향의 농도의 최대값이 B인 경우, A의 소정의 영역에서의 깊이 방향의 농도의 최소값이 B인 경우, A의 소정의 영역에서의 깊이 방향의 농도의 수렴값이 B인 경우, 측정상 A 자체의 값이라고 추정되는 값이 얻어지는 영역의 농도가 B인 경우 등을 포함한다.
- [0057] 또한, 본 명세서에서, A가 크기 B, 길이 B, 두께 B, 폭 B 또는 거리 B의 영역을 갖는다고 기재하는 경우, 예컨대 A의 소정의 영역에서의 전체의 크기, 길이, 두께, 폭 또는 거리가 B인 경우, A의 소정의 영역에서의 크기, 길이, 두께, 폭 또는 거리의 평균값이 B인 경우, A의 소정의 영역에서의 크기, 길이, 두께, 폭 또는 거리의 중앙값이 B인 경우, A의 소정의 영역에서의 크기, 길이, 두께, 폭 또는 거리의 최대값이 B인 경우, A의 소정의 영역에서의 크기, 길이, 두께, 폭 또는 거리의 최소값이 B인 경우, A의 소정의 영역에서의 크기, 길이, 두께, 폭 또는 거리의 수렴값이 B인 경우, 측정상 A 자체의 값이라고 추정되는 값이 얻어지는 영역의 크기, 길이, 두께, 폭 또는 거리가 B인 경우 등을 포함한다.
- [0058] <트랜지스터의 구조>
- [0059] 이하에서는 본 발명의 일 형태에 따른 트랜지스터 구조에 대하여 설명하기로 한다.
- [0060] <트랜지스터 구조 1>
- [0061] 도 1의 (A) 및 (B)는 본 발명의 일 형태에 따른 트랜지스터의 상면도 및 단면도이다. 도 1의 (A)는 상면도이고, 도 1의 (B)는 도 1의 (A)에 도시된 일점 쇄선 A1-A2 부분, 및 일점 쇄선 A3-A4 부분에 대응하는 단면도이다. 또한, 도 1의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하였다.
- [0062] 또한, 도 2는 도 1에 도시된 트랜지스터의 단면 A1-A2를 도시한 사시도이다. 도 2에서는 도면의 명료화를 위하여 일부의 요소를 생략하였다.
- [0063] 도 1의 (A) 및 (B)에 도시된 트랜지스터는, 기판(400) 위의 도전체(도전층)(413)와, 기판(400) 위 및 도전체(413) 위의 볼록부를 갖는 절연체(절연층)(402)와, 절연체(402)의 볼록부 위의 반도체(반도체층)(406a)와, 반도체(406a) 위의 반도체(406b)와, 반도체(406b)의 상면 및 측면에 접촉하고 서로 간격을 두고 배치된 도전체(416a) 및 도전체(416b)와, 반도체(406b), 도전체(416a), 및 도전체(416b) 위의 반도체(406c)와, 반도체(406c) 위의 절연체(412)와, 절연체(412) 위의 도전체(404)와, 도전체(416a), 도전체(416b), 및 도전체(404) 위의 절연체(408)와, 절연체(408) 위의 절연체(418)를 갖는다.
- [0064] 또한, 반도체(406c)는 단면 A3-A4에서 적어도 반도체(406b)의 상면 및 측면에 접촉한다. 또한, 도전체(404)는 단면 A3-A4에서, 반도체(406c) 및 절연체(412)를 개재하여 반도체(406b)의 상면 및 측면과 대향한다. 또한, 도

전체(413)는 절연체(402)를 개재하여 반도체(406b)의 하면과 대향한다. 또한, 절연체(402)가 볼록부를 갖지 않아도 된다. 또한, 반도체(406c)를 갖지 않아도 된다. 또한, 절연체(408)를 갖지 않아도 된다. 또한, 절연체(418)를 갖지 않아도 된다.

[0065] 또한, 반도체(406b)는, 트랜지스터의 채널 형성 영역으로서의 기능을 갖는다. 또한, 도전체(404)는 트랜지스터의 제 1 게이트 전극(프런트 게이트 전극이라고도 함)으로서의 기능을 갖는다. 또한, 도전체(413)는, 트랜지스터의 제 2 게이트 전극(백 게이트 전극이라고도 함)으로서의 기능을 갖는다. 또한, 도전체(416a) 및 도전체(416b)는 트랜지스터의 소스 전극 및 드레인 전극으로서의 기능을 갖는다. 또한, 절연체(408)는 배리어층으로서의 기능을 갖는다. 절연체(408)는 예컨대 산소 또는/및 수소를 블로킹하는 기능을 갖는다. 또는, 절연체(408)는 예컨대 반도체(406a) 또는/및 반도체(406c)보다 산소 또는/및 수소를 블로킹하는 능력이 높다.

[0066] 또한, 절연체(402)는 과잉 산소를 포함하는 절연체이다.

[0067] 예를 들어, 과잉 산소를 포함한 절연체란, 가열 처리에 의하여 산소를 방출하는 기능을 갖는 절연체를 말한다. 예를 들어, 과잉 산소를 포함한 산화 실리콘층이란, 가열 처리 등에 의하여 산소를 방출할 수 있는 산화 실리콘층을 말한다. 따라서, 절연체(402)는 그 내부를 산소가 이동 가능한 절연체이다. 즉, 절연체(402)는 산소 투과성을 갖는 절연체로 하면 좋다. 예를 들어, 절연체(402)는 반도체(406a)보다 산소 투과성이 높은 절연체로 하면 좋다.

[0068] 과잉 산소를 포함한 절연체는 반도체(406b) 내의 산소 결손을 저감하는 기능을 갖는 경우가 있다. 반도체(406b) 내에서 산소 결손은, DOS를 형성하고, 정공 트랩 등이 된다. 또한, 산소 결손의 사이트(site)에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 따라서, 반도체(406b) 내의 산소 결손을 저감함으로써 트랜지스터에 안정적인 전기 특성을 부여할 수 있다.

[0069] 여기서, 가열 처리에 의하여 산소를 방출하는 절연체는, TDS(Thermal Desorption Spectroscopy)에 의한 분석에서, 표면 온도가 100℃ 이상 700℃ 이하 또는 100℃ 이상 500℃ 이하인 범위에서 $1 \times 10^{18} \text{ atoms/cm}^3$ 이상, $1 \times 10^{19} \text{ atoms/cm}^3$ 이상, 또는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상의 산소(산소 원자수 환산)를 방출하는 경우도 있다.

[0070] 여기서, TDS 분석을 이용한 산소의 방출량의 측정 방법에 대하여 이하에서 설명하기로 한다.

[0071] 측정 시료를 TDS 분석하였을 때의 가스의 총 방출량은 방출 가스의 이온 강도의 적분값에 비례한다. 그리고, 표준 시료와 비교함으로써, 가스의 총 방출량을 계산할 수 있다.

[0072] 예를 들어, 표준 시료인 소정의 밀도의 수소를 포함하는 실리콘 기판의 TDS 분석 결과, 및 측정 시료의 TDS 분석 결과로부터, 측정 시료의 산소 분자 방출량(N_{O_2})은 아래 식으로 산출할 수 있다. 여기서, TDS 분석에 의하여 얻어지는 질량 전하비 32로 검출되는 가스 전체가 산소 분자에서 유래하는 것으로 가정한다. CH_3OH 의 질량 전하비는 32이지만, 존재할 가능성이 낮은 것으로 하여 여기서는 고려하지 않는다. 또한, 산소 원자의 동위원소인 질량수 17의 산소 원자 및 질량수 18의 산소 원자를 포함하는 산소 분자에 대해서도, 자연계에 있어서의 존재 비율이 극미량이기 때문에 고려하지 않는다.

[0073]
$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha$$

[0074] N_{H_2} 는 표준 시료로부터 이탈된 수소 분자를 밀도로 환산한 값이다. S_{H_2} 는 표준 시료를 TDS 분석하였을 때의 이온 강도의 적분값이다. 여기서, 표준 시료의 기준값을 N_{H_2}/S_{H_2} 로 한다. S_{O_2} 는 측정 시료를 TDS 분석하였을 때의 이온 강도의 적분값이다. α 는 TDS 분석의 이온 강도에 영향을 미치는 계수이다. 상술한 수학식의 자세한 설명에 대해서는 일본국 특개평 6-275697 공보를 참조하기 바란다. 또한, 상기 산소 방출량에 대해서는, 승온 이탈 분석 장치 EMD-WA1000S/W(ESCO Ltd.제)로, 표준 시료로서 $1 \times 10^{16} \text{ atoms/cm}^2$ 의 수소 원자를 포함한 실리콘 기판을 사용하여 측정하였다.

[0075] 또한, TDS 분석에서 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상술한 α 는 산소 분자의 이온화율을 포함하기 때문에 산소 분자의 방출량을 평가함으로써 산소 원자의 방출량에 대해서도 어렵잡을 수 있다.

[0076] 또한, N_{O_2} 는 산소 분자의 방출량이다. 산소 원자로 환산하였을 때의 방출량은 산소 분자의 방출량의 2배가 된다.

- [0077] 또는, 가열 처리에 의하여 산소를 방출하는 절연체는 과산화 라디칼을 포함하는 경우도 있다. 구체적으로는 과산화 라디칼에 기인한 스핀 밀도가 5×10^{17} spins/cm³ 이상인 것을 말한다. 또한, 과산화 라디칼을 포함하는 절연체는, ESR에서 g값이 2.01 근방일 때 비대칭 신호를 가질 수도 있다.
- [0078] 또는, 과잉 산소를 포함한 절연체는, 산소가 과잉으로 포함된 산화 실리콘(SiO_x(X>2))이어도 좋다. 산소가 과잉으로 포함된 산화 실리콘(SiO_x(X>2))은, 단위 체적당 실리콘 원자수의 2배보다 많은 산소 원자를 포함하는 것이다. 단위 체적당 실리콘 원자수 및 산소 원자수는, 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)에 의하여 측정된 값이다.
- [0079] 도 1의 (B)에 도시된 바와 같이, 반도체(406b)의 측면은 도전체(416a) 및 도전체(416b)에 접촉한다. 또한, 도전체(404)의 전계에 의하여, 반도체(406b)를 전기적으로 둘러쌀 수 있다(도전체의 전계에 의하여 반도체를 전기적으로 둘러싸는 트랜지스터 구조를 surrounded channel(s-channel) 구조로 부름). 따라서, 반도체(406b) 전체(벌크)에 채널이 형성되는 경우가 있다. s-channel 구조에서는, 트랜지스터의 소스-드레인간에 큰 전류를 흘릴 수 있어, 도통 시의 전류를 높게 할 수 있다.
- [0080] 높은 온 전류를 얻을 수 있기 때문에, s-channel 구조는 미세화된 트랜지스터에 적합한 구조라고 할 수 있다. 트랜지스터를 미세화할 수 있기 때문에, 상기 트랜지스터를 갖는 반도체 장치는 집적도가 높으며 고밀도화된 반도체 장치로 하는 것이 가능하게 된다. 예를 들어, 트랜지스터는 채널 길이가 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하의 영역을 갖고, 또한 채널 폭이 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하의 영역을 갖는다.
- [0081] 또한, 채널 길이란, 예컨대 트랜지스터의 상면도에 있어서, 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 중첩되는 영역, 또는 채널이 형성되는 영역에서의, 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 또한, 한 트랜지스터에서 채널 길이가 모든 영역에서 같은 값을 취한다고 말할 수는 없다. 즉, 한 트랜지스터의 채널 길이는 어느 한 값으로 결정되지 않는 경우가 있다. 따라서, 본 명세서에서 채널 길이는, 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값으로 한다.
- [0082] 채널 폭이란, 예컨대 상면도에 있어서, 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 중첩되는 영역, 또는 채널이 형성되는 영역에서의, 소스와 드레인이 대향하는 부분의 길이를 말한다. 또한, 한 트랜지스터에서 채널 폭이 모든 영역에서 같은 값을 취한다고 말할 수는 없다. 즉, 한 트랜지스터의 채널 폭은 한 값으로 결정되지 않는 경우가 있다. 따라서, 본 명세서에서 채널 폭은, 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값으로 한다.
- [0083] 또한, 트랜지스터의 구조에 따라서는 채널이 실제로 형성되는 영역의 채널 폭(이하 실효적인 채널 폭으로 부름)과, 트랜지스터의 상면도에서의 채널 폭(이하 외견상 채널 폭으로 부름)이 다른 경우가 있다. 예를 들어, 입체적인 구조를 갖는 트랜지스터에서는 실효적인 채널 폭이 트랜지스터의 상면도에서의 외견상 채널 폭보다 크게 되어, 이로 인한 영향을 무시할 수 없는 경우가 있다. 예를 들어, 미세하고 입체적인 구조를 갖는 트랜지스터에서는, 반도체 상면에 형성되는 채널 영역의 비율에 대하여 반도체 측면에 형성되는 채널 영역의 비율이 크게 되는 경우가 있다. 이 경우, 상면도에서의 외견상 채널 폭보다 채널이 실제로 형성되는 실효적인 채널 폭이 크게 된다.
- [0084] 그런데, 입체적인 구조를 갖는 트랜지스터에서, 실효적인 채널 폭을 실측하여 어렵잡는 것이 어려운 경우가 있다. 예를 들어, 설계값으로부터 실효적인 채널 폭을 어렵잡기 위해서는 반도체의 형상을 미리 알고 있다는 가정이 필요하다. 따라서, 반도체의 형상을 정확히 알 수 없는 경우에는 실효적인 채널 폭을 정확히 측정하기 어렵다.
- [0085] 그래서, 본 명세서에서는 트랜지스터의 상면도에서 반도체와 게이트 전극이 중첩되는 영역의, 소스와 드레인이 대향하는 부분의 길이를 가리키는 외견상 채널 폭을 "Surrounded Channel Width(SCW)"로 부르는 경우가 있다. 또한, 본 명세서에서는 단순히 채널 폭이라고 기재한 경우에는 SCW 또는 외견상 채널 폭을 가리키는 경우가 있다. 또는 본 명세서에서는 단순히 채널 폭이라고 기재한 경우에는 실효적인 채널 폭을 가리키는 경우가 있다. 또한, 채널 길이, 채널 폭, 실효적인 채널 폭, 외견상 채널 폭, SCW 등은 단면 TEM 이미지 등을 취득하여 그 화상을 해석하는 것 등에 의하여 값을 결정할 수 있다.
- [0086] 또한, 트랜지스터의 전계 효과 이동도나, 채널 폭당 전류값 등을 계산하여 산출하는 경우, SCW를 사용하여 계산

하는 경우가 있다. 이 경우에는 실효적인 채널 폭을 사용하여 계산하는 경우와 상이한 값이 될 수 있다.

[0087] 또한, 도전체(413)에 소스 전극보다 낮은 전압 또는 높은 전압을 인가하여, 트랜지스터의 문턱 전압을 양 방향 또는 음 방향으로 시프트하여도 좋다. 예를 들어, 트랜지스터의 문턱 전압을 양 방향으로 시프트함으로써, 게이트 전압이 0V인 경우에도 트랜지스터가 비도통 상태(오프 상태)가 되는 노멀리 오프 트랜지스터를 구현할 수 있는 경우가 있다. 또한, 도전체(413)에 인가하는 전압은 가변일 수도 있고 고정되어도 좋다. 도전체(413)에 인가하는 전압이 가변인 경우, 전압을 제어하는 회로를 도전체(413)와 전기적으로 접속하여도 좋다.

[0088] 이하에서는, 반도체(406a), 반도체(406b), 반도체(406c) 등에 적용 가능한 산화물 반도체의 구조에 대하여 설명하기로 한다. 또한, 본 명세서에서, 삼방정 또는 능면체정은 육방정계에 포함된다. 또한, 본 명세서에 있어서, "평행"이란, 2개의 직선이 각도 -10° 이상 10° 이하로 배치된 상태를 말한다. 따라서, 각도가 -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, "대략 평행"이란, 2개의 직선이 각도 -30° 이상 30° 이하로 배치된 상태를 말한다. 또한, "수직"이란, 2개의 직선이 각도 80° 이상 100° 이하로 배치된 상태를 말한다. 따라서, 각도가 85° 이상 95° 이하의 경우도 그 범주에 포함된다. 또한, "대략 수직"이란, 2개의 직선이 각도 60° 이상 120° 이하로 배치된 상태를 말한다.

[0089] <산화물 반도체의 구조에 대하여>

[0090] 이하에서는 산화물 반도체의 구조에 대하여 설명한다.

[0091] 산화물 반도체는 단결정 산화물 반도체와 그 이외의 비단결정 산화물 반도체로 구별된다. 비단결정 산화물 반도체로서는, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 산화물 반도체, 미결정 산화물 반도체, 비정질 산화물 반도체 등이 있다.

[0092] 또한, 다른 관점에서 보면 산화물 반도체는 비정질 산화물 반도체와 그 이외의 결정성 산화물 반도체로 구별된다. 또한, 결정성 산화물 반도체로서는, 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체 등이 있다.

[0093] <CAAC-OS>

[0094] 우선, CAAC-OS에 대하여 설명하기로 한다. 또한, CAAC-OS는 CAC(C-Axis Aligned nanocrystals)를 포함하는 산화물 반도체로 부를 수도 있다.

[0095] CAAC-OS는 c축 배향된 복수의 결정부(펠릿이라고도 함)를 포함하는 산화물 반도체의 하나이다.

[0096] 투과 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 CAAC-OS의 명시야상과 회절 패턴의 복합 해석상(고분해능 TEM 이미지라고도 함)을 관찰하면, 복수의 펠릿이 확인된다. 그러나, 고분해능 TEM 이미지를 관찰하여도 펠릿들의 경계, 즉 결정 입계(그레인 바운더리(grain boundary)라고도 함)는 명확히 확인되지 않는다. 그러므로, CAAC-OS는, 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0097] 이하에서는 TEM에 의하여 관찰한 CAAC-OS에 대하여 설명하기로 한다. 도 31의 (A)는 시료 면에 실질적으로 평행한 방향으로부터 관찰한 CAAC-OS의 단면의 고분해능 TEM 이미지이다. 고분해능 TEM 이미지의 관찰에는 구면 수차 보정(spherical aberration corrector) 기능을 이용하였다. 특히, 구면 수차 보정 기능을 이용한 고분해능 TEM 이미지를 Cs 보정 고분해능 TEM 이미지로 부른다. Cs 보정 고분해능 TEM 이미지는, 예컨대 원자 분해능 분석 전자 현미경 JEM-ARM200F(JEOL Ltd.제) 등에 의하여 얻을 수 있다.

[0098] 도 31의 (A)의 영역(1)을 확대한 Cs 보정 고분해능 TEM 이미지를 도 31의 (B)에 나타내었다. 도 31의 (B)를 보면, 펠릿에서 금속 원자가 층상으로 배열되어 있는 것이 확인된다. 금속 원자의 각층의 배열은 CAAC-OS의 막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS의 상면의 요철이 반영된 것이고, CAAC-OS의 피형성면 또는 상면에 평행하게 된다.

[0099] 도 31의 (B)에 나타낸 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 도 31의 (C)는 특징적인 원자 배열을 보조선으로 나타낸 것이다. 도 31의 (B) 및 (C)를 보면 알다시피, 하나의 펠릿의 크기는 1nm 이상 3nm 이하 정도이고, 펠릿들 사이의 기울기에 의하여 생긴 틈의 크기는 0.8nm 정도이다. 따라서, 펠릿을 나노 결정(nc: nanocrystal)으로 부를 수도 있다.

[0100] 여기서, Cs 보정 고분해능 TEM 이미지에 따라 기판(5120) 위의 CAAC-OS의 펠릿(5100)의 배치를 모식적으로 도시하면, 벽돌 또는 블록이 쌓인 것과 같은 구조가 된다(도 31의 (D) 참조). 도 31의 (C)에서 관찰된 펠릿과 펠릿 사이에 기울기가 생긴 개소는 도 31의 (D)에 도시된 영역(5161)에 상당한다.

- [0101] 또한, 도 32의 (A)는 시료 면에 실질적으로 수직인 방향으로부터 관찰한 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지이다. 도 32의 (A)의 영역(1), 영역(2), 및 영역(3)을 확대한 Cs 보정 고분해능 TEM 이미지를 각각 도 32의 (B), 도 32의 (C), 및 도 32의 (D)에 나타내었다. 도 32의 (B)~(D)를 보면 알다시피, 펠릿은 금속 원자가 삼각형, 사각형, 또는 육각형으로 배열되어 있는 것이 확인된다. 그러나, 상이한 펠릿들 간에서, 금속 원자의 배열에 규칙성은 관찰되지 않는다.
- [0102] 다음에, X선 회절(XRD: X-Ray Diffraction)에 의하여 해석한 CAAC-OS에 대하여 설명하기로 한다. 예를 들어, out-of-plane법에 의하여 InGaZnO₄의 결정을 포함하는 CAAC-OS의 구조 해석을 수행하면, 도 33의 (A)에 나타낸 바와 같이 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것이 확인된다.
- [0103] 또한, out-of-plane법에 의하여 CAAC-OS의 구조 해석을 수행하면, 2θ 가 31° 근방일 때 나타나는 피크에 더하여, 2θ 가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방일 때 나타나는 피크는, CAAC-OS 내의 일부에 c축 배향성을 갖지 않는 결정이 포함되는 것을 나타낸다. 더 바람직한 CAAC-OS는, out-of-plane법에 의한 구조 해석에서 2θ 가 31° 근방일 때 피크가 나타나고 2θ 가 36° 근방일 때 피크가 나타나지 않는다.
- [0104] 한편, c축에 실질적으로 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의하여 CAAC-OS의 구조 해석을 수행하면, 2θ 가 56° 근방일 때 피크가 나타난다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. CAAC-OS의 경우에는, 2θ 를 56° 근방에 고정하고 시료 면의 법선 벡터를 축(ϕ 축)으로 시료를 회전시키면서 분석(ϕ 스캔)을 수행하여도 도 33의 (B)와 같이 명확한 피크는 나타나지 않는다. 한편 InGaZnO₄의 단결정 산화물 반도체에서는, 2θ 를 56° 근방에 고정하고 ϕ 스캔을 수행한 경우, 도 33의 (C)와 같이, (110)면과 등가인 결정면에 귀속되는 피크가 6개 관찰된다. 따라서, XRD를 이용한 구조 해석으로부터, CAAC-OS는 a축 및 b축의 배향이 불규칙하다는 것이 확인된다.
- [0105] 다음에, 전자 회절에 의하여 해석한 CAAC-OS에 대하여 설명하기로 한다. 예를 들어, InGaZnO₄의 결정을 포함하는 CAAC-OS에 대하여, 프로브 직경이 300nm인 전자 빔을 시료 면에 평행하게 입사시키면, 도 52의 (A)와 같은 회절 패턴(제한 시야 투과 전자 회절 패턴이라고도 함)이 나타나는 경우가 있다. 이 회절 패턴에는, InGaZnO₄의 결정의 (009)면에 기인한 스폿이 포함된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것을 알 수 있다. 한편, 도 52의 (B)는, 같은 시료에 대하여 프로브 직경이 300nm인 전자 빔을 시료 면에 수직으로 입사시킨 경우의 회절 패턴이다. 도 52의 (B)를 보면 알다시피, 링 형상의 회절 패턴이 확인된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿의 a축 및 b축은 배향성을 갖지 않는 것을 알 수 있다. 또한, 도 52의 (B)에서의 제 1 링은 InGaZnO₄의 결정의 (010)면 및 (100)면 등에 기인하는 것으로 생각된다. 또한, 도 52의 (B)에서의 제 2 링은 (110)면 등에 기인하는 것으로 생각된다.
- [0106] 또한, CAAC-OS는 결함 준위 밀도가 낮은 산화물 반도체이다. 산화물 반도체의 결함으로서는 예컨대, 불순물에 기인한 결함이나, 산소 결손 등이 있다. 따라서, CAAC-OS는 불순물 농도가 낮은 산화물 반도체라고도 할 수 있다. 또한, CAAC-OS는 산소 결손이 적은 산화물 반도체라고 할 수도 있다.
- [0107] 산화물 반도체에 포함되는 불순물은 캐리어 트랩이 되거나 캐리어 발생원이 되는 경우가 있다. 또한, 산화물 반도체 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.
- [0108] 또한, 불순물은, 산화물 반도체의 주성분 이외의 원소이며, 수소, 탄소, 실리콘, 전이 금속 원소 등이 있다. 산화물 반도체를 구성하는 금속 원소보다 산소와의 결합력이 강한 원소(예컨대 실리콘 등)는 산화물 반도체로부터 산소를 빼앗음으로써 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다.
- [0109] 또한, 결함 준위 밀도가 낮은(산소 결손이 적은) 산화물 반도체의 캐리어 밀도는 낮게 할 수 있다. 이와 같은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체로 부른다. CAAC-OS는 불순물 농도가 낮으며 결함 준위 밀도가 낮다. 즉, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체가 되기 쉽다. 따라서, CAAC-OS를 사용한 트랜지스터의 전기 특성은 문턱 전압이 음(노멀리 온이라고도 함)이 되는 경우

가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 트랩이 적다. 산화물 반도체의 캐리어 트랩에 포획된 전하는 방출될 때까지 걸리는 시간이 길고, 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로, 불순물 농도가 높으며 결함 준위 밀도가 높은 산화물 반도체를 사용한 트랜지스터는 전기 특성이 불안정해지는 경우가 있다. 한편, CAAC-OS를 사용한 트랜지스터는 전기 특성의 변동이 작으며 신뢰성이 높은 트랜지스터가 된다.

[0110] 불순물 및 산소 결손이 적은 CAAC-OS는, 캐리어 밀도가 낮은 산화물 반도체이다. 구체적으로는, 캐리어 밀도를 $8 \times 10^{11}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{10}/\text{cm}^3$ 미만이고, $1 \times 10^{-9}/\text{cm}^3$ 이상으로 할 수 있다. 이와 같은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체로 부른다. CAAC-OS는 불순물 농도가 낮으며 결함 준위 밀도가 낮다. 즉, 안정적인 특성을 갖는 산화물 반도체라고 할 수 있다.

[0111] 또한, CAAC-OS는 결함 준위 밀도가 낮기 때문에, 광 조사 등에 의하여 생성된 캐리어가 결함 준위에 포획되는 일이 적다. 따라서, CAAC-OS를 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성 변동이 작다.

[0112] <미결정 산화물 반도체>

[0113] 다음에, 미결정 산화물 반도체에 대하여 설명하기로 한다.

[0114] 미결정 산화물 반도체는 고분해능 TEM 이미지에서, 결정부를 확인할 수 있는 영역과 명확한 결정부를 확인할 수 없는 영역을 포함한다. 미결정 산화물 반도체에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정을 포함하는 산화물 반도체를, nc-OS(nanocrystalline Oxide Semiconductor)로 부른다. nc-OS는 예컨대, 고분해능 TEM 이미지에서 결정 입계가 명확히 확인되지 않는 경우가 있다. 또한, 나노 결정은 CAAC-OS에 포함되는 펄릿과 기원이 같을 가능성이 있다. 따라서, 이하에서는 nc-OS의 결정부를 펄릿으로 부르는 경우가 있다.

[0115] nc-OS는 미소한 영역(예컨대, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS는, 다른 펄릿들 간에서 결정 방위에 규칙성을 확인할 수 없다. 그러므로, 막 전체에서 배향성을 찾을 수 없다. 따라서, nc-OS는, 분석 방법에 따라서는 비정질 산화물 반도체와 구별되지 않는 경우가 있다. 예를 들어, nc-OS에 대하여, 펄릿보다 큰 직경의 X선을 이용하는 XRD 장치를 이용하여 구조 해석을 수행하면, out-of-plane법에 의한 해석에서는, 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS에 대하여, 펄릿보다 큰 프로브 직경(예컨대 50nm 이상)의 전자 빔을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 수행하면 헤일로 패턴(halo pattern)과 같은 회절 패턴이 관측된다. 한편, nc-OS에 대하여, 펄릿의 크기와 가깝거나 펄릿보다 작은 프로브 직경의 전자 빔을 사용하는 나노 빔 전자 회절을 수행하면 스폿이 관측된다. 또한, nc-OS에 대하여 나노 빔 전자 회절을 수행하면 휘도가 높은 영역이 원을 그리듯이(링 형상으로) 관측되는 경우가 있다. 또한 링 형상의 영역 내에 복수의 스폿이 관측되는 경우가 있다.

[0116] 이와 같이 펄릿(나노 결정)들 사이에서는 결정 방위에 규칙성이 관찰되지 않기 때문에, nc-OS를 RANC(Random Aligned nanocrystals)를 포함하는 산화물 반도체 또는 NANC(Non-Aligned nanocrystals)를 포함하는 산화물 반도체로 부를 수도 있다.

[0117] nc-OS는 비정질 산화물 반도체보다 규칙성이 높은 산화물 반도체이다. 그러므로, nc-OS는 비정질 산화물 반도체보다 결함 준위 밀도가 낮게 된다. 다만, nc-OS는 상이한 펄릿들 간에서 결정 방위에 규칙성이 관찰되지 않는다. 그러므로, nc-OS는 CAAC-OS에 비하여 결함 준위 밀도가 높게 된다.

[0118] <비정질 산화물 반도체>

[0119] 다음에, 비정질 산화물 반도체에 대하여 설명하기로 한다.

[0120] 비정질 산화물 반도체는, 막 내에서의 원자 배열이 불규칙하고, 결정부를 포함하지 않는 산화물 반도체이다. 일례로서, 석영과 같은 무정형 상태를 갖는 산화물 반도체를 들 수 있다.

[0121] 비정질 산화물 반도체는 고분해능 TEM 이미지에서 결정부를 확인할 수 없다.

[0122] out-of-plane법에 의하여 비정질 산화물 반도체에 대하여 XRD 장치를 이용한 구조 해석을 수행하면, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체에 대하여 전자 회절을 수행하면 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체에 대하여 나노 빔 전자 회절을 수행하면, 스폿이 관측되지 않고 헤일로

패턴만 관측된다.

- [0123] 비정질 구조에 대해서는 다양한 견해가 나타나 있다. 예를 들어, 원자 배열에 완전히 질서성을 갖지 않는 구조를 완전한 비정질 구조(completely amorphous structure)로 부르는 경우가 있다. 또한, 최근접 원자간 거리 또는 제 2 근접 원자간 거리까지 질서성을 갖고, 또한 장거리 질서성을 갖지 않는 구조를 비정질 구조로 부르는 경우도 있다. 따라서, 가장 엄격한 정의에 따르면, 조금이라도 원자 배열에 질서성을 갖는 산화물 반도체를 비정질 산화물 반도체로 부를 수는 없다. 또한, 적어도, 장거리 질서성을 갖는 산화물 반도체를 비정질 산화물 반도체로 부를 수는 없다. 따라서, 결정부를 갖기 때문에, 예컨대, CAAC-OS 및 nc-OS를, 비정질 산화물 반도체 또는 완전한 비정질 산화물 반도체로 부를 수는 없다.
- [0124] <a-like OS>
- [0125] 또한, 산화물 반도체는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 갖는 경우가 있다. 이와 같은 구조를 갖는 산화물 반도체를, 특히 a-like OS(amorphous-like Oxide Semiconductor)로 부른다.
- [0126] a-like OS는 고분해능 TEM 이미지에서 공동(보이드(void)라고도 함)이 관찰되는 경우가 있다. 또한, 고분해능 TEM 이미지에서 결정부가 명확히 확인되는 영역과 결정부가 확인되지 않는 영역을 갖는다.
- [0127] a-like OS는 공동을 가지므로 불안정한 구조이다. 이하에서는 a-like OS가 CAAC-OS 및 nc-OS에 비하여 불안정한 구조임을 나타내기 위하여, 전자 조사에 의한 구조의 변화에 대하여 설명하기로 한다.
- [0128] 전자 조사를 수행하는 시료로서 a-like OS(시료 A로 표기함), nc-OS(시료 B로 표기함), 및 CAAC-OS(시료 C로 표기함)를 준비한다. 이들 시료는 모두 In-Ga-Zn 산화물이다.
- [0129] 우선, 각 시료의 고분해능 단면 TEM 이미지를 얻는다. 고분해능 단면 TEM 이미지에 의하여, 각 시료는 모두 결정부를 포함하는 것을 알 수 있다.
- [0130] 또한, 어느 부분을 하나의 결정부로 간주하는지의 판정은 아래와 같이 수행하면 좋다. 예를 들어, InGaZnO₄의 결정의 단위 격자는 In-O층 3층과 Ga-Zn-O층 6층의 총 9층이 c축 방향으로 층상으로 중첩된 구조를 갖는 것이 알려져 있다. 이들 근접한 층끼리의 간격은 (009)면의 격자면 간격(d값이라고도 함)과 같을 정도이고, 결정 구조 해석으로부터 그 값은 0.29nm로 산출된다. 그러므로, 격자 줄무늬(lattice fringe)의 간격이 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO₄의 결정부로 간주할 수 있다. 격자 줄무늬는 InGaZnO₄의 결정의 a-b면에 대응한다.
- [0131] 도 53은 각 시료의 결정부(22군데~45군데)의 평균 크기를 조사하여 나타낸 예이다. 다만, 상술한 격자 줄무늬의 길이를 결정부의 크기로 한다. 도 53으로부터, a-like OS는 누적 전자 조사량에 따라 결정부가 커지는 것을 알 수 있다. 구체적으로는, 도 53 중 (1)로 표시된 바와 같이, TEM에 의한 관찰 초기에 크기가 1.2nm 정도이었던 결정부(초기핵이라고도 함)는, 누적 전자 조사량이 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 가 되면 2.6nm 정도의 크기로 성장하는 것을 알 수 있다. 한편, nc-OS 및 CAAC-OS는 전자 조사 시작 시점으로부터 누적 전자 조사량이 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 가 될 때까지의 범위에서 결정부의 크기가 변화되지 않는 것을 알 수 있다. 구체적으로는, 도 53 중 (2) 및 (3)으로 표시된 바와 같이 누적 전자 조사량에 상관없이 nc-OS 및 CAAC-OS의 결정부의 크기는 각각 1.4nm 정도 및 2.1nm 정도임을 알 수 있다.
- [0132] 이와 같이 a-like OS에서는 전자 조사에 의한 결정부의 성장이 관찰되는 경우가 있다. 한편, nc-OS 및 CAAC-OS에서는 전자 조사에 의한 결정부의 성장이 거의 관찰되지 않는 것을 알 수 있다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 불안정한 구조임을 알 수 있다.
- [0133] 또한, a-like OS는 공동을 가지므로 nc-OS 및 CAAC-OS에 비하여 밀도가 낮은 구조를 갖는다. 구체적으로는, a-like OS의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. 또한, nc-OS의 밀도 및 CAAC-OS의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 밀도가 단결정 산화물 반도체의 밀도의 78% 미만인 산화물 반도체는 성막 자체가 어렵다.
- [0134] 예를 들어, In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에서, 능면체정 구조를 갖는 단결정 InGaZnO₄의 밀도는 6.357 g/cm^3 이 된다. 따라서, 예컨대, In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에서, a-like OS의 밀도는 5.0 g/cm^3 이상 5.9 g/cm^3 미만인 된다. 또한, 예컨대, In:Ga:Zn=1:1:1[원자수비]을 만족시

키는 산화물 반도체에서, nc-OS의 밀도 및 CAAC-OS의 밀도는 5.9g/cm^3 이상 6.3g/cm^3 미만인 된다.

- [0135] 또한, 같은 조성의 단결정이 존재하지 않는 경우가 있다. 이 경우에는 조성이 다른 단결정 산화물 반도체를 임의의 비율로 조합함으로써, 원하는 조성을 갖는 단결정 산화물 반도체의 밀도에 상응하는 밀도를 어렵잡을 수 있다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도에 상응하는 밀도는 조성이 다른 단결정 산화물 반도체를 조합하는 비율에 따라, 가중 평균을 이용하여 어렵잡으면 좋다. 다만, 밀도를 어렵잡을 때는 가능한 한 적은 종류의 단결정 산화물 반도체를 조합하는 것이 바람직하다.
- [0136] 이와 같이 산화물 반도체는 다양한 구조를 가지며 각각이 다양한 특성을 갖는다. 또한, 산화물 반도체는 예컨대, 비정질 산화물 반도체, a-like OS, 미결정 산화물 반도체, CAAC-OS 중 2종 이상을 갖는 적층막이어도 좋다.
- [0137] 이상인, 반도체(406a), 반도체(406b), 반도체(406c) 등에 적용 가능한 산화물 반도체의 구조이다.
- [0138] 다음에, 반도체(406a), 반도체(406b), 반도체(406c) 등에 적용 가능한 반도체의 기타 요소에 대하여 설명하기로 한다.
- [0139] 반도체(406b)는, 예컨대 인듐을 포함하는 산화물 반도체이다. 반도체(406b)는 예컨대 인듐을 포함하면, 캐리어 이동도(전자 이동도)가 높게 된다. 또한, 반도체(406b)는 원소 M을 포함하면 바람직하다. 원소 M은, 바람직하게는 알루미늄, 갈륨, 이트륨, 또는 주석 등으로 한다. 원소 M에 적용할 수 있는 원소로서는 상술한 것 외에 붕소, 실리콘, 타이타늄, 철, 니켈, 게르마늄, 이트륨, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐 등을 들 수 있다. 다만, 원소 M으로서 상술한 복수의 원소를 조합할 수 있는 경우가 있다. 원소 M은, 예컨대 산소와의 결합 에너지가 높은 원소이다. 예를 들어, 산소와의 결합 에너지가 인듐보다 높은 원소이다. 또는, 원소 M은 예컨대 산화물 반도체의 에너지 갭을 크게 하는 기능을 갖는 원소이다. 또한, 반도체(406b)는 아연을 포함하는 것이 바람직하다. 산화물 반도체는 아연을 포함하면 결정화되기 쉬워질 수 있다.
- [0140] 다만, 반도체(406b)는, 인듐을 포함한 산화물 반도체에 제한되지 않는다. 반도체(406b)는 예컨대 아연 주석 산화물이나 갈륨 주석 산화물 등, 인듐을 포함하지 않으며, 아연을 포함하는 산화물 반도체, 갈륨을 포함하는 산화물 반도체, 주석을 포함하는 산화물 반도체 등이라도 좋다.
- [0141] 반도체(406b)에는 예컨대 에너지 갭이 큰 산화물을 사용한다. 반도체(406b)의 에너지 갭은, 예컨대 2.5eV 이상 4.2eV 이하, 바람직하게는 2.8eV 이상 3.8eV 이하, 더 바람직하게는 3eV 이상 3.5eV 이하로 한다.
- [0142] 예를 들어, 반도체(406a) 및 반도체(406c)는 반도체(406b)를 구성하는 산소 이외의 원소 1종 이상 또는 2종 이상으로 구성되는 산화물 반도체이다. 반도체(406b)를 구성하는 산소 이외의 원소 1종 이상 또는 2종 이상으로 반도체(406a) 및 반도체(406c)가 구성되기 때문에, 반도체(406a)와 반도체(406b)의 계면, 및 반도체(406b)와 반도체(406c)의 계면에서 계면 준위가 형성되기 어렵다.
- [0143] 반도체(406a), 반도체(406b), 및 반도체(406c)는 적어도 인듐을 포함하면 바람직하다. 또한, 반도체(406a)가 In-M-Zn 산화물일 때에 In과 M의 합을 100atomic%로 한 경우, 바람직하게는 In을 50atomic% 미만, M을 50atomic%보다 높게 하고, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic%보다 높은 것으로 한다. 또한, 반도체(406b)가 In-M-Zn 산화물일 때에 In과 M의 합을 100atomic%로 한 경우, 바람직하게는 M을 75atomic% 미만, In을 25atomic%보다 높게 하고, 더 바람직하게는 M을 66atomic% 미만, In을 34atomic%보다 높은 것으로 한다. 또한, 반도체(406c)가 In-M-Zn 산화물일 때에 In과 M의 합을 100atomic%로 한 경우, 바람직하게는 In을 50atomic% 미만, M을 50atomic%보다 높게 하고, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic%보다 높은 것으로 한다. 또한, 반도체(406c)는 반도체(406a)와 같은 종류의 산화물을 사용하여도 좋다.
- [0144] 반도체(406b)로서는 반도체(406a) 및 반도체(406c)보다 전자 친화력이 높은 산화물을 사용한다. 예를 들어, 반도체(406b)로서는, 반도체(406a) 및 반도체(406c)보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하 높은 산화물을 사용한다. 또한, 전자 친화력은 진공 준위와 전도대 하단의 에너지의 차이이다.
- [0145] 또한, 인듐 갈륨 산화물은 작은 전자 친화력과, 높은 산소 블로킹성을 갖는다. 그러므로, 반도체(406c)가 인듐 갈륨 산화물을 포함하면 바람직하다. 갈륨 원자 비율[Ga/(In+Ga)]은 예컨대 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 90% 이상으로 한다.

- [0146] 이 때, 게이트 전압을 인가하면, 반도체(406a), 반도체(406b), 및 반도체(406c) 중, 전자 친화력이 높은 반도체(406b)에 채널이 형성된다.
- [0147] 도 2에 도시된 일점 선택 E1-E2 부분에 대응하는 밴드도를 도 3의 (A)에 도시하였다. 도 3의 (A)에는, 진공 준위(vacuum level이라고 표기함), 각 층의 전도대 하단의 에너지(E_c 라고 표기함), 및 가전자대 상단의 에너지(E_v 라고 표기함)를 나타낸다.
- [0148] 여기서, 반도체(406a)와 반도체(406b) 사이에는, 반도체(406a)와 반도체(406b)의 혼합 영역을 갖는 경우가 있다. 또한, 반도체(406b)와 반도체(406c) 사이에는 반도체(406b)와 반도체(406c)의 혼합 영역을 갖는 경우가 있다. 혼합 영역은 계면 준위 밀도가 낮게 된다. 그러므로 이 밴드도에서, 반도체(406a), 반도체(406b), 및 반도체(406c)의 적층체에서는 각 계면 근방에서 에너지가 연속적으로 변화(연속 접합이라고도 함)된다.
- [0149] 이 경우, 전자는 반도체(406a) 내 및 반도체(406c) 내가 아니라 반도체(406b) 내를 주로 이동한다(도 3의 (B) 참조). 상술한 바와 같이, 반도체(406a) 및 반도체(406b)의 계면에서의 계면 준위 밀도, 반도체(406b)와 반도체(406c)의 계면에서의 계면 준위 밀도를 낮게 함으로써 반도체(406b) 내에서 전자의 이동이 저해되는 일이 적어, 트랜지스터의 온 전류를 높일 수 있다.
- [0150] 트랜지스터의 온 전류는, 전자의 이동을 저해하는 요인을 저감할수록 높일 수 있다. 예를 들어, 전자의 이동을 저해하는 요인이 없는 경우, 도 4의 (A)에 도시된 바와 같이 전자가 효율적으로 이동하는 것으로 추정된다. 전자의 이동의 저해는, 예컨대 도 4의 (B)에 도시된 바와 같이 물리적인 요철이 큰 경우에도 일어난다.
- [0151] 따라서, 트랜지스터의 온 전류를 높이기 위해서는, 예컨대 반도체(406b)의 상면 또는 하면(피형성면, 여기서는 반도체(406a))의 $1\mu\text{m} \times 1\mu\text{m}$ 의 범위에서의 제곱 평균 제곱근(RMS: Root Mean Square) 거칠기를 1nm 미만, 바람직하게는 0.6nm 미만, 더 바람직하게는 0.5nm 미만, 더 바람직하게는 0.4nm 미만으로 하면 좋다. 또한, $1\mu\text{m} \times 1\mu\text{m}$ 의 범위에서의 평균 면 거칠기(R_a 이라고도 함)를 1nm 미만, 바람직하게는 0.6nm 미만, 더 바람직하게는 0.5nm 미만, 더욱 바람직하게는 0.4nm 미만으로 하면 좋다. 또한, $1\mu\text{m} \times 1\mu\text{m}$ 의 범위에서의 최대 고저차(P-V라고도 함)를 10nm 미만, 바람직하게는 9nm 미만, 더 바람직하게는 8nm 미만, 더욱 바람직하게는 7nm 미만으로 하면 좋다. RMS 거칠기, R_a , 및 P-V는 주사형 프로브 현미경 시스템 SPA-500(SII Nano Technology Inc.제) 등을 사용하여 측정할 수 있다.
- [0152] 또는, 예컨대 도 4의 (C)에 도시된 바와 같이 채널이 형성되는 영역 내의 결함 준위 밀도가 높은 경우에도 전자의 이동이 저해된다.
- [0153] 예를 들어, 반도체(406b)가 산소 결손(V_o 라고도 표기함)을 갖는 경우, 산소 결손의 사이트에 수소가 들어감으로써 도너 준위를 형성하는 경우가 있다. 이하에서는, 산소 결손의 사이트에 수소가 들어간 상태를 VoH 로 표기하는 경우가 있다. VoH 는 전자를 산란하기 때문에, 트랜지스터의 온 전류 저하의 요인이 된다. 또한, 산소 결손의 사이트는 수소가 들어가는 것보다 산소가 들어가는 것이 안정적이다. 따라서, 반도체(406b) 내의 산소 결손을 저감함으로써 트랜지스터의 온 전류를 높일 수 있는 경우가 있다.
- [0154] 반도체(406b)의 산소 결손을 저감하기 위하여, 예컨대 절연체(402)에 포함되는 과잉 산소를 반도체(406a)를 통하여 반도체(406b)까지 이동시키는 방법 등이 있다. 이 경우, 반도체(406a)는 산소 투과성을 갖는 층(산소를 통과 또는 투과시키는 층)인 것이 바람직하다.
- [0155] 산소는, 가열 처리 등에 의하여 절연체(402)로부터 방출되어, 반도체(406a) 내에 들어간다. 또한, 산소는, 반도체(406a) 내의 원자간에 유리(遊離)하여 존재하거나, 산소 등과 결합하여 존재하는 경우가 있다. 반도체(406a)는 밀도가 낮을수록, 즉 원자간에 간극이 많을수록 산소 투과성이 높게 된다. 예를 들어, 반도체(406a)가 층상의 결정 구조를 갖고 층을 가로지르도록 산소가 이동하기 어려운 경우, 반도체(406a)는 알맞게 결정성이 낮은 층인 것이 바람직하다.
- [0156] 이하에서는 반도체(406a)가 In-Ga-Zn 산화물인 경우의 결정성과 산소 투과성의 관계에 대하여 설명하기로 한다.
- [0157] In-Ga-Zn 산화물의 결정에서의, 과잉 산소(산소)의 이동에 따른 에너지 장벽을 계산하여 산출한다. 계산에는, 밀도 범함수 이론에 따른 평면파 기저 제 1 원리 계산 소프트웨어 VASP(vienna ab-initio simulation package)를 사용한다. 또한, 범함수로서는 GGA-PBE를 사용한다. 또한, 평면파의 컷오프 에너지를 400eV로 한다. 또한, PAW(Projector Augmented Wave)법에 의하여 내각 전자의 효과를 고려한다.
- [0158] 여기서는 도 34에 도시된 In-Ga-Zn 산화물의 결정에서, 이동 경로 1, 이동 경로 2, 이동 경로 3, 및 이동 경로

4에서의 과잉 산소(산소)의 이동 용이성을 계산한다.

[0159] 또한, 이동 경로 1은, 인듐 원자 3개 및 아연 원자 하나와 결합된 산소에 결합된 과잉 산소(산소)가, 인접되는 인듐 원자 3개 및 아연 원자 하나와 결합된 산소에 결합되는 경로이다. 또한, 이동 경로 2는, 인듐 원자 3개 및 갈륨 원자 하나와 결합된 산소에 결합된 과잉 산소(산소)가, 인듐 및 산소를 포함하는 층을 가로지르고, 인접되는 인듐 원자 3개 및 아연 원자 하나와 결합된 산소에 결합되는 경로이다. 또한, 이동 경로 3은, 갈륨 원자 2개 및 아연 원자 하나와 결합된 산소에 결합된 과잉 산소(산소)가, 인접되는 아연 원자 2개 및 갈륨 원자 하나와 결합된 산소에 결합되는 경로이다. 또한, 이동 경로 4는, 갈륨 원자 2개 및 아연 원자 하나와 결합된 산소에 결합된 과잉 산소(산소)가, 갈륨, 아연, 및 산소를 포함하는 층을 가로지르고, 인접되는 인듐 원자 3개 및 갈륨 원자 하나와 결합된 산소에 결합되는 경로이다.

[0160] 단위 시간당 확산의 에너지 장벽 E_a 를 초과하는 빈도를 확산 빈도 R 로 하면, R 은 아래 식으로 나타낼 수 있다.

[0161]
$$R = v \cdot \exp[-E_a/(k_B T)]$$

[0162] 또한, v 는 확산 원자의 열 진동의 진동수, k_B 는 볼츠만 상수, T 는 절대 온도이다. v 에 디바이 진동수로서 10^{13} [1/sec]를 적용한 경우의, 350℃ 및 450℃에서의 확산 빈도 R 은 표 1과 같다.

표 1

	에너지 장벽 [eV]	확산 빈도 R [1/sec]	
		350℃	450℃
이동 경로1	0.50	9.0×10^8	3.3×10^9
이동 경로2	1.97	1.2×10^{-3}	1.9×10^{-1}
이동 경로3	0.53	5.2×10^8	2.0×10^9
이동 경로4	0.56	3.0×10^8	1.3×10^9

[0163]

[0164] 표 1에 나타난 바와 같이, 인듐 및 산소를 포함한 층을 가로지르는 이동 경로 2는, 다른 이동 경로보다 높은 에너지 장벽을 갖는 것을 알 수 있다. 이것은, In-Ga-Zn 산화물의 결정은 c 축 방향으로의 과잉 산소(산소)의 이동이 일어나기 어렵다는 것을 시사한다. 즉, CAAC-OS 등과 같이, c 축 배향성을 가지며 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 구조를 갖는 경우, 피형성면 또는 상면에 실질적으로 수직인 방향으로의 과잉 산소(산소)의 이동은 일어나기 어렵다.

[0165] 상술한 바와 같이, 절연체(402)로부터 방출된 과잉 산소(산소)를 반도체(406b)까지 도달시키기 위해서는, 반도체(406a)가 과잉 산소(산소)를 투과시킬 정도의 결정성을 가지면 좋다는 것을 알 수 있다. 예를 들어, 반도체(406a)가 CAAC-OS인 경우에, 층 전체가 CAAC화되면 과잉 산소(산소)를 투과시킬 수 없기 때문에 일부 틈을 갖는 구조를 가지면 바람직하다. 예를 들어, 반도체(406a)의 CAAC화율을 100% 미만, 바람직하게는 98% 미만, 더 바람직하게는 95% 미만, 더욱 바람직하게는 90% 미만으로 하면 좋다. 다만, 반도체(406a)와 반도체(406b)의 계면 준위 밀도를 저감시키기 위해서는 반도체(406a)의 CAAC화율을 10% 이상, 바람직하게는 20% 이상, 더 바람직하게는 50% 이상, 더욱 바람직하게는 70% 이상으로 하면 좋다.

[0166] 또한, 트랜지스터가 s -channel 구조를 갖는 경우, 반도체(406b) 전체에 채널이 형성된다. 따라서, 반도체(406b)의 두께가 두꺼울수록 채널 영역은 커진다. 즉, 반도체(406b)의 두께가 두꺼울수록 트랜지스터의 온 전류를 높일 수 있다. 예를 들어, 두께 20nm 이상, 바람직하게는 40nm 이상, 더 바람직하게는 60nm 이상, 더욱 바람직하게는 100nm 이상의 영역을 갖는 반도체(406b)로 하면 좋다. 다만, 반도체 장치의 생산성이 저하되는 경우가 있으므로, 예컨대 두께 300nm 이하, 바람직하게는 200nm 이하, 더 바람직하게는 150nm 이하의 영역을 갖는 반도체(406b)로 하면 좋다.

[0167] 또한, 트랜지스터의 온 전류를 높이기 위해서는, 반도체(406c)의 두께가 작을수록 바람직하다. 예를 들어, 두께 10nm 미만, 바람직하게는 5nm 이하, 더 바람직하게는 3nm 이하의 영역을 갖는 반도체(406c)로 하면 좋다. 한편, 반도체(406c)는 채널이 형성되는 반도체(406b)에, 인접하는 절연체를 구성하는 산소 이외의 원소(수소, 실리콘 등)가 들어가지 않게 블로킹하는 기능을 갖는다. 따라서, 반도체(406c)는 어느 정도의 두께를 갖는 것

이 바람직하다. 예를 들어, 두께 0.3nm 이상, 바람직하게는 1nm 이상, 더 바람직하게는 2nm 이상의 영역을 갖는 반도체(406c)로 하면 좋다. 또한, 반도체(406c)는 절연체(402) 등으로부터 방출되는 산소의 외방(外方) 확산을 억제하기 위하여 산소를 블로킹하는 성질을 가지면 좋다.

[0168] 또한, 신뢰성을 높이기 위해서는 반도체(406a)는 두껍고 반도체(406c)는 얇은 것이 바람직하다. 예를 들어, 두께 10nm 이상, 바람직하게는 20nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상의 영역을 갖는 반도체(406a)로 하면 좋다. 반도체(406a)의 두께를 두껍게 하면, 인접되는 절연체와 반도체(406a)의 계면으로부터, 채널이 형성되는 반도체(406b)까지의 거리를 길게 할 수 있다. 다만, 반도체 장치의 생산성이 저하되는 경우가 있으므로, 예컨대 두께 200nm 이하, 바람직하게는 120nm 이하, 더 바람직하게는 80nm 이하의 영역을 갖는 반도체(406a)로 하면 좋다.

[0169] 예를 들어, 반도체(406b)와 반도체(406a) 사이에, 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 측정되는 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 2×10^{18} atoms/cm³ 미만의 실리콘 농도가 되는 영역을 갖는다. 또한, 반도체(406b)와 반도체(406c) 사이에, SIMS에서 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 2×10^{18} atoms/cm³ 미만의 실리콘 농도가 되는 영역을 갖는다.

[0170] 또한, 반도체(406b)의 수소 농도를 저감하기 위하여, 반도체(406a) 및 반도체(406c)의 수소 농도를 저감하면 바람직하다. 반도체(406a) 및 반도체(406c)는 SIMS에서 수소 농도가 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하가 되는 영역을 갖는다. 또한, 반도체(406b)의 질소 농도를 저감하기 위하여, 반도체(406a) 및 반도체(406c)의 질소 농도를 저감하면 바람직하다. 반도체(406a) 및 반도체(406c)는 SIMS에서 질소 농도가 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하가 되는 영역을 갖는다.

[0171] 상술한 3층 구조는 일레이다. 예를 들어, 반도체(406a) 또는 반도체(406c)가 없는 2층 구조로 하여도 좋다. 또는, 반도체(406a) 위 또는 아래, 또는 반도체(406c) 위 또는 아래에, 반도체(406a), 반도체(406b), 및 반도체(406c)로서 예시한 반도체 중 어느 하나를 갖는 4층 구조로 하여도 좋다. 또는, 반도체(406a) 위, 반도체(406a) 아래, 반도체(406c) 위, 반도체(406c) 아래 중 어느 두 군데 이상에, 반도체(406a), 반도체(406b), 및 반도체(406c)로서 예시한 반도체 중 어느 하나를 갖는 n층 구조(n은 5 이상의 정수)로 하여도 좋다.

[0172] 도전체(416a)(또는/및 도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 반도체의, 표면, 측면, 상면, 또는/및 하면의 적어도 일부(또는 전체)에 제공된다.

[0173] 또는, 도전체(416a)(또는/및 도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 반도체의, 표면, 측면, 상면, 또는/및 하면의 적어도 일부(또는 전체)와 접한다. 또는, 도전체(416a)(또는/및 도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 적어도 일부(또는 전체)와 접한다.

[0174] 또는, 도전체(416a)(또는/및 도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 반도체의, 표면, 측면, 상면, 또는/및 하면의 적어도 일부(또는 전체)와 전기적으로 접속된다. 또는, 도전체(416a)(또는/및 도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 반도체의 적어도 일부(또는 전체)에 전기적으로 접속된다.

[0175] 또는, 도전체(416a)(또는/및 도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 반도체의, 표면, 측면, 상면, 또는/및 하면의 적어도 일부(또는 전체)에 근접하여 배치된다. 또는, 도전체(416a)(또는/및 도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 반도체의 적어도 일부(또는 전체)에 근접하여 배치된다.

[0176] 또는, 도전체(416a)(또는/및 도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 반도체의, 표면, 측면, 상면, 또는/및 하면의 적어도 일부(또는 전체)의 옆쪽에 배치된다. 또는, 도전체(416a)(또는/및 도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 반도체의 적어도 일부(또는 전체)의 옆쪽에 배치된다.

[0177] 또는, 도전체(416a)(또는/및 도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 반도체의, 표면, 측면, 상면, 또는/및 하면의 적어도 일부(또는 전체)의 비스듬히 위쪽에 배치된다. 또는, 도전체(416a)(또는/및

도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 반도체의 적어도 일부(또는 전체)의 비스듬히 위쪽에 배치된다.

[0178] 또는, 도전체(416a)(또는/및 도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 반도체의, 표면, 측면, 상면, 또는/및 하면의 적어도 일부(또는 전체) 위쪽에 배치된다. 또는, 도전체(416a)(또는/및 도전체(416b))의 적어도 일부(또는 전체)는 반도체(406b) 등의 반도체의 적어도 일부(또는 전체) 위쪽에 배치된다.

[0179] 기판(400)으로서는, 예컨대 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서는, 예컨대 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등을 들 수 있다. 또한, 반도체 기판으로서는, 예컨대 실리콘, 게르마늄 등의 단체 반도체 기판, 또는 탄소화 실리콘, 실리콘 게르마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨 등의 화합물 반도체 기판 등이 있다. 또한 상기 반도체 기판 내부에 절연체 영역을 갖는 반도체 기판, 예컨대 SOI(silicon on insulator) 기판 등이 있다. 도전체 기판으로서는, 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판 등이 있다. 또는, 금속 질화물을 갖는 기판, 금속 산화물을 갖는 기판 등이 있다. 또한 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 도전체 기판에 반도체 또는 절연체가 제공된 기판 등이 있다. 또는, 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는, 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0180] 또한, 기판(400)으로서 가요성 기판을 사용하여도 좋다. 또한, 가요성 기판 위에 트랜지스터를 제공하는 방법으로서, 비가요성 기판 위에 트랜지스터를 제작한 후, 트랜지스터를 박리하고, 가요성 기판인 기판(400)에 전치(轉置)하는 방법도 있다. 이 경우에는, 비가요성 기판과 트랜지스터 사이에 박리층을 제공하면 좋다. 또한, 기판(400)으로서는, 섬유가 함유된 시트, 필름 또는 박(箔) 등을 사용하여도 좋다. 또한, 기판(400)은 신축성을 가져도 좋다. 또한, 기판(400)은, 접어 구부리는 동작이나 인장 동작을 멈췄을 때, 원래의 형상으로 되돌아가는 성질을 가져도 좋고, 또는 원래의 형상으로 되돌아가지 않는 성질을 가져도 좋다. 기판(400)은, 예컨대 두께 5 μ m 이상 700 μ m 이하, 바람직하게는 10 μ m 이상 500 μ m 이하, 더 바람직하게는 15 μ m 이상 300 μ m 이하의 영역을 갖는다. 기판(400)이 얇으면, 반도체 장치를 경량화할 수 있다. 또한, 기판(400)을 얇게 함으로써, 유리 등을 사용한 경우에도 신축성을 가지거나, 접어 구부리는 동작이나 인장 동작을 멈췄을 때에 원래의 형상으로 되돌아가는 성질을 갖는 경우가 있다. 그러므로, 낙하 등으로 인하여 기판(400) 위의 반도체 장치에 가해지는 충격 등을 완화할 수 있다. 즉, 튼튼한 반도체 장치를 제공할 수 있다.

[0181] 가요성 기판인 기판(400)으로서는, 예컨대 금속, 합금, 수지 또는 유리, 또는 이들의 섬유 등을 사용할 수 있다. 가요성 기판인 기판(400)은, 선 팽창률이 낮을수록 환경에 따른 변형이 억제되어 바람직하다. 가요성 기판인 기판(400)의 재질로서는, 예컨대 선 팽창률이 $1 \times 10^{-3}/K$ 이하, $5 \times 10^{-5}/K$ 이하, 또는 $1 \times 10^{-5}/K$ 이하인 것이면 좋다. 수지로서는, 예컨대 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 아크릴 등이 있다. 특히, 아라미드는 선 팽창률이 낮기 때문에 가요성 기판인 기판(400)으로서 바람직하다.

[0182] 도전체(413)로서는, 예컨대 붕소, 질소, 산소, 불소, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브데넘, 루테튬, 은, 인듐, 주석, 탄탈럼, 및 텅스텐을 1종 이상 포함하는 도전체를 단층 또는 적층으로 사용하면 좋다. 또는, 상술한 원소를 포함하는 합금이나 화합물이 사용되어도 좋고, 알루미늄을 포함하는 도전체, 구리 및 타이타늄을 포함하는 도전체, 구리 및 망가니즈를 포함하는 도전체, 인듐, 주석, 및 산소를 포함하는 도전체, 타이타늄 및 질소를 포함하는 도전체 등을 사용하여도 좋다.

[0183] 절연체(402)로서는, 예컨대 붕소, 탄소, 질소, 산소, 불소, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 게르마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄 또는 탄탈럼을 포함하는 절연체를 단층으로 또는 적층으로 사용하면 좋다. 또한, 절연체(402)가, 질화산화 실리콘, 질화실리콘 등 질소를 포함하는 절연체를 포함하여도 좋다.

[0184] 절연체(402)는, 기판(400)으로부터의 불순물 확산을 방지하는 역할을 가져도 좋다. 또한, 반도체(406b)가 산화물 반도체인 경우, 절연체(402)는 반도체(406b)에 산소를 공급하는 역할을 할 수 있다.

[0185] 도전체(416a) 및 도전체(416b)로서는, 예컨대 붕소, 질소, 산소, 불소, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브데넘, 루테튬, 은, 인듐, 주석, 탄탈럼, 및 텅스텐을 1종 이상 포함하는 도전체를 단층 또는 적층으로 사용하면 좋다. 또는, 상술한 원소를 포함하

는 합금이나 화합물이 사용되어도 좋고, 알루미늄을 포함하는 도전체, 구리 및 타이타늄을 포함하는 도전체, 구리 및 망가니즈를 포함하는 도전체, 인듐, 주석, 및 산소를 포함하는 도전체, 타이타늄 및 질소를 포함하는 도전체 등을 사용하여도 좋다.

[0186] 절연체(412)로서는 예컨대 붕소, 탄소, 질소, 산소, 불소, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 게르마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄 또는 탄탈럼을 포함하는 절연체를 단층 또는 적층으로 사용하면 좋다.

[0187] 도전체(404)로서는, 예컨대 붕소, 질소, 산소, 불소, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 인듐, 주석, 탄탈럼, 및 텅스텐을 1종 이상 포함하는 도전체를 단층 또는 적층으로 사용하면 좋다. 또는, 상술한 원소를 포함하는 합금이나 화합물이 사용되어도 좋고, 알루미늄을 포함하는 도전체, 구리 및 타이타늄을 포함하는 도전체, 구리 및 망가니즈를 포함하는 도전체, 인듐, 주석, 및 산소를 포함하는 도전체, 타이타늄 및 질소를 포함하는 도전체 등을 사용하여도 좋다.

[0188] 절연체(408)로서는, 예컨대 붕소, 탄소, 질소, 산소, 불소, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 게르마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄 또는 탄탈럼을 포함하는 절연체를 단층 또는 적층으로 사용하면 좋다. 절연체(408)는, 바람직하게는 산화 알루미늄, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈럼을 포함하는 절연체를 단층으로 또는 적층으로 사용하면 좋다.

[0189] 절연체(418)로서는, 예컨대 붕소, 탄소, 질소, 산소, 불소, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 게르마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄 또는 탄탈럼을 포함하는 절연체를 단층으로 또는 적층으로 사용하면 좋다. 절연체(418)는, 바람직하게는 산화 실리콘 또는 산화질화 실리콘을 포함하는 절연체를 단층으로 또는 적층으로 사용하면 좋다.

[0190] 또한, 도 1에서는 트랜지스터의 제 1 게이트 전극인 도전체(404)와 제 2 게이트 전극인 도전체(413)가 전기적으로 접속되지 않는 예를 도시하였으나, 본 발명의 일 형태에 따른 트랜지스터의 구조는 이에 한정되지 않는다. 예를 들어, 도 5의 (A)에 도시된 바와 같이, 도전체(404)와 도전체(413)가 접하는 구조라도 좋다. 이와 같은 구성으로 함으로써, 도전체(404)와 도전체(413)에 같은 전위가 공급되므로, 트랜지스터의 스위칭 특성을 향상시킬 수 있다. 또는, 도 5의 (B)에 도시된 바와 같이, 도전체(413)를 갖지 않는 구조라도 좋다.

[0191] 또한, 도 6의 (A)는 트랜지스터의 상면도의 일례이다. 도 6의 (A)의 일점 쇄선 B1-B2 부분 및 일점 쇄선 B3-B4 부분에 대응하는 단면도의 일례를 도 6의 (B)에 도시하였다. 또한, 도 6의 (A)에서는, 이해하기 쉽게 하기 위하여, 절연체 등 일부를 생략하였다.

[0192] 또한, 도 7의 (A)는 트랜지스터의 상면도의 일례이다. 도 7의 (A)의 일점 쇄선 C1-C2 부분 및 일점 쇄선 C3-C4 부분에 대응하는 단면도의 일례를 도 7의 (B)에 도시하였다. 또한, 도 7의 (A)에서는, 이해하기 쉽게 하기 위하여, 절연체 등 일부를 생략하였다.

[0193] 또한, 도 8의 (A)는 트랜지스터의 상면도의 일례이다. 도 8의 (A)의 일점 쇄선 D1-D2 부분 및 일점 쇄선 D3-D4 부분에 대응하는 단면도의 일례를 도 8의 (B)에 도시하였다. 또한, 도 8의 (A)에서는, 이해하기 쉽게 하기 위하여, 절연체 등 일부를 생략하였다.

[0194] 또한, 반도체(406c), 절연체(412), 및 도전체(404)는 상면도인 도 1의 (A)에서 같은 형상을 갖고, 바꿔 말하면 단면도인 도 1의 (B)에서 어느 단부가 돌출하지 않는(튀어나오지 않는) 형상을 갖는 예를 도시하였으나, 본 발명의 일 형태에 따른 트랜지스터의 구조는 이에 한정되지 않는다. 예를 들어, 도 6의 (A)의 상면도 및 도 6의 (B)의 단면도에 도시된 바와 같이, 트랜지스터 내에서 반도체(406c) 및 절연체(412)가 전체 면에 제공되어도 좋다. 또는, 도 7의 (A)의 상면도에 도시된 바와 같이, 반도체(406c)가 트랜지스터의 채널 형성 영역으로부터 그 주변 영역까지를 덮도록 제공되고, 또한 절연체(412)가 반도체(406c)를 덮도록 트랜지스터 내의 전체 면에 제공되어도 좋다. 또한, 도 7의 (B)의 단면도에서는, 반도체(406c)가 도전체(404)보다 단부가 돌출하는(튀어나오는) 영역을 갖는 형상이다. 또는, 도 8의 (A)의 상면도에 도시된 바와 같이, 반도체(406c) 및 절연체(412)가 트랜지스터의 채널 형성 영역으로부터 그 주변 영역까지를 덮도록 제공되어도 좋다. 또한, 도 8의 (B)의 단면도에서는, 반도체(406c) 및 절연체(412)가 도전체(404)보다 단부가 돌출하는(튀어나오는) 영역을 갖는 형상이다.

[0195] 트랜지스터가 도 6~도 8에 도시된 구조를 가짐으로써, 반도체(406c)의 표면, 절연체(412)의 표면 등을 통한 누

설 전류를 저감할 수 있는 경우가 있다. 즉, 트랜지스터의 오프 전류를 더 작게 할 수 있다. 또한, 절연체(412) 및 반도체(406c)의 에칭 시에 도전체(404)를 마스크로 이용하지 않아도 되기 때문에, 도전체(404)가 플라즈마로 노출되는 일이 없다. 따라서, 안테나 효과로 인한 트랜지스터의 정전 파괴가 발생되기 어려우며 반도체 장치를 높은 수율로 생산할 수 있다. 또한, 반도체 장치의 설계 자유도가 높게 되므로, 복잡한 구조를 갖는 LSI(Large Scale Integration)나 VLSI(Very Large Scale Integration) 등의 집적 회로에 바람직하다.

[0196] 또한, 도 9의 (A)는 트랜지스터의 상면도의 일례이다. 도 9의 (A)의 일점 채선 F1-F2 부분 및 일점 채선 F3-F4 부분에 대응하는 단면도의 일례를 도 9의 (B)에 도시하였다. 또한, 도 9의 (A)에서는, 이해하기 쉽게 하기 위하여, 절연체 등 일부를 생략하였다.

[0197] 도 1 등에서는 소스 전극 및 드레인 전극으로서 기능하는 도전체(416a) 및 도전체(416b)와, 게이트 전극으로서 기능하는 도전체(404)가 중첩되는 영역을 갖는 구조를 도시하였으나, 본 발명의 일 형태에 따른 트랜지스터의 구조는 이에 한정되지 않는다. 예를 들어, 도 9에 도시된 바와 같이, 도전체(416a), 도전체(416b), 및 도전체(404)가 중첩되는 영역을 갖지 않는 구조라도 좋다. 이와 같은 구조로 함으로써 기생 용량이 작은 트랜지스터로 할 수 있다. 그러므로, 스위칭 특성이 양호하며 노이즈가 작은 트랜지스터가 된다.

[0198] 또한, 도전체(416a), 도전체(416b), 및 도전체(404)가 중첩되지 않는 경우, 도전체(416a)와 도전체(416b) 사이의 저항이 높게 되는 경우가 있다. 이 경우, 트랜지스터의 온 전류가 작게 될 수 있으므로, 상기 저항을 가능한 한 낮게 하는 것이 바람직하다. 예를 들어, 도전체(416a)(도전체(416b))와, 도전체(404) 사이의 거리를 짧게 하면 좋다. 예를 들어, 도전체(416a)(도전체(416b))와 도전체(404) 사이의 거리를 $0\mu\text{m}$ 이상 $1\mu\text{m}$ 이하, 바람직하게는 $0\mu\text{m}$ 이상 $0.5\mu\text{m}$ 이하, 더 바람직하게는 $0\mu\text{m}$ 이상 $0.2\mu\text{m}$ 이하, 더 바람직하게는 $0\mu\text{m}$ 이상 $0.1\mu\text{m}$ 이하로 하면 좋다.

[0199] 또는, 도전체(416a)(도전체(416b))와 도전체(404) 사이의 반도체(406b) 또는/및 반도체(406a)에 저저항 영역(423a)(저저항 영역(423b))을 제공하면 좋다. 또한, 저저항 영역(423a) 및 저저항 영역(423b)은 예컨대 반도체(406b) 또는/및 반도체(406a)의 다른 영역보다 캐리어 밀도가 높은 영역을 갖는다. 또는, 저저항 영역(423a) 및 저저항 영역(423b)은 반도체(406b) 또는/및 반도체(406a)의 다른 영역보다 불순물 농도가 높은 영역을 갖는다. 또는, 저저항 영역(423a) 및 저저항 영역(423b)은 반도체(406b) 또는/및 반도체(406a) 이외의 영역보다 캐리어 이동도가 높은 영역을 갖는다. 저저항 영역(423a) 및 저저항 영역(423b)은 예컨대 도전체(404), 도전체(416a), 도전체(416b) 등을 마스크로 이용하여 반도체(406b) 또는/및 반도체(406a)에 불순물을 첨가함으로써 형성하면 좋다.

[0200] 또한, 도전체(416a)(도전체(416b))와 도전체(404) 사이의 거리를 짧게 하고, 또한 도전체(416a)(도전체(416b))와 도전체(404) 사이의 반도체(406b) 또는/및 반도체(406a)에 저저항 영역(423a)(저저항 영역(423b))을 제공하여도 좋다.

[0201] 또한, 도 10의 (A)는 트랜지스터의 상면도의 일례이다. 도 10의 (A)의 일점 채선 G1-G2 부분 및 일점 채선 G3-G4 부분에 대응하는 단면도의 일례를 도 10의 (B)에 도시하였다. 또한, 도 10의 (A)에서는, 이해하기 쉽게 하기 위하여, 절연체 등 일부를 생략하였다.

[0202] 도 1 등에서는 소스 전극 및 드레인 전극으로서 기능하는 도전체(416a) 및 도전체(416b)가 반도체(406b)의 상면 및 측면, 절연체(402)의 상면 등과 접촉하는 예를 도시하였으나, 본 발명의 일 형태에 따른 트랜지스터의 구조는 이에 한정되지 않는다. 예를 들어, 도 10에 도시된 바와 같이, 도전체(416a) 및 도전체(416b)가 반도체(406b)의 상면에만 접촉하는 구조라도 좋다.

[0203] 또한, 도 10의 (B)에 도시된 바와 같이, 절연체(418) 위에 절연체(428)를 가져도 좋다. 절연체(428)는 상면이 평탄한 절연체라면 바람직하다. 또한, 절연체(428)는 예컨대 붕소, 탄소, 질소, 산소, 불소, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 게르마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄 또는 탄탈륨을 포함하는 절연체를 단층 또는 적층으로 사용하면 좋다. 또한, 절연체(428)가 질화산화 실리콘, 질화 실리콘 등 질소를 포함하는 절연체를 포함하여도 좋다. 절연체(428)의 상면을 평탄화하기 위하여, 화학 기계 연마(CMP: Chemical Mechanical Polishing)법 등에 의하여 평탄화 처리를 수행하여도 좋다.

[0204] 또는, 절연체(428)에는 수지를 사용하여도 좋다. 예를 들어, 폴리이미드, 폴리아마이드, 아크릴, 실리콘(silicone) 등을 포함하는 수지를 사용하면 좋다. 수지를 사용함으로써, 절연체(428)의 상면의 평탄화 처리를 수행하지 않아도 되는 경우가 있다. 또한, 수지를 사용하면 짧은 시간 안에 막을 두껍게 성막할 수 있으므로 생산성을 높일 수 있다.

- [0205] 또한, 도 10의 (A) 및 (B)에 도시된 바와 같이, 절연체(428) 위에 도전체(424a) 및 도전체(424b)를 가져도 좋다. 예를 들어, 도전체(424a) 및 도전체(424b)는 배선으로서의 기능을 갖는다. 또한, 절연체(428)가 개구부를 갖고, 상기 개구부를 통하여 도전체(416a)와 도전체(424a)가 전기적으로 접속되어도 좋다. 또한, 절연체(428)가 다른 개구부를 갖고, 상기 개구부를 통하여 도전체(416b)와 도전체(424b)가 전기적으로 접속되어도 좋다. 이 경우, 각 개구부 내에 도전체(426a) 및 도전체(426b)를 가져도 좋다.
- [0206] 도전체(424a) 및 도전체(424b)로서는, 예컨대 붕소, 질소, 산소, 불소, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브데넘, 루테튬, 은, 인듐, 주석, 탄탈럼 및 텅스텐 중 일종 이상을 포함하는 도전체를 단층 또는 적층으로 사용하면 좋다. 또는, 상술한 원소를 포함하는 합금이나 화합물이 사용되어도 좋고, 알루미늄을 포함하는 도전체, 구리 및 타이타늄을 포함하는 도전체, 구리 및 망가니즈를 포함하는 도전체, 인듐, 주석, 및 산소를 포함하는 도전체, 타이타늄 및 질소를 포함하는 도전체 등을 사용하여도 좋다.
- [0207] 도 10에 도시된 트랜지스터에서, 도전체(416a) 및 도전체(416b)는 반도체(406b)의 측면에 접촉하지 않는다. 따라서, 제 1 게이트 전극으로서 기능하는 도전체(404)로부터 반도체(406b)의 측면으로 인가되는 전계가 도전체(416a) 및 도전체(416b)에 의하여 차폐되기 어려운 구조이다. 또한, 도전체(416a) 및 도전체(416b)는 절연체(402) 상면에 접촉하지 않는다. 그러므로, 절연체(402)로부터 방출되는 과잉 산소(산소)가 도전체(416a) 및 도전체(416b)를 산화시키는 데에 소비되지 않는다. 따라서, 반도체(406b)의 산소 결손을 저감하기 위하여, 절연체(402)로부터 방출되는 과잉 산소(산소)를 효율적으로 이용할 수 있는 구조이다. 즉, 도 10에 도시된 구조를 갖는 트랜지스터는, 높은 온 전류, 높은 전계 효과 이동도, 낮은 subthreshold swing value, 높은 신뢰성 등을 가지고, 뛰어난 전기 특성을 갖는다.
- [0208] 또한, 도 11의 (A)는 트랜지스터의 상면도의 일례이다. 도 11의 (A)의 일점 쇄선 H1-H2 부분 및 일점 쇄선 H3-H4 부분에 대응하는 단면도의 일례를 도 11의 (B)에 도시하였다. 또한, 도 11의 (A)에서는, 이해하기 쉽게 하기 위하여, 절연체 등 일부를 생략하였다.
- [0209] 트랜지스터는, 도 11에 도시된 바와 같이, 도전체(416a) 및 도전체(416b)를 갖지 않고, 도전체(426a) 및 도전체(426b)와, 반도체(406b)가 접촉하는 구조라도 좋다. 이 경우, 반도체(406b) 또는/및 반도체(406a)에서 적어도 도전체(426a) 및 도전체(426b)에 접촉하는 영역에 저저항 영역(423a)(저저항 영역(423b))을 제공하면 바람직하다. 저저항 영역(423a) 및 저저항 영역(423b)은 예컨대 도전체(404) 등을 마스크로 이용하여 반도체(406b) 또는/및 반도체(406a)에 불순물을 첨가함으로써 형성하면 좋다. 또한, 도전체(426a) 및 도전체(426b)가 반도체(406b)의 구멍(관통되는 것) 또는 구덩이(관통되지 않는 것)에 제공되어도 좋다. 도전체(426a) 및 도전체(426b)가 반도체(406b)의 구멍 또는 구덩이에 제공됨으로써, 도전체(426a) 및 도전체(426b)와, 반도체(406b)의 접촉 면적이 커지기 때문에, 접촉 저항의 영향을 작게 할 수 있다. 즉, 트랜지스터의 온 전류를 높게 할 수 있다.
- [0210] <트랜지스터 구조 1의 제작 방법>
- [0211] 다음에 도 1에 도시된 트랜지스터의 제작 방법에 대하여 설명하기로 한다.
- [0212] 우선, 기판(400)을 준비한다.
- [0213] 다음에, 도전체(413)가 되는 도전체를 성막한다. 도전체(413)가 되는 도전체는, 스퍼터링법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 또는 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, 또는 원자층 퇴적(ALD: Atomic Layer Deposition)법 등을 이용하여 성막하면 좋다.
- [0214] 또한, CVD법은 플라즈마를 이용하는 플라즈마 CVD(PECVD: Plasma Enhanced CVD)법, 열을 이용하는 열CVD(TCVD: Thermal CVD)법 등으로 분류할 수 있다. 또한 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 분류할 수 있다.
- [0215] 플라즈마 CVD법에서는, 비교적 저온으로 고품질의 막을 얻을 수 있다. 열CVD법에서는, 플라즈마를 사용하지 않기 때문에 플라즈마 대미지가 생기지 않아 결함이 적은 막을 얻을 수 있다.
- [0216] CVD법은 원료 가스의 유량비에 따라 얻어지는 막의 조성을 제어할 수 있다. 예를 들어, MCVD법 및 MOCVD법에서는, 원료 가스의 유량비에 따라 임의의 조성을 갖는 막을 성막할 수 있다. 또한, 예컨대 MCVD법 및 MOCVD법에서는, 성막하면서 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다.

원료 가스의 유량비를 변화시키면서 성막하는 경우는, 복수의 성막실을 사용하여 성막하는 경우에 비하여, 반응이나 압력 조정을 위하여 시간을 낼 필요가 없어, 성막을 위한 시간을 짧게 할 수 있다. 따라서, 트랜지스터의 생산성을 높일 수 있다.

[0217] 다음에, 도전체(413)가 되는 도전체의 일부를 에칭하여 도전체(413)를 형성한다.

[0218] 다음에 절연체(402)를 성막한다(도 12의 (A) 참조). 절연체(402)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막하면 좋다. 또한, 여기서는, CMP법 등에 의하여 절연체(402)의 상면을 평탄화하는 경우에 대하여 설명하기로 한다. 절연체(402)의 상면을 평탄화함으로써, 나중에 수행하는 공정이 간략화되어 트랜지스터의 수율을 향상시킬 수 있다. 예를 들어, CMP법에 의하여, 절연체(402)의 RMS 거칠기를 1nm 이하, 바람직하게는 0.5nm 이하, 더 바람직하게는 0.3nm 이하로 한다. 또는, $1\mu\text{m} \times 1\mu\text{m}$ 의 범위에서의 Ra를 1nm 미만, 바람직하게는 0.6nm 미만, 더 바람직하게는 0.5nm 미만, 더욱 바람직하게는 0.4nm 미만으로 한다. 또는, $1\mu\text{m} \times 1\mu\text{m}$ 의 범위에서의 P-V를 10nm 미만, 바람직하게는 9nm 미만, 더 바람직하게는 8nm 미만, 더욱 바람직하게는 7nm 미만으로 한다. 다만, 본 발명의 일 형태에 따른 트랜지스터는 절연체(402)의 상면을 평탄화한 경우에 한정되지 않는다.

[0219] 절연체(402)의 성막은 과잉 산소를 포함시키도록 수행하면 좋다. 또는, 절연체(402)의 성막 후에 산소를 첨가하여도 좋다. 산소는, 예컨대 이온 주입법에 의하여 가속 전압을 2kV 이상 100kV 이하로 하고, 도즈량을 $5 \times 10^{14} \text{ ions/cm}^2$ 이상 $5 \times 10^{16} \text{ ions/cm}^2$ 이하로 하여 첨가하면 좋다.

[0220] 또한, 절연체(402)를 적층막으로 구성하는 경우에는, 상술한 성막 방법 중에서 각각 상이한 성막 방법으로 각 막을 성막하여도 좋다. 예를 들어, 첫 번째 막을 CVD법으로 성막하고, 두 번째 막을 ALD법으로 성막하여도 좋다. 또는, 첫 번째 막을 스퍼터링법으로 성막하고, 두 번째 막을 ALD법으로 성막하여도 좋다. 이와 같이 각각 상이한 성막 방법을 이용함으로써, 각 층의 막이 상이한 기능이나 성질을 갖도록 할 수 있다. 그리고, 이들 막을 적층함으로써 적층막 전체로서 더 적절한 막을 구성할 수 있다.

[0221] 즉, n번째(n은 자연수) 막을 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등 중 적어도 하나의 방법으로 성막하고, n+1번째 막을 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등 중 적어도 하나의 방법으로 성막한다. 또한, n번째 막과 n+1번째 막의 성막 방법이 같아도 좋고 상이하여도 좋다. 또한, n번째 막과 n+2번째 막의 성막 방법이 같아도 좋다. 또는, 모든 막의 성막 방법이 같아도 좋다.

[0222] 다음에, 반도체(406a)가 되는 반도체, 및 반도체(406b)가 되는 반도체를 이 순서대로 성막한다. 반도체(406a)가 되는 반도체 및 반도체(406b)가 되는 반도체는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 이용하여 성막하면 좋다.

[0223] 또한, 반도체(406a)가 되는 반도체, 및 반도체(406b)가 되는 반도체로서 In-Ga-Zn 산화물층을 MOCVD법에 의하여 성막하는 경우, 원료 가스로서 트라이메틸인듐, 트라이메틸갈륨, 및 다이메틸아연 등을 사용하면 좋다. 또한, 상기 원료 가스의 조합에 한정되지 않고, 트라이메틸인듐 대신 트라이에틸인듐 등을 사용하여도 좋다. 또한, 트라이메틸갈륨 대신 트라이에틸갈륨 등을 사용하여도 좋다. 또한, 다이메틸아연 대신 다이에틸아연 등을 사용하여도 좋다.

[0224] 다음에 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하의 온도에서 수행하면 좋다. 제 1 가열 처리는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 수행한다. 제 1 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 제 1 가열 처리는, 불활성 가스 분위기에서 가열 처리를 수행한 후, 이탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행하여도 좋다. 제 1 가열 처리에 의하여, 반도체(406a)가 되는 반도체 및 반도체(406b)가 되는 반도체의 결정성을 높이거나, 수소나 물 등 불순물을 제거하거나 할 수 있다.

[0225] 다음에, 반도체(406a)가 되는 반도체 및 반도체(406b)가 되는 반도체의 일부를 에칭하여 반도체(406a) 및 반도체(406b)를 형성한다(도 12의 (B) 참조). 이 경우, 반도체(406a) 및 반도체(406b)가 도전체(413)의 적어도 일부와 중첩되도록 형성한다.

[0226] 다음에, 도전체(416a) 및 도전체(416b)가 되는 도전체를 성막한다. 도전체(416a) 및 도전체(416b)가 되는 도전체는, 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 이용하여 성막하면 좋다.

[0227] 도전체(416a) 및 도전체(416b)는, 도전체(416a) 및 도전체(416b)가 되는 도전체를 성막한 후, 상기 도전체의 일

부를 에칭함으로써 형성된다. 따라서, 상기 도전체의 성막 시에, 반도체(406b)에 대미지를 주지 않는 성막 방법이 이용되면 바람직하다. 즉, 상기 도전체의 성막에는 MCVD법 등을 이용하면 바람직하다.

[0228] 또한, 상기 도전체를 적층막으로 구성하는 경우에는, 스퍼터링법, CVD법(플라즈마 CVD법, 열CVD법, MCVD법, MOCVD법 등), MBE법, PLD법, ALD법 등의 성막 방법을 이용하여 상이한 성막 방법으로 각 막을 성막하여도 좋다. 예를 들어, 첫 번째 막을 MOCVD법으로 성막하고, 두 번째 막을 스퍼터링법으로 성막하여도 좋다. 또는, 첫 번째 막을 ALD법으로 성막하고, 두 번째 막을 MOCVD법으로 성막하여도 좋다. 또는, 첫 번째 막을 ALD법으로 성막하고, 두 번째 막을 스퍼터링법으로 성막하여도 좋다. 또는, 첫 번째 막을 ALD법으로 성막하고, 두 번째 막을 스퍼터링법으로 성막하고, 세 번째 막을 ALD법으로 성막하여도 좋다. 이와 같이 상이한 성막 방법을 이용함으로써, 각 막이 상이한 기능이나 성질을 갖도록 할 수 있다. 그리고, 이들 막을 적층함으로써 적층막 전체로서 더 적절한 막을 구성할 수 있다.

[0229] 즉, 상기 도전체를 적층막으로 구성하는 경우에는, 예컨대 n번째(n은 자연수)막을 스퍼터링법, CVD법(플라즈마 CVD법, 열CVD법, MCVD법, MOCVD법 등), MBE법, PLD법, ALD법 등 중 적어도 하나의 방법으로 성막하고, n+1번째 막을 스퍼터링법, CVD법(플라즈마 CVD법, 열CVD법, MCVD법, MOCVD법 등), MBE법, PLD법, ALD법 등 중 적어도 하나의 방법으로 성막하고, n번째 막과 n+1번째 막의 성막 방법이 서로 상이하여도 좋다. 또한, n번째 막과 n+2번째 막의 성막 방법이 같아도 좋다. 또는, 모든 막의 성막 방법이 같아도 좋다.

[0230] 또한, 상기 도전체, 또는 상기 도전체의 적층막 내의 적어도 하나의 막과, 반도체(406a)가 되는 반도체, 또는 반도체(406b)가 되는 반도체에는 같은 성막 방법을 이용하여도 좋다. 예를 들어, 모두에 ALD법을 이용하여도 좋다. 이로써, 대기에 노출시키는 일이 없이 성막할 수 있다. 결과적으로, 불순물 혼입을 방지할 수 있다.

[0231] 또한, 상기 도전체, 또는 상기 도전체의 적층막 내의 적어도 하나의 막과, 반도체(406a)가 되는 반도체, 또는 반도체(406b)가 되는 반도체와, 절연체(402), 또는 절연체(402)의 적층막 내의 적어도 하나의 막에는 같은 성막 방법을 이용하여도 좋다. 예를 들어, 모두에 스퍼터링법을 이용하여도 좋다. 이로써, 대기에 노출시키는 일이 없이 성막할 수 있다. 결과적으로, 불순물 혼입을 방지할 수 있다. 다만, 본 발명의 일 형태에 따른 반도체 장치의 제작 방법은 이에 한정되지 않는다.

[0232] 다음에, 도전체(416a) 및 도전체(416b)가 되는 도전체의 일부를 에칭하고, 도전체(416a) 및 도전체(416b)를 형성한다(도 13의 (A) 참조). 반도체(406c)가 되는 반도체를 성막한다. 반도체(406c)가 되는 반도체는, 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 이용하여 성막하면 좋다.

[0233] 또한, 반도체(406c)가 되는 반도체로서, In-Ga-Zn 산화물층을 MOCVD법에 의하여 성막하는 경우, 원료 가스로서 트라이메틸인듐, 트라이메틸갈륨, 및 다이메틸아연 등을 사용하면 좋다. 또한, 상기 원료 가스의 조합에 한정되지 않고, 트라이메틸인듐 대신 트라이에틸인듐 등을 사용하여도 좋다. 또한, 트라이메틸갈륨 대신 트라이에틸갈륨 등을 사용하여도 좋다. 또한, 다이메틸아연 대신 다이에틸아연 등을 사용하여도 좋다.

[0234] 다음에 제 2 가열 처리를 수행하여도 좋다. 예를 들어 반도체(406a)로서, 반도체(406c)가 되는 반도체보다 산소 투과성이 높은 반도체를 선택한다. 즉, 반도체(406c)가 되는 반도체로서, 반도체(406a)보다 산소 투과성이 낮은 반도체를 선택한다. 바꿔 말하면, 반도체(406a)로서, 산소를 투과시키는 기능을 갖는 반도체를 선택한다. 또한, 반도체(406c)가 되는 반도체로서, 산소를 블로킹하는 기능을 갖는 반도체를 선택한다. 이 경우, 제 2 가열 처리를 수행함으로써, 절연체(402)에 포함되는 과잉 산소가 반도체(406a)를 통하여 반도체(406b)까지 이동한다. 반도체(406b)는 반도체(406c)가 되는 반도체로 덮이기 때문에, 과잉 산소의 외방 확산이 일어나기 어렵다. 따라서, 이 타이밍으로 제 2 가열 처리를 수행함으로써 반도체(406b)의 결함(산소 결손)을 효율적으로 저감할 수 있다. 또한, 제 2 가열 처리는, 절연체(402) 내의 과잉 산소(산소)가 반도체(406b)까지 확산되는 온도에서 수행하면 좋다. 예를 들어, 제 1 가열 처리에 대한 기재를 참조하여도 좋다. 또는, 제 2 가열 처리는, 제 1 가열 처리보다 20℃ 이상 150℃ 이하, 바람직하게는 40℃ 이상 100℃ 이하 낮은 온도에서 수행하면, 절연체(402)로부터 과잉 산소(산소)가 지나치게 방출되지 않기 때문에 바람직하다.

[0235] 다음은 절연체(412)가 되는 절연체를 성막한다. 절연체(412)가 되는 절연체는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 이용하여 성막하면 좋다.

[0236] 또한, 절연체(412)가 되는 절연체를 적층막으로 구성하는 경우에는, 스퍼터링법, CVD법(플라즈마 CVD법, 열CVD법, MCVD법, MOCVD법 등), MBE법, PLD법, ALD법 등의 성막 방법을 이용하여 상이한 성막 방법으로 각 막을 성막하여도 좋다. 예를 들어, 첫 번째 막을 MOCVD법으로 성막하고, 두 번째 막을 스퍼터링법으로 성막하여도 좋다. 또는, 첫 번째 막을 ALD법으로 성막하고, 두 번째 막을 MOCVD법으로 성막하여도 좋다. 또는, 첫 번째 막을 ALD

법으로 성막하고, 두 번째 막을 스퍼터링법으로 성막하여도 좋다. 또는, 첫 번째 막을 ALD법으로 성막하고, 두 번째 막을 스퍼터링법으로 성막하고, 세 번째 막을 ALD법으로 성막하여도 좋다. 이와 같이 상이한 성막 방법을 이용함으로써, 각 막이 상이한 기능이나 성질을 갖도록 할 수 있다. 그리고, 이들 막을 적층함으로써 적층막 전체로서 더 적절한 막을 구성할 수 있다.

[0237] 즉, 절연체(412)가 되는 절연체를 적층막으로 구성하는 경우에는, 예를 들어 n번째(n은 자연수임)막을 스퍼터링법, CVD법(플라즈마 CVD법, 열CVD법, MCVD법, MOCVD법 등), MBE법, PLD법, ALD법 등 중 적어도 하나의 방법으로 성막하고, n+1번째 막을 스퍼터링법, CVD법(플라즈마 CVD법, 열CVD법, MCVD법, MOCVD법 등), MBE법, PLD법, ALD법 등 중 적어도 하나의 방법으로 성막하고, n번째 막과 n+1번째 막의 성막 방법이 서로 상이하여도 좋다. 또한, n번째 막과 n+2번째 막의 성막 방법이 같아도 좋다. 또는, 모든 막의 성막 방법이 같아도 좋다.

[0238] 또한, 절연체(412)가 되는 절연체, 또는 절연체(412)가 되는 절연체의 적층막 내의 적어도 하나의 막과, 도전체(416a) 및 도전체(416b)가 되는 도전체, 또는 상기 도전체의 적층막 내의 적어도 하나의 막은 같은 성막 방법을 이용하여도 좋다. 예를 들어, 모두에 ALD법을 이용하여도 좋다. 이로써, 대기에 노출시키는 일이 없이 성막할 수 있다. 결과적으로, 불순물 혼입을 방지할 수 있다. 또는, 예컨대, 절연체(412)가 되는 절연체와 접촉하는 도전체(416a) 및 도전체(416b)가 되는 도전체와, 상기 도전체와 접촉하는 절연체(412)가 되는 절연체에는 같은 성막 방법을 이용하여도 좋다. 이로써, 같은 체임버에서 성막할 수 있다. 결과적으로, 불순물 혼입을 방지할 수 있다.

[0239] 또한, 절연체(412)가 되는 절연체, 또는 절연체(412)가 되는 절연체의 적층막 내의 적어도 하나의 막과, 도전체(416a) 및 도전체(416b)가 되는 도전체, 또는 상기 도전체의 적층막 내의 적어도 하나의 막과, 반도체(406a)가 되는 반도체, 또는 반도체(406a)가 되는 반도체의 적층막 내의 적어도 하나의 막과, 반도체(406b)가 되는 반도체, 또는 반도체(406b)가 되는 반도체의 적층막 내의 적어도 하나의 막과, 절연체(402), 또는 절연체(402)의 적층막 내의 적어도 하나의 막에는 같은 성막 방법을 이용하여도 좋다. 예를 들어, 모두에 스퍼터링법을 이용하여도 좋다. 이로써, 대기에 노출시키는 일이 없이 성막할 수 있다. 결과적으로, 불순물 혼입을 방지할 수 있다.

[0240] 다음에 제 3 가열 처리를 수행하여도 좋다. 예를 들어, 반도체(406a)로서, 반도체(406c)가 되는 반도체보다 산소 투과성이 높은 반도체를 선택한다. 즉, 반도체(406c)가 되는 반도체로서, 반도체(406a)보다 산소 투과성이 낮은 반도체를 선택한다. 또한, 반도체(406c)가 되는 반도체로서, 산소를 블로킹하는 기능을 갖는 반도체를 선택한다. 또는, 예컨대 반도체(406a)로서, 절연체(412)가 되는 절연체보다 산소 투과성이 높은 반도체를 선택한다. 즉, 절연체(412)가 되는 절연체로서, 반도체(406a)보다 산소 투과성이 낮은 반도체를 선택한다. 바꿔 말하면, 반도체(406a)로서, 산소를 투과시키는 기능을 갖는 반도체를 선택한다. 또한, 절연체(412)가 되는 절연체로서, 산소를 블로킹하는 기능을 갖는 절연체를 선택한다. 이 경우, 제 3 가열 처리를 수행함으로써, 절연체(402)에 포함되는 과잉 산소가 반도체(406a)를 통하여 반도체(406b)까지 이동한다. 반도체(406b)는 반도체(406c)가 되는 반도체 및 절연체(412)가 되는 절연체로 덮이기 때문에, 과잉 산소의 외방 확산이 일어나기 어렵다. 따라서, 이 타이밍으로 제 3 가열 처리를 수행함으로써 반도체(406b)의 결함(산소 결손)을 효율적으로 저감할 수 있다. 또한, 제 3 가열 처리는, 절연체(402) 내의 과잉 산소(산소)가 반도체(406b)까지 확산되는 온도에서 수행하면 좋다. 예를 들어, 제 1 가열 처리에 대한 기재를 참조하여도 좋다. 또는, 제 3 가열 처리는, 제 1 가열 처리보다 20℃ 이상 150℃ 이하, 바람직하게는 40℃ 이상 100℃ 이하 낮은 온도에서 수행하면, 절연체(402)로부터 과잉 산소(산소)가 지나치게 방출되지 않기 때문에 바람직하다. 또한, 절연체(412)가 되는 절연체가 산소를 블로킹하는 기능을 갖는 경우 반도체(406c)가 되는 반도체가 산소를 블로킹하는 기능을 가지지 않아도 된다.

[0241] 다음에, 도전체(404)가 되는 도전체를 성막한다. 도전체(404)가 되는 도전체는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 이용하여 성막하면 좋다.

[0242] 절연체(412)가 되는 절연체는 트랜지스터의 게이트 절연체로서의 기능을 갖는다. 따라서, 도전체(404)가 되는 도전체의 성막 시에, 절연체(412)가 되는 절연체에 대미지를 주지 않는 성막 방법을 이용하면 바람직하다. 즉, 상기 도전체의 성막에 MCVD법 등을 이용하면 바람직하다.

[0243] 또한, 도전체(404)가 되는 도전체를 적층막으로 구성하는 경우에는, 스퍼터링법, CVD법(플라즈마 CVD법, 열CVD법, MCVD법, MOCVD법 등), MBE법, PLD법, ALD법 등의 성막 방법을 이용하여 상이한 성막 방법으로 각 막을 성막하여도 좋다. 예를 들어, 첫 번째 막을 MOCVD법으로 성막하고, 두 번째 막을 스퍼터링법으로 성막하여도 좋다. 또는, 첫 번째 막을 ALD법으로 성막하고, 두 번째 막을 MOCVD법으로 성막하여도 좋다. 또는, 첫 번째 막을 ALD

법으로 성막하고, 두 번째 막을 스퍼터링법으로 성막하여도 좋다. 첫 번째 막을 ALD법으로 성막하고, 두 번째 막을 스퍼터링법으로 성막하고, 세 번째 막을 ALD법으로 성막하여도 좋다. 이와 같이 각각 상이한 성막 방법을 이용함으로써, 각 막이 상이한 기능이나 성질을 갖도록 할 수 있다. 그리고, 이들 막을 적층함으로써 적층막 전체로서 더 적절한 막을 구성할 수 있다.

[0244] 즉, 도전체(404)가 되는 도전체를 적층막으로 구성하는 경우에는, 예컨대 n번째(n은 자연수임)막을 스퍼터링법, CVD법(플라즈마 CVD법, 열CVD법, MCVD법, MOCVD법 등), MBE법, PLD법, ALD법 등 중 적어도 하나의 방법으로 성막하고, n+1번째 막의 막을 스퍼터링법, CVD법(플라즈마 CVD법, 열CVD법, MCVD법, MOCVD법 등), MBE법, PLD법, ALD법 등 중 적어도 하나의 방법으로 성막하고, n번째 막과 n+1번째 막의 성막 방법이 각각 상이하여도 좋다. 또한, n번째 막과 n+2번째 막의 성막 방법이 같아도 좋다. 또는, 모든 막의 성막 방법이 같아도 좋다.

[0245] 또한, 도전체(404)가 되는 도전체, 또는 도전체(404)가 되는 도전체의 적층막 내의 적어도 하나의 막과, 절연체(412)가 되는 절연체, 또는 절연체(412)가 되는 절연체의 적층막 내의 적어도 하나의 막은 같은 성막 방법을 이용하여도 좋다. 예를 들어, 모두에 ALD법을 이용하여도 좋다. 이로써, 대기에 노출시키는 일이 없이 성막할 수 있다. 결과적으로, 불순물 혼입을 방지할 수 있다. 또는, 예컨대, 절연체(412)가 되는 절연체와 접촉하는 도전체(404)가 되는 도전체와, 도전체(404)가 되는 도전체와 접촉하는 절연체(412)가 되는 절연체는 같은 성막 방법을 이용하여도 좋다. 이로써, 같은 체임버로 성막할 수 있다. 결과적으로, 불순물 혼입을 방지할 수 있다.

[0246] 또한, 도전체(404)가 되는 도전체, 또는 도전체(404)가 되는 도전체의 적층막 내의 적어도 하나의 막과, 절연체(412)가 되는 절연체, 또는 절연체(412)가 되는 절연체의 적층막 내의 적어도 하나의 막과, 도전체(416a) 및 도전체(416b)가 되는 도전체, 또는 상기 도전체의 적층막 내의 적어도 하나의 막과, 반도체(406a)가 되는 반도체와, 반도체(406b)가 되는 반도체와, 반도체(406c)가 되는 반도체와, 절연체(402), 또는 절연체(402)의 적층막 내의 적어도 하나의 막은 같은 성막 방법을 이용하여도 좋다. 예를 들어, 모두에 스퍼터링법을 이용하여도 좋다. 이로써, 대기에 노출시키는 일이 없이 성막할 수 있다. 결과적으로, 불순물 혼입을 방지할 수 있다.

[0247] 다음에 도전체(404)가 되는 도전체의 일부를 에칭하여 도전체(404)를 형성한다. 또한, 도전체(404)는 반도체(406b) 중 적어도 일부와 중첩되도록 형성한다.

[0248] 다음에 도전체(404)가 되는 도전체와 마찬가지로, 절연체(412)가 되는 절연체의 일부를 에칭하여 절연체(412)를 형성한다.

[0249] 다음에 도전체(404)가 되는 도전체 및 절연체(412)가 되는 절연체와 마찬가지로, 반도체(406c)가 되는 반도체의 일부를 에칭하여 반도체(406c)를 형성한다(도 13의 (B) 참조).

[0250] 또한, 도전체(404)가 되는 도전체, 절연체(412)가 되는 절연체, 및 반도체(406c)가 되는 반도체의 일부를 에칭할 때에는 동일한 포토리소그래피 공정 등을 이용하여도 좋다. 또는, 도전체(404)를 마스크로 이용하여 절연체(412)가 되는 절연체 및 반도체(406c)가 되는 반도체를 에칭하여도 좋다. 그러므로, 도전체(404), 절연체(412), 및 반도체(406c)는 상면도에서 같은 형상을 갖는다. 또한, 절연체(412), 반도체(406c), 및 도전체(404)의 전부 또는 일부를 다른 포토리소그래피 공정으로 형성하여도 좋다. 이 경우, 도 13의 (C1)에 도시된 확대 단면과 같이, 도전체(404)보다 절연체(412) 또는/및 반도체(406c)가 돌출한(튀어나온) 형상이 되는 경우나, 도 13의 (C2)에 도시된 확대 단면과 같이, 도전체(404)가 절연체(412) 또는/및 반도체(406c)보다 돌출한(튀어나온) 형상이 되는 경우가 있다. 이와 같은 형상으로 함으로써, 형상 불량률이 저감되고, 게이트 누설 전류를 저감할 수 있는 경우가 있다.

[0251] 다음에, 절연체(408)를 성막한다(도 14의 (A) 참조). 절연체(408)는, 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 이용하여 성막하면 좋다.

[0252] 다음에 제 4 가열 처리를 수행하여도 좋다. 예를 들어, 반도체(406a)로서, 반도체(406c)보다 산소 투과성이 높은 반도체를 선택한다. 즉, 반도체(406c)로서, 반도체(406a)보다 산소 투과성이 낮은 반도체를 선택한다. 또한, 반도체(406c)로서, 산소를 블로킹하는 기능을 갖는 반도체를 선택한다. 또는, 예컨대 반도체(406a)로서, 절연체(412)보다 산소 투과성이 높은 반도체를 선택한다. 즉, 절연체(412)로서, 반도체(406a)보다 산소 투과성이 낮은 반도체를 선택한다. 또는, 예컨대 반도체(406a)로서, 절연체(408)보다 산소 투과성이 높은 반도체를 선택한다. 즉, 절연체(408)로서, 반도체(406a)보다 산소 투과성이 낮은 반도체를 선택한다. 바꿔 말하면, 반도체(406a)로서, 산소를 투과시키는 기능을 갖는 반도체를 선택한다. 또한, 절연체(408)로서, 산소를 블로킹하는 기능을 갖는 절연체를 선택한다. 이 경우, 제 4 가열 처리를 수행함으로써, 절연체(402)에 포함되는 과잉

산소가 반도체(406a)를 통하여 반도체(406b)까지 이동한다. 반도체(406b)는 반도체(406c), 절연체(412), 및 절연체(408) 중 어느 하나로 덮이기 때문에, 과잉 산소의 외방 확산이 일어나기 어렵다. 따라서, 이 타이밍으로 제 4 가열 처리를 수행함으로써 반도체(406b)의 결함(산소 결손)을 효율적으로 저감할 수 있다. 또한, 제 4 가열 처리는, 절연체(402) 내의 과잉 산소(산소)가 반도체(406b)까지 확산되는 온도에서 수행하면 좋다. 예를 들어, 제 1 가열 처리에 대한 기재를 참조하여도 좋다. 또는, 제 4 가열 처리는, 제 1 가열 처리보다 20℃ 이상 150℃ 이하, 바람직하게는 40℃ 이상 100℃ 이하 낮은 온도에서 수행하면, 절연체(402)로부터 과잉 산소(산소)가 지나치게 방출되지 않기 때문에 바람직하다. 또한, 절연체(408)가 산소를 블로킹하는 기능을 갖는 경우, 반도체(406c) 또는/및 절연체(412)가 산소를 블로킹하는 기능을 가지지 않아도 된다.

[0253] 또한, 제 1 가열 처리, 제 2 가열 처리, 제 3 가열 처리, 및 제 4 가열 처리의 모두 또는 일부를 수행하지 않아도 된다.

[0254] 다음에, 절연체(418)를 성막한다(도 14의 (B) 참조). 절연체(418)는, 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 이용하여 성막하면 좋다.

[0255] 상술한 바와 같이 하여, 도 1에 도시된 트랜지스터를 제작할 수 있다.

[0256] <트랜지스터 구조 2>

[0257] 도 15의 (A) 및 (B)는 본 발명의 일 형태에 따른 트랜지스터의 상면도 및 단면도이다. 도 15의 (A)는 상면도이고, 도 15의 (B)는 도 15의 (A)에 도시된 일점 쇄선 I1-I2 부분, 및 일점 쇄선 I3-I4 부분에 대응하는 단면도이다. 또한, 도 15의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소가 생략되었다.

[0258] 도 15의 (A) 및 (B)에 도시된 트랜지스터는, 기판(500) 위의 도전체(513)와, 기판(500) 위 및 도전체(513) 위의 볼록부를 갖는 절연체(502)와, 절연체(502)의 볼록부 위의 반도체(506a)와, 반도체(506a) 위의 반도체(506b)와, 반도체(506b) 위의 반도체(506c)와, 반도체(506a), 반도체(506b), 및 반도체(506c)에 접촉하고 서로 간격을 두고 배치된 도전체(516a) 및 도전체(516b)와, 반도체(506c), 도전체(516a), 및 도전체(516b) 위의 절연체(512)와, 절연체(512) 위의 도전체(504)와, 도전체(516a), 도전체(516b), 절연체(512), 및 도전체(504) 위의 절연체(508)와, 절연체(508) 위의 절연체(518)를 갖는다.

[0259] 또한, 절연체(512)는, 단면 I3-I4에서 적어도 반도체(506b)의 측면에 접촉한다. 또한, 도전체(504)는, 단면 I3-I4에서 적어도 절연체(512)를 개재하여 반도체(506b)의 상면 및 측면과 대향한다. 또한, 도전체(513)는 절연체(502)를 개재하여 반도체(506b)의 하면과 대향한다. 또한, 절연체(502)가 볼록부를 갖지 않아도 된다. 또한, 반도체(506c)를 갖지 않아도 된다. 또한, 절연체(508)를 갖지 않아도 된다. 또한, 절연체(518)를 갖지 않아도 된다.

[0260] 또한, 반도체(506b)는, 트랜지스터의 채널 형성 영역으로서의 기능을 갖는다. 또한, 도전체(504)는 트랜지스터의 제 1 게이트 전극(프런트 게이트 전극이라고도 함)으로서의 기능을 갖는다. 또한, 도전체(513)는, 트랜지스터의 제 2 게이트 전극(백 게이트 전극이라고도 함)으로서의 기능을 갖는다. 또한, 도전체(516a) 및 도전체(516b)는 트랜지스터의 소스 전극 및 드레인 전극으로서의 기능을 갖는다. 또한, 절연체(508)는 배리어층으로서의 기능을 갖는다. 절연체(508)는 예컨대 산소 또는/및 수소를 블로킹하는 기능을 갖는다. 또는, 절연체(508)는 예컨대 반도체(506a) 또는/및 반도체(506c)보다 산소 또는/및 수소를 블로킹하는 능력이 높다.

[0261] 또한, 절연체(502)는 과잉 산소를 포함한 절연체이다.

[0262] 또한, 기판(500)은, 기판(400)에 대한 기재를 참조한다. 또한, 도전체(513)는 도전체(413)에 대한 기재를 참조한다. 또한, 절연체(502)는, 절연체(402)에 대한 기재를 참조한다. 또한, 반도체(506a)는, 반도체(406a)에 대한 기재를 참조한다. 또한, 반도체(506b)는 반도체(406b)에 대한 기재를 참조한다. 또한, 반도체(506c)는, 반도체(406c)에 대한 기재를 참조한다. 또한, 도전체(516a) 및 도전체(516b)는, 도전체(416a) 및 도전체(416b)에 대한 기재를 참조한다. 또한, 절연체(512)는, 절연체(412)에 대한 기재를 참조한다. 또한, 도전체(504)는, 도전체(404)에 대한 기재를 참조한다. 또한, 절연체(508)는, 절연체(408)에 대한 기재를 참조한다. 또한, 절연체(518)는, 절연체(418)에 대한 기재를 참조한다.

[0263] 따라서, 도 15에 도시된 트랜지스터는 도 1에 도시된 트랜지스터와 일부 구조가 다를 뿐이다. 구체적으로는, 도 1에 도시된 트랜지스터의 반도체(406a), 반도체(406b), 및 반도체(406c)의 구조와, 도 15에 도시된 트랜지스터의 반도체(506a), 반도체(506b), 및 반도체(506c)의 구조가 다를 뿐이다. 따라서, 도 15에 도시된 트랜지스터는 도 1에 도시된 트랜지스터에 대한 설명을 적절히 참조할 수 있다.

- [0264] 또한, 도 15에서는 트랜지스터의 제 1 게이트 전극인 도전체(504)와 제 2 게이트 전극인 도전체(513)가 전기적으로 접촉되지 않는 예를 도시하였으나, 본 발명의 일 형태에 따른 트랜지스터 구조는 이에 한정되지 않는다. 예를 들어, 도 16의 (A)에 도시된 바와 같이, 도전체(504)와 도전체(513)가 접촉하는 구조라도 좋다. 이와 같은 구조로 함으로써, 도전체(504)와 도전체(513)에 같은 전위가 공급되므로, 트랜지스터의 스위칭 특성을 향상시킬 수 있다. 또는, 도 16의 (B)에 도시된 바와 같이, 도전체(513)를 갖지 않는 구조라도 좋다.
- [0265] 또한, 도 17의 (A)는 트랜지스터의 상면도의 일례이다. 도 17의 (A)의 일점 쇄선 J1-J2 부분 및 일점 쇄선 J3-J4 부분에 대응하는 단면도의 일례를 도 17의 (B)에 도시하였다. 또한, 도 17의 (A)에서는, 이해하기 쉽게 하기 위하여, 절연체 등 일부를 생략하였다.
- [0266] 또한, 도 15의 (A)에 도시된 상면도에서는, 절연체(512)가 도전체(504)와 같은 형상을 갖는 예가 도시되었으나, 본 발명의 일 형태에 따른 트랜지스터의 구조는 이에 한정되지 않는다. 예를 들어, 도 17의 (A) 및 (B)에 도시된 바와 같이, 절연체(512)가 절연체(502), 반도체(506c), 도전체(516a), 및 도전체(516b) 위에 배치되어도 좋다.
- [0267] <트랜지스터 구조 3>
- [0268] 도 18의 (A) 및 (B)는 본 발명의 일 형태에 따른 트랜지스터의 상면도 및 단면도이다. 도 18의 (A)는 상면도이고, 도 18의 (B)는 도 18의 (A)에 도시된 일점 쇄선 K1-K2 부분, 및 일점 쇄선 K3-K4 부분에 대응하는 단면도이다. 또한, 도 18의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하였다.
- [0269] 도 18의 (A) 및 (B)에 도시된 트랜지스터는, 기판(600) 위의 도전체(604)와, 도전체(604) 위의 절연체(612)와, 절연체(612) 위의 반도체(606a)와, 반도체(606a) 위의 반도체(606b)와, 반도체(606b) 위의 반도체(606c)와, 반도체(606a), 반도체(606b), 및 반도체(606c)에 접촉하고 서로 간격을 두고 배치된 도전체(616a) 및 도전체(616b)와, 반도체(606c), 도전체(616a), 및 도전체(616b) 위의 절연체(618)를 갖는다. 또한, 도전체(604)는, 절연체(612)를 개재하여 반도체(606b)의 하면과 대향한다. 또한, 절연체(612)가 불록부를 가져도 좋다. 또한, 기판(600)과 도전체(604) 사이에 절연체를 가져도 좋다. 상기 절연체는, 절연체(502)나 절연체(508)에 대한 기재를 참조한다. 또한, 반도체(606a)를 갖지 않아도 된다. 또한, 절연체(618)를 갖지 않아도 된다.
- [0270] 또한, 반도체(606b)는 트랜지스터의 채널 형성 영역으로서의 기능을 갖는다. 또한, 도전체(604)는 트랜지스터의 제 1 게이트 전극(프런트 게이트 전극이라고도 함)으로서의 기능을 갖는다. 또한, 도전체(616a) 및 도전체(616b)는 트랜지스터의 소스 전극 및 드레인 전극으로서의 기능을 갖는다.
- [0271] 또한, 절연체(618)는 과잉 산소를 포함한 절연체이다.
- [0272] 또한, 기판(600)은 기판(500)에 대한 기재를 참조한다. 또한, 도전체(604)는, 도전체(504)에 대한 기재를 참조한다. 또한, 절연체(612)는, 절연체(512)에 대한 기재를 참조한다. 또한, 반도체(606a)는 반도체(506c)에 대한 기재를 참조한다. 또한, 반도체(606b)는 반도체(506b)에 대한 기재를 참조한다. 또한, 반도체(606c)는, 반도체(506a)에 대한 기재를 참조한다. 또한, 도전체(616a) 및 도전체(616b)는, 도전체(516a) 및 도전체(516b)에 대한 기재를 참조한다. 또한, 절연체(618)는, 절연체(502)에 대한 기재를 참조한다.
- [0273] 따라서, 도 18에 도시된 트랜지스터는 도 15에 도시된 트랜지스터와 일부 구조가 다를 뿐인 경우가 있다. 구체적으로는, 도 15에 도시된 트랜지스터의 도전체(504)를 갖지 않는 구조와 비슷하다. 따라서, 도 18에 도시된 트랜지스터는 도 15에 도시된 트랜지스터에 대한 설명을 적절히 참조할 수 있다.
- [0274] 또한, 트랜지스터는 절연체(618)를 개재하여 반도체(606b)와 중첩되는 도전체를 가져도 좋다. 상기 도전체는, 트랜지스터의 제 2 게이트 전극으로서의 기능을 갖는다. 상기 도전체는, 도전체(513)에 대한 기재를 참조한다. 또한, 상기 제 2 게이트 전극에 의하여 s-channel 구조를 형성하여도 좋다.
- [0275] 또한, 절연체(618) 위에는 표시 소자가 제공되어도 좋다. 예를 들어, 화소 전극, 액정층, 공통 전극, 발광층, 유기 EL층, 양극, 음극 등이 제공되어도 좋다. 표시 소자는, 예컨대 도전체(616a) 등과 접촉된다.
- [0276] 또한, 도 19의 (A)는 트랜지스터의 상면도의 일례이다. 도 19의 (B)는 도 19의 (A)의 일점 쇄선 L1-L2 부분 및 일점 쇄선 L3-L4 부분에 대응하는 단면도의 일례이다. 또한, 도 19의 (A)에서는, 이해하기 쉽게 하기 위하여 절연체 등 일부를 생략하였다.
- [0277] 또한, 반도체 위에, 채널 보호막으로서의 기능을 가질 수 있는 절연체를 배치하여도 좋다. 예를 들어, 도 19에 도시된 바와 같이, 도전체(616a) 및 도전체(616b)와, 반도체(606c) 사이에 절연체(620)를 배치하여도 좋다. 이

경우, 도전체(616a)(도전체(616b))와 반도체(606c)는, 절연체(620) 내의 개구부를 통하여 접속된다. 절연체(620)는 절연체(618)에 대한 기재를 참조하면 좋다.

[0278] 또한, 도 18의 (B)나 도 19의 (B)에서, 절연체(618) 위에 도전체(613)를 배치하여도 좋다. 이 경우의 예를 도 20에 도시하였다. 또한, 도전체(613)에 대해서는 도전체(513)에 대한 기재를 참조한다. 또한, 도전체(613)에는 도전체(604)와 같은 전위나 같은 신호가 공급되어도 좋고, 다른 전위나 신호가 공급되어도 좋다. 예를 들어, 도전체(613)에, 일정한 전위를 공급하여 트랜지스터의 문턱 전압을 제어하여도 좋다. 즉, 도전체(613)는 제 2 게이트 전극으로서의 기능을 가질 수 있다.

[0279] <반도체 장치>

[0280] 이하에서는 본 발명의 일 형태에 따른 반도체 장치에 대하여 예시한다.

[0281] 이하에서는 본 발명의 일 형태에 따른 트랜지스터를 이용한 반도체 장치의 일례에 대하여 설명한다.

[0282] 도 21의 (A)에 본 발명의 일 형태에 따른 반도체 장치의 단면도를 도시하였다. 도 21의 (A)에 도시된 반도체 장치는, 하부에 제 1 반도체를 사용한 트랜지스터(2200)를 갖고, 상부에 제 2 반도체를 사용한 트랜지스터(2100)를 갖는다. 도 21의 (A)에는, 제 2 반도체를 사용한 트랜지스터(2100)로서 도 1에 예시된 트랜지스터를 적용한 예를 도시하였다.

[0283] 제 1 반도체로서는, 제 2 반도체와 다른 에너지 갭을 갖는 반도체를 사용하여도 좋다. 예를 들어, 제 1 반도체로서 산화물 반도체 이외의 반도체를 사용하고, 제 2 반도체로서 산화물 반도체를 사용한다. 제 1 반도체로서 다결정 구조, 단결정 구조 등의 실리콘, 게르마늄 등을 사용하여도 좋다. 또는, 변형 실리콘 등 변형을 갖는 반도체를 사용하여도 좋다. 또는, 제 1 반도체로서, HEMT에 적용 가능한 비소화 갈륨, 비소화 알루미늄 갈륨, 비소화 인듐 갈륨, 질화 갈륨, 인화 인듐, 실리콘 게르마늄 등을 사용하여도 좋다. 이들 반도체를 제 1 반도체로서 사용함으로써, 고속 동작에 적합한 트랜지스터(2200)로 할 수 있다. 또한, 산화물 반도체를 제 2 반도체로서 사용함으로써, 오프 전류가 낮은 트랜지스터(2100)로 할 수 있다.

[0284] 또한, 트랜지스터(2200)는 n채널형 및 p채널형 중 어느 쪽이라도 좋지만, 회로에 따라 적절한 트랜지스터를 사용한다. 또한, 트랜지스터(2100) 또는/및 트랜지스터(2200)로서 상술한 트랜지스터나 도 21의 (A)에 도시된 트랜지스터를 사용하지 않아도 되는 경우가 있다.

[0285] 도 21의 (A)에 도시된 반도체 장치는, 절연체(2201) 및 절연체(2207)를 개재하여 트랜지스터(2200) 위에 트랜지스터(2100)를 갖는다. 또한, 트랜지스터(2200)와 트랜지스터(2100) 사이에는 배선으로서 기능하는 복수의 도전체(2202)가 배치된다. 또한, 각 절연체에 매립된 복수의 도전체(2203)를 통하여, 상층과 하층에 각각 배치된 배선이나 전극이 전기적으로 접속된다. 또한, 상기 반도체 장치는, 트랜지스터(2100) 위의 절연체(2204)와, 절연체(2204) 위의 도전체(2205)와, 트랜지스터(2100)의 소스 전극 및 드레인 전극과 동일한 층에(동일한 공정을 거쳐) 형성된 도전체(2206)를 갖는다.

[0286] 절연체(2204)는, 예컨대 붕소, 탄소, 질소, 산소, 불소, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 게르마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈륨을 포함하는 절연체를 단층 또는 적층으로 사용하면 좋다. 또한, 절연체(2204)는 질화산화 실리콘, 질화 실리콘 등 질소를 포함하는 절연체를 포함하여도 좋다.

[0287] 절연체(2204)에는, 수지를 사용하여도 좋다. 예를 들어, 폴리이미드, 폴리아마이드, 아크릴, 실리콘(silicone) 등을 포함하는 수지를 사용하면 좋다. 수지를 사용함으로써, 절연체(2204)의 상면을 평탄화 처리하지 않아도 되는 경우가 있다. 또한, 수지를 사용하면 짧은 시간 안에 막을 두껍게 성막할 수 있으므로 생산성을 높일 수 있다.

[0288] 복수의 트랜지스터를 적층한 구조로 함으로써, 복수의 회로를 고밀도로 배치할 수 있다.

[0289] 여기서, 트랜지스터(2200)에 사용하는 제 1 반도체로서 단결정 실리콘을 사용한 경우, 트랜지스터(2200)의 제 1 반도체 근방의 절연체의 수소 농도가 높은 것이 바람직하다. 상기 수소에 의하여 실리콘의 dangling 본드를 종단(終端)시킴으로써, 트랜지스터(2200)의 신뢰성을 향상시킬 수 있다. 한편, 트랜지스터(2100)에 사용하는 제 2 반도체로서 산화물 반도체를 사용하는 경우, 트랜지스터(2100)의 제 2 반도체 근방의 절연체의 수소 농도가 낮은 것이 바람직하다. 상기 수소는 산화물 반도체 내에 캐리어를 생성하는 요인 중 하나가 되므로, 트랜지스터(2100)의 신뢰성을 저하시키는 요인이 되는 경우가 있다. 따라서, 단결정 실리콘을 사용한 트랜지스터(2200) 및 산화물 반도체를 사용한 트랜지스터(2100)를 적층하는 경우에, 이들 사이에 수소를 블로킹하는 기능을 갖는

절연체(2207)를 배치하는 것은, 양쪽 트랜지스터의 신뢰성을 높이기 위하여 유효하다.

- [0290] 절연체(2207)로서는, 예컨대 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화질화 하프늄, 이트리아 안정화 지르코니아(YSZ) 등을 포함하는 절연체를 단층 또는 적층으로 사용하면 좋다.
- [0291] 또한, 산화물 반도체를 사용한 트랜지스터(2100) 위에 이 트랜지스터(2100)를 덮도록, 수소를 블로킹하는 기능을 갖는 절연체를 형성하는 것이 바람직하다. 절연체로서는, 절연체(2207)와 같은 절연체를 사용할 수 있고, 산화 알루미늄을 적용하는 것이 특히 바람직하다. 산화 알루미늄막은, 수소나 수분 등 불순물 및 산소의 양쪽에 대하여 막을 투과시키지 않는 차단 효과가 높다. 따라서, 트랜지스터(2100)를 덮는 절연체(2208)로서 산화 알루미늄막을 사용함으로써, 트랜지스터(2100)에 포함되는 산화물 반도체로부터의 산소 이탈, 및 산화물 반도체로의 물 및 수소의 혼입을 방지할 수 있다.
- [0292] 또한, 트랜지스터(2200)는 플레인(planar)형 트랜지스터뿐만 아니라, 다양한 타입의 트랜지스터로 할 수 있다. 예를 들어, FIN(핀)형 트랜지스터 등으로 할 수 있다. 이 경우의 단면도의 예를 도 21의 (B)에 도시하였다. 반도체 기관(2211) 위에 절연층(2212)이 배치된다. 반도체 기관(2211)은 끝 부분이 가는 볼록부(핀이라고도 함)를 갖는다. 또한, 볼록부는 끝 부분이 가늘지 않아도 되고, 예컨대, 실질적으로 직방체인 볼록부이어도 좋고, 끝 부분이 굽은 볼록부이어도 좋다. 반도체 기관(2211)의 볼록부 위에는 게이트 절연체(2214)가 배치되고, 그 위에는 게이트 전극(2213)이 배치된다. 반도체 기관(2211)에는 소스 영역 및 드레인 영역(2215)이 형성되어 있다. 또한, 여기서는 반도체 기관(2211)이 볼록부를 갖는 예를 설명하였지만, 본 발명의 일 형태에 따른 반도체 장치는 이에 한정되지 않는다. 예를 들어, SOI 기관을 가공하여 볼록형의 반도체 영역을 형성하여도 좋다.
- [0293] 상기 회로에 있어서는, 트랜지스터(2100)나 트랜지스터(2200)의 전극의 접속 형태를 변경함으로써 다양한 회로를 구성할 수 있다. 이하에서는 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써 구현할 수 있는 회로 구성의 예에 대하여 설명하기로 한다.
- [0294] 도 22의 (A)의 회로도에는, p채널형 트랜지스터(2200)와 n채널형 트랜지스터(2100)를 직렬로 접속하고, 또한 각 게이트를 접속시킨, 소위 CMOS 인버터의 구성을 도시한 것이다.
- [0295] 또한, 도 22의 (B)의 회로도에는, 트랜지스터(2100) 및 트랜지스터(2200) 각각의 소스와 드레인을 접속한 구성을 도시한 것이다. 이와 같은 구성으로 함으로써, 소위 CMOS 아날로그 스위치로서 기능할 수 있다.
- [0296] 도 23에는, 본 발명의 일 형태에 따른 트랜지스터를 포함하며, 전력이 공급되지 않는 상황에서도 기억 내용을 유지할 수 있고, 또한 기록 횟수에도 제한이 없는 반도체 장치(기억 장치)의 일례를 도시하였다.
- [0297] 도 23의 (A)에 도시된 반도체 장치는 제 1 반도체를 사용한 트랜지스터(3200), 제 2 반도체를 사용한 트랜지스터(3300), 및 용량 소자(3400)를 갖는다. 또한, 트랜지스터(3300)로서는 상술한 트랜지스터를 사용할 수 있다.
- [0298] 트랜지스터(3300)는 산화물 반도체를 사용한 트랜지스터이다. 트랜지스터(3300)의 오프 전류가 작기 때문에, 반도체 장치의 특정 노드에 기억 내용을 오랫동안 유지할 수 있다. 즉, 리프्रेस 동작의 필요가 없거나, 또는 리프्रेस 동작의 빈도를 매우 적게 할 수 있기 때문에, 소비 전력이 낮은 반도체 장치가 된다.
- [0299] 도 23의 (A)에서, 제 1 배선(3001)은 트랜지스터(3200)의 소스에 전기적으로 접속되고, 제 2 배선(3002)은 트랜지스터(3200)의 드레인에 전기적으로 접속된다. 또한, 제 3 배선(3003)은 트랜지스터(3300)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 4 배선(3004)은 트랜지스터(3300)의 게이트에 전기적으로 접속된다. 그리고, 트랜지스터(3200)의 게이트와 트랜지스터(3300)의 소스 및 드레인 중 다른 쪽은 용량 소자(3400)의 전극 중 한쪽에 전기적으로 접속되고, 제 5 배선(3005)은 용량 소자(3400)의 전극 중 다른 쪽에 전기적으로 접속된다.
- [0300] 도 23의 (A)에 도시된 반도체 장치는 트랜지스터(3200)의 게이트 전위의 유지가 가능하다는 특성을 갖기 때문에, 이하와 같이, 데이터의 기록, 유지, 및 관독이 가능하다.
- [0301] 데이터의 기록 및 유지에 대하여 설명하기로 한다. 우선, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 도통 상태가 되는 전위로 하여 트랜지스터(3300)를 도통 상태로 한다. 이로써, 제 3 배선(3003)의 전위가, 트랜지스터(3200)의 게이트와 용량 소자(3400)의 전극 중 한쪽에 전기적으로 접속되는 노드(FG)에 공급된다. 즉, 트랜지스터(3200)의 게이트에는 소정의 전하가 공급된다(기록). 여기서는, 2개의 다른 전위 레벨을 공급하는 전하(이하, Low 레벨 전하, High 레벨 전하라고 함) 중 어느 하나가 공급된다. 그 후, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 비도통 상태가 되는 전위로 하여 트랜지스터(3300)를 비도통 상태로 함으로써, 노드(FG)에

전하가 유지된다(유지).

- [0302] 트랜지스터(3300)의 오프 전류는 매우 작기 때문에, 노드(FG)의 전하는 오랫동안 유지된다.
- [0303] 다음에, 데이터의 판독에 대하여 설명하기로 한다. 제 1 배선(3001)에 소정의 전위(정(定)전위)를 공급한 상태에서 제 5 배선(3005)에 적절한 전위(판독 전위)를 공급하면, 제 2 배선(3002)의 전위는 노드(FG)에 유지된 전하량에 따른 전위가 된다. 이것은, 트랜지스터(3200)를 n채널형으로 하면, 트랜지스터(3200)의 게이트에 High 레벨 전하가 공급되는 경우의 외견상 문턱 전압($V_{th,H}$)이 트랜지스터(3200)의 게이트에 Low 레벨 전하가 공급되는 경우의 외견상 문턱 전압($V_{th,L}$)보다 낮게 되기 때문이다. 여기서 외견상 문턱 전압이란, 트랜지스터(3200)를 도통 상태로 하기 위하여 필요한 제 5 배선(3005)의 전위를 말한다. 따라서, 제 5 배선(3005)의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 사이의 전위 V_0 으로 함으로써 노드(FG)에 공급된 전하를 판별할 수 있다. 예를 들어, 기록 시에, 노드(FG)에 High 레벨 전하가 공급된 경우, 제 5 배선(3005)의 전위가 $V_0(>V_{th,H})$ 이 되면 트랜지스터(3200)는 도통 상태가 된다. 한편, 노드(FG)에 Low 레벨 전하가 공급된 경우, 제 5 배선(3005)의 전위가 $V_0(<V_{th,L})$ 이 되더라도 트랜지스터(3200)는 비도통 상태를 유지한다. 따라서, 제 2 배선(3002)의 전위를 판별함으로써, 노드(FG)에 유지된 데이터를 판독할 수 있다.
- [0304] 또한, 메모리 셀을 어레이 형태로 배치하는 경우, 판독 시에 원하는 메모리 셀의 데이터를 판독할 필요가 있다. 다른 메모리 셀의 데이터를 판독하지 않기 위해서는, 노드(FG)에 공급된 전하에 상관없이 트랜지스터(3200)가 비도통 상태가 되는 전위, 즉 $V_{th,H}$ 보다 낮은 전위를 제 5 배선(3005)에 공급하면 좋다. 또는, 노드(FG)에 공급된 전하에 상관없이 트랜지스터(3200)가 도통 상태가 되는 전위, 즉 $V_{th,L}$ 보다 높은 전위를 제 5 배선(3005)에 공급하면 좋다.
- [0305] 도 23의 (B)에 도시된 반도체 장치는 트랜지스터(3200)를 갖지 않는 점에서 도 23의 (A)에 도시된 반도체 장치와 다르다. 이 경우도 도 23의 (A)에 도시된 반도체 장치와 같은 동작에 의하여 데이터를 기록 및 유지할 수 있다.
- [0306] 도 23의 (B)에 도시된 반도체 장치에서의 데이터의 판독에 대하여 설명하기로 한다. 트랜지스터(3300)가 도통 상태가 되면, 플로팅 상태인 제 3 배선(3003)과 용량 소자(3400)가 도통되어, 제 3 배선(3003)과 용량 소자(3400) 사이에서 전하가 재분배된다. 그 결과, 제 3 배선(3003)의 전위가 변화된다. 제 3 배선(3003)의 전위의 변화량은 용량 소자(3400)의 전극 중 한쪽의 전위(또는 용량 소자(3400)에 축적된 전하)에 따라 변동된다.
- [0307] 예를 들어, 용량 소자(3400)의 전극 중 한쪽의 전위를 V , 용량 소자(3400)의 용량을 C , 제 3 배선(3003)이 갖는 용량 성분을 CB , 전하가 재분배되기 전의 제 3 배선(3003)의 전위를 VB_0 으로 하면, 전하가 재분배된 후의 제 3 배선(3003)의 전위는 $(CB \times VB_0 + C \times V) / (CB + C)$ 가 된다. 따라서, 메모리 셀의 상태로서 용량 소자(3400)의 전극 중 한쪽의 전위가 V_1 과 $V_0(V_1 > V_0)$ 의 2개의 상태가 되는 것으로 가정하면, 전위 V_1 을 유지하는 경우의 제 3 배선(3003)의 전위($= (CB \times VB_0 + C \times V_1) / (CB + C)$)는, 전위 V_0 을 유지하는 경우의 제 3 배선(3003)의 전위($= (CB \times VB_0 + C \times V_0) / (CB + C)$)보다 높은 것을 알 수 있다.
- [0308] 그리고, 제 3 배선(3003)의 전위를 소정의 전위와 비교함으로써 데이터를 판독할 수 있다.
- [0309] 이 경우, 메모리 셀을 구동시키기 위한 구동 회로에 상기 제 1 반도체가 적용된 트랜지스터를 사용하고, 트랜지스터(3300)로서 제 2 반도체가 적용된 트랜지스터를 구동 회로 위에 적층하여 배치하는 구성으로 하면 좋다.
- [0310] 상술한 반도체 장치는 산화물 반도체를 사용한 오프 전류가 매우 작은 트랜지스터가 적용되어, 기억 내용을 오랫동안 유지할 수 있다. 즉, 리프래시 동작의 필요가 없거나, 또는 리프래시 동작의 빈도를 매우 적게 할 수 있기 때문에, 소비 전력이 낮은 반도체 장치를 구현할 수 있다. 또한, 전력이 공급되지 않는 경우(다만, 전위는 고정되는 것이 바람직함)에도 기억 내용을 오랫동안 유지할 수 있다.
- [0311] 또한, 상기 반도체 장치는 데이터의 기록에 높은 전압이 불필요하기 때문에 소자가 열화되기 어렵다. 예를 들어, 종래의 비휘발성 메모리와 같이, 플로팅 게이트로의 전자의 주입이나, 플로팅 게이트로부터의 전자의 뽑아내기를 실시하지 않기 때문에, 절연체의 열화 등의 문제가 전혀 생기지 않는다. 즉, 본 발명의 일 형태에 따른 반도체 장치는, 종래의 비휘발성 메모리의 문제점인 재기록 가능 횟수에 제한이 없고, 신뢰성이 비약적으로 향상된 반도체 장치이다. 또한 트랜지스터의 도통 상태나 비도통 상태에 따라, 데이터의 기록이 수행되기 때문에 고속 동작이 가능하다.

- [0312] <RF 태그>
- [0313] 상술한 트랜지스터 또는 기억 장치를 포함하는 RF 태그에 대하여 도 24를 사용하여 이하에서 설명하기로 한다.
- [0314] 본 발명의 일 형태에 따른 RF 태그는 내부에 기억 회로를 갖고, 기억 회로에 데이터를 기억하고, 비접촉 수단(예컨대 무선 통신)을 사용하여 외부와 데이터의 수수(授受)를 수행하기 위한 것이다. 이와 같은 특징을 갖기 때문에, RF 태그는 물품 등의 개체 데이터를 관독함으로써 물품의 식별을 수행하는 개체 인증 시스템 등에 사용되는 것이 가능하다. 또한, 상술한 용도에 사용하기 위해서는 높은 신뢰성이 요구된다.
- [0315] RF 태그의 구성에 대하여 도 24를 사용하여 설명하기로 한다. 도 24는 RF 태그의 구성예를 도시한 블록도이다.
- [0316] 도 24에 도시된 바와 같이 RF 태그(800)는, 통신기(801)(질문기, 리더/라이터 등이라고도 함)에 접속된 안테나(802)로부터 송신되는 무선 신호(803)를 수신하는 안테나(804)를 갖는다. 또한, RF 태그(800)는 정류 회로(805), 정전압 회로(806), 복조 회로(807), 변조 회로(808), 논리 회로(809), 기억 회로(810), ROM(811)을 갖는다. 또한, 복조 회로(807)에 포함되는 정류 작용을 갖는 트랜지스터의 반도체로서는, 역방향 전류를 충분히 억제할 수 있는 재료, 예컨대 산화물 반도체를 사용하여도 좋다. 이로써, 역방향 전류에 기인하는 정류 작용의 저하를 억제하여, 복조 회로의 출력이 포화(飽和)하는 것을 방지할 수 있다. 즉, 복조 회로의 입력에 대한 복조 회로의 출력을 선형 관계(linear relation)에 접근하도록 할 수 있다. 또한, 데이터의 전송 방식은, 한 쌍의 코일을 대향하도록 배치하여 상호 유도에 의하여 교신하는 전자 결합 방식, 유도 전자계에 의하여 교신하는 전자 유도 방식, 전파를 이용하여 교신하는 전파 방식의 3개로 대별된다. RF 태그(800)에는 그 중 어느 방식을 이용하는 것도 가능하다.
- [0317] 다음에, 각 회로의 구성에 대하여 설명하기로 한다. 안테나(804)는, 통신기(801)에 접속된 안테나(802)간에서 무선 신호(803)의 송수신을 수행하기 위한 것이다. 또한, 정류 회로(805)는 안테나(804)로 무선 신호를 수신함으로써 생성되는 입력 교류 신호를 정류, 예컨대 반파 2배압 정류하고, 후단의 용량 소자에 의하여, 정류된 신호를 평활화함으로써 입력 전위를 생성하기 위한 회로이다. 또한, 정류 회로(805)의 입력 측 또는 출력 측에는 리미터 회로를 가져도 좋다. 리미터 회로란, 입력 교류 신호의 진폭이 크고 내부 생성 전압이 큰 경우에, 일정 전력 이상의 전력을 후단의 회로에 입력하지 않도록 제어하기 위한 회로이다.
- [0318] 정전압 회로(806)는 입력 전위로부터 안정적인 전원 전압을 생성하고 각 회로에 인가하기 위한 회로이다. 또한, 정전압 회로(806)는 내부에 리셋 신호 생성 회로를 가져도 좋다. 리셋 신호 생성 회로는 안정적인 전원 전압의 상승을 이용하여, 논리 회로(809)의 리셋 신호를 생성하기 위한 회로이다.
- [0319] 복조 회로(807)는 포락선 검출(envelope detection)에 의하여 입력 교류 신호를 복조하여, 복조 신호를 생성하기 위한 회로이다. 또한, 변조 회로(808)는 안테나(804)로부터 출력되는 데이터에 따라 변조하기 위한 회로이다.
- [0320] 논리 회로(809)는 복조 신호를 해석하고 처리를 수행하기 위한 회로이다. 기억 회로(810)는, 입력된 데이터를 유지하기 위한 회로이며, 로우 디코더(row decoder), 칼럼 디코더(column decoder), 기억 영역 등을 갖는다. 또한, ROM(811)은 식별 번호(ID) 등을 저장하고, 처리에 따라 출력을 수행하기 위한 회로이다.
- [0321] 또한, 상술한 각 회로는 적절히 취사선택할 수 있다.
- [0322] 여기서, 상술한 기억 장치를 기억 회로(810)에 사용할 수 있다. 본 발명의 일 형태에 따른 기억 장치는, 전원이 차단된 상태에서도 데이터를 유지할 수 있기 때문에 RF 태그에 적합하다. 또한 본 발명의 일 형태에 따른 기억 장치는 데이터의 기록에 필요한 전력(전압)이 종래의 비휘발성 메모리에 비하여 낮기 때문에, 데이터의 관독 시나 기록 시의 최대 통신 거리에 차이가 생기지 않게 할 수도 있다. 또한 데이터 기록 시에 전력이 부족하여, 오동작되거나 잘못 기록되는 것을 억제할 수 있다.
- [0323] 또한, 본 발명의 일 형태에 따른 기억 장치는 비휘발성 메모리로서 사용할 수 있어 ROM(811)에 적용할 수도 있다. 이 경우 생산자가 ROM(811)에 데이터를 기록하기 위한 명령을 별도로 준비하여, 사용자가 자유롭게 재기록할 수 없도록 해두는 것이 바람직하다. 생산자가 출하 전에 식별 번호를 기입하고 제품을 출하함으로써, 제작한 RF 태그 모두에 대하여 식별 번호를 부여하는 것이 아니라, 출하하는 우량품에만 식별 번호를 제공하는 것이 가능하게 되고, 출하 후의 제품의 식별 번호가 불연속되는 일이 없어 출하 후의 제품에 대응한 고객 관리가 용이해진다.
- [0324] <RF 태그의 사용예>

- [0325] 이하에서는, 본 발명의 일 형태에 따른 RF 태그의 사용예에 대하여 도 25를 사용하여 설명하기로 한다. RF 태그의 용도는 다양하지만, 예컨대, 지폐, 동전, 유가증권류, 무기명 채권류, 증서류(운전 면허증이나 주민등록증 등(도 25의 (A) 참조)), 포장용 용기류(포장지나 보틀 등(도 25의 (C) 참조)), 기록 매체(DVD나 비디오 테이프 등(도 25의 (B) 참조)), 탈 것들(자전거 등(도 25의 (D) 참조)), 개인 소지품(가방이나 안경 등), 식품류, 식물류, 동물류, 인체, 의류, 생활용품류, 약품, 약제 등을 포함하는 의료품, 또는 전자 기기(액정 표시 장치, EL 표시 장치, 텔레비전 장치, 또는 휴대 전화) 등의 물품, 또는 각 물품에 붙이는 꼬리표(도 25의 (E) 및 (F) 참조) 등에 제공하여 사용할 수 있다.
- [0326] 본 발명의 일 형태에 따른 RF 태그(4000)는 표면에 붙이거나 내장시켜 물품에 고정된다. 예를 들어, 책이면 종이에 내장시키고, 유기 수지로 이루어지는 패키지이면 상기 유기 수지 내부에 내장시킴으로써, 각 물품에 고정된다. 본 발명의 일 형태에 따른 RF 태그(4000)는 소형, 박형, 경량이기 때문에, 물품에 고정된 후에도 그 물품 자체의 디자인성을 유지할 수 있다. 또한, 지폐, 동전, 유가증권류, 무기명 채권류, 또는 증서류 등에 본 발명의 일 형태에 따른 RF 태그(4000)를 제공함으로써, 인증 기능을 부여할 수 있고, 이 인증 기능을 활용하면 위조를 방지할 수 있다. 또한, 포장용 용기류, 기록 매체, 개인 소지품, 식품류, 의류, 생활용품류, 또는 전자 기기 등에 본 발명의 일 형태에 따른 RF 태그(4000)를 붙임으로써, 검품 시스템 등의 시스템의 효율화를 도모할 수 있다. 또한, 탈 것들에도 본 발명의 일 형태에 따른 RF 태그(4000)를 붙임으로써, 도난 등에 대한 보안성을 높일 수 있다.
- [0327] 이상과 같이, 본 발명의 일 형태에 따른 RF 태그는 상술한 바와 같은 각 용도에 사용할 수 있다.
- [0328] <CPU>
- [0329] 상술한 트랜지스터나 기억 장치 등의 반도체 장치를 포함하는 CPU에 대하여 이하에서 설명하기로 한다.
- [0330] 도 26은 상술한 트랜지스터를 일부에 사용한 CPU의 일례의 구성을 도시한 블록도이다.
- [0331] 도 26에 도시된 CPU는, 기관(1190) 위에, ALU(1191)(ALU: Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198)(Bus I/F), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 갖는다. 기관(1190)에는, 반도체 기관, SOI 기관, 유리 기관 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 제공하여도 좋다. 도 26에 도시된 CPU는 이 구성을 간략화하여 도시한 일례에 불과하고 실제로 CPU는 그 용도에 따라 다종다양한 구성을 갖는 것은 물론이다. 예를 들어, 도 26에 도시된 CPU 또는 연산 회로를 포함하는 구성을 하나의 코어로 하고, 상기 코어를 복수로 포함하고 그 코어들이 병렬로 동작하는 구성으로 하여도 좋다. 또한, CPU가 내부 연산 회로나 데이터 버스에서 취급할 수 있는 비트 수는, 예컨대 8비트, 16비트, 32비트, 64비트 등으로 할 수 있다.
- [0332] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코딩된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0333] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코딩된 명령에 따라 각종 제어를 수행한다. 구체적으로는 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는, CPU의 프로그램 실행 중에 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태에서부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 판독이나 기록을 수행한다.
- [0334] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클럭 신호(CLK1)를 바탕으로, 내부 클럭 신호(CLK2)를 생성하는 내부 클럭 생성부를 구비하며, 내부 클럭 신호(CLK2)를 상기 각종 회로에 공급한다.
- [0335] 도 26에 도시된 CPU에서는, 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀로서, 상술한 트랜지스터나 기억 장치 등을 사용할 수 있다.
- [0336] 도 26에 도시된 CPU에서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라 레지스터(1196)에서의 유지 동작을 선택한다. 즉, 레지스터(1196)가 갖는 메모리 셀에서 플립플롭에 의한 데이터 유지를 수행할지 또는 용량 소자에 의한 데이터 유지를 수행할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되어 있는 경우, 레지스터(1196) 내의 메모리 셀에 전원 전압이 인가된다. 용량 소자에서의 데이터 유지가 선택되는 경우, 용량

소자의 데이터 재기록이 수행되고, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 인가를 정지할 수 있다.

- [0337] 도 27은 레지스터(1196)로서 사용할 수 있는 기억 소자(1200)의 회로도의 일례이다. 기억 소자(1200)는, 전원 차단에 의하여 기억 데이터가 휘발되는 회로(1201)와, 전원이 차단되어도 기억 데이터가 휘발되지 않는 회로(1202)와, 스위치(1203)와, 스위치(1204)와, 논리 소자(1206)와, 용량 소자(1207)와, 선택 기능을 갖는 회로(1220)를 갖는다. 회로(1202)는 용량 소자(1208)와, 트랜지스터(1209)와, 트랜지스터(1210)를 갖는다. 또한, 기억 소자(1200)는 필요에 따라, 다이오드, 저항 소자, 인덕터 등 기타 소자를 더 가져도 좋다.
- [0338] 여기서, 회로(1202)에는 상술한 기억 장치를 사용할 수 있다. 기억 소자(1200)에 대한 전원 전압의 인가가 정지되었을 때, 회로(1202)의 트랜지스터(1209)의 게이트에는, GND(0V), 또는 트랜지스터(1209)가 오프 상태가 되는 전위가 계속 입력되는 구성으로 한다. 예를 들어, 트랜지스터(1209)의 게이트가 저항 등의 부하를 통하여 접지되는 구성으로 한다.
- [0339] 스위치(1203)는 하나의 도전형(예컨대 n채널형)을 갖는 트랜지스터(1213)를 사용하여 구성되고 스위치(1204)는 상기 하나의 도전형과 반대의 도전형(예컨대 p채널형)을 갖는 트랜지스터(1214)를 사용하여 구성된 예에 대하여 설명하기로 한다. 여기서, 스위치(1203)의 제 1 단자는 트랜지스터(1213)의 소스 및 드레인 중 한쪽에 대응하고, 스위치(1203)의 제 2 단자는 트랜지스터(1213)의 소스 및 드레인 중 다른 쪽에 대응하고, 스위치(1203)는 트랜지스터(1213)의 게이트에 입력되는 제어 신호(RD)에 의하여 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉, 트랜지스터(1213)의 도통 상태 또는 비도통 상태)가 선택된다. 스위치(1204)의 제 1 단자는 트랜지스터(1214)의 소스 및 드레인 중 한쪽에 대응하고, 스위치(1204)의 제 2 단자는 트랜지스터(1214)의 소스 및 드레인 중 다른 쪽에 대응하고, 스위치(1204)에서는 트랜지스터(1214)의 게이트에 입력되는 제어 신호(RD)에 의하여 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉, 트랜지스터(1214)의 도통 상태 또는 비도통 상태)가 선택된다.
- [0340] 트랜지스터(1209)의 소스 및 드레인 중 한쪽은, 용량 소자(1208)의 한 쌍의 전극 중 한쪽, 및 트랜지스터(1210)의 게이트에 전기적으로 접속된다. 여기서, 접속 부분을 노드 M2로 한다. 트랜지스터(1210)의 소스 및 드레인 중 한쪽은 저전원 전위를 공급할 수 있는 배선(예컨대 GND선)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 스위치(1203)의 제 1 단자(트랜지스터(1213)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)는 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(1204)의 제 2 단자(트랜지스터(1214)의 소스 및 드레인 중 다른 쪽)는 전원 전위 VDD를 공급할 수 있는 배선에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)와, 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 한쪽)와, 논리 소자(1206)의 입력 단자와, 용량 소자(1207)의 한 쌍의 전극 중 한쪽은 전기적으로 접속된다. 여기서, 접속 부분을 노드 M1로 한다. 용량 소자(1207)의 한 쌍의 전극 중 다른 쪽은, 일정 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1207)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예컨대 GND선)에 전기적으로 접속된다. 용량 소자(1208)의 한 쌍의 전극 중 다른 쪽은, 일정 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1208)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예컨대 GND선)에 전기적으로 접속된다.
- [0341] 또한, 트랜지스터나 배선의 기생 용량 등을 적극적으로 이용함으로써, 용량 소자(1207) 및 용량 소자(1208)를 생략할 수도 있다.
- [0342] 트랜지스터(1209)의 게이트에는 제어 신호(WE)가 입력된다. 스위치(1203) 및 스위치(1204)에서, 제어 신호(WE)와 다른 제어 신호(RD)에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태가 선택되며, 스위치(1203) 및 스위치(1204) 중 한쪽의 제 1 단자와 제 2 단자 사이가 도통 상태일 때 다른 쪽의 제 1 단자와 제 2 단자 사이는 비도통 상태가 된다.
- [0343] 트랜지스터(1209)의 소스 및 드레인 중 다른 쪽에는 회로(1201)에 유지된 데이터에 대응하는 신호가 입력된다. 도 27에는 회로(1201)로부터 출력된 신호가 트랜지스터(1209)의 소스 및 드레인 중 다른 쪽에 입력되는 예를 도시하였다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는, 논리 소자(1206)에 의하여 그 논리값이 반전된 반전 신호가 되고, 회로(1220)를 통하여 회로(1201)에 입력된다.
- [0344] 또한, 도 27에는 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신

호가 논리 소자(1206) 및 회로(1220)를 통하여 회로(1201)에 입력되는 예를 도시하였지만, 이에 한정되지 않는다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호가, 논리 값이 반전되는 일이 없이 회로(1201)에 입력되도록 하여도 좋다. 예를 들어, 회로(1201) 내에, 입력 단자로부터 입력된 신호의 논리값이 반전된 신호가 유지되는 노드가 존재하는 경우, 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호를 상기 노드에 입력할 수 있다.

[0345] 또한, 도 27에서, 기억 소자(1200)에 사용되는 트랜지스터 중 트랜지스터(1209) 이외의 트랜지스터는, 기관(1190) 또는 산화물 반도체 이외의 반도체로 이루어지는 막에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들어, 실리콘층 또는 실리콘 기관에 채널이 형성되는 트랜지스터로 할 수 있다. 또한, 기억 소자(1200)에 사용되는 모든 트랜지스터를, 산화물 반도체에 채널이 형성되는 트랜지스터로 할 수도 있다. 또는, 기억 소자(1200)는 트랜지스터(1209) 외에도, 산화물 반도체에 채널이 형성되는 트랜지스터를 포함하여도 좋고, 나머지 트랜지스터는 산화물 반도체 이외의 반도체로 이루어지는 층 또는 기관(1190)에 채널이 형성되는 트랜지스터로 할 수도 있다.

[0346] 도 27의 회로(1201)에는 예컨대 플립플롭 회로를 사용할 수 있다. 또한, 논리 소자(1206)에는, 예컨대 인버터나 클럭드 인버터 등을 사용할 수 있다.

[0347] 본 발명의 일 형태에 따른 반도체 장치에서는 기억 소자(1200)에 전원 전압이 인가되지 않는 동안은 회로(1201)에 기억되어 있던 데이터를, 회로(1202)에 제공된 용량 소자(1208)에 의하여 유지할 수 있다.

[0348] 또한, 산화물 반도체에 채널이 형성되는 트랜지스터의 오프 전류는 매우 작다. 예를 들어, 산화물 반도체에 채널이 형성되는 트랜지스터의 오프 전류는, 결정성 실리콘에 채널이 형성되는 트랜지스터의 오프 전류에 비하여 매우 작다. 그러므로, 상기 트랜지스터를 트랜지스터(1209)로서 사용함으로써, 기억 소자(1200)에 전원 전압이 인가되지 않는 동안에도, 용량 소자(1208)에 유지된 신호는 오랫동안 유지된다. 따라서, 기억 소자(1200)는 전원 전압의 인가가 정지된 동안에도 기억 내용(데이터)을 유지하는 것이 가능하다.

[0349] 또한, 스위치(1203) 및 스위치(1204)를 제공함으로써 프리차지 동작을 수행하는 것을 특징으로 하는 기억 소자이기 때문에, 전원 전압의 인가가 재개된 후에, 회로(1201)가 원래의 데이터를 다시 유지할 때까지의 시간을 짧게 할 수 있다.

[0350] 또한, 회로(1202)에 있어서, 용량 소자(1208)에 의하여 유지된 신호는 트랜지스터(1210)의 게이트에 입력된다. 따라서, 기억 소자(1200)에 대한 전원 전압의 인가가 재개된 후, 용량 소자(1208)에 의하여 유지된 신호를 트랜지스터(1210)의 상태(도통 상태 또는 비도통 상태)로 변환하여, 회로(1202)로부터 판독할 수 있다. 따라서, 용량 소자(1208)에 유지된 신호에 대응하는 전위가 약간 변동되어도, 원래의 신호를 정확하게 판독하는 것이 가능하다.

[0351] 프로세서가 갖는 레지스터나 캐시 메모리 등의 기억 장치에 상술한 기억 소자(1200)를 사용함으로써, 전원 전압의 인가 정지로 인한 기억 장치 내의 데이터 소실을 방지할 수 있다. 또한, 전원 전압의 인가를 재개한 후, 짧은 시간 안에 전원 공급 정지 전의 상태로 복귀할 수 있다. 따라서, 프로세서 전체, 또는 프로세서를 구성하는 하나 또는 복수의 논리 회로에서 짧은 시간 안에 전원 정지를 할 수 있으므로 소비 전력을 억제할 수 있다.

[0352] 여기서는 기억 소자(1200)를 CPU에 사용하는 예를 설명하였지만, 기억 소자(1200)는 DSP(Digital Signal Processor), 커스텀 LSI, PLD(Programmable Logic Device) 등의 LSI, RF-ID(Radio Frequency Identification)에도 응용할 수 있다.

[0353] <표시 장치>

[0354] 본 발명의 일 형태에 따른 표시 장치의 구성예에 대하여 이하에서 설명하기로 한다.

[0355] [구성예]

[0356] 도 28의 (A)는 본 발명의 일 형태에 따른 표시 장치의 상면도이다. 또한, 도 28의 (B)는, 본 발명의 일 형태에 따른 표시 장치의 화소에 액정 소자를 사용한 경우의 화소 회로이다. 또한, 도 28의 (C)는, 본 발명의 일 형태에 따른 표시 장치의 화소에 유기 EL 소자를 사용한 경우의 화소 회로이다.

[0357] 화소에 사용하는 트랜지스터에는, 상술한 트랜지스터를 사용할 수 있다. 여기서는 n채널형 트랜지스터를 사용하는 예를 기재한다. 또한, 화소에 사용한 트랜지스터와 동일한 공정을 거쳐 제작된 트랜지스터를 구동 회로에 사용하여도 좋다. 이와 같이, 상술한 트랜지스터를 화소나 구동 회로에 사용함으로써, 높은 표시 품위 또는/및

높은 신뢰성을 갖는 표시 장치로 할 수 있다.

- [0358] 액티브 매트릭스형 표시 장치의 상면도의 일례를 도 28의 (A)에 도시하였다. 표시 장치의 기관(5000) 위에는, 화소부(5001), 제 1 주사선 구동 회로(5002), 제 2 주사선 구동 회로(5003), 신호선 구동 회로(5004)가 배치된다. 화소부(5001)는 복수의 신호선을 통하여 신호선 구동 회로(5004)에 전기적으로 접속되고, 복수의 주사선을 통하여 제 1 주사선 구동 회로(5002) 및 제 2 주사선 구동 회로(5003)에 전기적으로 접속된다. 또한, 주사선과 신호선에 의하여 구분되는 영역에는 표시 소자를 각각 갖는 화소가 배치된다. 또한, 표시 장치의 기관(5000)은 FPC(Flexible Printed Circuit) 등의 접속부를 통하여 타이밍 제어 회로(컨트롤러, 제어 IC라고도 함)에 전기적으로 접속된다.
- [0359] 제 1 주사선 구동 회로(5002), 제 2 주사선 구동 회로(5003), 및 신호선 구동 회로(5004)는, 화소부(5001)가 형성되는 기관(5000) 위에 형성된다. 따라서, 구동 회로를 별도로 제작하는 경우에 비하여 표시 장치를 제작하는 비용을 저감할 수 있다. 또한, 구동 회로를 별도로 제작한 경우, 배선간 접속 수가 증가된다. 따라서, 화소부(5001)가 형성되는 기관(5000) 위에 구동 회로를 제공함으로써, 배선간 접속 수를 줄일 수 있어, 신뢰성 또는/및 수율의 향상을 도모할 수 있다.
- [0360] [액정 표시 장치]
- [0361] 또한, 화소의 회로 구성의 일례를 도 28의 (B)에 도시하였다. 여기서는, VA형 액정 표시 장치의 화소 등에 적용할 수 있는 화소 회로를 도시하였다.
- [0362] 이 화소 회로는, 한 화소에 복수의 화소 전극을 갖는 구성에 적용할 수 있다. 각 화소 전극은 다른 트랜지스터에 접속되고, 각 트랜지스터는 다른 게이트 신호로 구동할 수 있도록 구성되어 있다. 따라서, 멀티도메인 설계된 화소 각각의 화소 전극에 인가하는 신호를, 독립적으로 제어할 수 있다.
- [0363] 트랜지스터(5016)의 게이트 배선(5012)과 트랜지스터(5017)의 게이트 배선(5013)은 서로 다른 게이트 신호가 공급될 수 있도록 분리된다. 한편, 데이터선으로서 기능하는 소스 전극 또는 드레인 전극(5014)은 트랜지스터(5016)와 트랜지스터(5017)에서 공통적으로 사용된다. 트랜지스터(5016)와 트랜지스터(5017)에는, 상술한 트랜지스터를 적절히 사용할 수 있다. 이로써, 높은 표시 품질 또는/및 높은 신뢰성을 갖는 액정 표시 장치를 제공할 수 있다.
- [0364] 트랜지스터(5016)에 전기적으로 접속되는 제 1 화소 전극의 형상과, 트랜지스터(5017)에 전기적으로 접속되는 제 2 화소 전극의 형상에 대하여 설명하기로 한다. 제 1 화소 전극과 제 2 화소 전극의 형상은 슬릿에 의하여 분리되어 있다. 제 1 화소 전극은 V자 형상을 갖고, 제 2 화소 전극은 제 1 화소 전극의 외측을 둘러싸도록 형성된다.
- [0365] 트랜지스터(5016)의 게이트 전극은 게이트 배선(5012)에 전기적으로 접속되고, 트랜지스터(5017)의 게이트 전극은 게이트 배선(5013)에 전기적으로 접속된다. 게이트 배선(5012)과 게이트 배선(5013)에 서로 다른 게이트 신호를 공급하여 트랜지스터(5016)와 트랜지스터(5017)의 동작 타이밍을 다르게 함으로써 액정의 배향을 제어할 수 있다.
- [0366] 또한, 용량 배선(5010)과, 유전체로서 기능하는 게이트 절연체와, 제 1 화소 전극 또는 제 2 화소 전극에 전기적으로 접속되는 용량 전극에 의하여 용량 소자를 형성하여도 좋다.
- [0367] 멀티도메인 구조는 한 화소에 제 1 액정 소자(5018)와 제 2 액정 소자(5019)를 구비한다. 제 1 액정 소자(5018)는 제 1 화소 전극과, 대향 전극과, 이들 사이의 액정층으로 구성되고, 제 2 액정 소자(5019)는 제 2 화소 전극과, 대향 전극과, 이들 사이의 액정층으로 구성된다.
- [0368] 또한, 본 발명의 일 형태에 따른 표시 장치는 도 28의 (B)에 도시된 화소 회로에 한정되지 않는다. 예를 들어, 도 28의 (B)에 도시된 화소 회로에, 스위치, 저항 소자, 용량 소자, 트랜지스터, 센서, 또는 논리 회로 등을 새롭게 추가하여도 좋다.
- [0369] [유기 EL 표시 장치]
- [0370] 화소의 회로 구성의 다른 일례를 도 28의 (C)에 도시하였다. 여기서는, 유기 EL 소자를 사용한 표시 장치의 화소 구조를 도시하였다.
- [0371] 유기 EL 소자에서는, 발광 소자에 전압이 인가됨으로써, 유기 EL 소자의 한 쌍의 전극 중 한쪽으로부터 전자가, 다른 쪽으로부터 정공이 발광성 유기 화합물을 포함하는 층에 각각 주입되어 전류가 흐른다. 그리고, 전자 및

정공이 재결합함으로써, 발광성 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아갈 때에 발광한다. 이와 같은 메커니즘에 따라, 상술한 발광 소자는, 전류 여기형의 발광 소자로 불린다.

[0372] 도 28의 (C)는 화소 회로의 일례이다. 여기서는 한 화소에 2개의 n채널형 트랜지스터를 사용하는 예를 도시하였다. 또한, n채널형 트랜지스터로서는 상술한 트랜지스터를 사용할 수 있다. 또한, 상기 화소 회로에는, 디지털 시간 계조 구동을 적용할 수 있다.

[0373] 적용 가능한 화소 회로의 구성 및 디지털 시간 계조 구동을 적용한 경우의 화소의 동작에 대하여 설명하기로 한다.

[0374] 화소(5020)는 스위칭용 트랜지스터(5021), 구동용 트랜지스터(5022), 발광 소자(5024), 및 용량 소자(5023)를 갖는다. 스위칭용 트랜지스터(5021)는, 게이트 전극이 주사선(5026)에 접속되고, 제 1 전극(소스 전극 및 드레인 전극 중 한쪽)이 신호선(5025)에 접속되고, 제 2 전극(소스 전극 및 드레인 전극 중 다른 쪽)이 구동용 트랜지스터(5022)의 게이트 전극에 접속된다. 구동용 트랜지스터(5022)는 용량 소자(5023)를 통하여 게이트 전극이 전원선(5027)에 접속되고, 제 1 전극이 전원선(5027)에 접속되고, 제 2 전극이 발광 소자(5024)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(5024)의 제 2 전극은 공통 전극(5028)에 상당한다. 공통 전극(5028)은 동일 기관 위에 형성되는 공통 전위선에 전기적으로 접속된다.

[0375] 스위칭용 트랜지스터(5021) 및 구동용 트랜지스터(5022)로서는 상술한 트랜지스터를 사용할 수 있다. 이로써, 높은 표시 품질 또는/및 높은 신뢰성을 갖는 유기 EL 표시 장치로 할 수 있다.

[0376] 발광 소자(5024)의 제 2 전극(공통 전극(5028))의 전위는 저전원 전위로 설정한다. 또한, 저전원 전위는, 전원선(5027)에 공급되는 고전원 전위보다 낮은 전위이며, 예컨대 GND, 0V 등을 저전원 전위로서 설정할 수 있다. 발광 소자(5024)의 순방향 문턱 전압 이상이 되도록 고전원 전위와 저전원 전위를 설정하고, 그 전위차를 발광 소자(5024)에 인가함으로써, 발광 소자(5024)에 전류를 흘려서 발광시킨다. 또한, 발광 소자(5024)의 순방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키며, 적어도 순방향 문턱 전압을 포함한다.

[0377] 또한, 용량 소자(5023)는, 구동용 트랜지스터(5022)의 게이트 용량을 대신하여 사용함으로써 생략할 수 있는 경우가 있다. 구동용 트랜지스터(5022)의 게이트 용량은, 채널 형성 영역과 게이트 전극 사이에 형성되어도 좋다.

[0378] 다음에, 구동용 트랜지스터(5022)에 입력하는 신호에 대하여 설명하기로 한다. 전압 입력 전압 구동 방식의 경우, 구동용 트랜지스터(5022)가 온 상태 또는 오프 상태의 두 가지 상태가 되는 비디오 신호를 구동용 트랜지스터(5022)에 입력한다. 또한, 구동용 트랜지스터(5022)를 선형 영역에서 동작시키기 위하여, 전원선(5027)의 전압보다 높은 전압을 구동용 트랜지스터(5022)의 게이트 전극에 인가한다. 또한, 신호선(5025)에는, 전원선 전압에 구동용 트랜지스터(5022)의 문턱 전압(V_{th})을 더한 값 이상의 전압을 인가한다.

[0379] 아날로그 계조 구동의 경우, 구동용 트랜지스터(5022)의 게이트 전극에 발광 소자(5024)의 순방향 전압에 구동용 트랜지스터(5022)의 문턱 전압(V_{th})을 더한 값 이상의 전압을 인가한다. 또한, 구동용 트랜지스터(5022)가 포화 영역에서 동작하도록 비디오 신호를 입력하여, 발광 소자(5024)에 전류를 흘린다. 또한, 구동용 트랜지스터(5022)를 포화 영역에서 동작시키기 위하여, 전원선(5027)의 전위를 구동용 트랜지스터(5022)의 게이트 전위보다 높게 한다. 아날로그 비디오 신호를 사용함으로써, 비디오 신호에 따른 전류를 발광 소자(5024)에 흘려, 아날로그 계조 구동을 수행할 수 있다.

[0380] 또한, 본 발명의 일 형태에 따른 표시 장치는 도 28의 (C)에 도시된 화소 구성에 한정되지 않는다. 예를 들어, 도 28의 (C)에 도시된 화소 회로에 스위치, 저항 소자, 용량 소자, 센서, 트랜지스터 또는 논리 회로 등을 추가하여도 좋다.

[0381] 도 28에 예시된 회로에 상술한 트랜지스터를 적용하는 경우, 저전위 측에 소스 전극(제 1 전극)이 전기적으로 접속되고, 고전위 측에 드레인 전극(제 2 전극)이 전기적으로 접속되는 구성으로 한다. 또한 제어 회로 등에 의하여 제 1 게이트 전극의 전위를 제어하고, 제 2 게이트 전극에는 소스 전극에 공급하는 전위보다 낮은 전위 등 상기에서 예시한 전위를 입력할 수 있는 구성으로 하면 좋다.

[0382] 예를 들어, 본 명세서 등에서, 표시 소자, 표시 소자를 갖는 장치인 표시 장치, 발광 소자, 및 발광 소자를 갖는 장치인 발광 장치는 형태가 다양하거나, 또는 다양한 소자를 가질 수 있다. 표시 소자, 표시 장치, 발광 소자, 또는 발광 장치는 예컨대, EL 소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출

소자, 액정 소자, 전자 잉크, 전기 영동 소자, 회절 광 밸브(GLV: Grating Light Valve), 플라즈마 디스플레이 패널(PDP), 미세 전자 기계 시스템(MEMS: Micro Electro Mechanical System), 디지털 마이크로미러 디바이스(DMD: Digital Micromirror Device), 디지털 마이크로 셔터(DMS: Digital Micro Shutter), IMOD(interferometric modulator display) 소자, 전기습윤 소자, 압전 세라믹 디스플레이, 카본 나노 튜브를 사용한 표시 소자 등의 적어도 하나를 갖는다. 이 외에도 전기적 또는 자기적 작용에 의하여 콘트라스트, 휘도, 반사율, 투과율 등이 변화되는 표시 매체를 가져도 좋다. EL 소자를 사용한 표시 장치의 일례로서는 EL 디스플레이 등이 있다. 전자 방출 소자를 사용한 표시 장치의 일례로서는, 필드 이미션 디스플레이(FED) 또는 SED방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있다. 액정 소자를 사용한 표시 장치의 일례로서는 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크 또는 전기 영동 소자를 사용한 표시 장치의 일례로서는, 전자 페이퍼 등이 있다.

[0383] 또한, 백 라이트(유기 EL 소자, 무기 EL 소자, LED, 형광등 등)에 백색광(W)을 사용하여 표시 장치를 풀컬러 표시하기 위하여 착색층(컬러 필터라고도 함)을 사용하여도 좋다. 착색층은, 예컨대 적색(R), 녹색(G), 청색(B), 황색(Y) 등을 적절히 조합하여 사용할 수 있다. 착색층을 사용하면, 착색층을 사용하지 않는 경우에 비하여 색 재현성을 높일 수 있다. 이 경우, 착색층을 갖는 영역과, 착색층을 갖지 않는 영역을 배치함으로써, 착색층을 갖지 않는 영역에서의 백색광을 직접 표시에 이용하여도 좋다. 일부에 착색층을 갖지 않는 영역을 배치함으로써, 밝은 표시를 수행할 때 착색층에 기인한 휘도 저하를 저감할 수 있고 소비 전력을 20%~30% 정도 저감할 수 있는 경우가 있다. 다만, 유기 EL 소자나 무기 EL 소자 등의 자발광 소자를 사용하여 풀컬러 표시하는 경우, R, G, B, Y, 및 W를 각 발광색을 갖는 표시 소자로부터 발광시켜도 좋다. 자발광 소자를 사용하면, 착색층을 사용하는 경우보다 소비 전력을 더 저감할 수 있는 경우가 있다.

[0384] <모듈>

[0385] 이하에서는, 본 발명의 일 형태에 따른 반도체 장치를 적용한 표시 모듈에 대하여 도 29를 사용하여 설명하기로 한다.

[0386] 도 29에 도시된 표시 모듈(8000)은 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 셀(8006), 백 라이트 유닛(8007), 프레임(8009), 프런트 기관(8010), 배터리(8011)를 갖는다. 또한, 백 라이트 유닛(8007), 배터리(8011), 터치 패널(8004) 등을 갖지 않는 경우도 있다.

[0387] 본 발명의 일 형태에 따른 반도체 장치는 예컨대 셀(8006)에 사용될 수 있다.

[0388] 상부 커버(8001) 및 하부 커버(8002)는, 터치 패널(8004) 및 셀(8006)의 크기에 맞추어 형상이나 치수를 적절히 변경할 수 있다.

[0389] 터치 패널(8004)은, 저항막 방식 또는 정전 용량 방식의 터치 패널을 셀(8006)과 중첩하도록 사용할 수 있다. 또한, 셀(8006)의 대향 기관(필봉 기관)이 터치 패널 기능을 갖도록 할 수도 있다. 또는, 셀(8006)의 각 화소 내에 광 센서를 제공하여 광학식 터치 패널로 할 수도 있다. 또는, 셀(8006)의 각 화소 내에 터치 센서용 전극을 제공하여 정전 용량 방식의 터치 패널로 할 수도 있다.

[0390] 백 라이트 유닛(8007)은 광원(8008)을 갖는다. 광원(8008)을 백 라이트 유닛(8007)의 단부에 제공하고, 광 확산판을 사용하는 구성으로 하여도 좋다.

[0391] 프레임(8009)은 셀(8006)의 보호 기능에 더하여, 프런트 기관(8010)의 동작에 의하여 발생하는 전자기파를 차단하기 위한 전자기 실드로서의 기능을 가져도 좋다. 또한, 프레임(8009)은 방열판으로서의 기능을 가져도 좋다.

[0392] 프런트 기관(8010)은 전원 회로, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로를 갖는다. 전원 회로에 전력을 공급하는 전원으로서, 외부의 상용 전원이라도 좋고, 별도로 제공한 배터리(8011)에 의한 전원이라도 좋다. 상용 전원을 사용하는 경우에는, 배터리(8011)를 갖지 않아도 된다.

[0393] 또한, 표시 모듈(8000)에는, 편광판, 위상차판, 프리즘 시트 등의 부재를 추가하여 제공하여도 좋다.

[0394] <전자 기기>

[0395] 본 발명의 일 형태에 따른 반도체 장치는, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD(Digital Versatile Disc) 등의 기록 매체를 재생하여, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 이 외에, 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자

기기로서, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말, 전자 서적용 단말, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 30에 도시하였다.

[0396] 도 30의 (A)는 휴대형 게임기이며, 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 조작 키(907), 스타일러스(908) 등을 갖는다. 또한, 도 30의 (A)에 도시된 휴대형 게임기는 2개의 표시부(903)와 표시부(904)를 갖지만, 휴대형 게임기가 갖는 표시부의 개수는 이에 한정되지 않는다.

[0397] 도 30의 (B)는 휴대 정보 단말이며, 제 1 하우징(911), 제 2 하우징(912), 제 1 표시부(913), 제 2 표시부(914), 접속부(915), 조작 키(916) 등을 갖는다. 제 1 표시부(913)는 제 1 하우징(911)에 제공되고, 제 2 표시부(914)는 제 2 하우징(912)에 제공된다. 그리고, 제 1 하우징(911)과 제 2 하우징(912)은 접속부(915)에 의하여 접속되어 있고, 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도는 접속부(915)에 의하여 변경이 가능하다. 제 1 표시부(913)에서의 영상을, 접속부(915)에서의 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 또한, 제 1 표시부(913) 및 제 2 표시부(914) 중 적어도 한쪽에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한, 위치 입력 장치로서의 기능은, 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는, 위치 입력 장치로서의 기능은, 포토센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수도 있다.

[0398] 도 30의 (C)는 노트북형 퍼스널 컴퓨터이며, 하우징(921), 표시부(922), 키보드(923), 포인팅 디바이스(924) 등을 갖는다.

[0399] 도 30의 (D)는 전기 냉동 냉장고이며, 하우징(931), 냉장실용 도어(932), 냉동실용 도어(933) 등을 갖는다.

[0400] 도 30의 (E)는 비디오 카메라이며, 제 1 하우징(941), 제 2 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 접속부(946) 등을 갖는다. 조작 키(944) 및 렌즈(945)는 제 1 하우징(941)에 제공되고, 표시부(943)는 제 2 하우징(942)에 제공된다. 그리고, 제 1 하우징(941)과 제 2 하우징(942)은 접속부(946)에 의하여 접속되어 있고, 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도는 접속부(946)에 의하여 변경이 가능하다. 표시부(943)에서의 영상을, 접속부(946)에서의 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0401] 도 30의 (F)는 자동차이며, 차체(951), 차륜(952), 대시보드(953), 라이트(954) 등을 갖는다.

[0402] (실시예 1)

[0403] 본 실시예에서는 본 발명의 일 형태에 따른 반도체를 갖는 시료를 제작하고 그 물리적 성질에 대하여 평가하였다.

[0404] <평탄성>

[0405] 우선, 반도체의 평탄성에 대하여 평가하였다. 이하에서는 시료의 제작 방법에 대하여 설명하기로 한다.

[0406] 우선, 기판으로서 실리콘 기판을 준비하였다.

[0407] 다음에 열산화법에 의하여 실리콘 기판에 두께 100nm의 산화 실리콘막을 형성하였다.

[0408] 다음에, 스퍼터링법에 의하여 두께 300nm의 산화 실리콘막을 형성하였다. 다음에, 상기 산화 실리콘막의 상면에 CMP법에 의하여 평탄화 처리를 수행하였다. 또한, 평탄화 처리에 의하여 산화 실리콘막은, 두께가 12nm 정도 얇아지고, 또한 상면의 평균 면 거칠기가 0.2nm 이하가 되었다.

[0409] 다음에, 스퍼터링법에 의하여 두께 20nm의 제 1 반도체를 성막하였다. 제 1 반도체의 성막은, In-Ga-Zn 산화물(In:Ga:Zn=1:3:4[원자수비]) 타깃을 사용하여 수행하였다. 또한, In-Ga-Zn 산화물(In:Ga:Zn=1:3:4[원자수비]) 타깃을 사용하여 성막한 In-Ga-Zn 산화물층을 <134>라고도 표기한다. 또한, 성막 시의 기판 온도를 200℃, 250℃, 300℃, 또는 350℃, 산소 가스 비율[O₂/(O₂+Ar)]을 33%, 압력을 0.4Pa, DC전력을 0.5kW로 하였다.

[0410] 또는, 제 1 반도체의 성막은, In-Ga-Zn 산화물(In:Ga:Zn=1:3:2[원자수비]) 타깃을 사용하여 수행하였다. 또한, In-Ga-Zn 산화물(In:Ga:Zn=1:3:2[원자수비]) 타깃을 사용하여 성막한 In-Ga-Zn 산화물층을 <132>라고도 표기한다. 또한, 성막 시의 기판 온도를 200℃로 하고, 산소 가스 비율[O₂/(O₂+Ar)]을 33%, 압력을 0.4Pa, DC전력을 0.5kW로 하였다.

- [0411] 다음에, 일부 시료에서는 스퍼터링법에 의하여 두께 15nm의 제 2 반도체를 성막하였다. 제 2 반도체의 성막은, In-Ga-Zn 산화물(In:Ga:Zn=1:1:1[원자수비]) 타깃을 사용하여 수행하였다. 또한, In-Ga-Zn 산화물(In:Ga:Zn=1:1:1[원자수비]) 타깃을 사용하여 성막한 In-Ga-Zn 산화물층을 <111>이라고도 표기한다. 또한, 성막 시의 기판 온도를 300℃로 하고, 산소 가스 비율[O₂/(O₂+Ar)]을 33%, 압력을 0.4Pa, DC전력을 0.5kW로 하였다.
- [0412] 다음에, 주사형 프로브 현미경 시스템 SPA-500(SII Nano Technology Inc.제)을 사용하여, RMS 거칠기, Ra, 및 P-V를 측정하였다. 또한, 측정 범위는 1μm×1μm로 하고, 데이터수를 X=512, Y=512로 하였다.
- [0413] 결과는 도 35에 나타내었다. RMS 거칠기는, 기판 온도가 높아짐에 따라 커짐을 알 수 있다. 특히, <134> 위에 <111>을 배치한 적층 구조(<134>\<111>이라고도 표기함)에서 경향이 현저해졌다. 또한, <132> 단층, 및 <132> 위에 <111>을 배치한 적층 구조(<132>\<111>이라고도 표기함)에서는 RMS 거칠기는 0.4nm 이하까지 작게 되는 것을 알았다.
- [0414] 또한, Ra도 RMS 거칠기와 같은 경향이 있었다. 또한, <132> 단층, 및 <132>\<111>에서, Ra는 0.3nm 이하까지 작게 되는 것을 알았다.
- [0415] 또한, P-V는 <134>\<111>에서는, 기판 온도가 높아짐에 따라 커짐을 알 수 있다. 한편, <134> 단층에서는 기판 온도에 상관없이 P-V는 일정하였다.
- [0416] 다음에, 상기 시료 중에서, <134> 단층과 같은 구조를 갖고 제 1 반도체의 성막 조건만 다른 시료에 대하여 RMS 거칠기, Ra, 및 P-V를 측정하였다. 또한, 제 1 반도체의 성막은, In-Ga-Zn 산화물(In:Ga:Zn=1:3:4[원자수비]) 타깃을 사용하여 수행하였다. 또한, 성막 시의 기판 온도를 200℃, 산소 가스 비율[O₂/(O₂+Ar)]을 11%, 33%, 50%, 또는 100%, 압력을 0.4Pa, DC전력을 0.5kW로 하였다.
- [0417] 결과를 도 36에 나타내었다. RMS 거칠기는 산소 가스 비율이 높아짐에 따라 커짐을 알 수 있다. 또한, 산소 가스 비율이 11% 및 33%인 시료에서 RMS 거칠기는 0.5nm 이하까지 작게 되는 것을 알 수 있다.
- [0418] 또한, Ra도 RMS 거칠기와 같은 경향이 있었다. 또한, 산소 가스 비율이 11% 및 33%인 시료에서, Ra는 0.4nm 이하까지 작게 되는 것을 알 수 있다.
- [0419] 또한, P-V는 4nm 이상 6nm 이하 정도이었다.
- [0420] <결정성>
- [0421] 다음에 반도체의 결정성에 대하여 평가하였다.
- [0422] 시료 구조는 평탄성의 평가를 수행한 <134> 단층의 시료와 같다. 즉, 실리콘 기판과, 실리콘 기판 표면에 열산화법에 의하여 형성된 두께 100nm의 산화 실리콘막과, 이 산화 실리콘막 위에 스퍼터링법에 의하여 성막되고, 또한 CMP법에 의하여 평탄화된 두께 288nm(CMP법에 의하여 박막화된 후의 두께)의 산화 실리콘막과, 이 산화 실리콘막 위에 스퍼터링법에 의하여 형성된 두께 20nm의 반도체<134>를 갖는 시료이다.
- [0423] 다만, <134>는 성막 시의 기판 온도를, 실온(25℃ 정도이며 RT라고도 표기함), 100℃, 200℃, 250℃, 300℃ 또는 350℃로 하였다. 또한, 각 기판 온도 조건에 대하여 산소 가스 비율을 11%, 33%, 50%, 또는 100%로 한 시료를 준비하였다.
- [0424] 결정성의 평가는 X선 회절 장치 D8 ADVANCE(Bruker AXS사제)를 사용하고, out-of-plane법에 의하여 수행하였다.
- [0425] 결과를 도 37에 나타내었다. 실온에서 성막한 모든 시료, 및 100℃에서 성막한 산소 가스 비율이 11% 및 33%인 시료를 제외하고, 2θ가 30° 부근일 때 배향성을 나타내는 피크가 확인되었다. 이 피크를 갖는 시료는, c축 방향으로 배향성을 갖는 In-Ga-Zn 산화물의 결정을 포함하는 것으로 추측된다. 따라서, 이 시료는 CAAC-OS인 것으로 추측된다.
- [0426] 다음에, 상술한 것들 중에서, 200℃에서 성막한 산소 가스 비율이 11%, 33%, 및 100%인 시료에 대하여, 프로브 직경이 1nm인 나노 빔 전자 회절을 수행하여 CAAC화율을 측정하였다. CAAC화율의 측정 방법에 대해서는 앞의 실시형태의 기재를 참조한다.
- [0427] 여기서는, 각 시료의 상면에 대하여, 5nm/초의 속도로 60초 동안 스캔하면서 투과 전자 회절 패턴을 얻었다.

그리고, 관측된 회절 패턴을 0.5초마다 정지 화상으로 변환함으로써 CAAC화율을 도출하였다.

- [0428] 각 시료에서의 CAAC화율을 도 38에 나타내었다. 산소 가스 비율이 11%인 <134>의 CAAC화율은 91.8%(비CAAC화율은 8.2%)이었다. 또한, 산소 가스 비율이 33%인 <134>의 CAAC화율은 95.0%(비CAAC화율은 5.0%)이었다. 또한, 산소 가스 비율이 100%인 <134>의 CAAC화율은 100.0%(비CAAC화율은 0.0%)이었다. 따라서, 이들 각 시료는 모두 CAAC-OS인 것을 알았다. 또한, 산소 가스 비율이 높을수록 비CAAC화율이 낮게 되는(CAAC화율이 높게 되는) 것을 알 수 있다. 바꿔 말하면, 산소 가스 비율이 낮을수록, 비CAAC화율이 높게 되는(CAAC화율이 낮게 되는) 것을 알 수 있다.
- [0429] 또한, CAAC-OS와 다른 회절 패턴의 대부분은 nc-OS와 같은 회절 패턴이었다.
- [0430] 다음에, <134>를 100nm까지 두껍게 함으로써 XRD 강도를 높여, 결정성의 비교를 다시 수행하였다. 또한, 기타 조건에 대해서는 같게 하였다.
- [0431] 결과는 도 39에 나타내었다. <134>가 20nm인 시료에 비하여, 2θ 가 30° 부근일 때의 피크 강도는 크다. 그러므로, 20nm의 시료에서 피크를 확인할 수 없었던 실온에서 성막한 시료에서도, 산소 가스 비율이 50% 및 100%인 조건에서 피크를 확인할 수 있었다.
- [0432] 여기서, 각 시료에서의, CAAC에 기인하여 30° 부근에 나타나는 피크의 XRD 강도(XRD 강도 | CAAC라고도 표기함)를 도 40에 나타내었다. 또한, XRD 강도는, 기관 등 다른 요소에 기인한 백 그라운드를 뺀으로써 피크만 분리하고, 이 피크를 로렌츠(Lorentz)함수로 피팅하여 도출하였다.
- [0433] 상술한 결정성의 평가에 의하여, CAAC-OS의 형성에는 소정의 문턱값이 존재하는 것이 시사되었다. 즉, 양질의 CAAC-OS인 <134> 단층을 성막하기 위해서는, 예컨대 성막 시의 기관 온도는 100°C 이상, 바람직하게는 200°C 이상으로 하면 좋은 것을 알 수 있다. 다만, 성막 시의 기관 온도가 높을수록, 또한 산소 가스 비율이 높을수록 결정성이 높게 된다고 반드시 말할 수는 없다는 것을 알았다. 따라서, 요구되는 결정성의 높이에 따라, 적절히 조건의 조합을 선택하는 것이 중요하다.
- [0434] <막 밀도>
- [0435] 다음에, 반도체의 막 밀도에 대하여 평가하였다.
- [0436] 시료의 구조는 결정성의 평가를 수행한 <134> 단층의 시료와 같다. 즉, 실리콘 기관과, 실리콘 기관 표면에 열산화법에 의하여 형성된 두께 100nm의 산화 실리콘막과, 이 산화 실리콘막 위에 스퍼터링법에 의하여 성막되고, 또한 CMP법에 의하여 평탄화된 두께 288nm(CMP법에 의한 박막화 후의 두께)의 산화 실리콘막과, 이 산화 실리콘막 위에 스퍼터링법에 의하여 형성된 두께 20nm의 반도체 <134>를 갖는 시료이다.
- [0437] 막 밀도의 측정은, X선 회절 장치 D8 ADVANCE(Bruker AXS사제)를 사용하고, X선 반사율(XRR: X-Ray Reflection) 측정법에 의하여 수행하였다. 또한, 막 밀도의 도출은, 하면, 상면에서의 계면층을 제외하여 수행하였다.
- [0438] 결과를 도 41에 나타내었다. <134> 단층의 막 밀도의 범위는, $5.5\text{g}/\text{cm}^3$ 로부터 $6.4\text{g}/\text{cm}^3$ 까지인 것을 알 수 있다. 또한, 경향으로서는, 성막 시의 산소 가스 비율이 높을수록, 성막 시의 기관 온도가 높을수록 막 밀도가 높게 되는 조건을 많이 볼 수 있었다.
- [0439] 다음에, 가로축은 막 밀도, 세로축은 XRD 강도 | CAAC로 하고, 도 40 및 도 41의 데이터(24점)를 플롯하였다(도 42 참조). 도 42에는, 근사 직선 및 상관관계수 R의 제곱(R^2 라고도 표기함)을 나타내었다. 결과적으로, <134>의 막 밀도와 결정성에는 양의 상관관계를 볼 수 있는 것을 알았다. 즉, 결정성이 높을수록 막 밀도가 높아지고, 막 밀도가 높을수록 결정성이 높아지는 것을 알았다.
- [0440] <산소의 확산>
- [0441] 다음에, 반도체 내에서의 산소의 확산에 대하여 평가하였다. 이하에서는, 시료의 제작 방법에 대하여 설명하기로 한다.
- [0442] 우선, 기관으로서 한 변이 126.6mm인 각형 실리콘 기관을 준비하였다.
- [0443] 다음에, 열산화법에 의하여 실리콘 기관에 두께 100nm의 산화 실리콘막을 형성하였다.
- [0444] 다음에, 스퍼터링법에 의하여 두께 300nm의 산화 실리콘막을 형성하였다. 산화 실리콘막의 성막은, 합성 석영

타깃을 사용하여 수행하였다. 또한, 산소 가스로서 $^{18}\text{O}_2$ 를 사용하고, 산소 가스 비율 $[\text{O}_2/(\text{O}_2+\text{Ar})]$ 을 50%로 하였다. 다음에, 상기 산화 실리콘막의 상면에 CMP법에 의하여 평탄화 처리를 수행하였다. 또한, 평탄화 처리에 의하여 산화 실리콘막은 두께 12nm 정도 얇아지고, 또한 상면의 평균 면 거칠기가 0.2nm 이하가 되었다.

[0445] 다음에, 스퍼터링법에 의하여 두께 50nm의 반도체를 성막하였다. 반도체의 성막은, In-Ga-Zn 산화물(In:Ga:Zn=1:3:4[원자수비]) 타깃을 사용하여 수행하였다. 또한, 성막 시의 기판 온도를 100℃, 200℃, 250℃ 또는 300℃, 산소 가스 비율 $[\text{O}_2/(\text{O}_2+\text{Ar})]$ 을 11%, 33%, 50%, 또는 100%, 압력을 0.4Pa, DC전력을 0.5kW로 하였다.

[0446] 다음에, 가열 처리를 수행하였다. 가열 처리는, 질소 가스 분위기에서 1시간 동안 수행한 후, 산소 가스 분위기에서 1시간 동안 수행하였다. 또한, 가열 처리의 온도는 350℃, 400℃, 또는 450℃로 하였다.

[0447] 산소의 확산에 대해서는, 4중극형 2차 이온 질량 분석 장치 PHI ADEPT1010(ULVAC-PHI, Inc.제)을 사용하여 <134> 내의 깊이 방향의 ^{18}O 의 농도 분포를 측정함으로써 평가하였다. 이와 같이, 산소의 동위체 원소 ^{18}O 를 포함하는 산화 실리콘막으로부터 <134>로의 ^{18}O 의 확산을 측정함으로써, 산소를 주성분으로 하는 층 내에서도 산소의 확산을 평가하는 것이 가능하게 된다.

[0448] 도 43에는 성막 시의 기판 온도(성막 온도라고도 표기함)별의, 각 시료의 깊이 방향의 ^{18}O 의 농도 분포를 나타내었다. 또한, 성막 시의 산소 가스 비율은 33%로 하였다. 또한, 도 44에는, 성막 시의 산소 가스 비율과 각 시료의 깊이 방향의 ^{18}O 의 농도 분포를 나타내었다. 또한, 성막 시의 기판 온도는 200℃로 하였다. 또한, 도 43 및 도 44에는, 비교로서 가열 처리를 수행하지 않은 시료(as-depo라고도 표기함)의 깊이 방향의 ^{18}O 의 농도 분포도 나타내었다.

[0449] 다음에, 깊이 방향의 ^{18}O 의 농도 분포를 이용하여, 산화 실리콘막으로부터 확산되는 ^{18}O 의 <134> 내에서의 확산 길이를 산출하는 절차에 대하여 도 45를 사용하여 설명하기로 한다.

[0450] 도 45 등에 나타낸 바와 같이, $^{18}\text{O}_2$ 를 사용하여 성막한 산화 실리콘막(SiO_x ^{18}O 라고도 표기함)은, ^{18}O 의 깊이 방향의 농도 분포가 실질적으로 일정하게 되는 영역을 갖는다. 여기서는, 산화 실리콘막 내의 ^{18}O 농도의 최대값을 도면에 파선으로 나타내었다. 다음에, 산화 실리콘막 내의 ^{18}O 농도의 최대값에 1/e를 곱한 값을 도면에 파선으로 나타내었다. 그리고, 이 값이 되는 깊이를 산화 실리콘막과 <134>의 경계로 한다. 다만, 본 실시예에서는, 상기 영역에서 ^{18}O 농도는 정량되지 않았다.

[0451] 또한, <134> 내에도, ^{18}O 의 깊이 방향의 농도 분포가 실질적으로 일정하게 되는 영역을 갖는다. 이 영역에서의 ^{18}O 농도는, ^{18}O 농도의 확산에 상관없이, 원래의 <134>에 포함되는 ^{18}O 농도일 가능성이 높다. 따라서, 상기 영역을 갖지 않는 시료에서는, ^{18}O 의 확산을 평가하는 것이 어려운 경우가 있다. 상기 영역을 형성하기 위하여 <134>의 두께를 적절히 바뀌도 좋다.

[0452] 본 실시예에서는, ^{18}O 농도가 ^{18}O 농도의 최대값에 1/e를 곱한 값으로부터 $2 \times 10^{20} \text{ atoms/cm}^3$ (도면에서 파선으로 나타내었음)인 깊이까지의 영역을, <134>로의 ^{18}O 의 확산 영역으로 간주하여 평가하였다.

[0453] 즉, 도 45 중 양쪽 화살표로 나타낸 깊이가 <134>에서의 ^{18}O 의 확산 길이이다.

[0454] 이 절차에 따라, 도 43 및 도 44에 나타낸 각 시료의 ^{18}O 의 확산 길이를 도출하였다. 결과는 표 2에 나타내었다.

표 2

성막 온도	산소 가스	확산 길이 [nm]			
	비율	as-depo	350℃	400℃	450℃
100℃	33%	2.2	4.4	7.3	12.4
200℃	33%	2.9	3.6	5.8	8.7
250℃	33%	2.9	3.9	4.8	8.7
300℃	33%	2.9	2.9	4.8	7.7
200℃	11%	1.8	3.6	5.4	9.6
200℃	33%	2.4	3.0	4.8	7.8
200℃	50%	2.4	3.0	3.6	7.2
200℃	100%	2.4	3.0	4.2	6.0

[0455]

[0456]

다음에, 가로축을 막 밀도, 세로축을 확산 길이로 하여, 데이터를 플롯한 것을 도 46에 나타내었다. 또한, 막 밀도는 앞에 나온 막 밀도를 이용한다. 그러므로 <134>의 두께가, 산소의 확산을 평가한 시료와 상이하다. 또한, 성막 후의 가열 처리에 의하여 막 밀도가 변화되는 경우도 있으나, 본 실시예에서는 고려하지 않는다.

[0457]

도 46을 보면 알다시피 as-depo의 시료에는 막 밀도와 확산 길이의 관계성을 볼 수는 없었다. 따라서, <134>의 성막 시 등에 형성되는, 산화 실리콘과 <134>의 혼합 영역의 두께는 <134>의 막 밀도에 거의 의존하지 않는 것을 알았다. 또는, 상기 혼합 영역의 두께는 <134>의 성막 조건에 거의 의존하지 않는 것을 알았다.

[0458]

또한, 350℃, 400℃, 및 450℃에서 가열 처리를 수행한 경우, 막 밀도가 낮은 시료일수록 확산 길이가 긴 것을 알았다. 즉, 막 밀도가 낮을수록 산소는 확산되기 쉬운 것을 알았다.

[0459]

본 실시예에서는, 반도체의 물성에 대하여 다각적으로 평가를 수행하였다. 결과적으로, 평탄성과 결정성의 관계성, 결정성과 막 밀도의 관계성, 막 밀도와 산소 확산의 관계성 등을 확인할 수 있었다.

[0460]

(실시예 2)

[0461]

본 실시예에서는, 본 발명의 일 형태에 따른 트랜지스터를 제작하고, 그 전기 특성을 평가하였다. 이하에서 시료의 제작 방법을 설명하기로 한다. 또한, 본 실시예에서 제작한 트랜지스터의 구조는, 도 1에 도시된 구조에 비하여 제 2 게이트 전극으로서의 기능을 갖는 도전체(413)를 갖지 않는 점에서 다르다. 즉, 도 5의 (B)에 도시된 구조와 같다. 따라서, 이하에서는, 도 1, 도 5의 (B), 도 12, 도 13, 및 도 14 등에 기재된 부호 등을 사용하여 설명하기로 한다.

[0462]

우선, 기판(400)으로서 실리콘 기판을 준비하였다.

[0463]

다음에, 열산화법에 의하여 실리콘 기판에 두께 100nm의 산화 실리콘막을 형성하였다.

[0464]

다음에, PECVD법에 의하여 두께 300nm의 산화질화 실리콘막을 형성하였다. 다음에, 상기 산화질화 실리콘막의 상면에 CMP법에 의하여 평탄화 처리를 수행하였다. 또한, 평탄화 처리에 의하여 산화질화 실리콘막은 두께가 12nm 정도 얇아지고, 또한 상면의 평균 면 거칠기가 0.2nm 이하가 되었다.

[0465]

다음에, 이온 주입법에 의하여 산화질화 실리콘막에 산소를 첨가하였다. 이온 주입법은 가속 전압을 60kV로 하고, $^{16}O^+$ 이온을 농도 2×10^{16} ions/cm²로 하여 수행하였다.

[0466]

또한, 산화 실리콘막 및 산화질화 실리콘막은 절연체(402)에 상당한다.

[0467]

다음에, 스퍼터링법에 의하여 반도체(406a)에 상당하는 두께 20nm의 반도체와, 반도체(406b)에 상당하는 두께 15nm의 반도체의 적층 구조를 형성하였다.

[0468]

반도체(406a)에 상당하는 반도체의 성막은, In-Ga-Zn 산화물(In:Ga:Zn=1:3:4[원자수비]) 타깃을 사용하여 수행하였다. 또한, In-Ga-Zn 산화물(In:Ga:Zn=1:3:4[원자수비]) 타깃을 사용하여 성막한 In-Ga-Zn 산화물층을 <134>라고도 표기한다. 또한, 성막 시의 기판 온도를 200℃, 산소 가스 비율[O₂/(O₂+Ar)]을 11%, 33%, 50%, 또

는 100%, 압력을 0.4Pa, DC전력을 0.5kW로 하였다.

- [0469] 반도체(406b)에 상당하는 반도체의 성막은, In-Ga-Zn 산화물(In:Ga:Zn=1:1:1[원자수비]) 타깃을 사용하여 수행하였다. 또한, In-Ga-Zn 산화물(In:Ga:Zn=1:1:1[원자수비]) 타깃을 사용하여 성막한 In-Ga-Zn 산화물층을 <111>이라고도 표기한다. 또한, 성막 시의 기판 온도를 300℃, 산소 가스 비율[O₂/(O₂+Ar)]을 33%, 압력을 0.4Pa, DC전력을 0.5kW로 하였다.
- [0470] 다음에 가열 처리를 수행하였다. 가열 처리는 질소 가스 분위기에서 1시간 동안 수행한 후, 산소 가스 분위기에서 1시간 동안 수행하였다. 또한, 가열 처리의 온도는 450℃로 하였다.
- [0471] 다음에, 스퍼터링법에 의하여 도전체(416a) 및 도전체(416b)에 상당하는 두께 100nm의 텅스텐막을 형성하였다.
- [0472] 다음에, 스퍼터링법에 의하여 반도체(406c)에 상당하는 두께 5nm의 반도체와, PECVD법에 의하여 절연체(412)에 상당하는 두께 20nm의 산화질화 실리콘막과, 스퍼터링법에 의하여 두께 30nm의 질화 탄탈럼막과, 스퍼터링법에 의하여 두께 135nm의 텅스텐막을 형성하였다. 또한, 질화 탄탈럼막과 텅스텐막의 적층 구조는, 도전체(404)에 상당한다. 반도체(406c)에 상당하는 반도체의 성막은, In-Ga-Zn 산화물(In:Ga:Zn=1:3:2[원자수비]) 타깃을 사용하여 수행하였다(<132>라고도 표기함). 또한, 성막 시의 기판 온도를 200℃, 산소 가스 비율[O₂/(O₂+Ar)]을 33%, 압력을 0.4Pa, DC전력을 0.5kW로 하였다.
- [0473] 다음에 스퍼터링법에 의하여 절연체(408)에 상당하는 두께 70nm의 산화 알루미늄막과, PECVD법에 의하여 절연체(418)에 상당하는 두께 300nm의 산화질화 실리콘막을 성막하였다.
- [0474] 다음에 가열 처리를 수행하였다. 가열 처리는, 산소 가스 분위기에서 1시간 동안 수행하였다. 또한, 가열 처리의 온도는 400℃로 하였다.
- [0475] 상술한 바와 같이 하여 제작한 트랜지스터에 단자부를 형성하여 전기 특성을 측정하였다.
- [0476] <Vg-Id 특성>
- [0477] 우선, 드레인 전압을 인가한 상태에서 게이트 전압 Vg를 변동시켰을 때의 드레인 전류 Id의 변화(Vg-Id 특성이라고도 함)를 측정하였다. 또한, 트랜지스터의 채널 길이 L을 0.45μm, 채널 폭 W(SCW)를 1μm로 하였다.
- [0478] 또한, 인가한 드레인 전압 Vd는 0.1V 또는 3V로 하였다. 또한, 각 드레인 전압에서의 기판 면 내에 구석구석 배치된 25군데에서 측정하였다. 다만, 도면에 일부의 이상(異常)점은 나타내지 않은 경우가 있다.
- [0479] 결과는 도 47에 나타내었다. 또한, 도 47을 해석함으로써 전계 효과 이동도(μ_{FE}라고도 표기함), subthreshold swing value(S값이라고도 함), 및 시프트값(Shift라고도 표기함)을 도출하였다. 또한, 전계 효과 이동도 및 subthreshold swing value는 드레인 전압 Vd가 0.1V인 Vg-Id 특성으로부터 도출하였다. 또한, 시프트값은 드레인 전압 Vd가 3V인 Vg-Id 특성으로부터 도출하였다.
- [0480] 또한, 시프트값은, Vg-Id 특성에 있어서, 최대 기울기를 갖는 접선을 외삽하였을 때의 직선과, 드레인 전류 Id가 1×10⁻¹²A를 나타내는 직선의 교점에서의 게이트 전압 Vg로서 산출하였다.
- [0481] 도 48은 <134>의 성막 시의 산소 가스 비율과 상기 전기 특성의 관계성을 나타낸 도면이다. 또한, 도 48에 나타낸 플롯을 연결한 선은 각 중앙값을 연결한 선이다.
- [0482] 도 48을 보면 알다시피, <134>의 성막 시의 산소 가스 비율이 낮을수록 전계 효과 이동도가 높게 되는 것을 알았다. 또한, 성막 시의 산소 가스 비율이 낮을수록 subthreshold swing value가 작게 되는 것을 알았다. 또한, 성막 시의 산소 가스 비율이 낮을수록 시프트값이 작게 되지만 노멀리 오프 특성을 유지하는 것을 알았다.
- [0483] 본 실시예에서는 <134>의 성막 시의 산소 가스 비율이 11%로 가장 낮은 트랜지스터에 있어서 양호한 전기 특성을 구현하는 것을 알았다. 실시예 1에서 설명한 바와 같이, <134>는 성막 시의 산소 가스 비율이 낮을수록 평탄성이 향상되는 것을 알았다. 따라서, 도 4의 (B)에 도시된 모델과 같이, 물리적인 요철이 작게 됨에 따라 전기 특성이 향상되었을 가능성이 있다. 또한, 성막 시의 산소 가스 비율이 낮은 <134>는 비교적 산소 투과성이 높은 성질을 갖기 때문에, 산소 가스 비율이 높은 조건보다 <111> 내의 산소 결손을 저감할 수 있는 것으로 추측된다. 즉, 산소 결손에 기인한 결함 준위 밀도가 저감됨으로써 전기 특성이 향상되었을 가능성이 있다.
- [0484] <신뢰성>

- [0485] 다음에 트랜지스터의 신뢰성을 평가하였다. 신뢰성 평가는 게이트 BT 스트레스 시험에 의하여 수행하였다.
- [0486] 포지티브 게이트 BT 스트레스 시험(+GBT)의 측정 방법에 대하여 설명하기로 한다. 포지티브 게이트 BT 스트레스 시험의 대상이 되는 트랜지스터의 초기(스트레스 인가 전)의 전기 특성을 측정하기 위하여, 기판 온도를 40℃로 하고, 드레인 전압 V_d 를 0.1V 또는 3V로 하고, 게이트 전압을 -3V로부터 +3V까지 변화시켰을 때의 드레인 전류 I_d 의 변화 특성, 즉 V_g - I_d 특성을 측정하였다.
- [0487] 다음에, 기판 온도를 150℃까지 상승시킨 후, 트랜지스터의 드레인 전압 V_d 를 0V로 하였다. 다음에 절연체 (412)에 상당하는 절연체에 인가되는 전계의 강도가 1.65MV/cm가 되도록 게이트 전압 3.3V를 인가하고 3600초 유지하였다.
- [0488] 또한, 네거티브 게이트 BT 스트레스 시험(-GBT)에서는 게이트 전압 -3.3V를 인가하였다.
- [0489] 각 시료의 게이트 BT 스트레스 시험 전후의 V_g - I_d 특성을 도 49 및 도 50에 나타내었다. 도 49는 채널 길이 L 이 0.45 μm , 채널 폭 W (SCW)가 1 μm 인 트랜지스터, 도 50은 채널 길이 L 이 0.45 μm , 채널 폭 W (SCW)가 10 μm 인 트랜지스터의 게이트 BT 스트레스 시험 결과를 나타내었다. 또한, 도 49 및 도 50에서, 실선은 게이트 BT 스트레스 시험 전(GBT 전)의 전기 특성을 나타내고, 파선은 게이트 BT 스트레스 시험 후(GBT 후)의 전기 특성을 나타낸다. 또한, 도 49 및 도 50에서, 윗단에 포지티브 게이트 BT 스트레스 시험 전후의 V_g - I_d 특성을 나타내고, 아랫단에 네거티브 게이트 BT 스트레스 시험 전후의 V_g - I_d 특성을 나타낸다.
- [0490] 도 49 및 도 50으로부터 얻어진 게이트 BT 스트레스 시험 전후의 문턱 전압의 변화(ΔV_{th}) 및 시프트값의 변화(ΔShift)를 표 3에 나타낸다. 또한, 문턱 전압(V_{th})이란, 채널이 형성되었을 때의 게이트 전압(소스와 게이트 사이의 전압)을 말한다. 문턱 전압(V_{th})은, 게이트 전압 V_g 를 가로축으로 하고, 드레인 전류 I_d 의 제곱근을 세로축으로 하여, 데이터를 플롯함으로써 작성한 곡선(V_g - $\sqrt{I_d}$ 특성)에서, 최대 기울기를 갖는 접선을 외삽하였을 때의 직선과 드레인 전류 I_d 의 제곱근 0(I_d 가 0A)의 교점에서의 게이트 전압 V_g 이다.

표 3

W/L	산소 가스	+GBT		-GBT	
	비율	ΔV_{th} [V]	ΔShift [V]	ΔV_{th} [V]	ΔShift [V]
W 1 μm L 0.45 μm	11%	0.49	0.46	0.12	0.13
	33%	0.45	0.47	0.12	0.08
	50%	0.51	0.56	0.17	0.13
	100%	0.49	0.47	0.17	0.08
W 10 μm L 0.45 μm	11%	0.16	0.17	-0.01	-0.01
	33%	0.20	0.19	0.01	-0.01
	50%	0.20	0.21	-0.06	-0.04
	100%	0.21	0.22	-0.06	-0.03

- [0491]
- [0492] 표 3에 나타낸 게이트 BT 스트레스 시험의 결과를 도 51에도 나타내었다. 표 3 및 도 51을 보면 알다시피, <134>의 성막 시의 산소 가스 비율이 낮을수록 신뢰성도 높게 되는 경향을 갖는 경우가 있는 것을 알았다.
- [0493] <134>의 성막 시의 산소 가스 비율을 낮게 함으로써, <111> 및 <111>이 갖는 계면에서의 준위 밀도를 저감할 수 있으므로, 신뢰성이 높게 되었을 가능성이 있다.

부호의 설명

- [0494] 400: 기판
402: 절연체
404: 도전체
406a: 반도체
406b: 반도체

406c: 반도체
408: 절연체
412: 절연체
413: 도전체
416a: 도전체
416b: 도전체
418: 절연체
423a: 저저항 영역
423b: 저저항 영역
424a: 도전체
424b: 도전체
426a: 도전체
426b: 도전체
428: 절연체
500: 기관
502: 절연체
504: 도전체
506a: 반도체
506b: 반도체
506c: 반도체
508: 절연체
512: 절연체
513: 도전체
516a: 도전체
516b: 도전체
518: 절연체
600: 기관
604: 도전체
606a: 반도체
606b: 반도체
606c: 반도체
612: 절연체
613: 도전체
616a: 도전체
616b: 도전체
618: 절연체

620: 절연체
800: RF 태그
801: 통신기
802: 안테나
803: 무선 신호
804: 안테나
805: 정류 회로
806: 정전압 회로
807: 복조 회로
808: 변조 회로
809: 논리 회로
810: 기억 회로
811: ROM
901:하우징
902:하우징
903: 표시부
904: 표시부
905: 마이크로폰
906: 스피커
907: 조작 키
908: 스타일러스
911:하우징
912:하우징
913: 표시부
914: 표시부
915: 접촉부
916: 조작 키
921:하우징
922: 표시부
923: 키보드
924: 포인팅 디바이스
931:하우징
932: 냉장실용 도어
933: 냉동실용 도어
941:하우징
942:하우징

943: 표시부
 944: 조작 키
 945: 렌즈
 946: 접촉부
 951: 차체
 952: 차륜
 953: 대시보드
 954: 라이트
 1189: ROM 인터페이스
 1190: 기관
 1191: ALU
 1192: ALU 컨트롤러
 1193: 인스트럭션 디코더
 1194: 인터럽트 컨트롤러
 1195: 타이밍 컨트롤러
 1196: 레지스터
 1197: 레지스터 컨트롤러
 1198: 버스 인터페이스
 1199: ROM
 1200: 기억 소자
 1201: 회로
 1202: 회로
 1203: 스위치
 1204: 스위치
 1206: 논리 소자
 1207: 용량 소자
 1208: 용량 소자
 1209: 트랜지스터
 1210: 트랜지스터
 1213: 트랜지스터
 1214: 트랜지스터
 1220: 회로
 2100: 트랜지스터
 2200: 트랜지스터
 2201: 절연체
 2202: 도전체

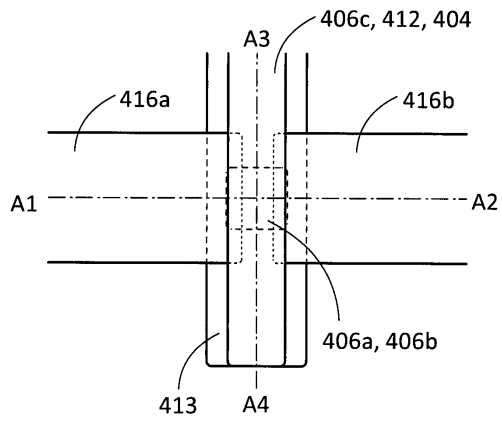
2203: 도전체
 2204: 절연체
 2205: 도전체
 2206: 도전체
 2207: 절연체
 2208: 절연체
 2211: 반도체 기관
 2212: 절연층
 2213: 게이트 전극
 2214: 게이트 절연체
 2215: 소스 영역 및 드레인 영역
 3001: 배선
 3002: 배선
 3003: 배선
 3004: 배선
 3005: 배선
 3200: 트랜지스터
 3300: 트랜지스터
 3400: 용량 소자
 4000: RF 태그
 5000: 기관
 5001: 화소부
 5002: 주사선 구동 회로
 5003: 주사선 구동 회로
 5004: 신호선 구동 회로
 5010: 용량 배선
 5012: 게이트 배선
 5013: 게이트 배선
 5014: 드레인 전극
 5016: 트랜지스터
 5017: 트랜지스터
 5018: 액정 소자
 5019: 액정 소자
 5020: 화소
 5021: 스위칭용 트랜지스터
 5022: 구동용 트랜지스터

5023: 용량 소자
5024: 발광 소자
5025: 신호선
5026: 주사선
5027: 전원선
5028: 공통 전극
5120: 기관
5161: 영역
8000: 표시 모듈
8001: 상부 커버
8002: 하부 커버
8003: FPC
8004: 터치 패널
8005: FPC
8006: 셀
8007: 백 라이트 유닛
8008: 광원
8009: 프레임
8010: 프린트 기관
8011: 배터리

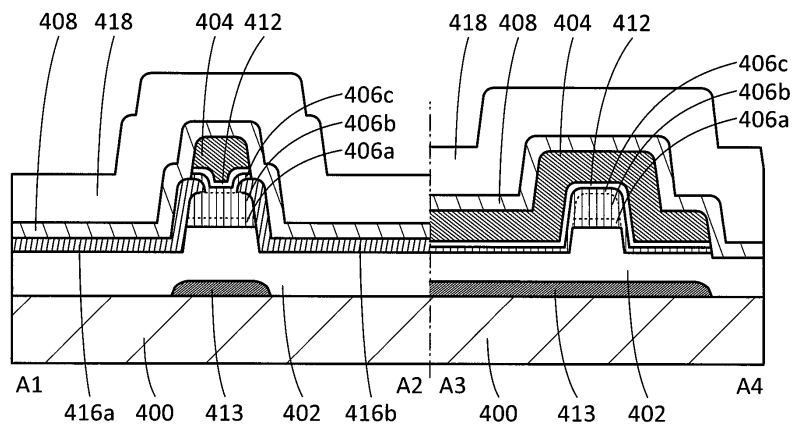
도면

도면1

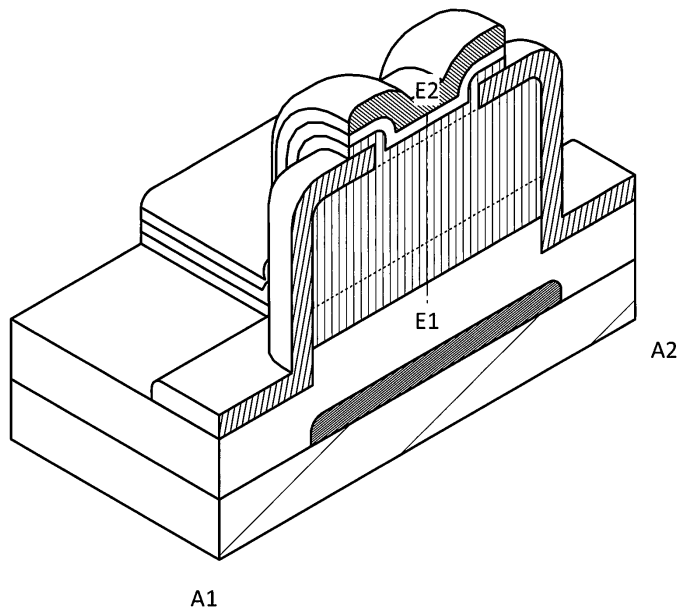
(A)



(B)

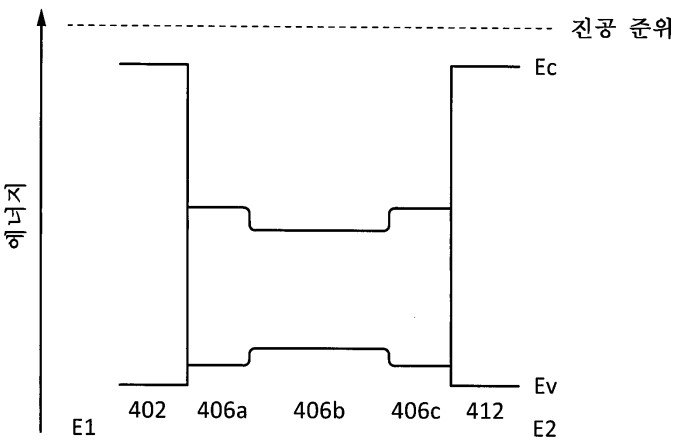


도면2

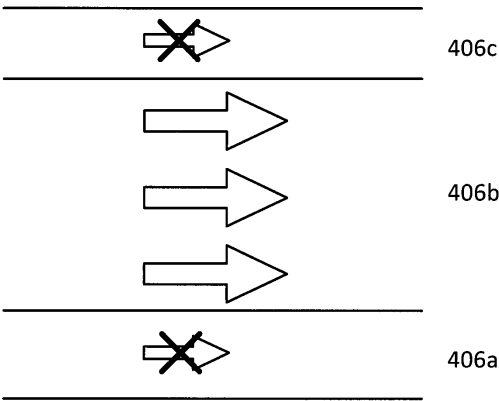


도면3

(A)

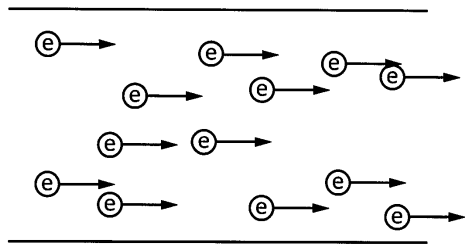


(B)

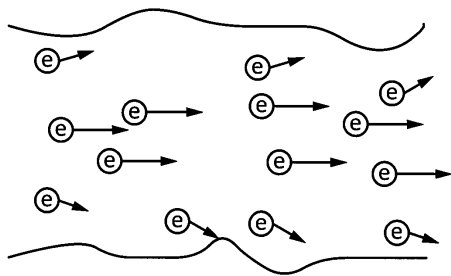


도면4

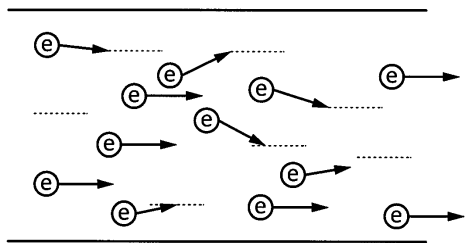
(A)



(B)

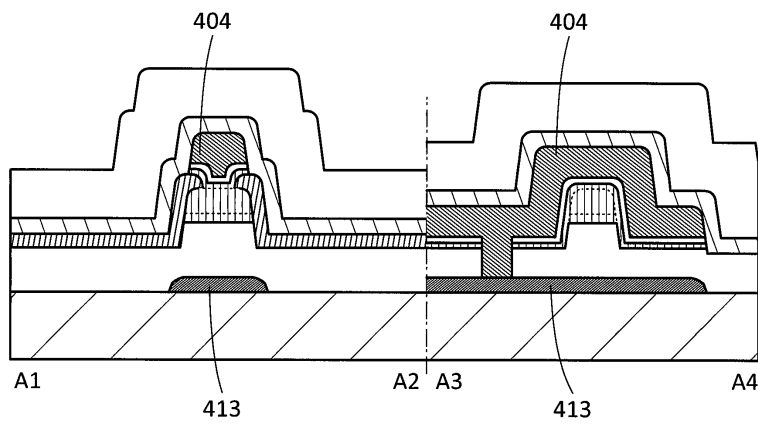


(C)

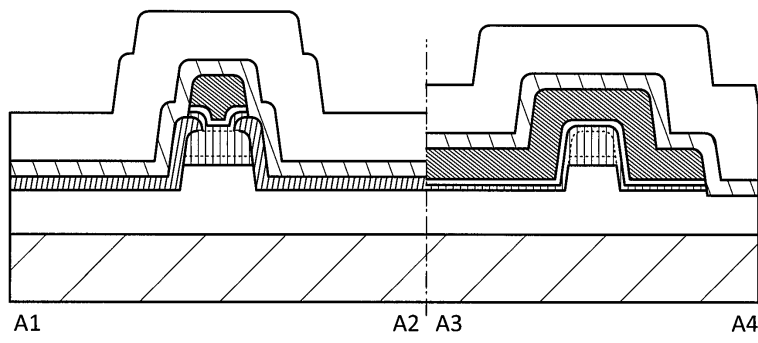


도면5

(A)

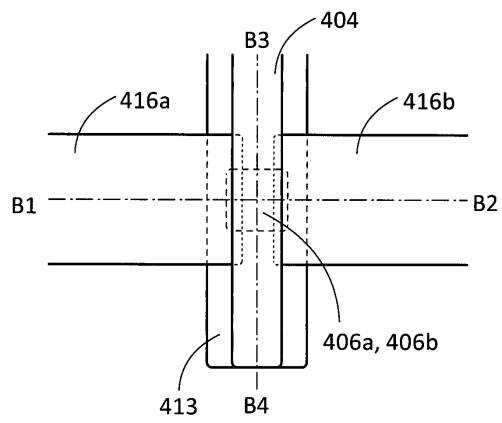


(B)

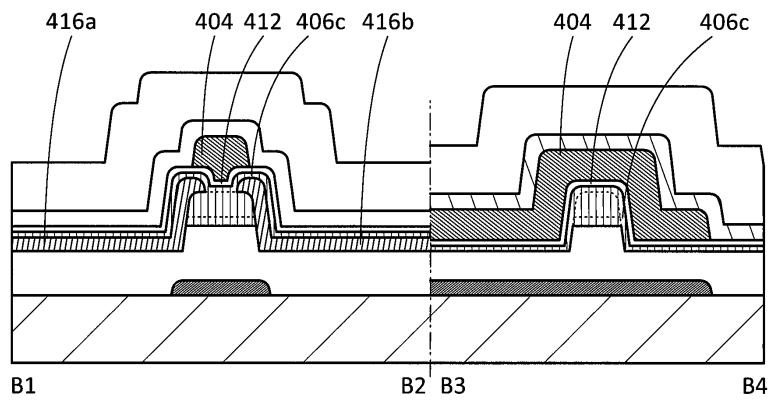


도면6

(A)

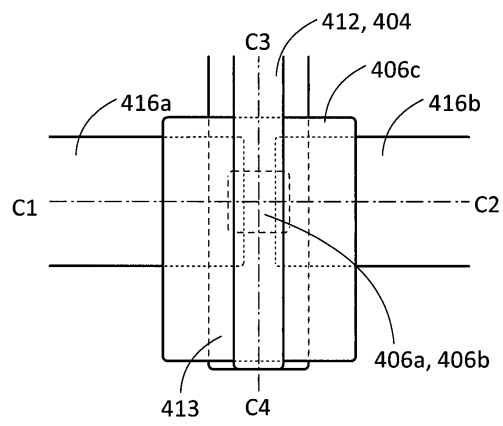


(B)

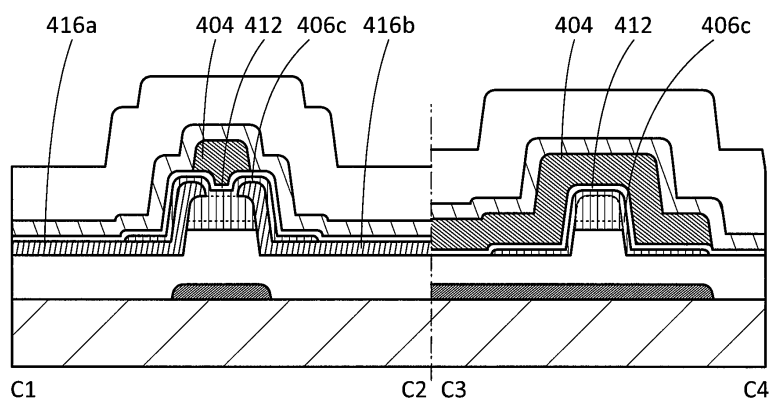


도면7

(A)

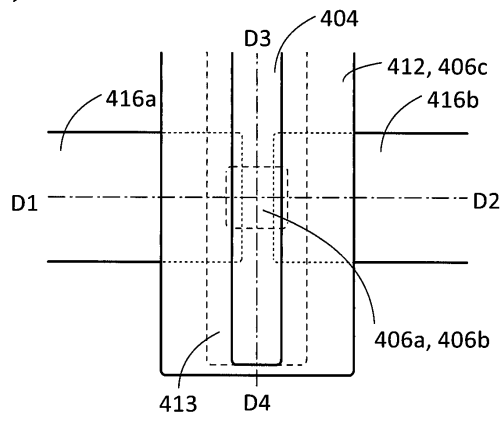


(B)

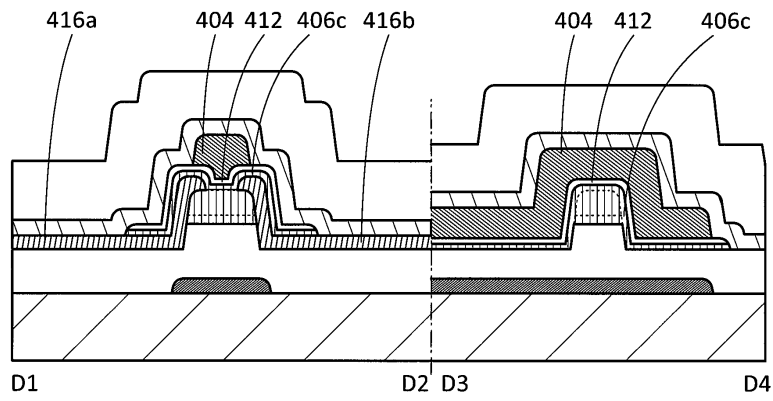


도면8

(A)

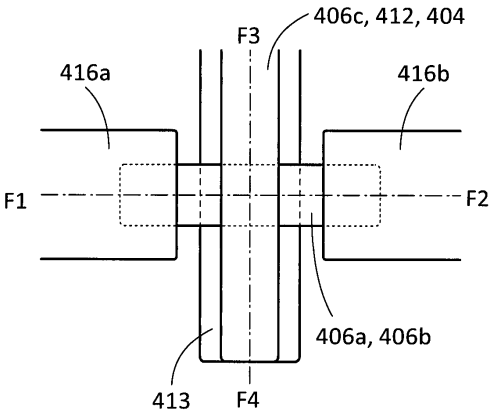


(B)

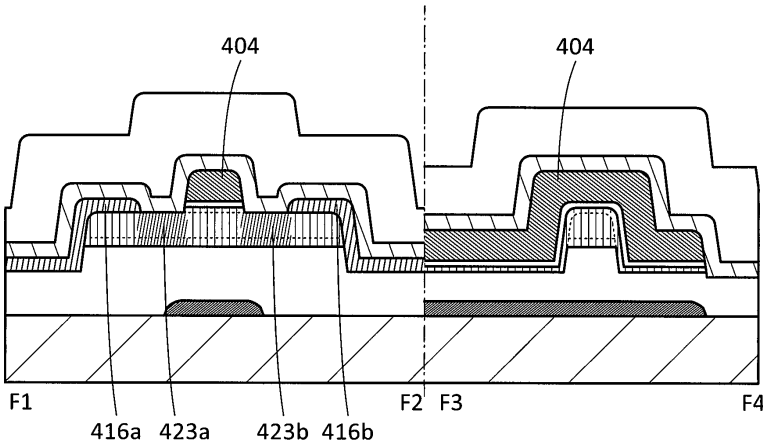


도면9

(A)

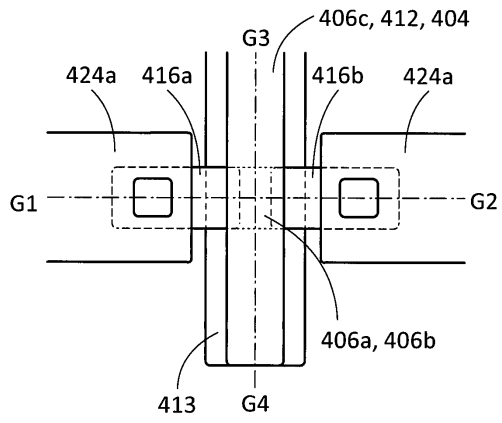


(B)

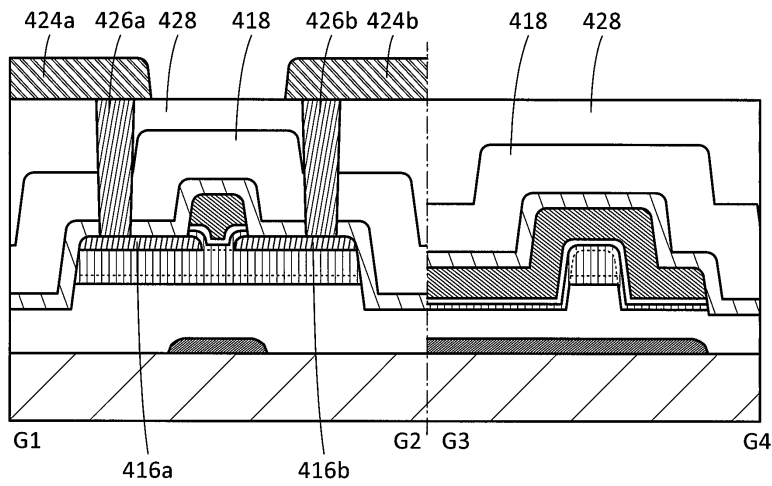


도면10

(A)

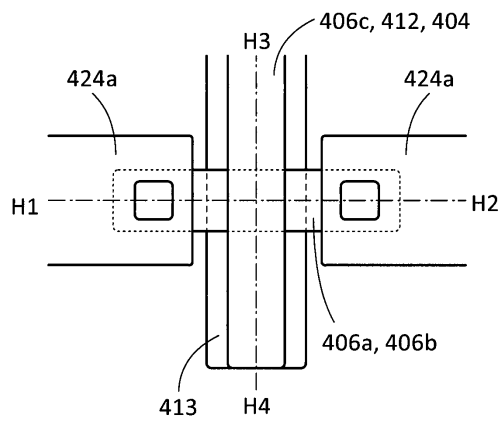


(B)

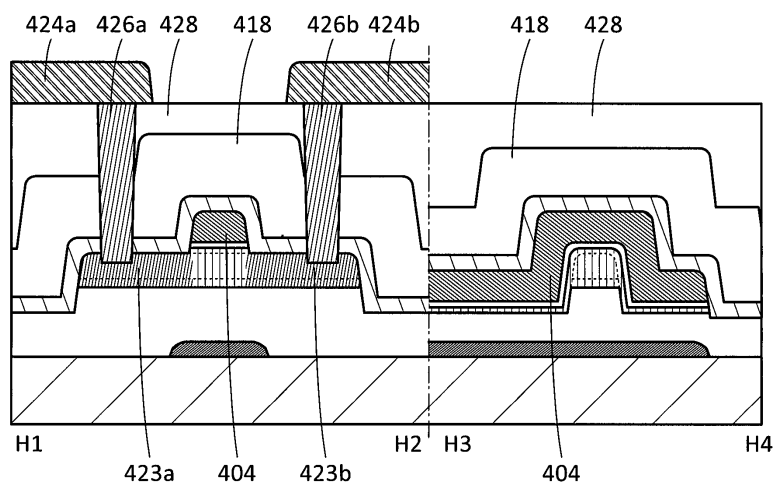


도면11

(A)

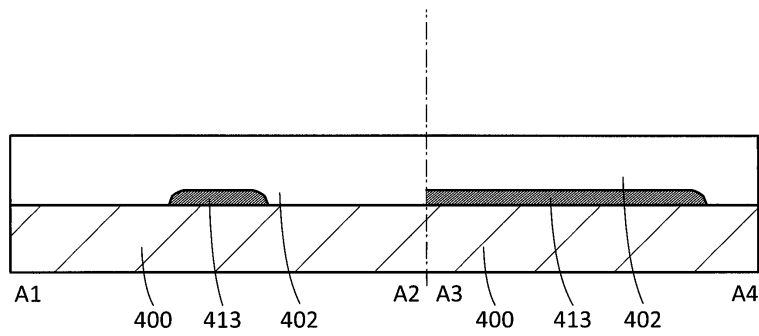


(B)

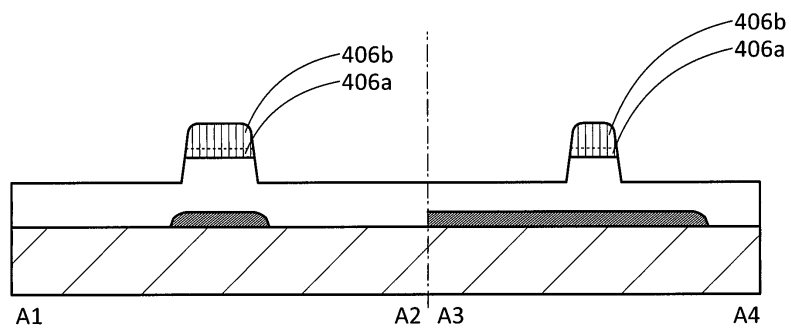


도면12

(A)

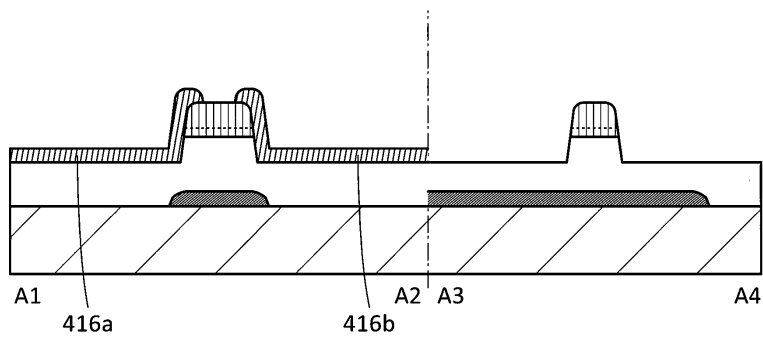


(B)

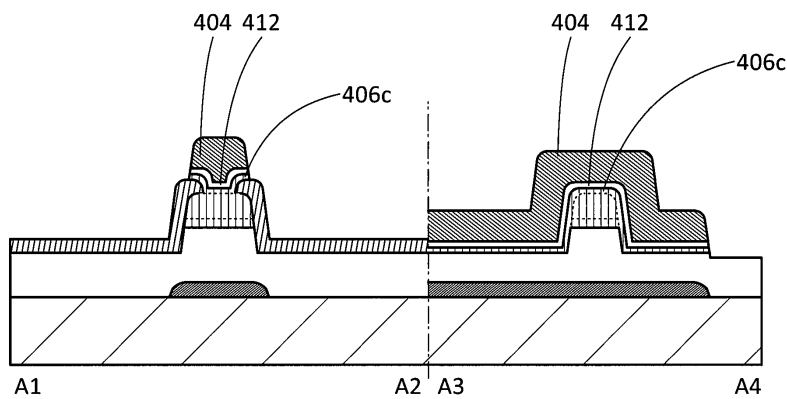


도면13

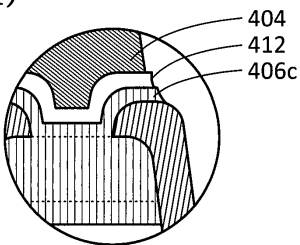
(A)



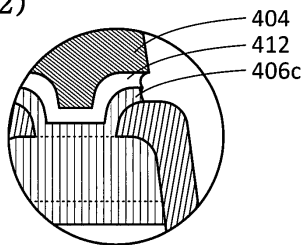
(B)



(C1)

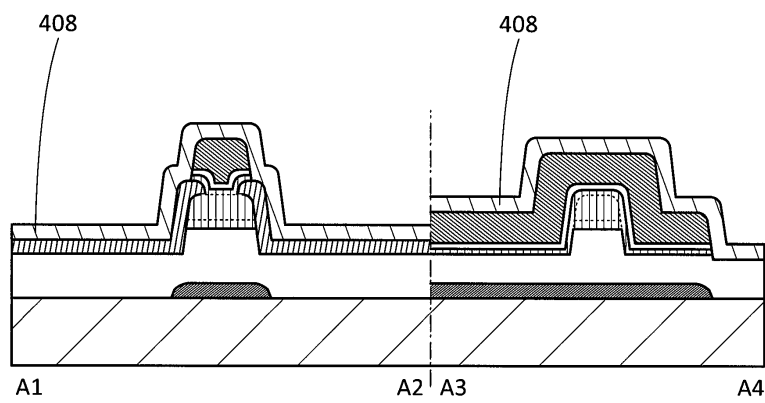


(C2)

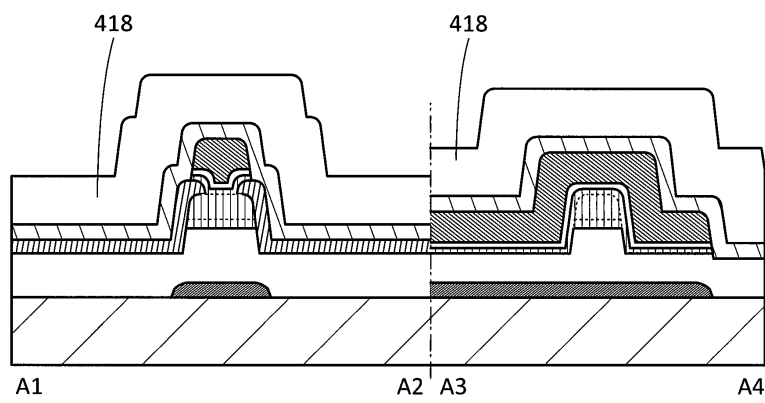


도면14

(A)

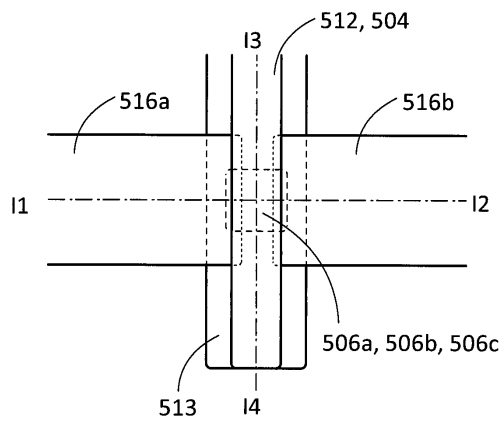


(B)

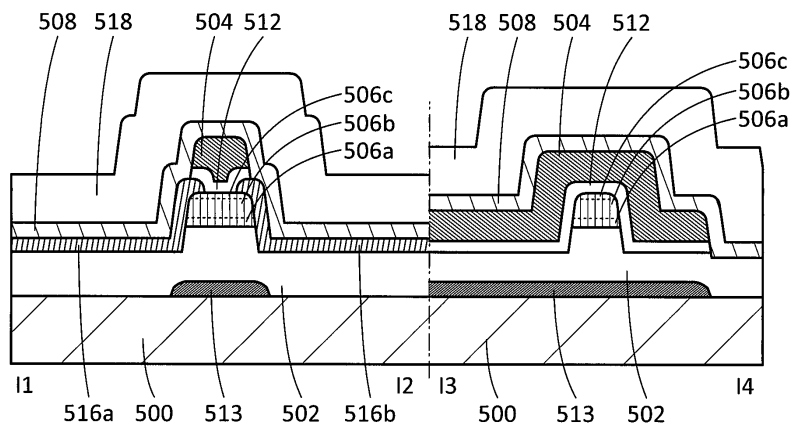


도면15

(A)

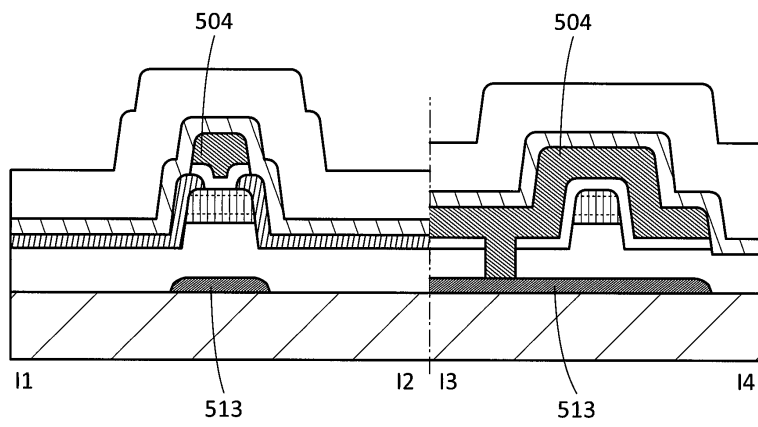


(B)

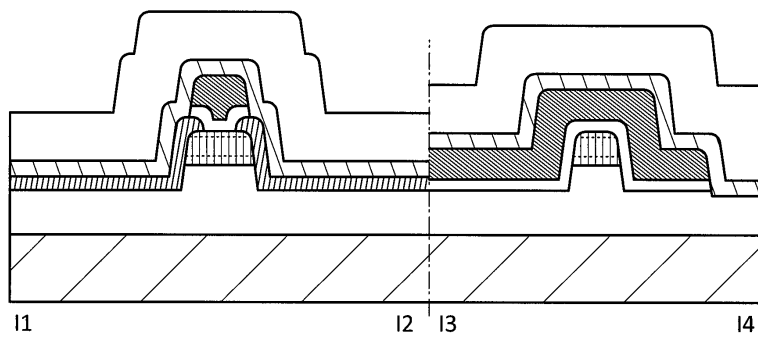


도면16

(A)

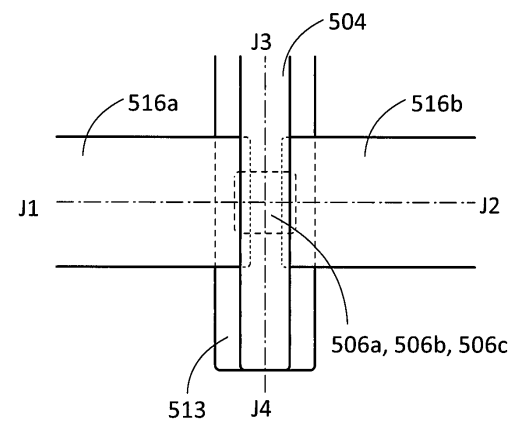


(B)

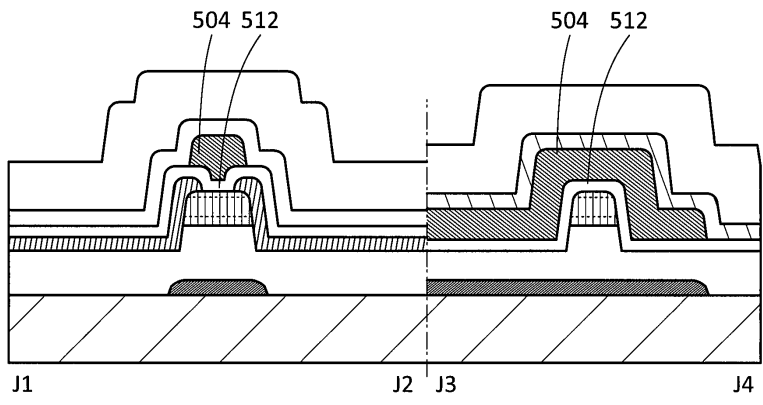


도면17

(A)

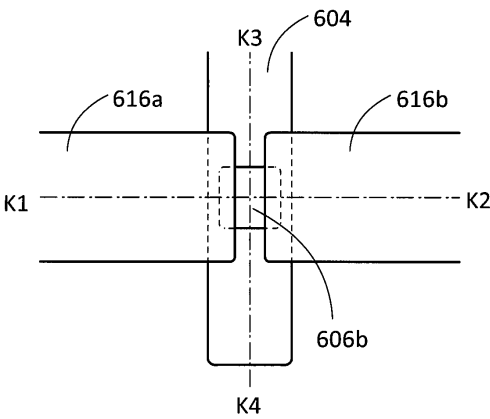


(B)

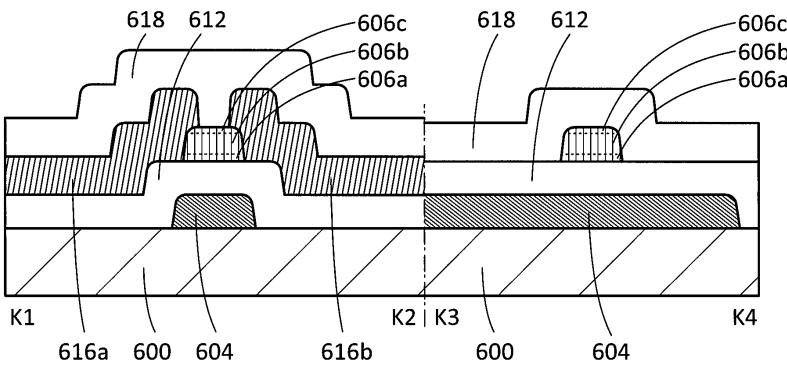


도면18

(A)

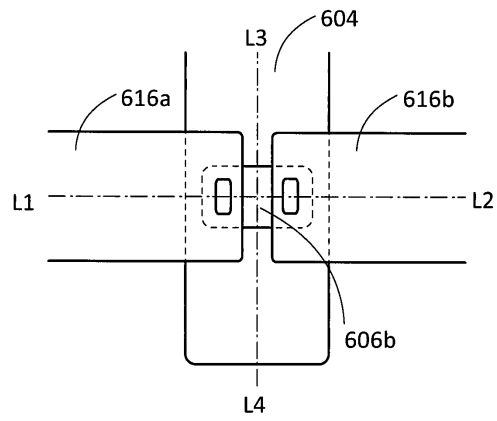


(B)

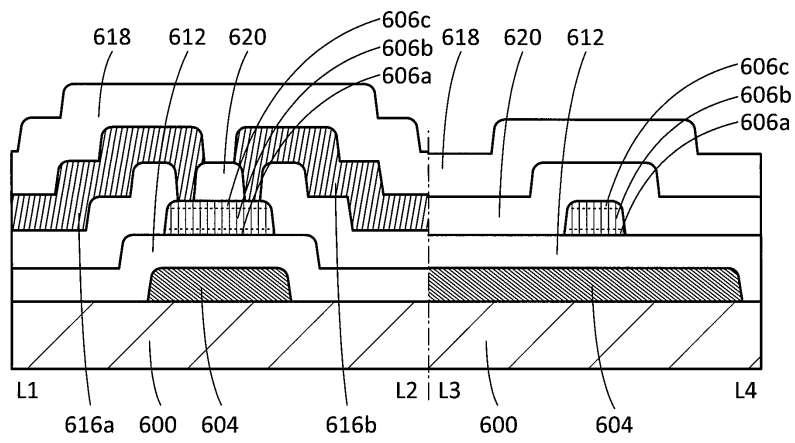


도면19

(A)

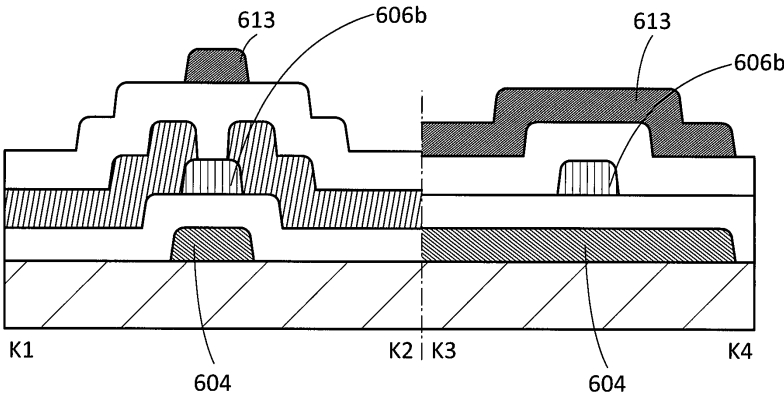


(B)

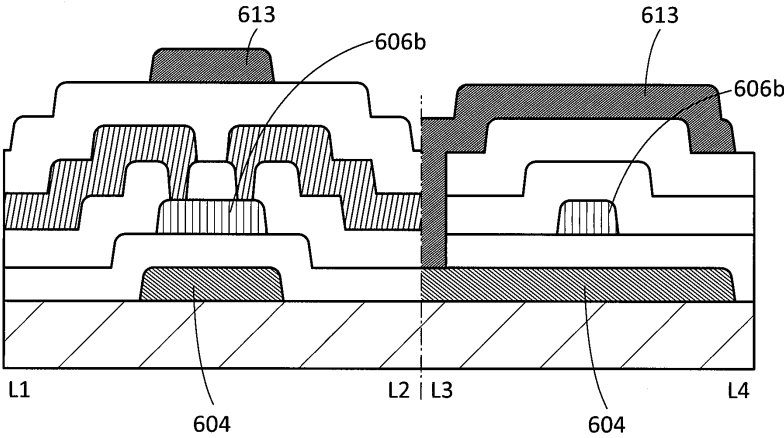


도면20

(A)

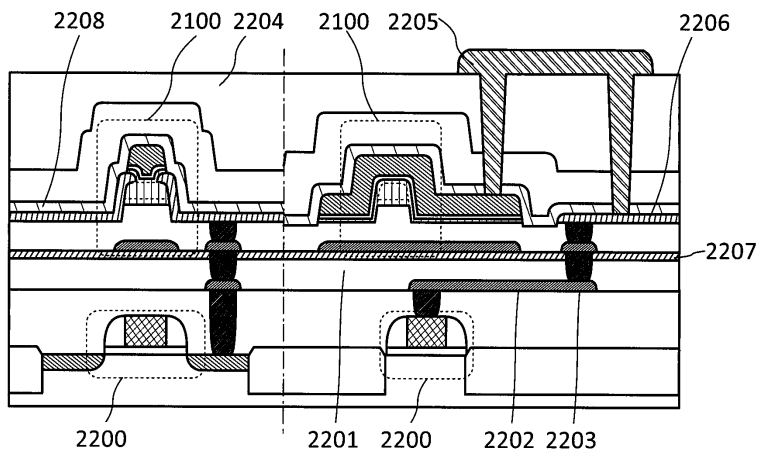


(B)

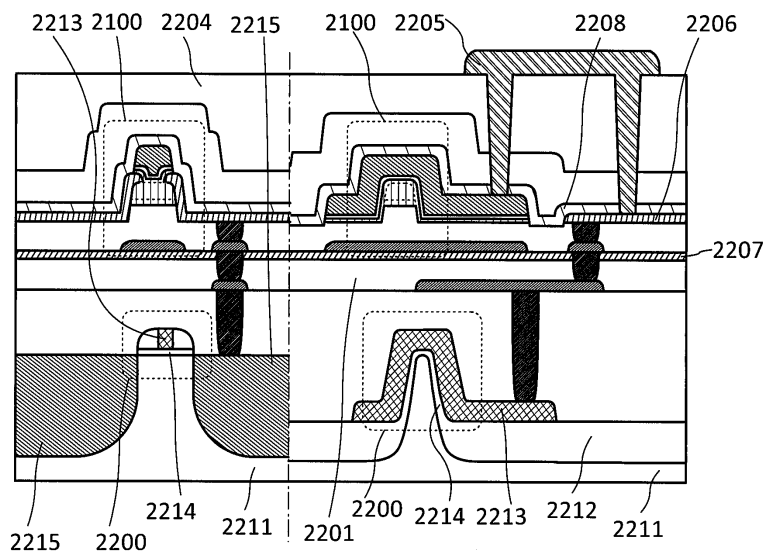


도면21

(A)

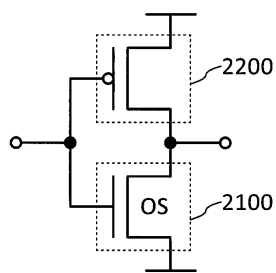


(B)

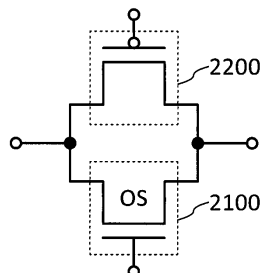


도면22

(A)

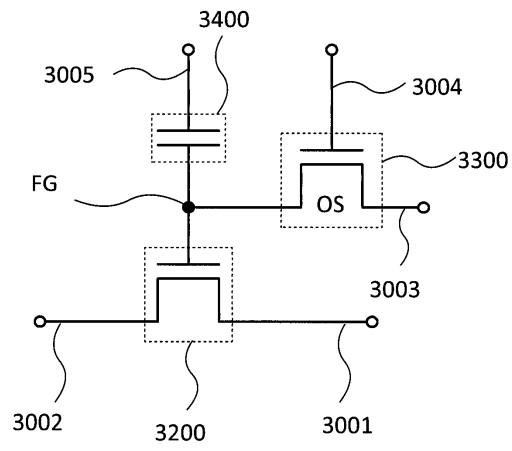


(B)

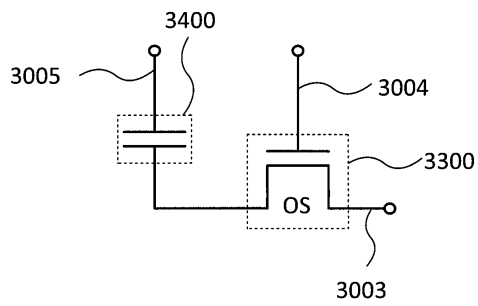


도면23

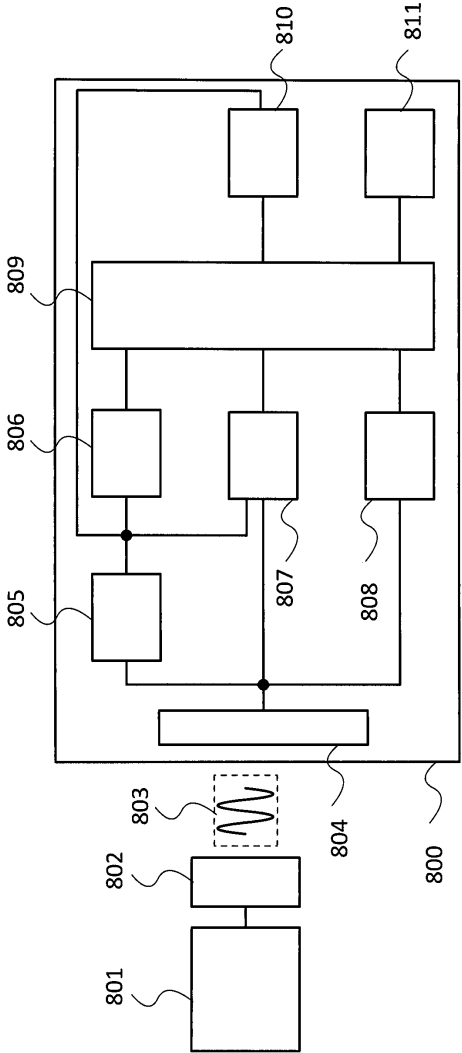
(A)



(B)

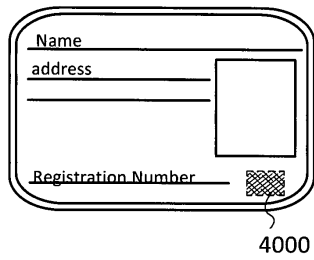


도면24

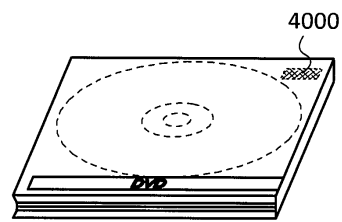


도면25

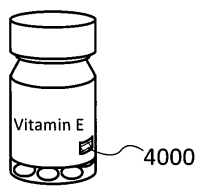
(A)



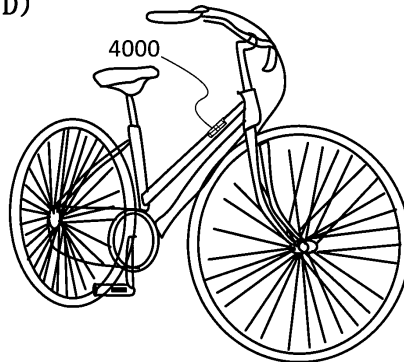
(B)



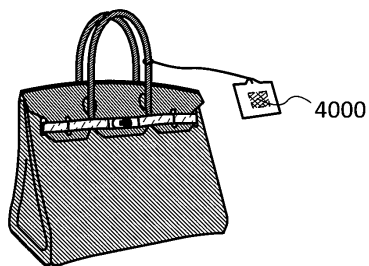
(C)



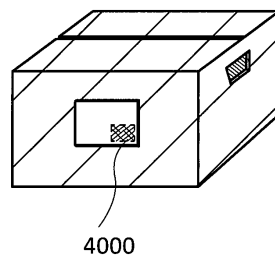
(D)



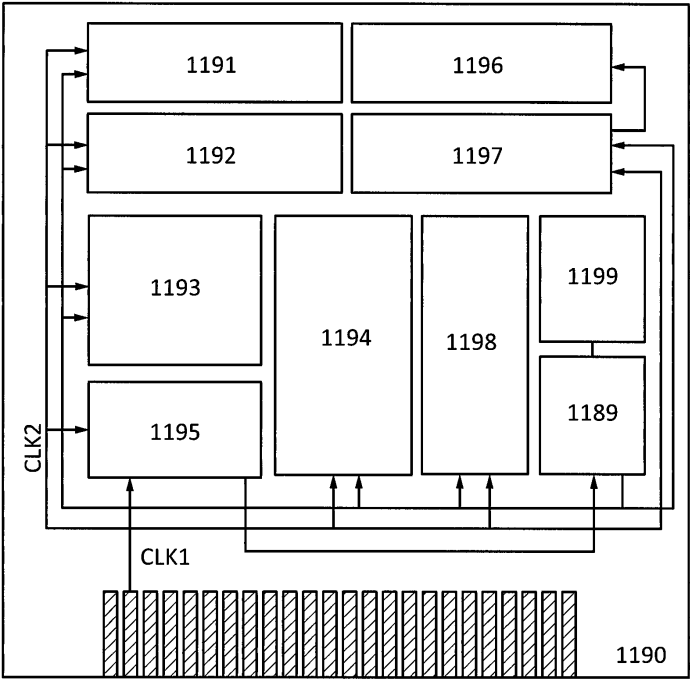
(E)



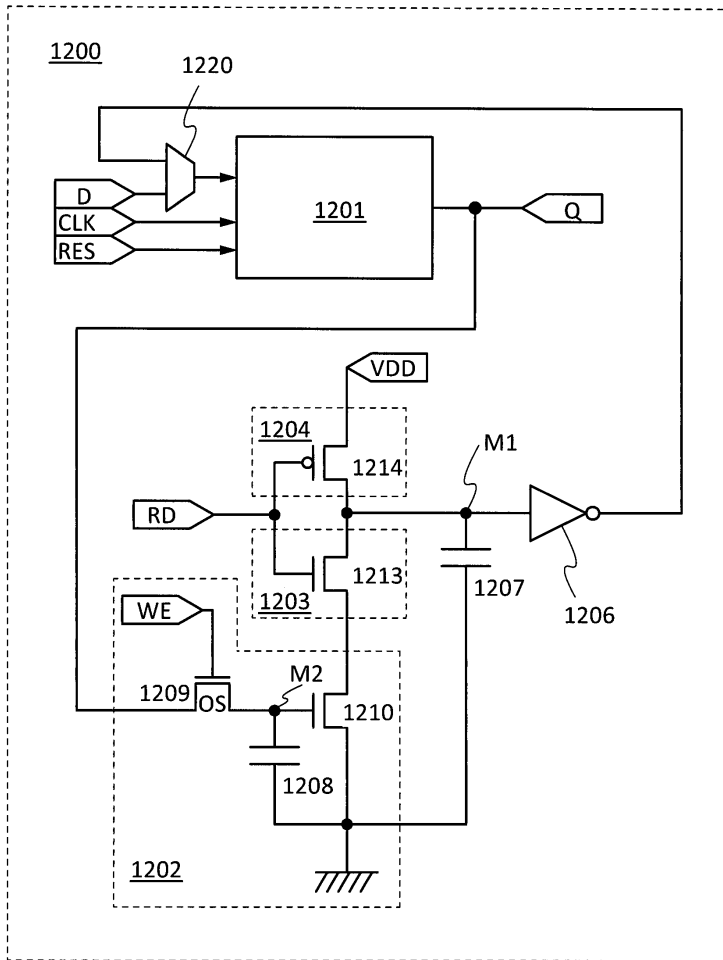
(F)



도면26

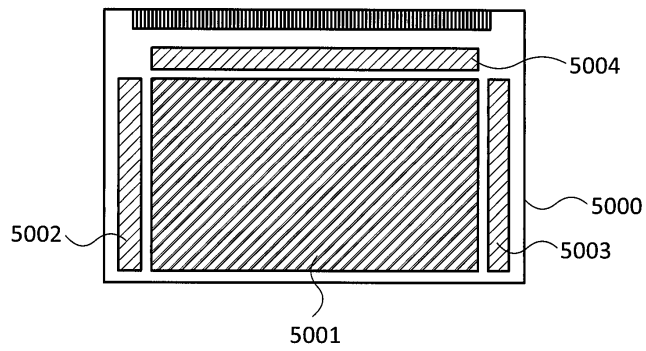


도면27

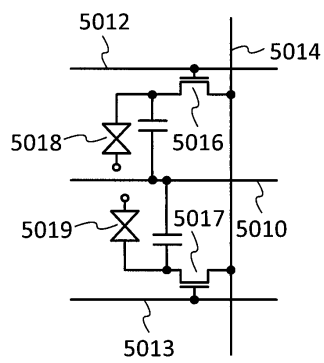


도면28

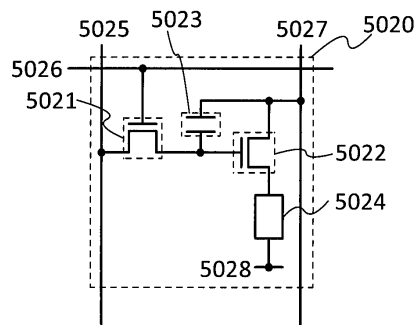
(A)



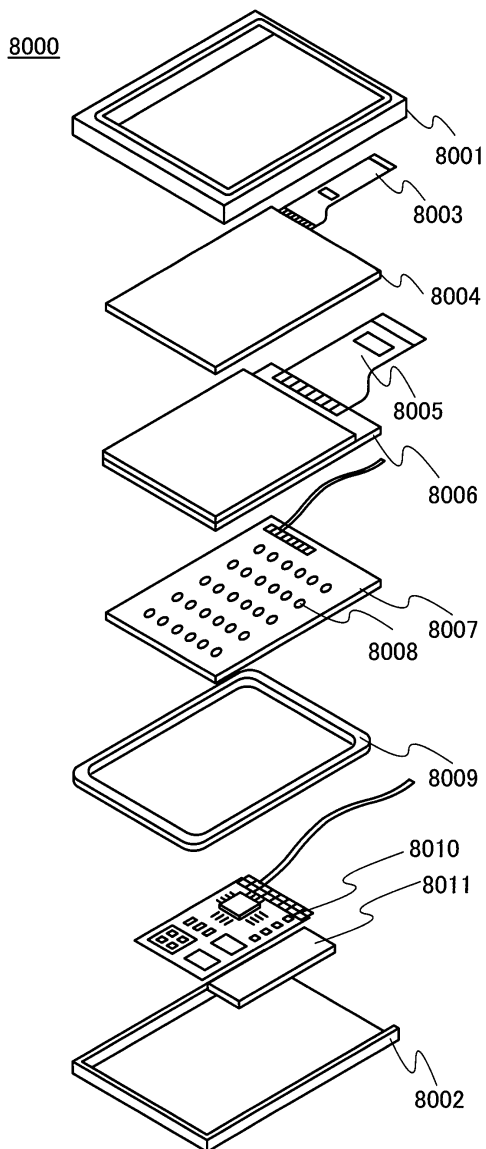
(B)



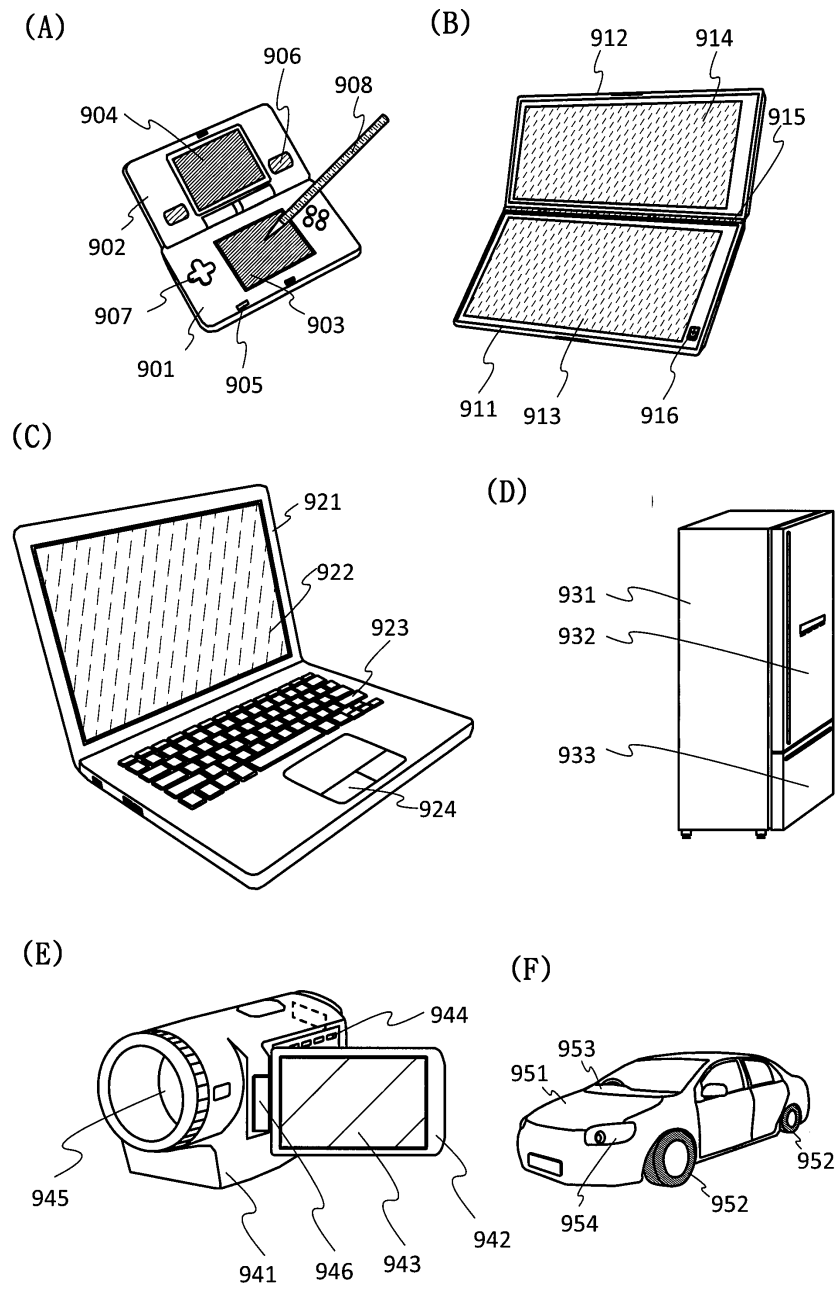
(C)



도면29

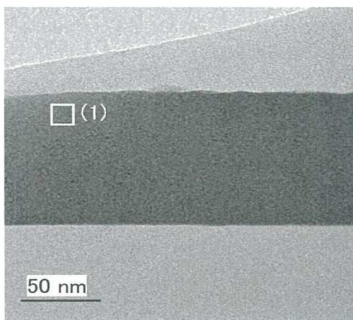


도면30

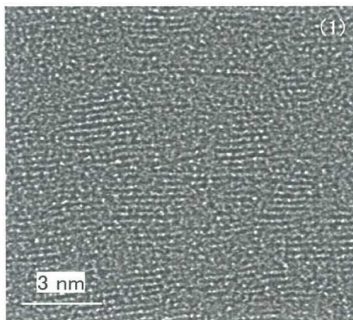


도면31

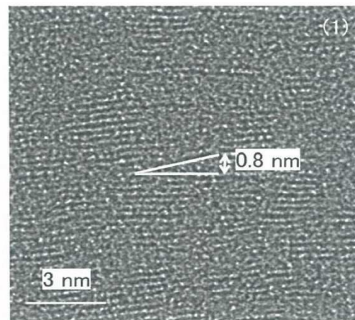
(A)



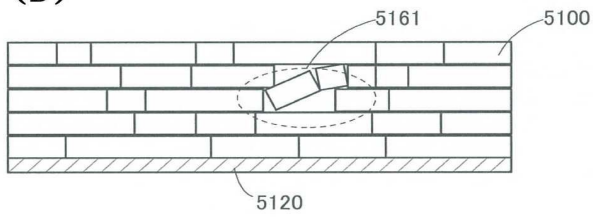
(B)



(C)

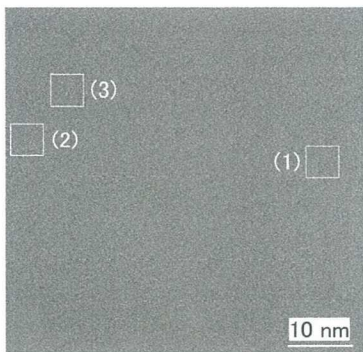


(D)

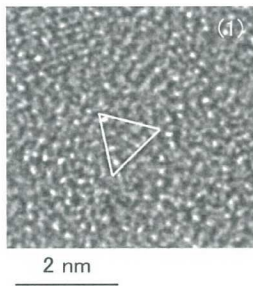


도면32

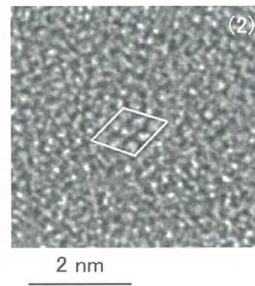
(A)



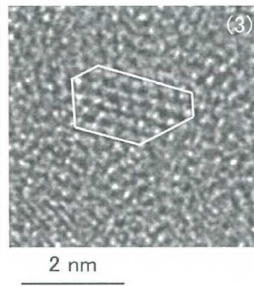
(B)



(C)

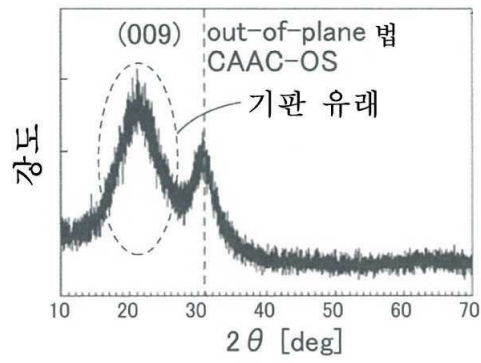


(D)

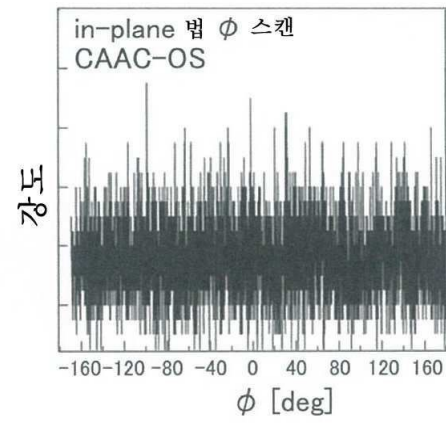


도면33

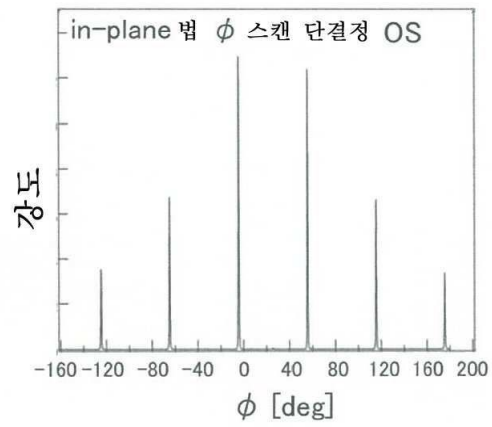
(A)



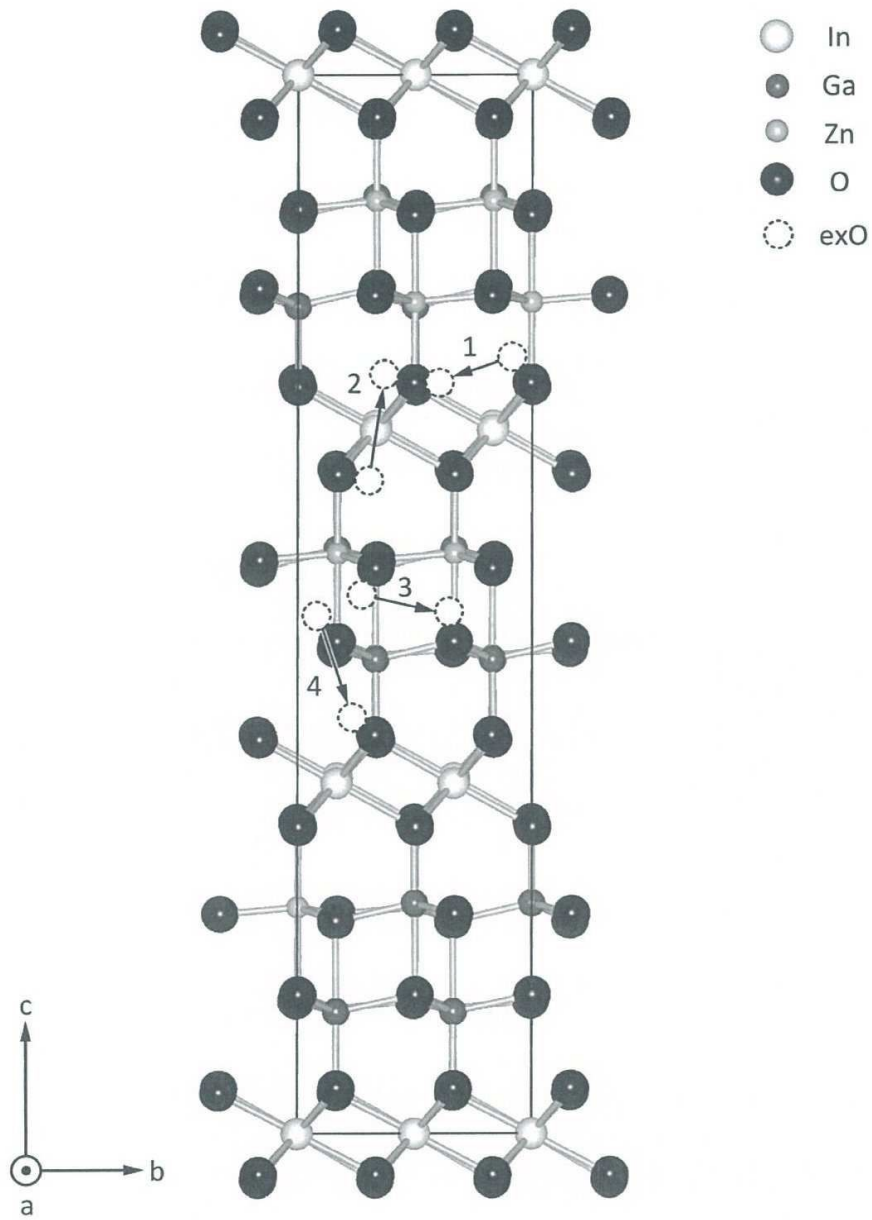
(B)



(C)

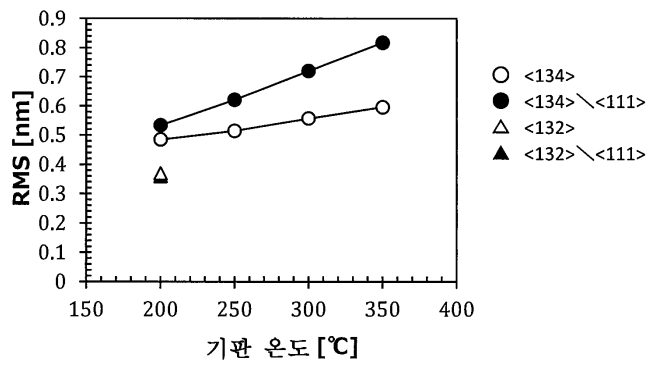


도면34

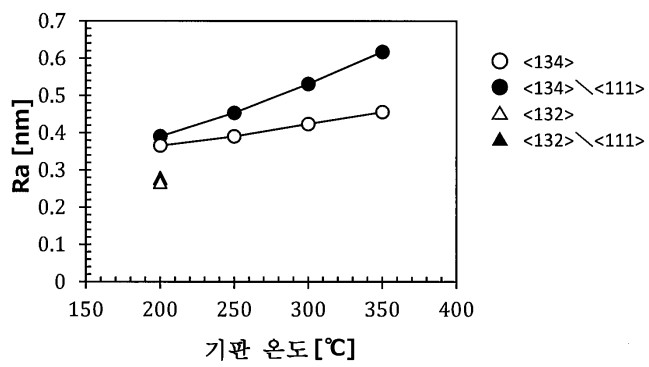


도면35

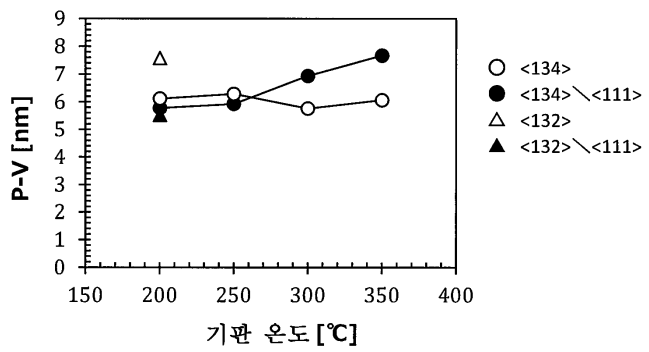
(A)



(B)

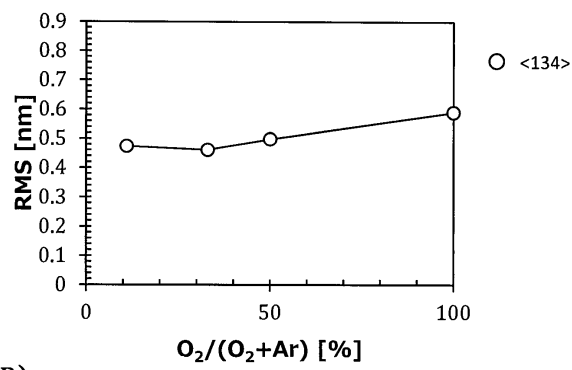


(C)

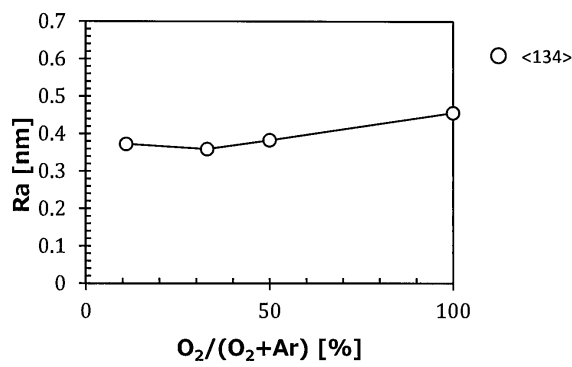


도면36

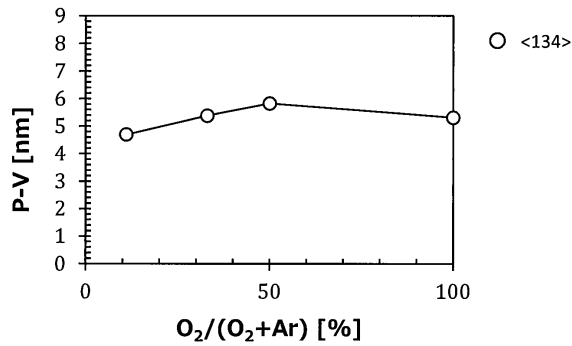
(A)



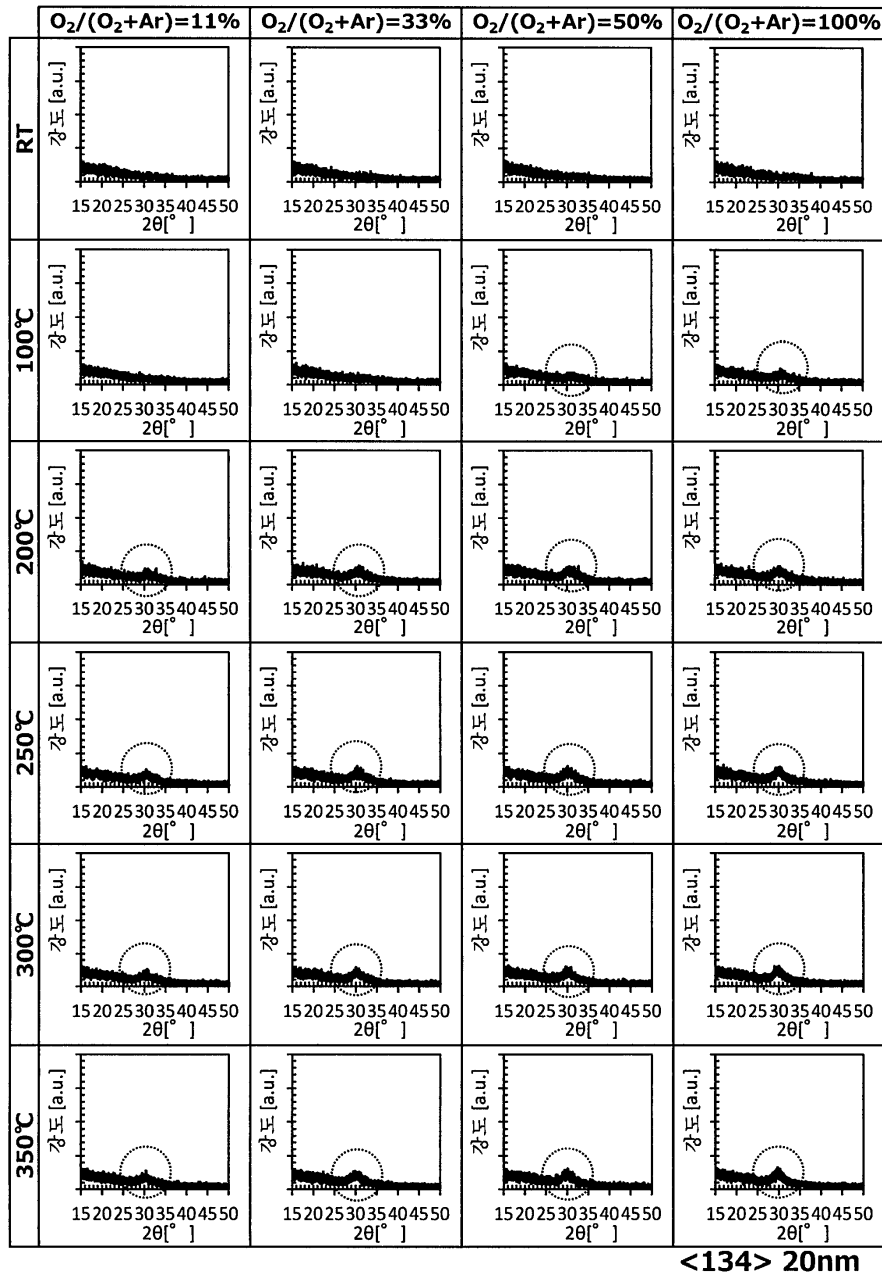
(B)



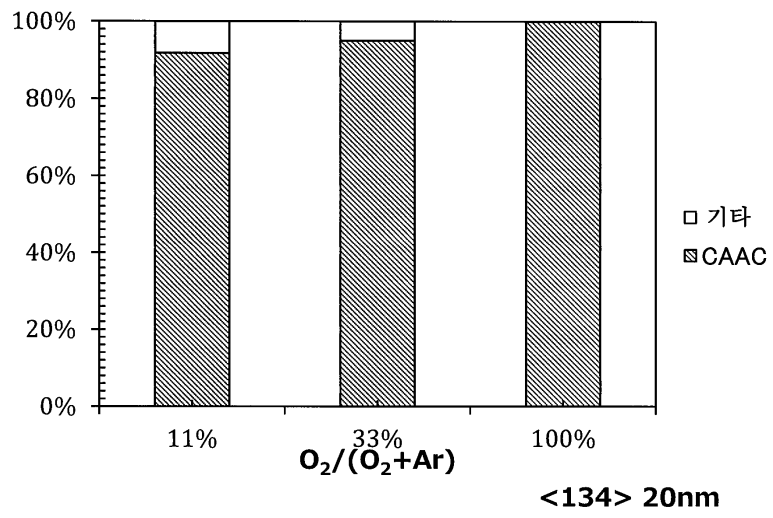
(C)



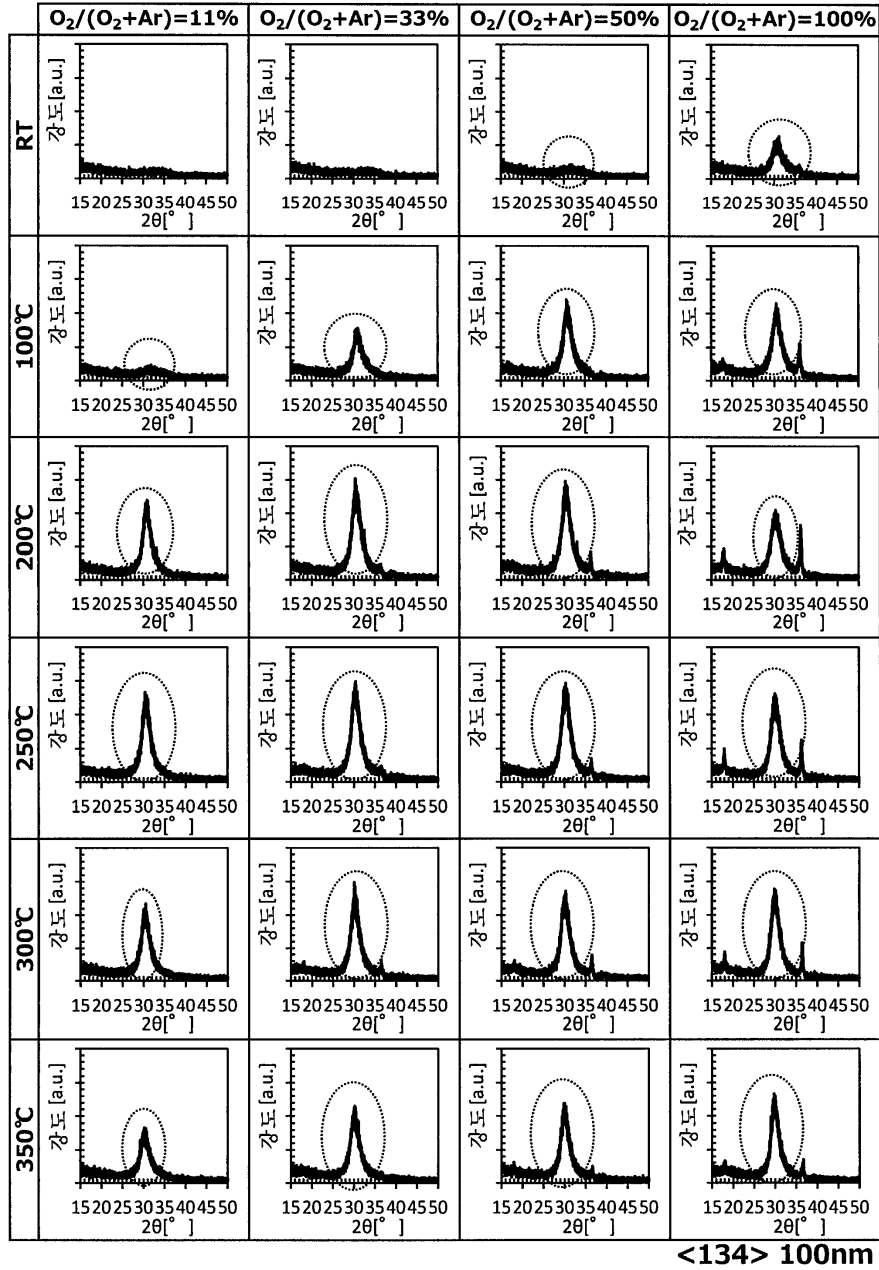
도면37



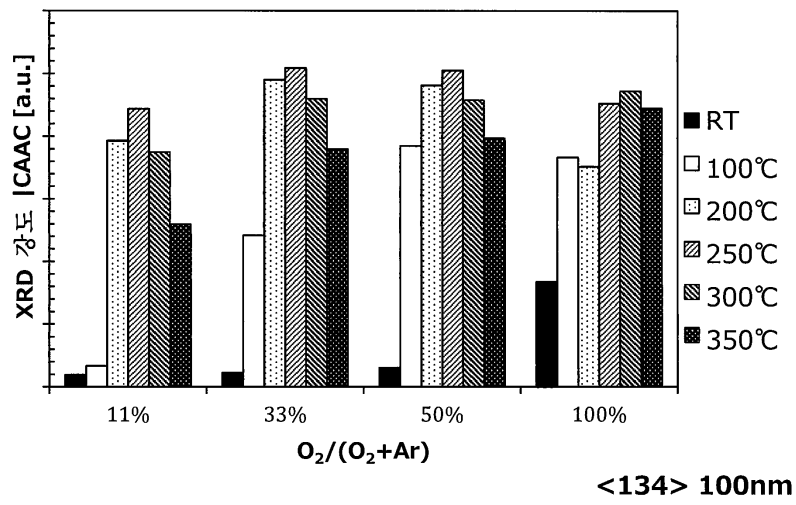
도면38



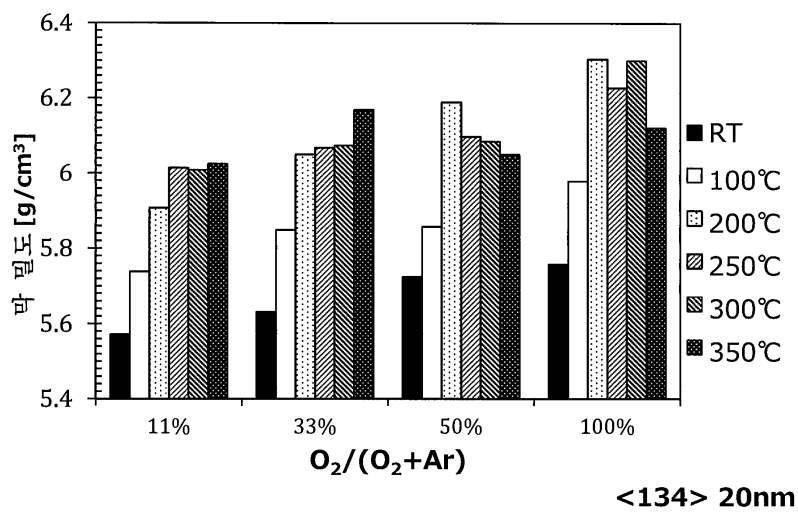
도면39



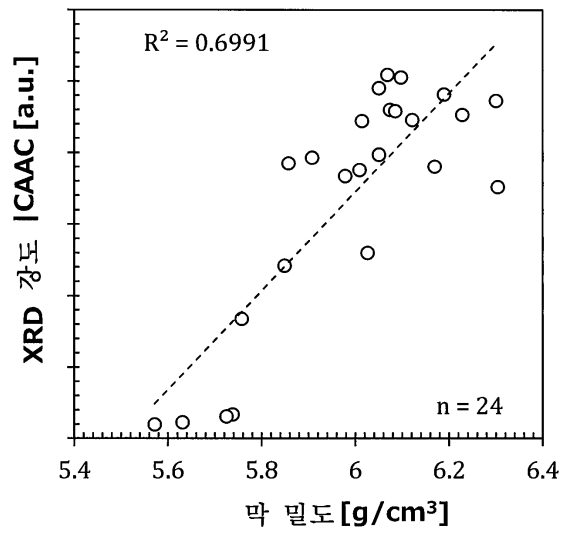
도면40



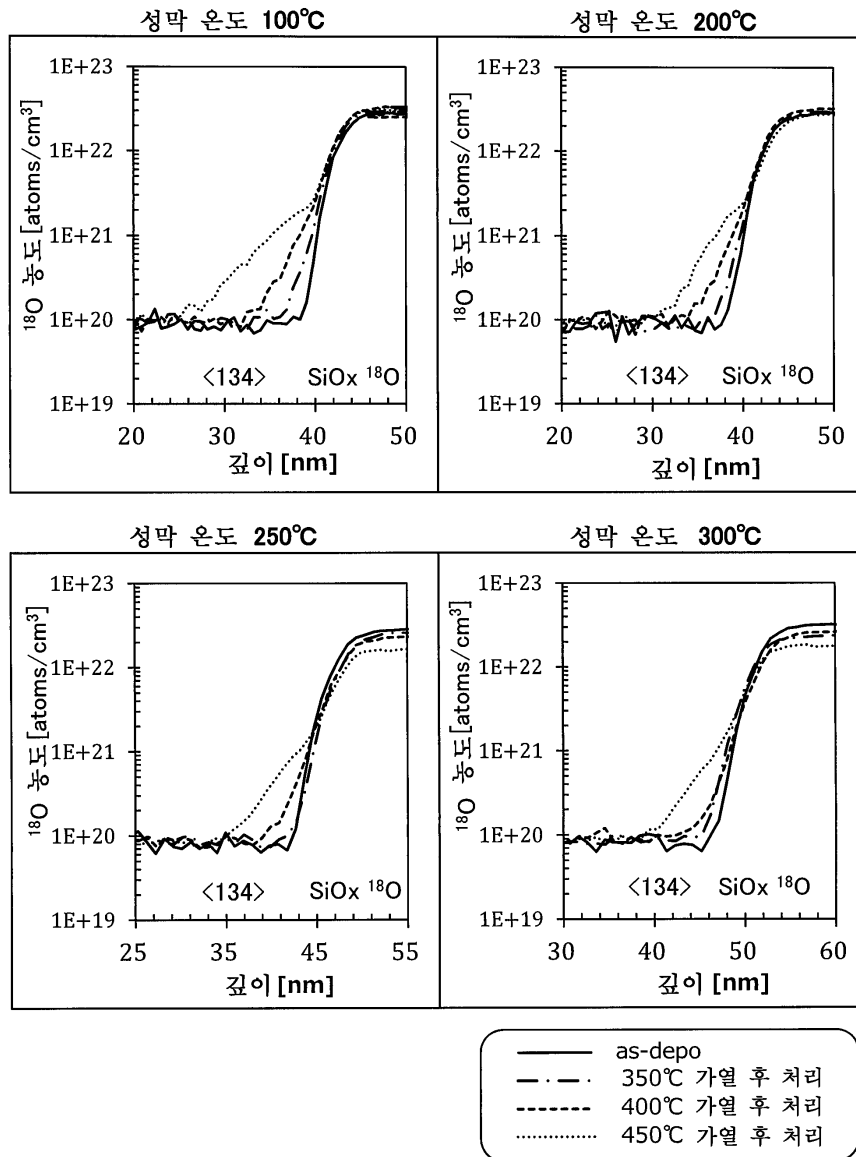
도면41



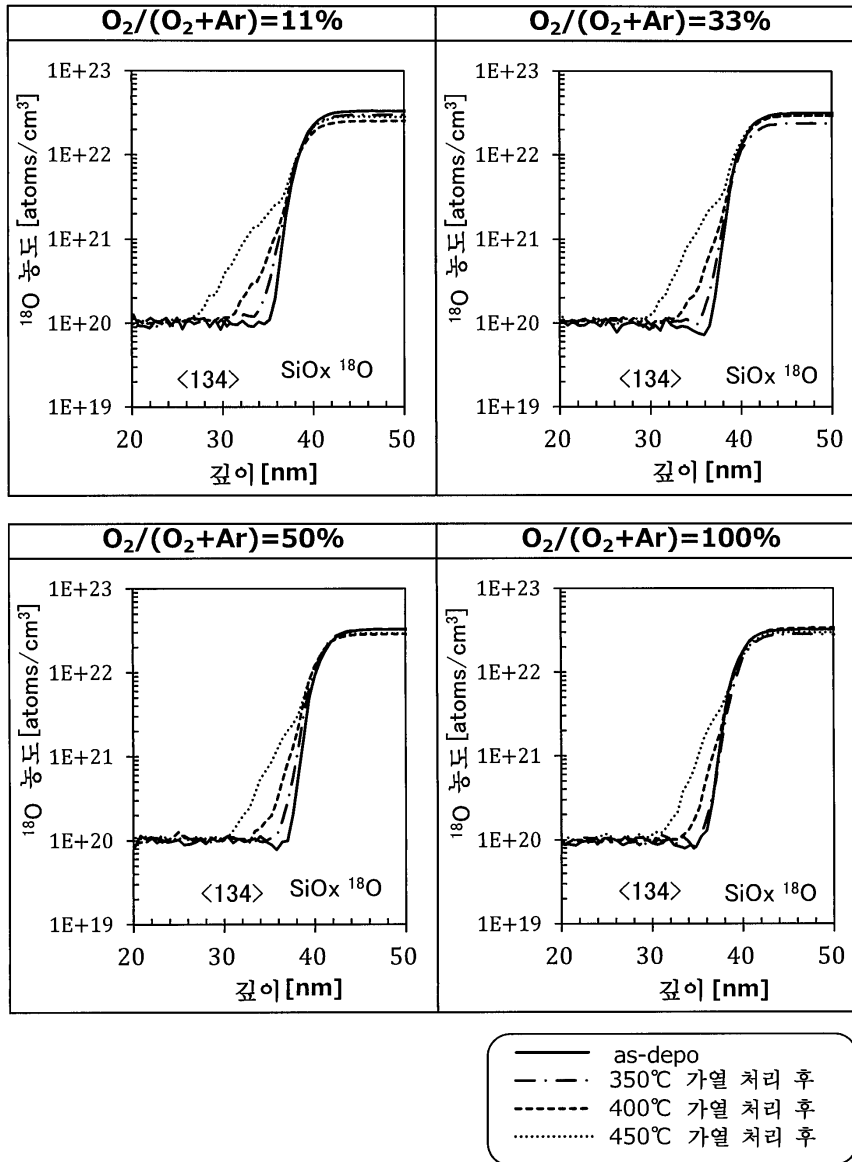
도면42



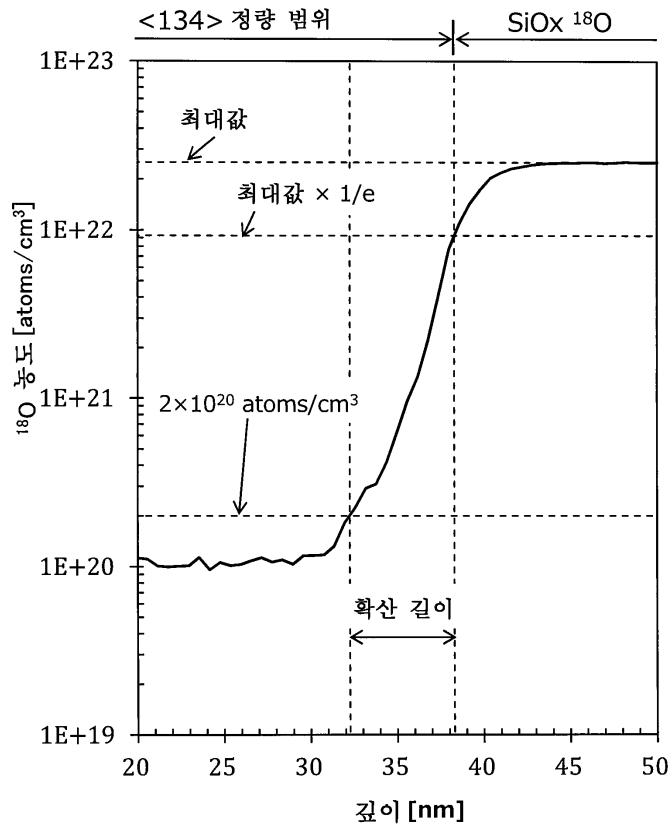
도면43



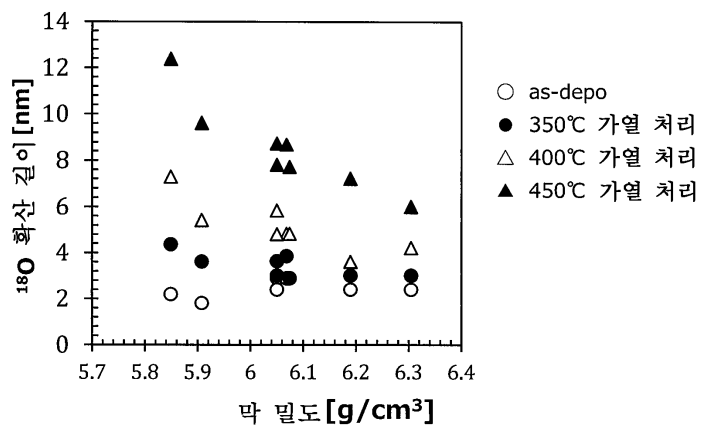
도면44



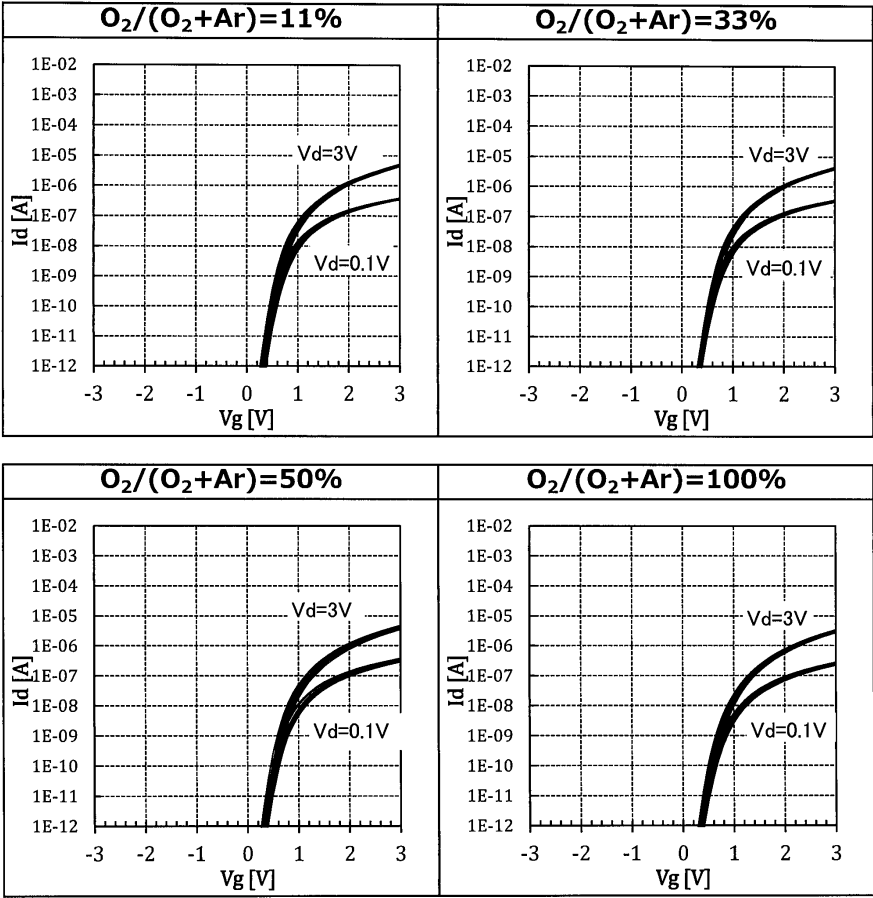
도면45



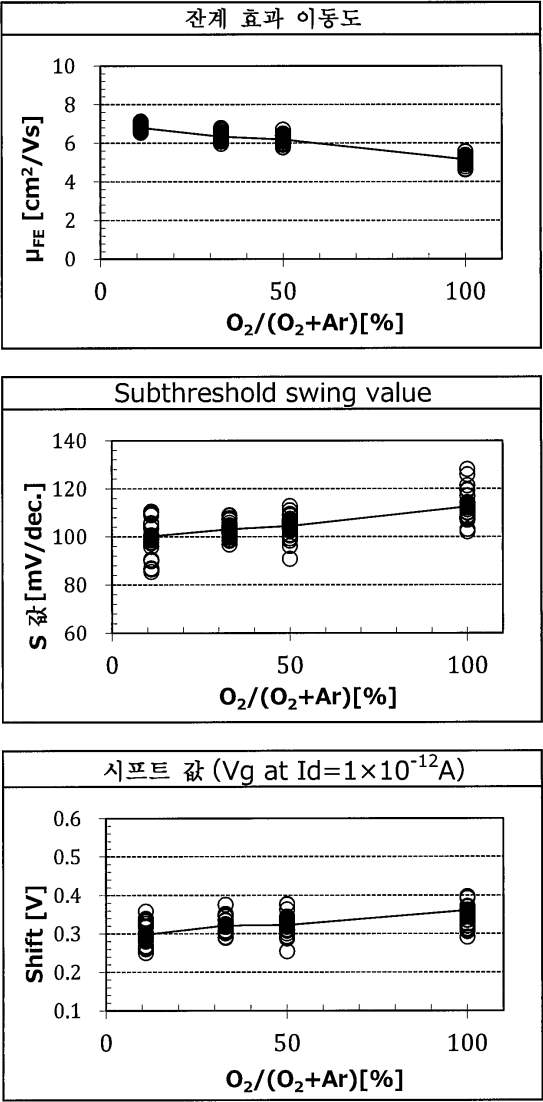
도면46



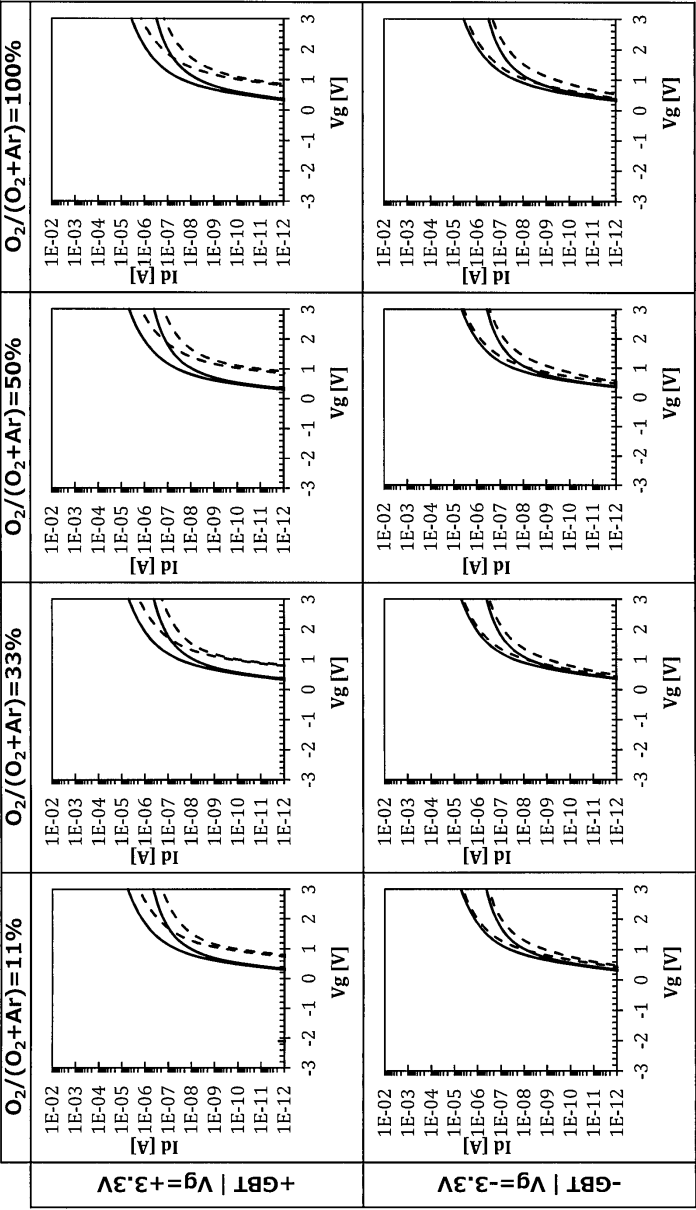
도면47



도면48

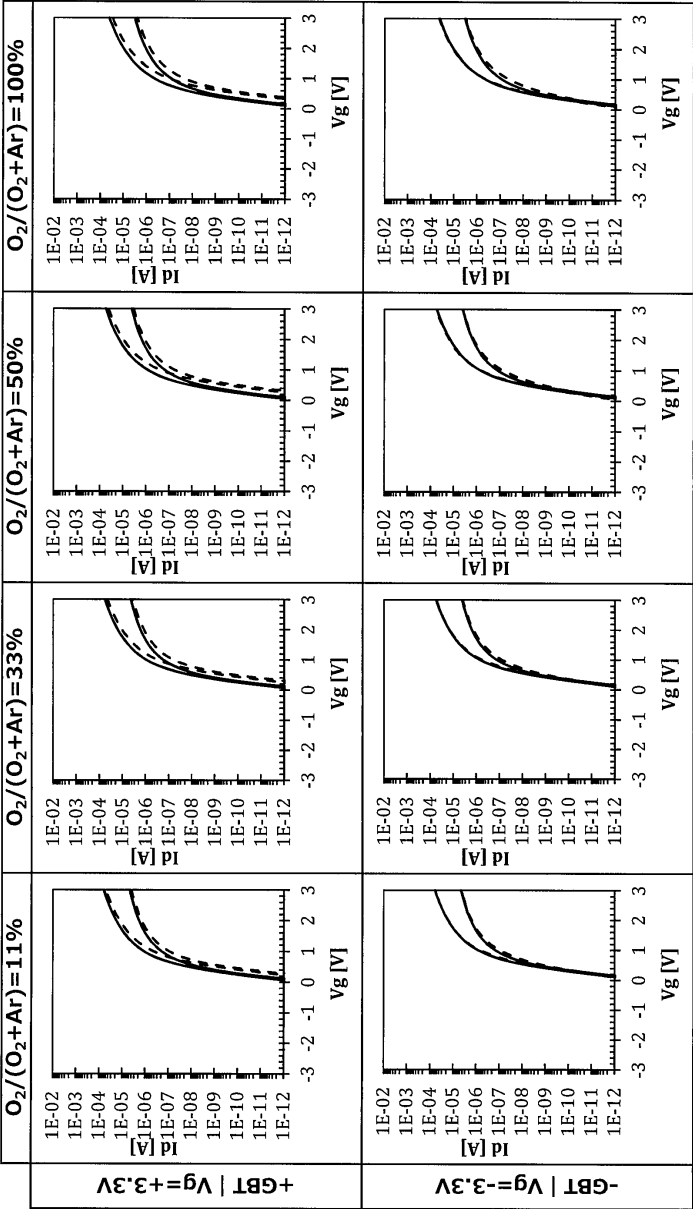


도면49



W/L=1μm/0.45μm

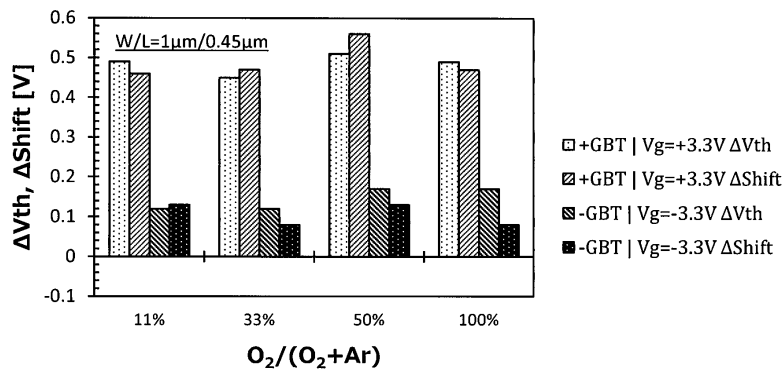
도면50



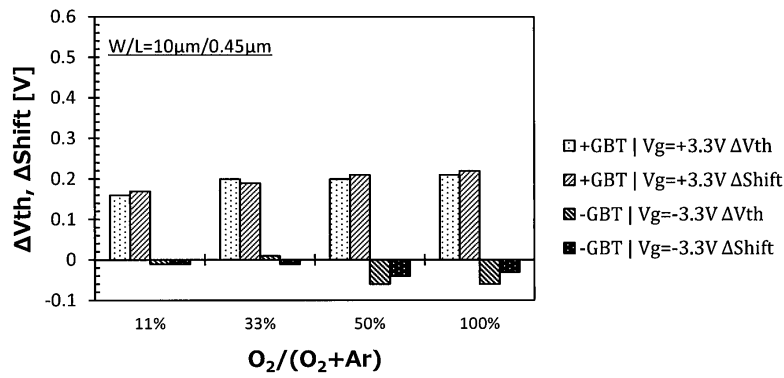
W/L=10μm/0.45μm

도면51

(A)

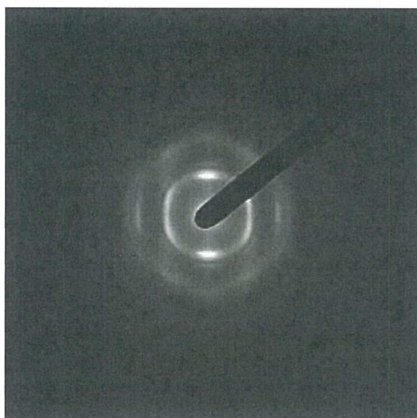


(B)



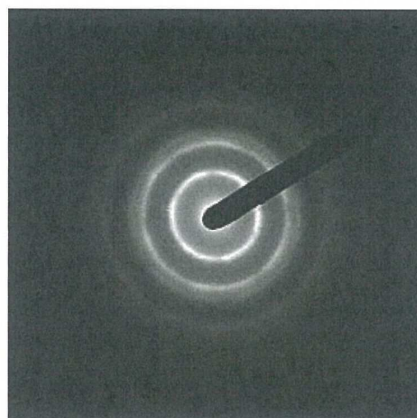
도면52

(A)



시료 면에 평행한 방향으로부터
전자 빔을 입사

(B)



시료 면에 수직인 방향으로부터
전자 빔을 입사

도면53

