

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成31年3月22日(2019.3.22)

【公表番号】特表2018-523872(P2018-523872A)

【公表日】平成30年8月23日(2018.8.23)

【年通号数】公開・登録公報2018-032

【出願番号】特願2018-505404(P2018-505404)

【国際特許分類】

G 0 6 F 1/08 (2006.01)

【 F I 】

G 0 6 F 1/08 5 1 0

【手続補正書】

【提出日】平成31年2月6日(2019.2.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

システムであって、

第 1 のクロック信号を生成するように構成されたクロック回路と、

前記クロック回路から前記第 1 のクロック信号を受け、前記第 1 のクロック信号に基づいて第 2 のクロック信号を提供し、前記第 2 のクロック信号の周波数を調整するように構成された周波数ランプ回路と、

前記第 2 のクロック信号の前記周波数をランプアップまたはランプダウンするよう前記周波数ランプ回路に命令するように構成されたクロックコントローラと

を備え、

前記クロック回路は、前記第 1 のクロック信号を第 1 のクロック周波数から第 2 のクロック周波数に切り替えるように更に構成され、

前記クロックコントローラは、前記切替えの前に前記第 2 のクロック信号の前記周波数をランプダウンするよう前記周波数ランプ回路に命令し、前記切替えの後に前記第 2 のクロック信号の前記周波数をランプアップするよう前記周波数ランプ回路に命令するように更に構成される、

システム。

【請求項 2】

前記周波数ランプ回路は、前記第 1 のクロック信号のパルスを選択的にスワロウすることで、前記第 2 のクロック信号の前記周波数を調整するように構成される、請求項 1 に記載のシステム。

【請求項 3】

前記周波数ランプ回路は、複数のステップの各後続ステップで、前記第 1 のクロック信号のパルスのより高い割合をスワロウすることで、前記複数のステップで前記第 2 のクロック信号の前記周波数をランプダウンするように構成される、請求項 2 に記載のシステム。

【請求項 4】

前記周波数ランプ回路は、前記第 1 のクロック信号の周波数を分周することで、前記第 2 のクロック信号の前記周波数を調整するように構成される、請求項 1 に記載のシステム。

【請求項 5】

前記周波数ランブ回路は、複数のステップの各後続ステップで前記第 1 のクロック信号の前記周波数をより大きい量で分周することで、前記複数のステップで前記第 2 のクロック信号の前記周波数をランブダウンするように構成される、請求項 4 に記載のシステム。

【請求項 6】

前記第 2 のクロック信号は、プロセッサに供給され、前記クロックコントローラは、前記プロセッサが割込み待ち命令又はイベント待ち命令を実行することに応答して、前記第 2 のクロック信号の前記周波数をランブダウンするよう前記周波数ランブ回路に命令するように構成される、請求項 1 に記載のシステム。

【請求項 7】

前記クロック回路は、複数の入力クロック信号を受け、前記入力クロック信号のうちの 1 つを選択し、前記入力クロック信号のうちの前記選択された 1 つを前記第 1 のクロック信号として出力するように構成されたマルチプレクサを備える、請求項 1 に記載のシステム。

【請求項 8】

前記周波数ランブ回路は、複数のステップの各後続ステップで前記第 1 のクロック信号のパルスのより小さい割合をスワロウすることで、または前記複数のステップの各後続ステップで前記第 1 のクロック信号の周波数をより小さい量で分周することで、前記複数のステップで前記第 2 のクロック信号の前記周波数をランブアップするように構成される、請求項 1 に記載のシステム。

【請求項 9】

前記第 2 のクロック信号は、プロセッサに供給され、前記クロックコントローラは、前記プロセッサがアクティブモードからアイドルモードに遷移することとなることを示すインジケーションに応答して、前記第 2 のクロック信号の前記周波数をランブダウンするよう前記周波数ランブ回路に命令するように構成される、請求項 1 に記載のシステム。

【請求項 10】

前記第 2 のクロック信号の前記周波数のランブダウンの後に、前記第 2 のクロック信号をゲート制御するように構成されたゲート回路を更に備える、請求項 9 に記載のシステム。

【請求項 11】

前記ゲート回路は、前記プロセッサが前記アクティブモードに戻されることとなるとき前記第 2 のクロック信号をゲート解除するように構成され、前記クロックコントローラは、前記第 2 のクロック信号がゲート解除された後に、前記第 2 のクロック信号の前記周波数をランブアップするよう前記ランブ回路に命令するように構成される、請求項 10 に記載のシステム。

【請求項 12】

クロック周波数切替えのための方法であって、

第 2 のクロック信号の周波数をランブダウンすることと、ここにおいて、前記第 2 のクロック信号は、第 1 のクロック信号からもたらされる、

前記第 2 のクロック信号をディセーブルにすることと、

前記第 2 のクロック信号がディセーブルにされた後に、前記第 1 のクロック信号を第 1 のクロック周波数から第 2 のクロック周波数に切り替えることと、

前記第 1 のクロック信号が前記第 2 のクロック周波数に切り替えられた後に、前記第 2 のクロック信号をイネーブルにすることと、

前記第 2 のクロック信号の前記周波数をランブアップすることとを備える方法。

【請求項 13】

前記第 2 のクロック信号の前記周波数をランブダウンすることは、時間と共に前記第 1 のクロック信号のパルスの増加割合をスワロウすること、または時間と共に前記第 1 のクロック信号の周波数を増加量だけ分周することを備える、請求項 12 に記載の方法。

【請求項 1 4】

前記第 2 のクロック信号の前記周波数をランプアップすることは、時間と共に前記第 1 のクロック信号のパルスの減少割合をスワロウすること、または時間と共に前記第 1 のクロック信号の周波数を減少量だけ分周することを備える、請求項 1 2 に記載の方法。

【請求項 1 5】

前記第 2 のクロック信号は、プロセッサに入力され、前記第 2 のクロック信号の前記周波数をランプダウンすることは、前記第 1 のクロック周波数から前記第 2 のクロック周波数に切り替えることを求める前記プロセッサからの要求に応答して実行される、請求項 1 2 に記載の方法。