

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4236683号
(P4236683)

(45) 発行日 平成21年3月11日(2009.3.11)

(24) 登録日 平成20年12月26日(2008.12.26)

(51) Int.Cl.

H03L 7/093 (2006.01)

F 1

H03L 7/08

E

請求項の数 5 (全 9 頁)

(21) 出願番号 特願2006-515954 (P2006-515954)
 (86) (22) 出願日 平成16年6月16日 (2004.6.16)
 (65) 公表番号 特表2006-527936 (P2006-527936A)
 (43) 公表日 平成18年12月7日 (2006.12.7)
 (86) 國際出願番号 PCT/EP2004/006481
 (87) 國際公開番号 WO2004/114525
 (87) 國際公開日 平成16年12月29日 (2004.12.29)
 審査請求日 平成19年6月6日 (2007.6.6)
 (31) 優先権主張番号 03291465.7
 (32) 優先日 平成15年6月17日 (2003.6.17)
 (33) 優先権主張国 歐州特許庁 (EP)

(73) 特許権者 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 78735 テキサス州
 オースティン ウィリアム キャノン
 ドライブ ウエスト 6501
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100140109
 弁理士 小野 新次郎
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】フェーズ・ロックト・ループ・フィルタ

(57) 【特許請求の範囲】

【請求項 1】

フェーズ・ロックト・ループを備える集積回路であって、
 前記フェーズ・ロックト・ループが、
 第1の電流を第1のチャージ・ポンプ経路を介して出力するよう構成されたチャージ・
 ポンプ(12)と、
 第2の電流がそれを介して出力される第2のチャージ・ポンプ経路と、
 ループ・フィルタ(13)とを備え、
 前記ループ・フィルタ(13)が、

前記第1のチャージ・ポンプ経路に電気的に結合された一方の端部と、前記第2のチャージ・ポンプ経路に電気的に結合された他方の端部とを有する第1のキャパシタ(C2)と、
 10

一緒に並列に結合された第2のキャパシタ(C1)及び第1の抵抗性素子(R1)を備える並列抵抗/キャパシタ回路(23)であって、一方の端部で前記第2のチャージ・ポンプ経路に電気的に結合された前記並列抵抗/キャパシタ回路(23)と、

第2の抵抗性素子(R2)及び第3のキャパシタ(C3)を備える更なる抵抗/キャパシタ回路であって、前記第2の抵抗性素子(R2)がその一方の端部で前記第1のチャージ・ポンプ経路に且つその他方の端部で前記第3のキャパシタの一方の端部に結合され、前記第3のキャパシタの他方の端部が基準電圧に接続されている、前記更なる抵抗/キャパシタ回路とを備え、
 20

前記並列抵抗 / キャパシタ回路 (2 3) の他方の端部が、基準電圧に接続されている、フェーズ・ロックト・ループを備える集積回路。

【請求項 2】

第 2 のチャージ・ポンプ経路の電流の流れが、ループ・フィルタ (1 3) のキャパシタンスの低減を可能にするため、第 1 のチャージ・ポンプ経路の電流の流れより大きい請求項 1 記載のフェーズ・ロックト・ループを備える集積回路。

【請求項 3】

前記ループ・フィルタの出力電圧が、電圧制御発振器を制御するよう設けられている請求項 1 又は 2 記載のフェーズ・ロックト・ループを備える集積回路。

【請求項 4】

請求項 1 から 3 のいずれか一項に記載の集積回路を組み込んでいる電子装置。 10

【請求項 5】

前記電子装置が無線電話器である請求項 4 記載の電子装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はフェーズ・ロックト・ループ・フィルタに関する。

【背景技術】

【0002】

無線電話システムは、通常、低い位相雑音、速い切り換え時間、及びチャネル周波数の正確な精度を必要とする。 20

【0003】

必要とされる特性（例えば、低い位相雑音）を有する PLL を設計するため、関連の PLL フィルタは、典型的には、 10 nF 以上のキャパシタンスを必要とし、そこにおいては、最大の PLL キャパシタは、「ゼロ」キャパシタ（即ち、PLL の安定性に必要である、フィルタ伝達関数においてゼロを生成するため用いられる PLL フィルタ・キャパシタ）であろう。

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、そのような大きいキャパシタンスを必要とする PLL のためシングルチップの集積化（一体化）を達成するのは、困難であり、そしてコストが高い。 30

【0005】

PLL のため必要とされるキャパシタンスを低減することによりシングルチップ集積化を可能にする一方、同じ全体の PLL 伝達関数（即ち、PLL ループ動特性（dynamic））をも維持するため開発された 1 つの技術は、二重経路 PLL フィルタ（dual path PLL filter）の使用を含み、そこにおいては、各 PLL フィルタ経路が、別々のチャージ・ポンプ経路により、例えば、2 つの出力経路を有するチャージ・ポンプ、又は単一の出力経路を有する 2 つの別個のチャージ・ポンプから駆動される。

【0006】

二重経路 PLL フィルタの一例が、固体回路の IEEE 誌 33巻 12号 (IEEE Journal of Solid-State Circuits, Vol. 33, No. 12) (1998 年 12 月) で Craninckx 及び Steyaert により提案され、そこにおいては、二重経路 PLL フィルタが 2 つの能動フィルタ、增幅器及び電圧加算器を組み込むものであった。

【0007】

二重経路 PLL フィルタの別の例が、固体回路の IEEE 誌 37巻 5号 (IEEE Journal of Solid-State Circuits, Vol. 37, No. 5) (2002 年 5 月) で Koo により提案され、そこにおいては、二重経路 PLL フィル 40

10

20

30

40

50

タが単一の能動デバイス及び増幅器を組み込むものであった。

【0008】

しかしながら、能動デバイスをPLLフィルタ内に使用することは、位相雑音及び電力消費の両方を増大し、並びにPLLフィルタの複雑さを増大する。

【0009】

米国特許No. 5,774,023は、高電流1次極フィルタ・キャパシタ(high current first pole filer capacitor)、高電流1次極ダンピング抵抗、低電流1次極フィルタ・キャパシタ、低電流1次極ダンピング抵抗、及び1次極フィルタ・キャパシタを含むループ・フィルタを開示し、そこにおいて、当該ループ・フィルタは、チャージ・ポンプからの電流パルスが最終の狭いループ帯域幅に見合っている場合第1のチャージ・ポンプ出力により駆動され、そうでない場合にはループ・フィルタが第2のチャージ・ポンプ出力により駆動される。そういうものとして、米国特許No. 5,774,023は、同時の出力よりむしろ、第1のチャージ・ポンプ出力と第2のチャージ・ポンプ出力との間の電流源の切り換えを開示する。
10

【課題を解決するための手段】

【0010】

本発明の一局面に従って、請求項1記載された、フェーズ・ロックト・ループを備える集積回路が提供される。

【0011】

これは、能動部品、例えば、電圧加算器又は積分器の使用を必要としないで、たった3つのキャパシタ及び2つの抵抗性素子を用いて、ループ・フィルタをシングルチップ上に一体化することを可能にする利点を与える。
20

【発明を実施するための最良の形態】

【0012】

本発明の一実施形態が、ここで、一例として、図面を参照して説明されるであろう。

【0013】

図1は、無線電話器(図示せず)に使用のフェーズ・ロックト・ループ10を示す。フェーズ・ロックト・ループ10は、位相検出器11を組み込み、当該位相�出器11は、基準周波数を受け取る第1の入力、PLLループ周波数を受け取る第2の入力、及びチャージ・ポンプ12に結合する出力を有する。チャージ・ポンプ12は、ループ・フィルタ13のそれぞれの入力経路に結合される2つの出力経路を有する。ループ・フィルタ13は、電圧制御発振器VCO14に結合される。VCO14は、第1の1/2分周器15に結合され、その第1の1/2分周器15は、無線電話器のDCS部分と第2の1/2分周器16との両方への入力を与える。第2の1/2分周器16は、無線電話器のGSM部分と1/N分周器17との両方へ入力を与える。1/N分周器17は、位相検出器11の第2の入力に結合されて、PLLループ周波数を当該位相検出器11に与える。
30

【0014】

図1に示される実施形態がGSM及びDCSの両方を支援するマルチバンド(多帯域)無線電話器に使用のため構成されているが、当業者は、より一般的なPLL構造を用いることができ、そこでは例えば、VCO14は、分周器の必要無しに所望の周波数の出力周波数を与えるよう構成されることができるであろうことを認めるであろう。
40

【0015】

フェーズ・ロックト・ループ10は、次の要領で動作する、即ち、基準信号、例えば、26MHz信号が位相検出器11に供給される。位相検出器11は、基準信号と1/N分周器17からの出力信号との間の位相差を比較して、両方の信号の2つの位相間の誤差に比例する出力パルスを発生する。位相検出器11からの出力パルスを用いて、チャージ・ポンプ12を充電するか又は放電するかのいずれかを行い、そこでは、チャージ・ポンプ12は、以下で説明されるように、第1の電流出力経路及び第2の電流出力経路を有する。位相検出器11とチャージ・ポンプ12との間の信号は、電圧信号である。

【0016】

チャージ・ポンプ 1 2 は、ループ・フィルタ 1 3 を充電又は放電する。

【0017】

ループ・フィルタ 1 3 は、以下に説明されるように、電流出力を第 1 の電流出力経路及び第 2 の電流出力経路から受け取り、そして、2つの周波数間の位相差を表す電流出力を電圧レベルに変換する。ループ・フィルタ 1 3 により発生された電圧を用いて、VCO 1 4 を駆動する。次いで、VCO 1 4 を用いて、基準周波数と 1 / N 分周器 1 7 の出力周波数との位相差を低減する。第 1 の 1 / 2 分周器 1 5 、第 2 の 1 / 2 分周器 1 6 及び 1 / N 分周器 1 7 の目的は、基準周波数以外の周波数の発生を可能にすることである。当業者に認められるように、N の値を変えることにより、異なる周波数を発生すること、即ち、シンセサイザとして動作することが可能である。例えば、VCO 1 4 は、PLL 1 0 が 26 MHz 基準周波数にロックしたとき、3.6 GHz 信号を発生するよう構成されることができ、そこでは、第 1 の 1 / 2 分周器 1 5 が 3.6 GHz 信号を、DCS 応用に適した 1.8 GHz 信号に変換する。それに対応して、第 2 の 1 / 2 分周器 1 6 は、1.8 GHz 信号を GSM 応用に適した 0.9 GHz 信号に変換する。1 / N 分周器 1 7 は、0.9 GHz 信号を 26 MHz 信号に変換して、26 MHz 基準信号との位相ロックを維持する。
10

【0018】

図 2 は、第 1 のチャージ・ポンプ経路 2 1 及び第 2 のチャージ・ポンプ経路 2 2 に結合されたループ・フィルタ 1 3 を示す。第 1 のチャージ・ポンプ経路 2 1 及び第 2 のチャージ・ポンプ経路 2 2 は、単一のチャージ・ポンプ又は 2 つの別個のチャージ・ポンプから形成されることができる。第 1 のチャージ・ポンプ経路 2 1 は、係数 B で除算したチャージ・ポンプ利得 I_{c_p} に対応する利得を有するよう構成される。第 2 のチャージ・ポンプ経路 2 2 は、チャージ・ポンプ電流 I_{c_p} から、係数 B で除算したチャージ・ポンプ電流 I_{c_p} を差し引いたもの（即ち、 $I_{c_p} - I_{c_p} / B$ ）に対応する第 2 の電流を発生するよう構成される。しかしながら、他の電流関係を第 1 のチャージ・ポンプ経路 2 1 と第 2 のチャージ・ポンプ経路 2 2 との間に用いることができる。しかしながら、ループ・フィルタの全体のキャパシタンスを低いままに保つことを保証するため、第 1 のチャージ・ポンプ経路 2 1 で発生された電流が、第 2 のチャージ・ポンプ経路 2 2 で発生された電流より少ないことが非常に望ましい。
20

【0019】

ループ・フィルタ 1 3 は、第 1 のキャパシタ C 1 と並列の第 1 の抵抗性素子 R 1 （例えば、抵抗、又は線形領域で動作するスイッチト・キャパシタ回路又は MOS トランジスタと同じような機能を有する素子）を有する並列抵抗 / キャパシタ回路 2 3 を備える。並列抵抗 / キャパシタ回路 2 3 は、一方の端で、基準電圧、例えば、接地又は安定電圧に結合され、そして他方の端で、第 2 のチャージ・ポンプ経路 2 2 に、且つ直列に第 2 のキャパシタ C 2 に結合される。第 2 のキャパシタ C 2 の他方の端は、第 1 のチャージ・ポンプ経路 2 1 に結合され、それにより、チャージ・ポンプ 1 2 の第 1 のチャージ・ポンプ経路 2 1 及び第 2 のチャージ・ポンプ経路 2 2 の両方は、周波数引き込み（frequency acquisition）及びロックト・モードの両方のため同時に電流をループ・フィルタ 1 3 に与える。
30

【0020】

この実施形態の目的のため、ループ・フィルタ 1 3 は、追加の極を含み、その追加の極は、第 2 の抵抗性素子 R 2 （例えば、抵抗、又は線形領域で動作するスイッチト・キャパシタ回路又は MOS トランジスタと同じような機能を有する素子）が、第 1 のチャージ・ポンプ経路 2 1 と VCO 1 4 及び第 3 のキャパシタ C 3 との間に直列に結合され、当該第 3 のキャパシタ C 3 が、一方の端で第 2 の抵抗性素子 R 2 と VCO 1 4 との間に結合され且つ、その他方の端で基準電圧、例えば接地又は他の安定電圧に結合される構成により生成される。第 2 の抵抗性素子 R 2 及び第 3 のキャパシタ C 3 により生成される追加の極の目的は、更に位相雑音を抑圧し、そして、それは、本質的ではないが、望ましい機能である。
40

【0021】

第 2 のキャパシタ C 2 の両端間に形成される電圧は、統合化された入力電流に対応し、そして図 3 に示されるような s ドメインでの方程式により律せられる。

【 0 0 2 2 】

【 数 1 】

$$V_B = \frac{I_{cp}}{B} \cdot \frac{1}{sC_2}$$

【 0 0 2 3 】

並列抵抗 / キャパシタ回路 2 3 の両端間に形成される電圧は、極 p を持つ低域通過伝達 (law pass transfer) に対応し、そして図 3 に示されるような方程式により律せられる。 10

【 0 0 2 4 】

【 数 2 】

$$V_A = I_{cp} (R_1 \| C_1)$$

【 0 0 2 5 】

従って、ループ・フィルタの等価インピーダンスは、次式により計算されることができる。 20

【 0 0 2 6 】

【 数 3 】

$$Z_{eq}(s) = \frac{V_A + V_B}{I_{cp}} = \frac{1}{sBC_2} \cdot \frac{1 + sR_1(BC_2 + C_1)}{1 + sR_1C_1}$$

【 0 0 2 7 】

第 1 のキャパシタ C 1 及び第 2 のキャパシタ C 2 が直列に配置されているので、これは、電圧 V_A と V_B とが加えあわされることにより統合化された電圧と低域通過伝達電圧とを組み合わせることをもたらす。その結果生じるループ・フィルタ・インピーダンス及びループ・フィルタ利得が、図 3 に示されている。 30

【 0 0 2 8 】

第 2 のキャパシタ C 2 が、入力電圧を積分するため用いられ、そしてそれに対応して、ループ・フィルタ 1 3 のための必要とされるゼロを形成するため用いられるので、係数 B を用いて、チャージ・ポンプ電流 I_{cp} を除算することが、大きいキャパシタンス値を必要としないで、図 3 におけるフィルタ・インピーダンス及びループ利得のグラフに示されるように、ゼロを十分低く配置することを可能にするという利点を提供する。

【 0 0 2 9 】

B の値の選定は、幾つかの要因に依存する。B の値が増大する場合、全体のキャパシタンスは低減する。そうであるので、キャパシタンスが問題である場合、B を出来るだけ高く置くことを望み得る。しかしながら、B の値に対する幾つかの上側の制限が存在する。第 1 に、B が増大するとき、帯域内位相雑音が同じ割合で増大する。第 2 に、追加の極 (即ち、C 1 と直列の R 1 / C 2 に R 3 / C 2 の極が続くもの) を持つ受動型二重経路フィルタに関して、B が僅かにループ・パラメータに依存して 3 5 と 4 0 との間の値に達するとき数学的解が存在しないことが分かった。第 3 には、最小の電流源が実際に達成可能であり、B が増大する場合、補助チャージ・ポンプ利得が 1 / B の割合で低減する。これにより、制御することが困難である極端に小さい電流源 (1 μA 以下) を与えることができる。

【 0 0 3 0 】

第1のチャージ・ポンプ経路21とVCO14との間に形成されたループ・フィルタ3の低い周波数経路は、チャージ・ポンプ電流が係数Bで除算される結果として、第2のチャージ・ポンプ経路22とVCO14との間に形成された高い周波数経路より雑音が多い。しかしながら、低い周波数経路の帯域幅が、高い周波数経路により決定されるようになり、ループ・フィルタ帯域幅より小さいので、低い周波数経路上に発生された追加の雑音は、帯域外の位相雑音に影響を及ぼさないであろう。実際、図4に示されるように、低い周波数経路により発生された雑音は、ループ・フィルタ帯域幅より高いオフセット周波数における高い周波数経路の雑音より少ないであろう。

【0031】

一例として、上記で説明したループ・フィルタを用いて、第1のキャパシタC1、第2のキャパシタC2、第3のキャパシタC3、第1の抵抗性素子R1及び第2の抵抗性素子R2の値は、次のループ・フィルタ・パラメータに基づいて計算されることが分かるであろう。

帯域幅 100 kHz

KVCO = 400 MHz / V

基準周波数 26 MHz

二重経路比係数 B = 30

【0032】

I_{c_p} 、KVCO、基準周波数、帯域幅が与えられ、そしてループ・フィルタ・インピーダンスの方程式 $Z_{eq}(s)$ を解くことにより、必要とされるキャパシタ及び抵抗の適切な値を得ることが可能である。従って、 $20 \mu A$ （即ち、 $600 \mu A / 30$ ）の第1のチャージ・ポンプ経路の電流、及び $580 \mu A$ （即ち、 $600 \mu A - 20 \mu A$ ）の第2の電流ポンプ経路電流の場合に、上記で与えられたような $Z_{eq}(s)$ に対するループ・フィルタ・インピーダンスの方程式を利用して、次の部品値を計算することができる。

C2 = 90 μA

R1 = 1480

C1 = 225 pF

R2 = 4700

C3 = 300 pF

【0033】

従って、前述したループ・フィルタに基づいたループ・フィルタのための合計のループ・フィルタ・キャパシタンスは、 615 pF である。

【0034】

これは、単一の経路チャージ・ポンプに結合された標準ループ・フィルタであって、対応の構成要素の値が次のとおりの標準ループ・フィルタに匹敵する。

C2 = 10 nF

R1 = 410

C1 = 880 pF

R2 = 1110

C3 = 300 pF

【0035】

従って、単一の経路ループ・フィルタの合計のループ・フィルタ・キャパシタンスは、 11 nF のオーダである。

【図面の簡単な説明】

【0036】

【図1】図1は、本発明の一実施形態に従ったフィルタを組み込むフェーズ・ロックト・ループを示す。

【図2】図2は、本発明の一実施形態に従ったフェーズ・ロックド・ループ・フィルタを示す。

【図3】図3は、本発明の一実施形態に従ったフェーズ・ロックト・ループの二重経路特

10

20

30

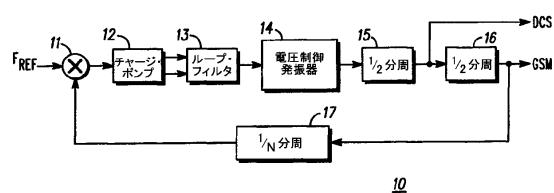
40

50

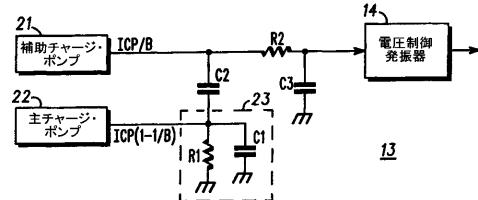
性を表すグラフを示す。

【図4】図4は、本発明の一実施形態に従ったフェーズ・ロックト・ループ・フィルタの位相雑音特性を表すグラフを示す。

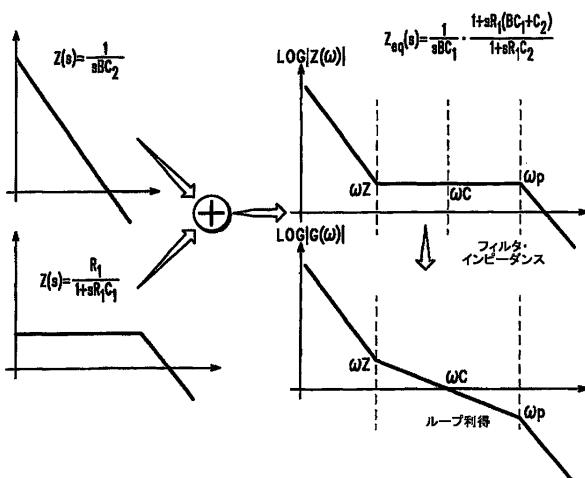
【図1】



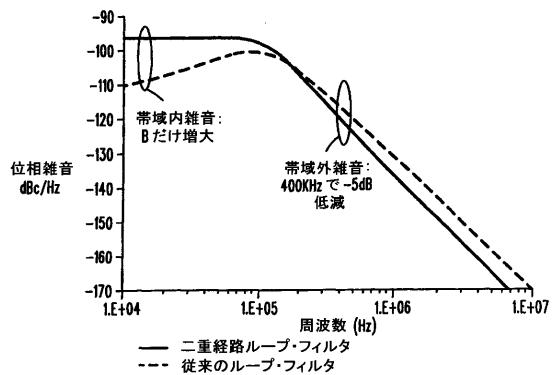
【図2】



【図3】



【図4】



フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(72)発明者 ゲネス , ミカエル

フランス国エフ - 31000 トゥルーズ , プラセ・デュピュ 12

審査官 野元 久道

(56)参考文献 特開平07-154250 (JP, A)

特開平10-065535 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/06-7/23