



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0068833
(43) 공개일자 2023년05월18일

(51) 국제특허분류(Int. Cl.)
H01F 17/00 (2006.01) H01F 27/32 (2006.01)
(52) CPC특허분류
H01F 17/0013 (2018.08)
H01F 27/323 (2013.01)
(21) 출원번호 10-2021-0155014
(22) 출원일자 2021년11월11일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
정진호
서울특별시 마포구 대흥동 백범로 35, 서강대학교
리치과학관 703호
김형은
서울특별시 마포구 대흥동 백범로 35, 서강대학교
리치과학관 703호
김희수
서울특별시 마포구 대흥동 백범로 35, 서강대학교
리치과학관 703호
(74) 대리인
특허법인씨엔에스

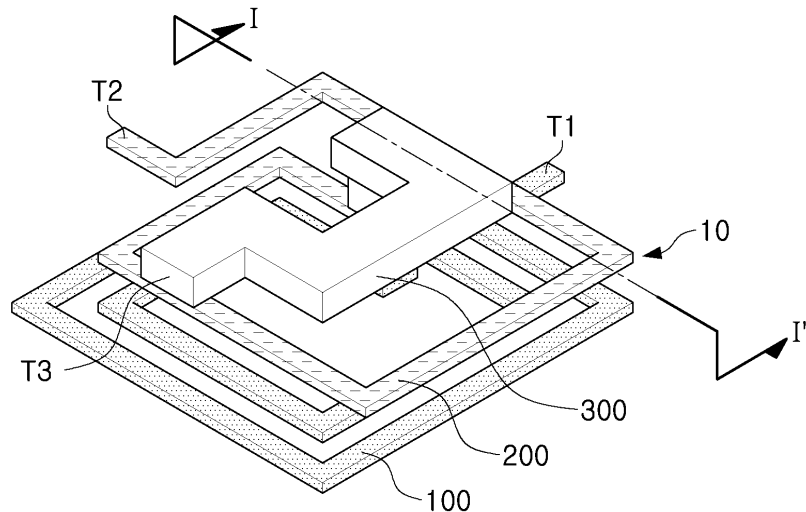
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 온 칩 인덕터

(57) 요약

본 발명의 일 실시예는, 반도체 기판; 상기 반도체 기판 상에 적층된 복수의 절연층들; 상기 복수의 절연층들의 각 층에 순차적으로 배치되며, 서로 유도 결합되며, 각각의 일단들이 서로 중첩되며, 나선형인, 제1 내지 제3 코일 패턴들; 상기 제1 및 제2 코일 패턴들의 각각의 일단들을 서로 연결하는 제1 비아; 및 상기 제2 및 제3 코일 패턴의 각각의 일단들을 서로 연결하는 제2 비아를 포함하며, 상기 제1 및 제2 비아는 서로 중첩되어 배치되는 온 칩 인덕터를 제공한다.

대표도 - 도1



(52) CPC특허분류

H01F 2017/002 (2013.01)

H01F 2017/0073 (2013.01)

H01F 2017/0086 (2013.01)

명세서

청구범위

청구항 1

반도체 기판;

상기 반도체 기판 상에 적층된 복수의 절연층들;

상기 복수의 절연층들의 각 층에 순차적으로 배치되며, 서로 유도 결합되며, 각각의 일단들이 서로 중첩되며, 나선형인, 제1 내지 제3 코일 패턴들;

상기 제1 및 제2 코일 패턴들의 각각의 일단들을 서로 연결하는 제1 비아; 및

상기 제2 및 제3 코일 패턴의 각각의 일단들을 서로 연결하는 제2 비아를 포함하며,

상기 제1 및 제2 비아는 서로 중첩되어 배치되는 온 칩 인덕터.

청구항 2

제1항에 있어서,

상기 제1 내지 제3 코일 패턴들은 상기 각각의 일단들을 중심으로, 외측을 향해, 나선형으로 연장된 온 칩 인덕터.

청구항 3

제1항에 있어서,

상기 제1 내지 제3 코일 패턴들은 서로 동일한 방향으로 회전(turn)하는 온 칩 인덕터.

청구항 4

제1항에 있어서,

상기 제1 및 제3 코일 패턴들 중 적어도 하나의 코일 패턴은 상이한 방향으로 회전(turn)하는 온 칩 인덕터.

청구항 5

제1항에 있어서,

상기 제1 내지 제3 코일 패턴의 각각의 타단들은 제1 내지 제3 단자들을 이루는 온 칩 인덕터.

청구항 6

제5항에 있어서,

상기 제1 내지 제3 단자들은 서로 중첩하지 않도록 배치되는 온 칩 인덕터.

청구항 7

제1항에 있어서,

상기 제1 내지 제3 코일 패턴들은 각각 스파이럴 인덕터(spiral inductor)인 온 칩 인덕터.

청구항 8

제1항에 있어서,

상기 제1 내지 제3 코일 패턴들 중 상기 제3 코일 패턴은 상기 제1 및 제2 코일 패턴들 보다 높은 레벨에 배치되며,

상기 제3 코일 패턴의 선폭은 상기 제1 코일 패턴의 선폭 및 상기 제2 코일 패턴의 선폭보다 큰 온 칩 인덕터.

청구항 9

제1항에 있어서,

상기 제1 내지 제3 코일 패턴들 중 상기 제3 코일 패턴은 상기 제1 및 제2 코일 패턴들 보다 높은 레벨에 배치되며,

상기 제3 코일 패턴의 두께는 상기 제1 코일 패턴의 두께 및 상기 제2 코일 패턴의 두께보다 큰 온 칩 인덕터.

청구항 10

제1항에 있어서,

상기 제1 및 제2 비아는, 상기 제1 내지 제3 코일 패턴들의 각각의 일단들을 공통 연결하는 공통 노드(common node)를 이루는 온 칩 인덕터.

발명의 설명

기술 분야

[0001] 본 발명은 온 칩 인덕터에 관한 것이다.

배경 기술

[0003] 인덕터는 초고속 반도체 집적회로에서 다양하게 사용되고 있으며, 특히 대역폭을 개선하기 위한 핵심 소자로 사용되고 있다. 특히, 온 칩 인덕터(on chip inductor)는 금속 패턴을 나선형으로 배치하는 형식으로 설계되는데, 높은 인덕턴스를 얻기 위해서는 하여 금속 패턴의 회전(turn) 수를 증가시켜야 하였다. 따라서, 높은 인덕턴스를 갖는 온 칩 인덕터는 반도체 칩 상에서 넓은 면적을 차지하는 문제가 있었다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제 중 하나는, 높은 인덕턴스를 가지면서도 작은 면적을 차지하는 온 칩 인덕터를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예는, 반도체 기판; 상기 반도체 기판 상에 적층된 복수의 절연층들; 상기 복수의 절연층들의

각 층에 순차적으로 배치되며, 서로 유도 결합되며, 각각의 일단들이 서로 중첩되며, 나선형인, 제1 내지 제3 코일 패턴들; 상기 제1 및 제2 코일 패턴들의 각각의 일단들을 서로 연결하는 제1 비아; 및 상기 제2 및 제3 코일 패턴의 각각의 일단들을 서로 연결하는 제2 비아를 포함하며, 상기 제1 및 제2 비아는 서로 중첩되어 배치되는 온 칩 인덕터를 제공한다.

발명의 효과

[0009] 높은 인덕턴스를 가지면서도 작은 면적을 차지하는 온 칩 인덕터가 제공될 수 있다.

[0010] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시예를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 의한 온 칩 인덕터의 사시도이다.

도 2는 도 1에 도시된 온 칩 인덕터의 분해 사시도이다.

도 3은 도 1의 I-I'를 따라 절개한 단면도이다.

도 4(a) 및 도 4(b)는 도 1의 온 칩 인덕터의 등가 회로이다.

도 5(a) 및 도 5(b)는 비교 예의 등가 회로이다.

도 6은 일 실시예와 비교 예들의 전력 이득을 비교한 그래프이다.

도 7은 본 발명의 일 실시예에 의한 온 칩 인덕터의 사시도이다.

도 8(a) 및 도 8(b)는 도 7의 온 칩 인덕터의 등가 회로이다.

도 9은 도 7의 온 칩 인덕터의 변형예이다.

도 10(a) 및 도 10(b)는 도 7의 온 칩 인덕터의 등가 회로이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 다음과 같이 설명한다.

[0015] 도 1 내지 도 3을 참조하여, 본 발명의 일 실시예에 의한 온 칩 인덕터에 대해 설명한다. 도 1은 본 발명의 일 실시예에 의한 온 칩 인덕터의 사시도이고, 도 2는 도 1에 도시된 온 칩 인덕터의 분해 사시도이며, 도 3은 도 1의 I-I'를 따라 절개한 단면도이다.

[0017] 도 1 내지 도 3을 참조하면, 온 칩 인덕터(10)는 반도체 기판(20), 절연층들(30), 제1 내지 제3 코일 패턴들(100, 200, 300) 및 제1 및 제2 비아들(V1, V2)을 포함할 수 있다. 일 실시예의 경우, 3개의 코일 패턴들과 2개의 비아들이 채용된 경우를 예로 들어 설명하였으나, 이에 한정하는 것은 아니며, 4개 이상의 코일 패턴들과 3개 이상의 비아들이 채용될 수도 있다.

[0019] 도 3을 참조하면, 반도체 기판(20)은 실리콘 온 인슐레이터(Silicon On Insulator) 웨이퍼일 수 있으며, 반도체 기판(20)의 상면에는 절연층들(30)이 적층될 수 있다. 절연층들(30)은 절연성 물질로 형성될 수 있다. 예를 들어, 절연층(111)은 SiO₂, SiN 및 SiCN 중 적어도 하나를 포함할 수 있다.

[0021] 제1 내지 제3 코일 패턴들(100, 200, 300)은 각각 인덕터를 이룰 수 있다. 예를 들어, 제1 내지 제2 코일 패턴

들(100, 200)은 각각 제1 내지 제3 인덕터를 이룰 수 있다. 제1 내지 제3 코일 패턴들(100, 200, 300)은 각각 금속 물질로 이루어진 패턴들이 평면 상에 나선형의 형태로 배치된 스파이럴 인덕터(spiral inductor)일 수 있다. 이러한 금속 물질은 알루미늄(Al), 티탄(Ti), 및 질화티탄(TiN) 중 적어도 하나를 포함할 수 있다. 제1 내지 제3 코일 패턴들(100, 200, 300)은 각각 사각형의 나선 형태로 도시되어 있으나, 이에 한정하는 것은 아니며, 원형 및 팔각형의 다양한 나선 형태로 형성될 수 있다. 제1 내지 제3 코일 패턴들(100, 200, 300)의 각각의 일단들(110, 210, 310)에는 비아가 접속되기 위한 랜드로 사용될 수 있다. 제1 내지 제3 코일 패턴들(100, 200, 300)은 각각의 일단들(110, 210, 310)을 중심(C)으로 외측을 향하여 연장된 나선형의 형상으로 형성될 수 있다. 제1 내지 제3 코일 패턴들(100, 200, 300)의 각각의 타단들(120, 220, 320)은 신호 입력을 위한 단자들로 사용될 수 있다. 제1 내지 제3 코일 패턴들(100, 200, 300)은 반도체 기판(20)의 상면 및/또는 절연층들(30)의 상면에 박막의 형태로 형성될 수 있다.

[0023] 제1 내지 제3 코일 패턴들(100, 200, 300)은 다층의 절연층들(30)에 각각 서로 이격되어 배치될 수 있다. 예를 들어, 최하부 배치되는 제1 코일 패턴(100)은 반도체 기판(20)의 상면에 적층되고, 제1 코일 패턴(100)을 제1 절연층(31)이 덮을 수 있다.

[0024] 제1 코일 패턴(100) 상부에 배치되는 제2 및 제3 코일 패턴(300)은 각각 제1 및 제2 절연층(32) 상에 적층될 수 있다. 다만, 이에 한정하는 것은 아니며, 각각의 코일 패턴들 사이에 복수의 절연층들이 배치될 수도 있다.

[0025] 또한, 제1 내지 제3 코일 패턴들(100, 200, 300)의 일단들(110, 210, 310)은 절연층들(30)을 관통하는 제1 및 제2 비아들(V1, V2)에 의해 서로 연결될 수 있다. 예를 들어, 제1 비아(V1)는 제1 코일 패턴(100)의 일단(110)과 제2 코일 패턴(200)의 일단(210)을 서로 연결하며, 제2 비아(V2)는 제2 코일 패턴(200)의 일단(210)과 제3 코일 패턴(300)의 일단(310)을 서로 연결할 수 있다. 일 실시예의 경우, 제1 및 제2 비아들(V1, V2)은 사각 기둥 형상으로 형성된 경우를 예로 들어 설명하였으나, 이에 한정하는 것은 아니며, 제1 및 제2 비아들(V1, V2)은 원기둥으로 형성될 수도 있다. 또한, 제1 및 제2 비아들(V1, V2)의 측면은 반도체 기판(20)의 상면에 대해 수직을 이루도록 형성될 수 있으나, 이에 한정하는 것은 아니며, 제1 및 제2 비아들(V1, V2)의 측면은 경사면으로 형성될 수도 있다.

[0027] 일 실시예의 경우, 최상부에 배치된 제3 코일 패턴(300)의 선폭(W3)과 두께(TK3)가 제1 코일 패턴(100)의 선폭(W1)과 두께(TK1), 및 제2 코일 패턴(200)의 선폭(W2)과 두께(TK2)보다 큰 것으로 도시되어 있으나, 이에 한정하는 것은 아니다. 제1 내지 제3 코일 패턴들(100, 200, 300)의 각각의 선폭(W1, W2, W3)과 두께(TK1, TK2, TK3)는, 제1 내지 제3 코일 패턴들(100, 200, 300)으로 구현하려는 온 칩 인덕터(10)의 자기 인덕턴스(self inductance) 값에 따라 다양하게 변형될 수 있다.

[0028] 제1 내지 제3 코일 패턴들(100, 200, 300)은 절연층들(30)에 각각 상하로 중첩되도록 배치될 수 있다. 제1 내지 제3 코일 패턴들(100, 200, 300)이 서로 중첩하는 영역의 면적은 구현하려는 온 칩 인덕터(10)의 상호 인덕턴스(mutual inductance) 값에 따라 달라질 수 있다.

[0029] 따라서, 온 칩 인덕터(10)에 포함된 제1 내지 제3 코일 패턴들(100, 200, 300)의 형태를 조절하여 온 칩 인덕터(10)의 자기 인덕턴스 값을 조절할 수 있으며, 제1 내지 제3 코일 패턴들(100, 200, 300) 간의 배치와 나선의 방향을 조절하여 온 칩 인덕터(10)의 상호 인덕턴스 값을 조절할 수 있다. 즉, 일 실시예의 온 칩 인덕터(10)는 제1 내지 제3 코일 패턴들(100, 200, 300)이 서로 중첩하는 영역의 크기를 달리함으로써 상호 인덕턴스 값을 조절할 수 있다. 또한, 일 실시예의 온 칩 인덕터(10)는 제1 내지 제3 코일 패턴들(100, 200, 300)의 각각의 회전 방향을 달리함으로써, 상호 인덕턴스를 조절할 수 있다. 이와 같이, 일 실시예의 온 칩 인덕터(10)는 제1 내지 제3 코일 패턴들(100, 200, 300)의 형태와 배치를 조절하여, 원하는 전기적 특성을 얻도록 구성될 수 있다.

[0031] 이런 이유로, 도 1의 온 칩 인덕터(10)는 도 4(a)에 도시된 등가 회로로 표현될 수 있다. 즉, 도 1의 온 칩 인덕터(10)는 각각 L1, L2, L2의 자기 인덕턴스를 갖는 제1 내지 제3 인덕터들이 공통 노드(N1)에 T형으로 접속되고, 제1 내지 제3 인덕터들은 서로 M_{12} , M_{23} , M_{32} 의 상호 인덕턴스로 유도 결합된 회로로 표현될 수 있다. 이 경우, 공통 노드(N1)에 연결된 제1 내지 제3 인덕터들의 도트(dot)의 위치에 따라, 도 1의 온 칩 인덕터(10)에 포함된 제1 내지 제3 코일 패턴들(100, 200, 300)의 회전 방향이 결정될 수 있다. 도 4(a)를 참조하면, 제1 인덕

터는 도트의 위치가 공통 노드(N1)의 반대 방향이며, 제2 및 제3 인덕터는 도트의 위치가 공통 노드(N1)를 향하는 방향임을 알 수 있다.

[0032] 도 4(a)의 회로는 도 4(b)의 등가 회로로 표현될 수 있다. 제1 인덕터의 합성 인덕턴스(L_{E1})는 $L_1+M_{12}-M_{23}+M_{31}$ 로 표현될 수 있으며, 제2 인덕터의 합성 인덕턴스(L_{E2})는 $L_2+M_{12}+M_{23}-M_{31}$ 로 표현될 수 있고, 제3 인덕터의 합성 인덕턴스(L_{E3})는 $L_3-M_{12}+M_{23}+M_{31}$ 로 표현될 수 있다.

[0033] 반면에, 도 5(a)와 같이, 제2 단자(T2)에 인덕터를 배치되지 않은 경우에는, 도 5(b)의 등가 회로로 표현하면, 제1 인덕터의 합성 인덕턴스(L_{E11})는 L_1+M_{12} 로 표현될 수 있으며, 제2 인덕터의 합성 인덕턴스(L_{E12})는 L_2+M_{12} 로 표현될 수 있고, 제3 인덕터의 합성 인덕턴스(L_{E13})는 $-M_{12}$ 로 표현될 수 있다. 도 5(a)의 경우, 제2 단자(T2)에 인덕터가 배치되지 않아, 전체적으로 도 4(a) 보다 낮은 합성 인덕턴스 값을 갖게 된다. 따라서, 도 4(a)의 등가 회로로 구성된 일 실시예의 온 칩 인덕터(10)는, 도 5(a)의 등가 회로로 구성된 온 칩 인덕터에 비해, 상대적으로 좁은 면적에 더 높은 합성 인덕턴스 값을 가질 수 있다.

[0035] 도 6의 일 실시예와 비교 예들의 전력 이득을 비교한 그래프이다.

[0036] G1은 일 실시예의 전력 이득 그래프로서, 도 1의 온 칩 인덕터를 채용한 증폭 회로의 전력 이득(power gain)을 도시한다. G2는 비교 예1의 전력 이득 그래프로서, 도 5(a)에 도시된 온 칩 인덕터를 채용한 증폭 회로의 전력 이득을 도시한다. G3은 비교 예3의 전력 이득 그래프로서, 온 칩 인덕터 없이 RC회로만으로 구성된 증폭회로의 전력 이득을 도시한다.

[0037] 일 실시예의 경우, 비교 예1에 비하여, 전력 이득의 피킹(peaking)이 크게 감소하여 이득 평탄도(gain flatness)가 향상된 것을 볼 수 있다. 또한, 일 실시예는 비교 예2에 비하여, 고주파 대역에서의 전력 이득이 증가한 것을 볼 수 있다. 따라서, 일 실시예의 경우, 비교 예1, 2와 비교하여 대역폭 특성이 향상된 것을 볼 수 있다.

[0039] 도 7 내지 도 10을 참조하여, 온 칩 인덕터에 포함된 코일 패턴들의 회전 방향과 상호 인덕턴스와의 관계에 대해 설명한다. 도 7은 본 발명의 일 실시예에 의한 온 칩 인덕터의 사시도이고, 도 8(a) 및 도 8(b)는 도 7의 온 칩 인덕터의 등가 회로도이다. 도 9은 본 발명의 일 실시예에 의한 온 칩 인덕터의 사시도이고, 도 10(a) 및 도 10(b)는 도 7의 온 칩 인덕터의 등가 회로도이다.

[0041] 도 7을 참조하면, 일 실시예의 온 칩 인덕터(10A)는 제1 내지 제3 코일 패턴(100A, 200A, 300A)의 회전 방향(D11, D12, D13)이 모두 동일한 경우이다. 일 실시예는 앞서 설명한 실시예와 유사하게, 제1 비아(V1A)는 제1 코일 패턴(100A)의 일단(110A)과 제2 코일 패턴(200A)의 일단(210A)을 연결하며, 제2 비아(V2A)는 제2 코일 패턴(200A)의 일단(210A)과 제3 코일 패턴(300A)의 일단(310A)을 연결할 수 있다.

[0042] 일 실시예는 온 칩 인덕터(10A)에 포함된 제1 내지 제3 코일 패턴(100A, 200A, 300A)의 형태가 모두 동일한 경우를 예로 들어 설명한다. 즉, 일 실시예의 온 칩 인덕터(10)에 포함된 제1 내지 제3 코일 패턴(100A, 200A, 300A)은 패턴의 형태, 선폭, 및 두께가 서로 동일한 경우를 예로 들어 설명한다.

[0043] 이 경우, 등가 회로는 도 8(a) 및 도 8(b)로 표현될 수 있다. 즉, 도 7의 온 칩 인덕터(10A)의 제1 내지 제3 코일 패턴(100A, 200A, 300A)이 모두 동일한 회전 방향(D11, D12, D13)으로 회전하는 경우, 공통 노드(N3)를 중심으로 T형 접속된 제1 내지 제3 인덕터(ID1, ID2, ID3)는, 도 8(a)처럼 모두 공통 노드(N3)를 향하여 배치되는 등가 회로와, 도 8(b)처럼 공통 노드(N3)의 반대 방향으로 배치된 등가 회로로 표현될 수 있다.

[0045] 도 9를 참조하면, 도 9의 온 칩 인덕터(10A')는 도 7의 온 칩 인덕터(10A)와 비교하여, 제2 코일 패턴(200A')의 회전 방향(D12')이 제1 및 제3 코일 패턴(100A, 300A)의 회전 방향(D11, D13)과 반대 방향인 경우이다.

[0046] 이 경우, 등가 회로는 도 10(a) 및 도 10(b)로 표현될 수 있다. 즉, 도 9의 온 칩 인덕터(10A')의 제2 코일 패턴(200A)의 회전 방향(D12')이 제1 및 제3 코일 패턴(100A, 300A)의 회전 방향(D11, D13)과 반대 방향으로 회

전하는 경우, 공통 노드(N4)를 중심으로 T형 접속된 제1 내지 제3 인덕터(ID1, ID2, ID3)의 각각의 도트는, 도 10(a)처럼 제2 인덕터(ID2)의 도트만 공통 노드(N3)를 향하여 배치되는 등가 회로와, 도 8(b)처럼 공통 노드(N3)의 반대 방향으로 배치된 등가 회로로 표현될 수 있다.

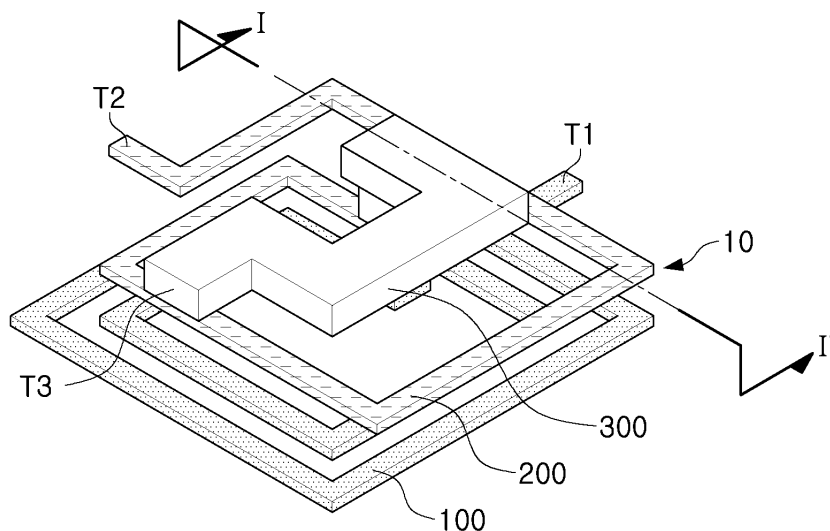
[0048] 본 발명은 상술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

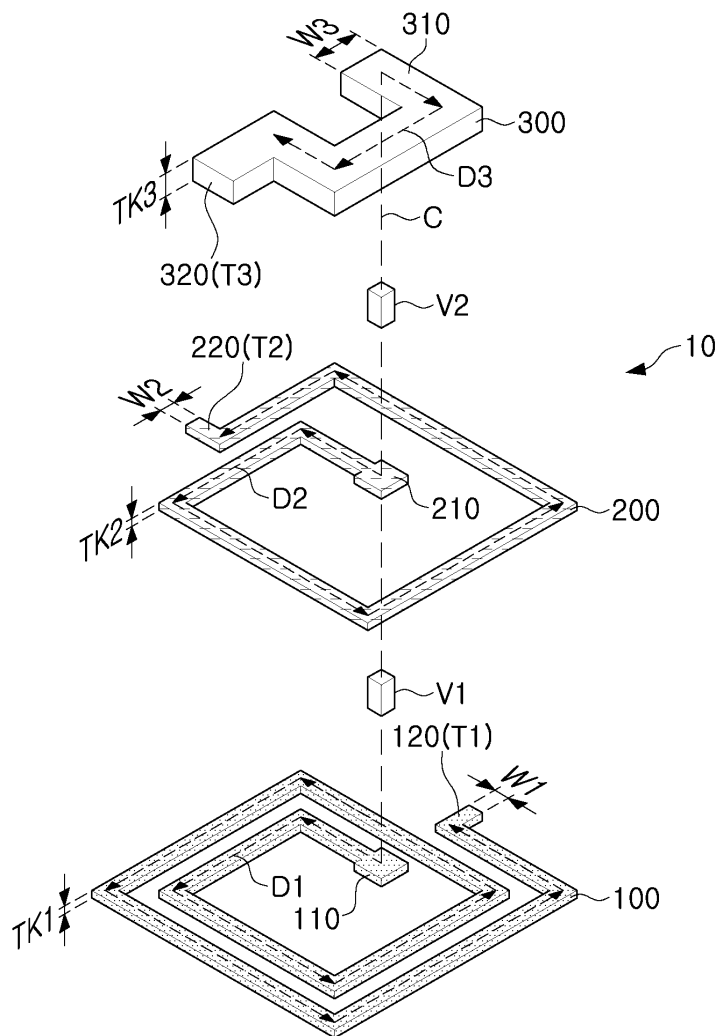
[0050] 10: 온 칩 인덕터
20: 반도체 기판
30: 절연층
100: 제1 코일 패턴
110, 210, 310: 일단
120, 220, 320: 타단
200: 제2 코일 패턴
300: 제3 코일 패턴
T1: 제1 단자
T2: 제2 단자
T3: 제3 단자
V1: 제1 비아
V2: 제2 비아

도면

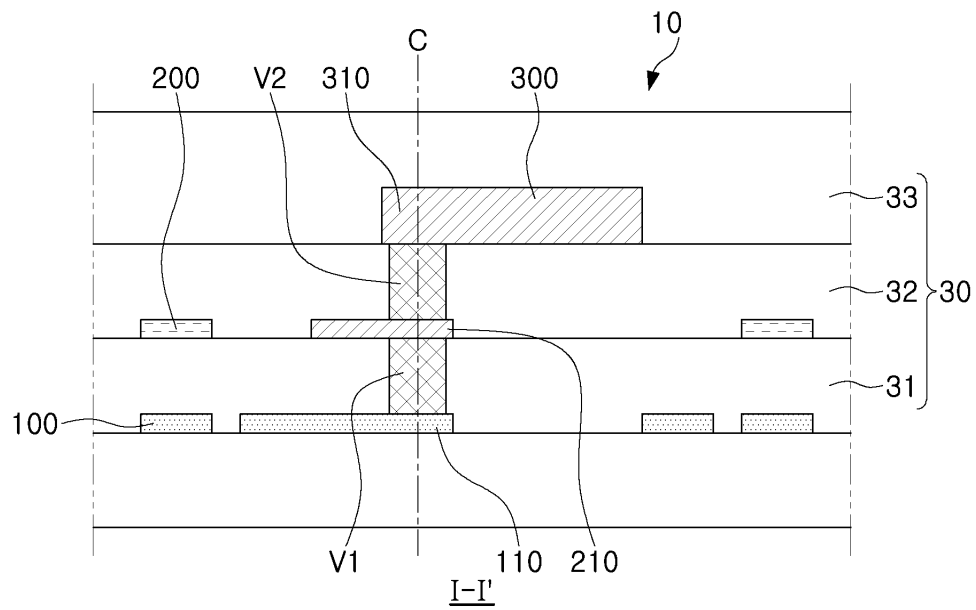
도면1



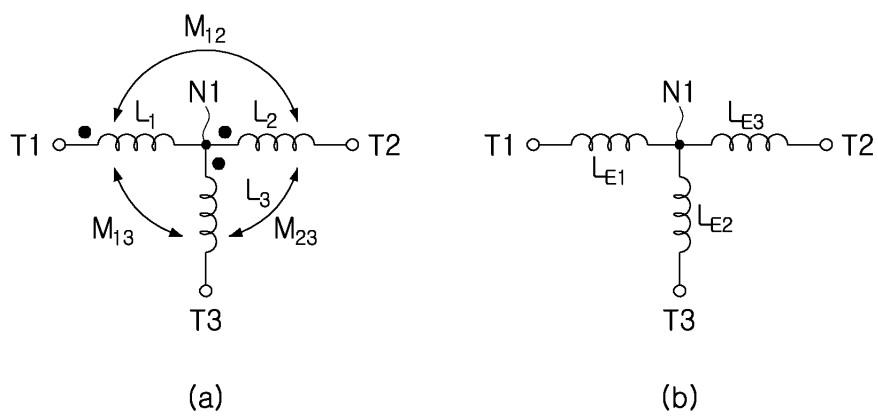
도면2



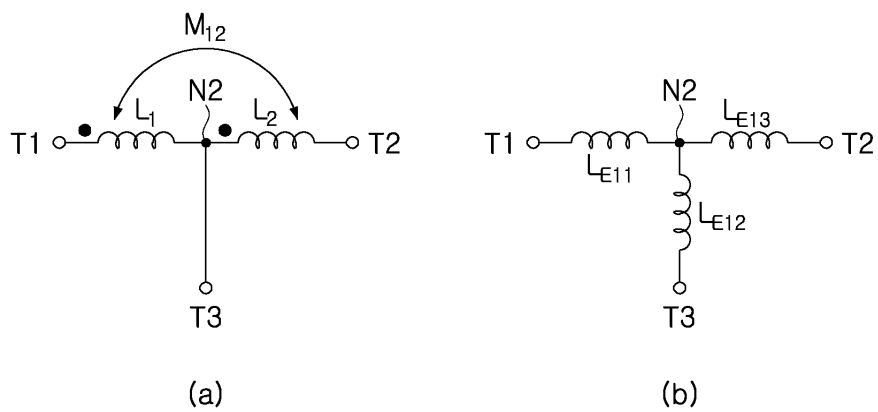
도면3



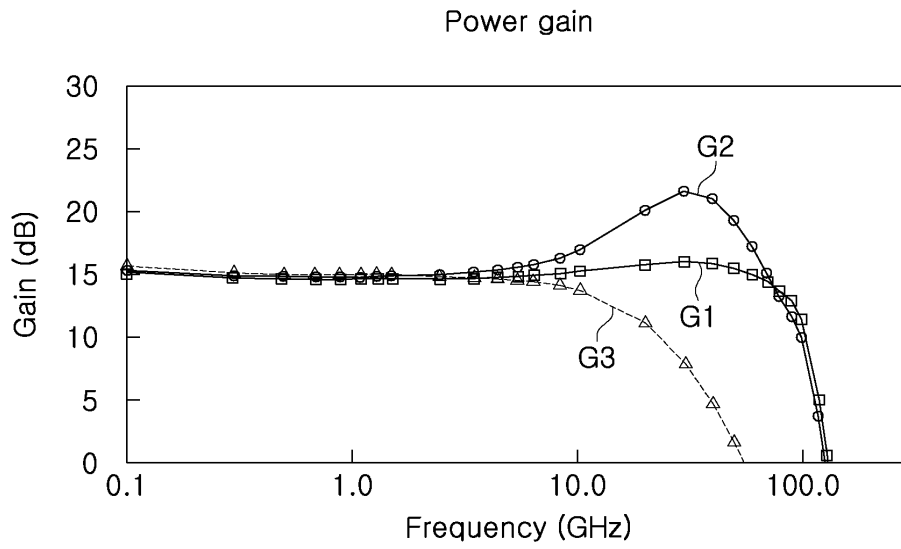
도면4



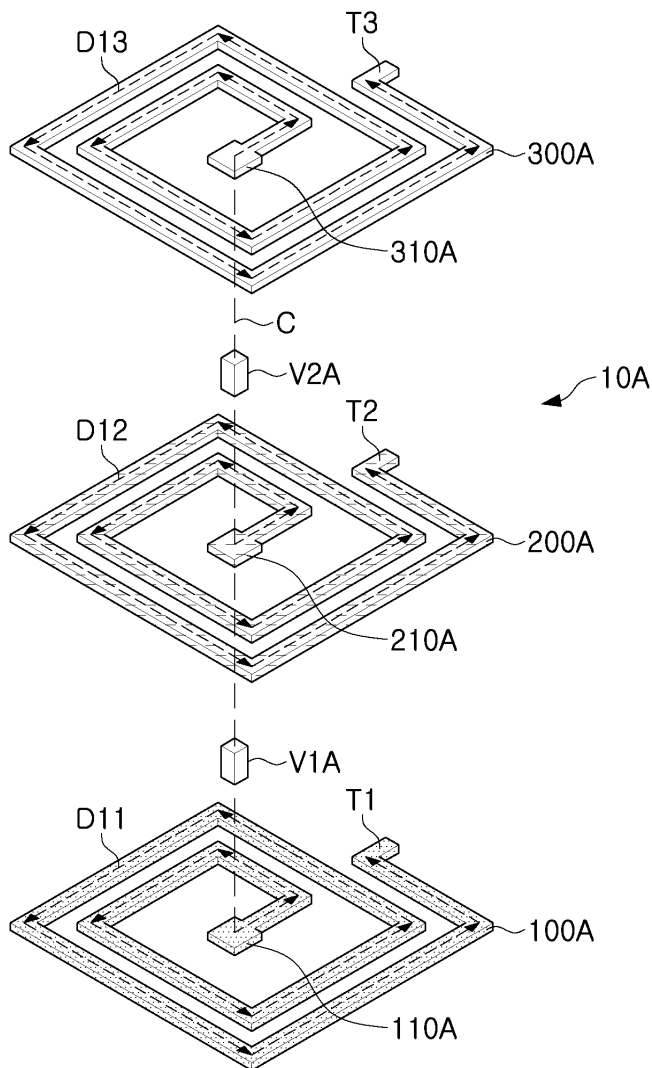
도면5



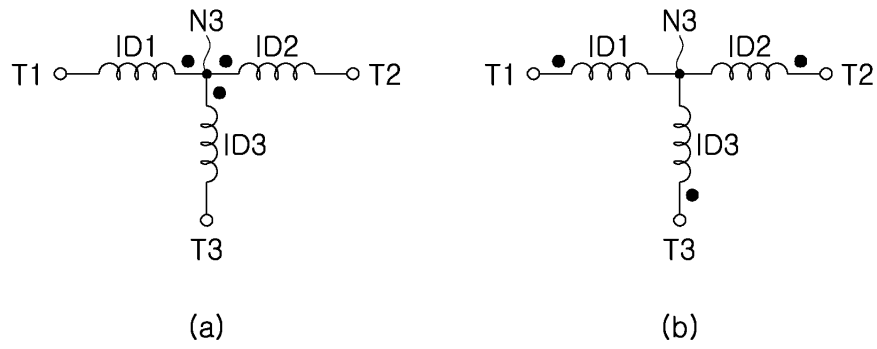
도면6



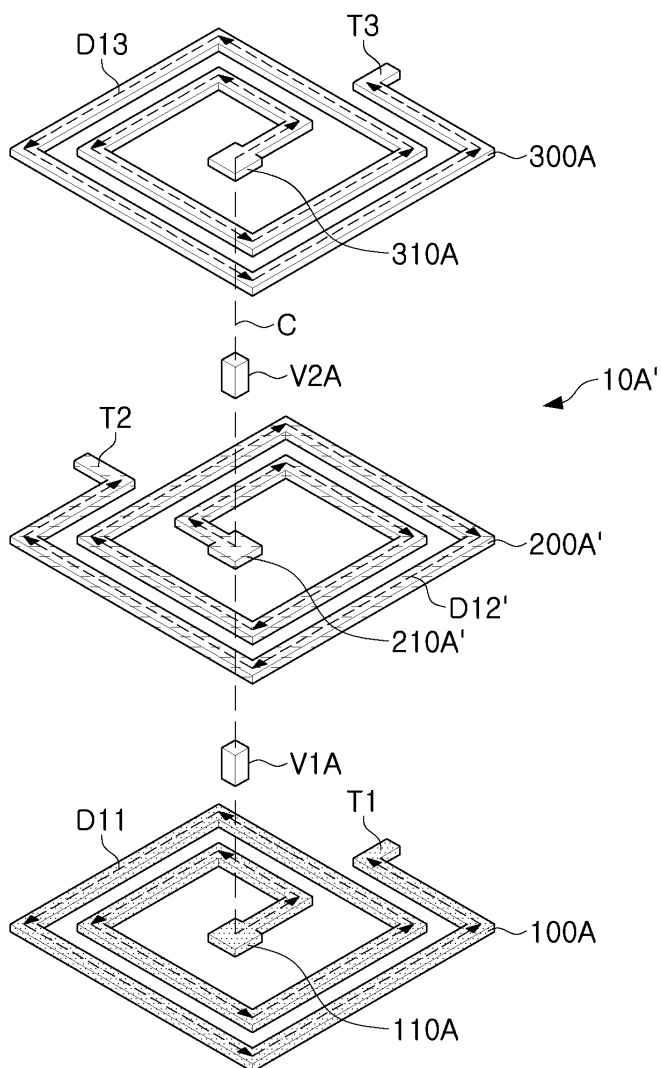
도면7



도면8



도면9



도면10

