



Erteilt gemäß § 17 Absatz 1

Patentgesetz der DDR

vom 27.10.1983

in Übereinstimmung mit den entsprechenden

Festlegungen im Einigungsvertrag

5(51) G 11 C 29/00

G 11 C 8/04

H 01 L 27/11

## DEUTSCHES PATENTAMT

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) DD G 11 C / 344 191 6

(22) 25.09.90

(44) 06.02.92

(71) siehe (73)

(72) Kärger, Reinhard, Dr. sc. techn.; Kemnitz, Günter, Dipl.-Ing., DE

(73) Zentrum Mikroelektronik Dresden GmbH, Grenzstraße 28, PSF 34, O - 8080 Dresden, DE

(74) siehe (73)

## (54) Schaltungsanordnung zum Test von Speichern mit wahlfreiem Zugriff

(55) anwenderspezifische Schaltkreise; Speicher, mit wahlfreiem Zugriff; Selbsttest; Stichprobentestsatz;

Fehlerüberdeckungswahrscheinlichkeit; Schieberegister, linear rückgekoppeltes; Adreßgenerator; Vergleichsschaltung

(57) Die erfindungsgemäße Anordnung kommt vorzugsweise für den vollständigen oder teilweisen Selbsttest von in anwenderspezifischen Schaltkreisen eingebetteten Schreib-/Lese-Speichern in unterschiedlichen Lebensphasen und unterschiedlicher funktioneller Umgebung zur Anwendung. Es ist eine einen Test der Speicher auf Basis von Stichprobentestsätzen realisierende Schaltungsanordnung zu entwickeln, wobei zur Erzielung einer hinreichenden Fehlererkennungswahrscheinlichkeit mehrere Testzyklen durchlaufen werden, in denen zur Stimulierung des Speichers mit von Zyklus zu Zyklus unterschiedlichen Testvektoren der Startzustand des Testmustergenerators nicht mit externen Mitteln verändert wird. Die Testanordnung enthält mindestens ein linear rückgekoppeltes Schieberegister, einen Adreßgenerator und eine Vergleichsschaltung. Erfindungsgemäß ist der höchstwertige Ausgang des  $(n+1)$ stellig aufgebauten Adreßgenerators auf einen Schreib-/Lese-Steuereingang des Speichers geführt. Weiterhin besitzt der Adreßgenerator einen erste Adreßbelegung dekodierenden Komparatorausgang. Parallelschaltete, die anliegenden Daten um einen Taktphasenverschoben übernehmende Dateneingänge des Schieberegisters sind mit Datenausgängen des Speichers verbunden. Ein die parallele Datenübernahme von seinen genannten Eingängen einstellender Steuereingang ist am Komparatorausgang des Adreßgenerators angeschlossen. Fig. 1

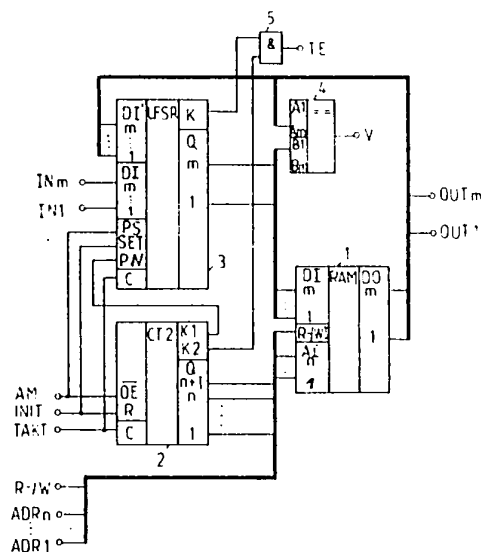


Fig. 1

## Patentansprüche:

1. Schaltungsanordnung zum Test von Speichern mit wahlfreiem Zugriff unter Verwendung mindestens eines linear rückgekoppelten Schieberegisters und eines Adreßgenerators, an die Takt- und Initialisierungssignale angelegt sind, wobei beim Test n Ausgänge des Adreßgenerators auf n Adreßeingänge des zu prüfenden Speichers geführt sind, Dateneingänge des Speichers an Datenausgänge des Schieberegisters angeschlossen und Datenausgänge des Speichers auf erste Eingänge einer Vergleichsschaltung gelegt sind, **dadurch gekennzeichnet**, daß der höchstwertige Ausgang ( $Q_n + 1$ ) des ( $n + 1$ )-stellig aufgebauten Adreßgenerators (2) auf einem Schreib-Lese-Steuereingang ( $R - W$ ) des Speichers (1) geführt ist, daß der Adreßgenerator (2) weiterhin mit einem eine erste Adreßbelegung dekodierenden Komparatorausgang (K1) versehen ist, daß Datenausgänge ( $DO_1 \dots DO_m$ ) des Speichers (1) mit parallelen, die anliegenden Daten um einen Takt phasenverschoben übernehmenden Dateneingängen ( $DI_1' \dots DI_m'$ ) des Schieberegisters (3) verbunden sind, daß das Schieberegister (3) mit einem die parallele Datenübernahme von seinem genannten Dateneingängen ( $DI_1' \dots DI_m'$ ) einstellenden Steuereingang (PN) versehen ist, der am Komparatorausgang (K1) des Adreßgenerators (2) angeschlossen ist, und daß Datenausgänge ( $Q_1 \dots Q_m$ ) des Schieberegisters (3) auf die zweiten Eingänge ( $B_1 \dots B_m$ ) der Vergleichsschaltung (4) geführt sind.
2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß der Adreßgenerator (2) mit einem eine festgelegte Adreßbelegung dekodierenden, ein erstes Testendesignal (TE1) führenden zweiten Komparatorausgang (K2) versehen ist.
3. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß das Schieberegister (3) mit einem einen vorab festgelegten Zustand an seinen Datenausgängen ( $Q_1 \dots Q_m$ ) dekodierenden und ein zweites Testendesignal (E2) führenden Komparatorausgang (K) versehen ist.
4. Schaltungsanordnung nach den Ansprüchen 2 und 3, **dadurch gekennzeichnet**, daß die beiden Testendesignale (TE1; TE2) konjunktiv zu einem endgültigen Testendesignal (TE) verknüpft sind.
5. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß der Adreßgenerator (2) aus über ein Modussteuersignal (AM) funktionskonvertierten Adreßregistern des Speichers (1) konfiguriert ist.
6. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß das Schieberegister (3) aus über ein Modussteuersignal (AM) funktionskonvertierten Datenregistern des Speichers (1) konfiguriert ist.
7. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß bei Durchführung des Testes mehrere Speicher (1) eingangsseitig einander parallel geschaltet sind, daß die Datenausgänge ( $DO_1 \dots DO_m$ ) jedes Speichers (1) auf die ersten Eingänge ( $A_1 \dots A_m$ ) der ihm zugehörigen Vergleichsschaltung (4) gelegt sind, daß die Datenausgänge ( $DO_1 \dots DO_m$ ) eines der Speicher (1) weiterhin auf die die anliegenden Daten um einen Takt phasenverschoben übernehmenden Dateneingänge ( $DI_1' \dots DI_m'$ ) des Schieberegisters (3) geführt und daß die zweiten Eingänge ( $B_1 \dots B_m$ ) der Vergleichsschaltungen (4) an den Datenausgängen ( $Q_1 \dots Q_m$ ) des Schieberegisters (3) angeschlossen sind.

Hierzu 2 Seiten Zeichnungen

## Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zum Test von Speichern mit wahlfreiem Zugriff (RAM – Random Access Memory) unter Verwendung von Stichprobentestsätzen, wobei die vorgeschlagene Lösung für eine Umsetzung in eine integrierte Testanordnung geeignet ist und vorzugsweise für den vollständigen oder teilweisen Selbsttest von in anwenderspezifischen Schaltkreisen eingebetteten Schreib-Lese-Speichern, aber auch von hochintegrierten RAM-Schaltkreisen in unterschiedlichen Lebensphasen und unterschiedlicher funktioneller Umgebung zur Anwendung kommt.

## Charakteristik des bekannten Standes der Technik

Im Zuge der Herstellung von in anwenderspezifischen Schaltkreisen (ASIC) eingebetteten Speichern (embedded memories) und mikroelektronischen Speicherschaltkreisen, aber auch beim Anwender, sind zum Nachweis der Verwendbarkeit umfassende Prüfungen der Speicherzellen sowie der weiteren Funktionseinheiten der Halbleiterspeicherschaltung erforderlich.

Zum Test von Speichern mit wahlfreiem Zugriff (RAM; Schreib-Lese-Speicher) ist dabei die Pattern-Methode allgemein bekannt und eingeführt. Sie ist auf den Nachweis der Abwesenheit von hypothetischen Fehlern, d.h. auf ihre Stimulierung mittels geeigneter Testpattern und ihre Erkennung gerichtet. Als Fehlermodelle werden für die Stimulierung im allgemeinen Haftfehler in Speicherzellen und/oder in der Steuerlogik und/oder in den Schreib-Lese-Leitungen, ein Übersprechen zwischen benachbarten Speicherzellen sowie musterabhängige Fehler zugrunde gelegt.

Dabei kann die Stimulierung in determinierter oder zufälliger Art und Weise erfolgen.

Die für die determinierte Stimulierung entwickelten Testsätze (vgl. Gavrilow, V.A.: Testy dlja proverki poluprovodnikovych BIS OZU. Cifrovye ustrojstva i mikroprozessor, [1979] 3, S. 135-152) berücksichtigen unterschiedliche Fehlerklassen. Daraus ergibt sich eine unterschiedliche algorithmische Kompliziertheit und letztlich auch Testzeit. Bei der Umsetzung eines gewählten Verfahrens in eine Schaltungsanordnung ist die algorithmische Struktur bestimmend für den zusätzlichen Schaltungsaufwand. Deshalb liegen bekannten Lösungen auch eingeschränkte Fehlermodelle zugrunde.

In der EP-Anm. 263 312 wird z.B. eine Lösung zum Testen auf Einzelbitfehler angegeben. Die Speicherzellen werden nacheinander beschrieben und gelesen. Bei Bitverfälschungen wird ein Fehlersignal erzeugt.

In weiteren bekannten Testanordnungen wird dieses Fehlermodell um eine begrenzte Anzahl von Dekodier- und musterabhängigen Fehlern erweitert. Die Lösung nach EP-Anm. 262 867 ist z.B. auf die Erzeugung eines Schachbrettmusters gerichtet. Dabei werden neben Einzelbitfehlern auch das Übersprechen zwischen benachbarten Speicherzellen und ausgewählte Dekodierfehler erkannt.

Für das vollständige Erkennen von uneingeschränkt musterabhängigen Fehlern für  $n$  Speicherzellen sind  $(3n^2 + 2n) 2^n$

Prüfschritte erforderlich (nach Hayes, J.P.: Testing memories for single-cell pattern sensitive faults. IEEE Trans. Comp. C-29 [1980] 3; S. 249). Das ist jedoch zeitlich nicht realisierbar.

Ein akzeptabler Kompromiß zwischen zusätzlich erforderlichen Schaltungsaufwand, Testzeit und

Fehlerüberdeckungswahrscheinlichkeit wird mit der Anwendung von Stichprobentestsätzen erreicht. Dabei wird eine Menge von Testvektoren erzeugt, die nicht auf einem determinierten Fehlermodell basieren, sondern Fehler mit einer bestimmten, ausreichend hohen, Wahrscheinlichkeit anregen. Die Wahrscheinlichkeit des Erkennens eines Fehlers  $i$  hängt von der Stichprobengröße  $N$  und der Anregungshäufigkeit  $x_i$  ab und konvergiert gegen  $p(i) > 1 - e^{-Nx_i}$ .

Für die Stimulierung der aufeinanderfolgend adressierten Speicherzellen werden als linear rückgekoppelte Schieberegister ausgeführte Pseudo-Zufallsgeneratoren mit maximaler Zykllänge eingesetzt. Zur Erzielung einer hinreichenden Fehlerüberdeckungswahrscheinlichkeit sind mehrere Adressierzyklen und die Stimulierung der Speicherzellen mit für jeden Zyklus unterschiedlichen Testvektoren erforderlich.

In der Lösung nach DE-OS 252 698 wird der zu prüfende Speicher pseudozufällig adressiert oder beschrieben und mit dualen Bitfolgen beschrieben oder dual adressiert. Ein Auslesen erfolgt mit der gleichen Reihenfolge, wobei parallel die Eingangsdatenfolgen nochmals erzeugt und bitweise mit den ausgelesenen Ausgangsdatenfolgen verglichen werden.

Zum Erzeugen von für jeden Zyklus unterschiedlichen Testvektoren wird der Startzustand des Pseudo-Zufallsgenerators mit externen Mitteln verändert. Allerdings wirkt sich der zusätzlich erforderliche Schaltungsaufwand nachteilig auf eine Umsetzung in eine integrierte Testanordnung aus.

## Ziel der Erfindung

Das Ziel der Erfindung besteht in einer Verringerung des zur Realisierung integrierter Selbsttestanordnungen zusätzlich erforderlichen Hardwareaufwandes bei einer gegenüber bekannten adäquaten Lösungen mindestens gleichen Prüfgüte.

## Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zum Test von Speichern mit wahlfreiem Zugriff zu entwickeln, welche einen Test auf Basis von Stichprobentestsätzen realisiert, wobei zur Gewährleistung einer hinreichenden Fehlererkennungswahrscheinlichkeit mehrere Testzyklen durchlaufen werden, in denen zur Stimulierung des Speichers mit von Zyklus zu Zyklus unterschiedlichen Testvektoren der Startvektor eines verwendeten Testmustergenerators nicht mehr mit externen Mitteln verändert wird.

Zur Lösung der Aufgabe wird eine Schaltungsanordnung zum Test von Speichern mit wahlfreiem Zugriff unter Verwendung mindestens eines linear rückgekoppelten Schieberegisters und eines Adreßgenerators, an die jeweils Takt- und Initialisierungssignale angelegt sind, vorgeschlagen. Dabei sind beim Test  $n$  Ausgänge des Adreßgenerators auf  $n$  Adreßeingänge des zu prüfenden Speichers geführt, Dateneingänge des Speichers an Datenausgängen des Schieberegisters angeschlossen und Datenausgänge des Speichers auf erste Eingänge einer Vergleichsschaltung gelegt.

Erfindungsgemäß ist der höchstwertige Ausgang des  $(n + 1)$ -stellig aufgebauten Adreßgenerators auf einen Schreib-Lese-Steuereingang des Speichers geführt. Weiterhin ist der Adreßgenerator mit einem ersten, eine erste Adreßbelegung dekodierenden Komparatorausgang versehen.

Datenausgänge des Speichers sind mit parallelen, die anliegenden Daten um einen Takt phasenverschoben übernehmenden Dateneingängen des Schieberegisters verbunden. Das Schieberegister ist mit einem die parallele Datenübernahme von seinen genannten Dateneingängen einstellenden Steuereingängen versehen, der am ersten Komparatorausgang des Adreßgenerators angeschlossen ist.

Die Datenausgänge des Schieberegisters sind auf die zweiten Eingänge der Vergleichsschaltung geführt.

Der Testablauf beginnt mit dem Initialisieren des Schieberegisters und des Adreßgenerators über ein externes Initialisierungssignal. Der sich anschließende Test läuft zyklisch mit einer Zykllänge von  $2^{n+1}$  Takten ab.

In der ersten Phase eines jeden Testzyklus ist der erste Komparatorausgang des Adreßgenerators inaktiv. Der höchstwertige Ausgang steht auf Schreiben, an seinen anderen Ausgängen wird sukzessive jede Adreßbelegung genau einmal erzeugt. Der Speicher wird von dem zum Adreßgenerator synchron laufenden Schieberegister beschrieben.

In der zweiten Phase des Testzyklus steht der höchstwertige Ausgang des Adreßgenerators auf Lesen. An den anderen Ausgängen des Adreßgenerators werden wiederum alle Adressen in der gleichen Reihenfolge wie in der ersten Testphase erzeugt.

Im ersten Takt dieser Testphase wird der erste Komparatorausgang aktiv und bewirkt die parallele Datenübernahme aus dem Speicher um einen Takt phasenverschoben in das Schieberegister.

In den folgenden  $2^n - 1$  Schritten ist der erste Komparatorausgang wieder inaktiv und das zum Adreßgenerator synchron laufende Schieberegister erzeugt bei korrekter Funktion der zuerst adressierten Speicherzellen die gleiche Datenfolge wie beim Beschreiben des Speichers in der ersten Phase des Testzyklus.

Die aus dem Speicher ausgelesenen Datenfolgen werden in der Vergleichsschaltung mit den vom Schieberegister erzeugten Datenfolgen verglichen. Bei Abweichung führt der Ausgang der Vergleichsschaltung ein Vergleichssignal, aus dem durch Verknüpfung mit anderen Steuersignalen der Schaltungsanordnung ein Fehlersignal generierbar ist.

Die Anzahl der nacheinander ablaufenden Testzyklen Z, in denen der Speicher mit jeweils unterschiedlichen Testsätzen stimuliert wird, berechnet sich allgemein nach

$$Z = 2^n \cdot K. g. V. (Z_g, Z^n)$$

wobei  $Z_g$  ... Zykluslänge des Schieberegisters  
k. g. V. ... kleinstes gemeinsames Vielfaches

Das heißt nach diesen Z Zyklen stellt sich zur Zyklusstartadresse der Initialisierungswert des Schieberegisters ein. Alle nun folgenden Testzyklen stellen nur identische Wiederholungen bereits durchlaufener dar.

Deshalb wird nach maximal Z Testzyklen durch Dekodierung vorab berechneter Zustände des Adreßgenerators und des Schieberegisters das Testendesignal TE erzeugt.

Der wesentliche Vorteil der erfindungsgemäßen Lösung liegt eben darin, daß das Schieberegister nach einmaliger Initialisierung zu Testbeginn mit einem Vektor aus dem Maximalzyklus den Speicher nacheinander mit Z verschiedenen,  $2^n$  Vektoren umfassenden Testsätzen stimuliert, ohne daß es sich dazu erforderlich macht, den Startvektor des Schieberegisters von Zyklus zu Zyklus mit externen Mitteln zu verändern. Dabei wird die der Erfindung gestellte Aufgabe gelöst, indem beim Test die potentiellen Möglichkeiten des Prüfobjektes „Speicher mit wahlfreiem Zugriff“ selbst ausgenutzt werden.

In der Ausgestaltung der Erfindung ist der Adreßgenerator mit einem eine festgelegte Adreßbelegung dekodierenden, ein erstes Testendesignal führenden zweiten Komparatorausgang versehen.

Eine nächste Ausgestaltung ist ein einen vorab festgelegten Zustand an seinen Datenausgängen dekodierender und ein zweites Testendesignal führender Komparatorausgang des Schieberegisters.

Die beiden Testendesignale sind im weiteren konjunktiv zu einem endgültigen Testendesignal verknüpft.

In einer vorteilhaften Ausgestaltungsvariante ist der Adreßgenerator aus über ein Modussteuersignal funktionskonvertierten Adreßregistern des Speichers konfiguriert. In weiterer vorteilhafter Ausgestaltung ist das Schieberegister aus über ein Modussteuersignal funktionskonvertierten Datenregistern des Speichers konfiguriert.

Durch diese Funktionskonvertierungen wird der zusätzlich erforderliche Schaltungsaufwand durch effektive Nutzung der vorhandenen Teststrukturen minimiert.

Bei einer Ausgestaltungsvariante für den Test mehrerer Speicher sind diese eingangsseitig einander parallel geschaltet. Die Datenausgänge jedes Speichers sind auf die ersten Eingänge der ihm zugehörigen Vergleichsschaltung gelegt, die Datenausgänge eines der Speicher sind weiterhin auf die die anliegenden Daten um einen Takt phasenverschoben übernehmenden Dateneingänge des Schieberegisters geführt. Die zweiten Eingänge der Vergleichsschaltungen sind an den Datenausgängen des Schieberegisters angeschlossen.

Der Vorteil der Minimierung des zusätzlichen Schaltungsaufwandes durch die effektive Ausnutzung der vorhandenen Anordnung wird besonders deutlich, denn für den Test von mehreren Speichern sind nur ein Adreßregister und nur ein Schieberegister, wie beim Test von einem Speicher erforderlich.

## Ausführungsbeispiel

Die Erfindung wird nachstehend anhand eines Ausführungsbeispiels und zweier Zeichnungen näher erläutert. Dabei zeigen

Fig. 1: die erfindungsgemäße Schaltungsanordnung

Fig. 2: ein linear rückgekoppeltes Schieberegister mit direkter und phasenverschobener Datenübernahme.

Wie in Fig. 1 dargestellt, enthält die erfindungsgemäße Schaltungsanordnung neben dem zu prüfenden Speicher 1 einen als Adreßgenerator 2 verwendeten Binärzähler, ein als Testmuster-generator arbeitendes linear rückgekoppeltes Schieberegister 3, eine Vergleichsschaltung 4 und ein UND-Gatter 5.

Der zu prüfende Speicher 1, der eine Adreßwortbreite n und eine Datenwortbreite m aufweist, ist dementsprechend mit n Adreßeingängen  $AI_1 \dots AI_n$ , m Dateneingängen  $DI_1 \dots DI_m$  und m Datenausgängen  $DO_1 \dots DO_m$  sowie einem Schreib-/Lese-Steuereingang R-/WL versehen. Dabei sind die Adreßeingänge  $AI_1 \dots AI_n$  über einen Adreßbus der Schaltungsanordnung an Adreßeingängen  $ADR_1 \dots ADR_n$  und der Schreib-/Lese-Steuereingang R-/WL über eine Schreib-/Lese-Leitung der Anordnung an einem externen Schreib-/Lese-Umschaltsignal R-/W der Schaltungsanordnung angeschlossen.

Stellvertretend für die Systemeinbindung der erfindungsgemäßen Testanordnung ist der Adreßgenerator 2 nicht funktionskonvertierbar ausgeführt.

Der Adreßgenerator 2 ist als  $(n + 1)$ -stelliger Binärzähler mit den Ausgängen  $Q_1 \dots Q_{n+1}$  realisiert. Er ist über einen Takteingang C an einem Taktsignal TAKT, über einen Rücksetzeingang R an einem Initialisierungssignal INIT und ggf. über einen Steuereingang OE an einem Modussteuersignal AM der Schaltungsanordnung angeschlossen. Die genannten Signale werden der Schaltungsanordnung extern zugeführt.

Weiterhin ist der Adreßgenerator 2 mit einem ersten Komparatorausgang K1 versehen, der eine erste Adreßbelegung dekodiert und ein Adreßvergleichssignal V1 führt. Er weist auch einen zweiten Komparatorausgang K2 auf, der eine zweite Adreßbelegung dekodiert, ein erstes Testendesignal TE1 führt und mit dem ersten Eingang des UND-Gatters 5 verbunden ist.

Die ersten n Ausgänge Q1...Qn des Adreßgenerators 2 sind über Tristate-Treiberstufen (nicht dargestellt) an den Adreßbus der Schaltungsanordnung und damit an den Adreßeingängen A1...An, sein höchstwertiger Ausgang Qn + 1 ist ebenfalls über eine (nicht dargestellte) Tristate-Treiberstufe an die Schreib-/Lese-Leitung der Anordnung und damit am Schreib-/Lese-Steuereingang R-/W1 des Speichers 1 angekoppelt.

Das Schieberegister 3 ist ein funktionskonvertiertes Dateneingangsregister des Speichers 1. Die Funktionskonvertierung wird über einen Steuereingang P/S gesteuert, auf den das Modussteuersignal AM geführt ist.

Das Schieberegister 3 ist über einen Takteingang C am Taktsignal TAKT und über einen Setzeingang SET am Initialisierungssignal INIT der Schaltungsanordnung angeschlossen.

Das Schieberegister 3 ist mit parallelen Dateneingängen D11...D1m versehen, die an Dateneingängen IN1...INm der Schaltungsanordnung liegen. Weiterhin weist es parallele Dateneingänge D11'...D1m' auf, die die anliegenden Daten um einen Takt phasenverschoben vom Speicher 1 übernehmen. Diese Dateneingänge D11'...D1m' des Schieberegisters 3 sind an den Datenausgängen DO1...DOm des Speichers 1, welche noch auf Datenausgängen OUT1...OUTm der Schaltungsanordnung geführt sind, angeschlossen und mit den ersten Eingängen A1...Am der Vergleichsschaltung 4 verbunden.

Ein Steuereingang PN des Schieberegisters 3 stellt die parallele Datenübernahme von seinen Dateneingängen D11'...D1m' ein und ist am ersten Komparatorausgang K1 des Adreßgenerators 2 angeschlossen.

Die Datenausgänge Q1...Qm des Schieberegisters 3 sind auf zweite Eingängen B1...Bm der Vergleichsschaltung 4 sowie auf die Dateneingänge D11...D1m des Speichers 1 geführt. Der Ausgang der Vergleichsschaltung 4 liefert ein Vergleichssignal V. Weiterhin weist das Schieberegister 3 einen Komparatorausgang K auf, der einen vorab festgelegten Zustand des Schieberegisters 3 dekodiert, ein zweites Testendesignal TE2 führt und mit einem zweiten Eingang des UND-Gatters 5 verbunden ist.

Der Ausgang des UND-Gatters 5 führt ein endgültiges Testendesignal TE.

Im weiteren sei die Funktion der erfindungsgemäßen Schaltungsanordnung nach Fig. 1 beschrieben:

Im Anwendermodus (AM = 1, SET = 0) sind die Adressen und das Schreib-/Lese-Umschaltssignal R-/W über den Adreßbus und die Schreib-/Lese-Leitung an den Adreßeingängen A1...An und den Schreib-/Lese-Steuereingang R-/W1 des Speichers 1 angelegt. Das Schieberegister 3 ist in ein paralleles Datenregister zwischen den Eingängen D11...D1m und seinen Datenausgängen Q1...Qm überführt.

Bei der Initialisierung (SET = 1) wird der Adreßgenerator 2 rückgesetzt und im Schieberegister 3 ein im Maximalzyklus enthaltener Zustand x(i) eingestellt.

Im dem sich anschließenden zyklisch ablaufenden Test (AM = 0, SET = 0) übernimmt der Adreßzähler 2 die Ansteuerung der Adreßeingänge A1...An und des Schreib-/Lese-Steuereingangs R-/W1 des Speichers 1 über Adreßbus und Schreib-/Lese-Leitung der Anordnung.

In der ersten Hälfte eines jeden Testzyklus (Zählerzustand 0, 0, 0, ..., 0 bis 0, 1, 1, ..., 1) wird der Speicher 1 in dualer Reihenfolge mit einer vom synchron zum Adreßgenerator 2 laufenden Schieberegister 3 erzeugten pseudozufälligen Datenfolge x(i); x(i + 1); ...; x(i + 2<sup>n</sup> - 1) beschrieben.

Im ersten Takt der zweiten Hälfte des Testzyklus (Zählerzustand 1, 0, 0, 0, ..., 0) steht der höchstwertige Ausgang Qn + 1 des Adreßgenerators 2 auf Lesen. Der Komparatorausgang K1 des Adreßgenerators 2 wird aktiv und bewirkt, daß der Wert x(i) um einen Takt phasenverschoben parallel in das Schieberegister 3 übernommen wird. Im Schieberegister 3 stellt sich der Zustand x(i + 1) ein.

In den folgenden 2<sup>n</sup> - 1 Takten (Zählerzustand 1, 0, 0, ..., 0, 1 bis 1, 1, ..., 1, 1) erzeugt das Schieberegister 3 bei korrekter Funktion der zur Adresse 0, 0, ..., 0 gehörenden Speicherzellen die gleiche Datenfolge x(i + 1)...x(i + 2<sup>n</sup> - 1), mit der der Speicher 1 in der ersten Hälfte des Testzyklus beschrieben wurde. Durch Vergleich der aus dem Speicher 1 ausgelesenen Daten mit den vom Schieberegister 3 erzeugten Daten wird ein Vergleichssignal V gebildet. Aus dem Vergleichssignal V ist in einfacher Weise durch Verknüpfung mit dem Schreib-/Lese-Umschaltssignal des Speichers R-/W, dem Modussteuersignal AM und möglicherweise weiterer, hier nicht näher benannter, Statussignale der Testanordnung ein Fehlersignal generierbar.

Die für die Ausführung bevorzugte Zykluslänge des als Schieberegister realisierten Testmustergenerators 3 von 2<sup>m</sup> - 1, die zum Adressierzyklus des Speichers 1 von 2<sup>n</sup> (m > 1, n > 0) in jedem Fall teilerfremd ist, garantiert, daß innerhalb von 2<sup>m</sup> - 1 aufeinanderfolgenden Testzyklen der Speicher 1 in jedem Testzyklus mit einer anderen Testdatenfolge der Länge 2<sup>n</sup> stimuliert wird. Nach 2<sup>m</sup> - 1 Testzyklen stellt sich zur Zyklusstartadresse der Initialisierungswert des Schieberegisters 3 ein. Alle nun folgenden Testzyklen stellen nur identische Wiederholungen bereits durchlaufender dar.

Deshalb wird durch Dekodierung vorab berechneter Zustände des Adreßgenerators 2 und des Schieberegisters 3 nach maximal 2<sup>m</sup> - 1 Testzyklen das Testendesignal TE erzeugt.

Um Testzeit zu sparen, wird der Test vorzugsweise nach Ausgabe einer Fehlermeldung beendet.

Fig. 2 zeigt den als linear rückgekoppeltes Schieberegister realisierten Testmustergenerator 3 mit den Eingängen D11...D1m, die die Daten parallel übernehmen, und den Eingängen D11'...D1m', die die Daten parallel mit gleichzeitiger Phasenverschiebung um einen Takt übernehmen.

Das Schieberegister 3 ist aus m D-Flipflops 7.1...7m aufgebaut, deren Setzeingänge S am Setzeingang SET und deren Takteingänge C am Takteingang C des Schieberegisters 3 angeschlossen sind.

Die Datenausgänge der Flipflops stellen die Datenausgänge Q1...Qm des Schieberegisters 3 dar. Dabei sind die Datenausgänge der Flipflops 7.1...7m auf erste Dateneingänge A von Multiplexern 6.2...6.m + 1 geführt.

Die zweiten Dateneingänge B der Multiplexer 6.2...6.m sind mit den Dateneingängen D12...D1m des Schieberegisters 3 und deren dritte Dateneingänge C mit den die anliegenden Daten um einen Takt phasenverschoben übernehmenden Dateneingängen D11'...D1m - 1' des Schieberegisters verbunden sind. Steuereingänge SB der Multiplexer 6.2...6.m sind am Steuereingang P/S und Steuereingänge SC dieser Multiplexer 6.1...6.m sind am Steuereingang PN des Schieberegisters angeschlossen. Ausgänge der Multiplexer 6.2...6.m sind auf Dateneingänge D der Flipflops 7.1...7.m geführt. Der zweite Dateneingang B des Multiplexers 6.m + 1 ist mit dem die anliegenden Daten um einen Takt phasenverschoben übernehmenden Dateneingang D1m' des Schieberegisters verbunden, sein Steuereingang S ist am Steuereingang PN des Schieberegisters

angeschlossen und sein Ausgang ist auf einen ersten Eingang eines Rückführnetzwerkes 8 geführt. Weitere Eingänge des Rückführnetzwerkes 8 sind an den vom gewählten Rückkopplungspolynom bestimmten Ausgängen der Multiplexer 6.2...6.m angeschlossen. Der Ausgang des Rückführnetzwerkes 8 auf den ersten Dateneingang A des Multiplexers 6.1, dessen zweiter Dateneingang B am Dateneingang DI1 des Schieberegisters 3 und dessen Steuereingang S am Steuereingang P/S des Schieberegisters 3 angeschlossen sind.

Im Beispiel werden folgende Steuerkodierungen verwendet

| Steuermodus                                                                                      | AM | PN |
|--------------------------------------------------------------------------------------------------|----|----|
| autonomer Betrieb                                                                                | 0  | 0  |
| parallele Datenübernahme von DI 1 ... DI <sub>m</sub>                                            | 1  | x  |
| parallele Datenübernahme von DI 1' ... DI <sub>m</sub> '<br>mit Phasenverschiebung um einen Takt | 0  | 1  |

(mit x... beliebig)

Im autonomen Betrieb sind die ersten Eingänge A der Multiplexer 6.1 ... 6.m + 1 auf ihre Ausgänge durchgeschaltet, so daß sich die Schaltungsanordnung zu einem linear rückgekoppeltem Schieberegister konfiguriert.

Zur parallelen Datenübernahme bei AM = 1 sind die Eingänge DI 1 ... DI<sub>m</sub> über die weiten Eingänge B der Multiplexer 6.1 ... 6.m mit den Eingängen D der D-Flipflops 7.1 ... 7.m verbunden. Zur parallelen Datenübernahme mit Phasenverschiebung um einen Takt (AM = 0; PN = 1) sind die Eingänge DI 1' bis DI<sub>m</sub> - 1' über die dritten Eingänge C der Multiplexer 6.2...6.m mit den Eingängen D der D-Flipflop 7.2...7.m verbunden. Eingang DI<sub>m</sub>' führt über den zweiten Eingang B des Multiplexers 6.m + 1 auf den ersten Eingang des Rückführnetzwerkes 8.

Der Ausgang des Rückführnetzwerkes 8 führt über den ersten Eingang A des Multiplexers 6.1 auf den Dateneingang D des D-Flipflops 7.1.

Die parallele Datenübernahme und gleichzeitige Phasenverschiebung wird durch Einspeisung der Daten unmittelbar an den Ausgängen der Speicherzellen erreicht, was funktionell einer parallelen Datenübernahme in einem ersten Takt und autonomen Weiterschalten in einem zweiten Takt entspricht.

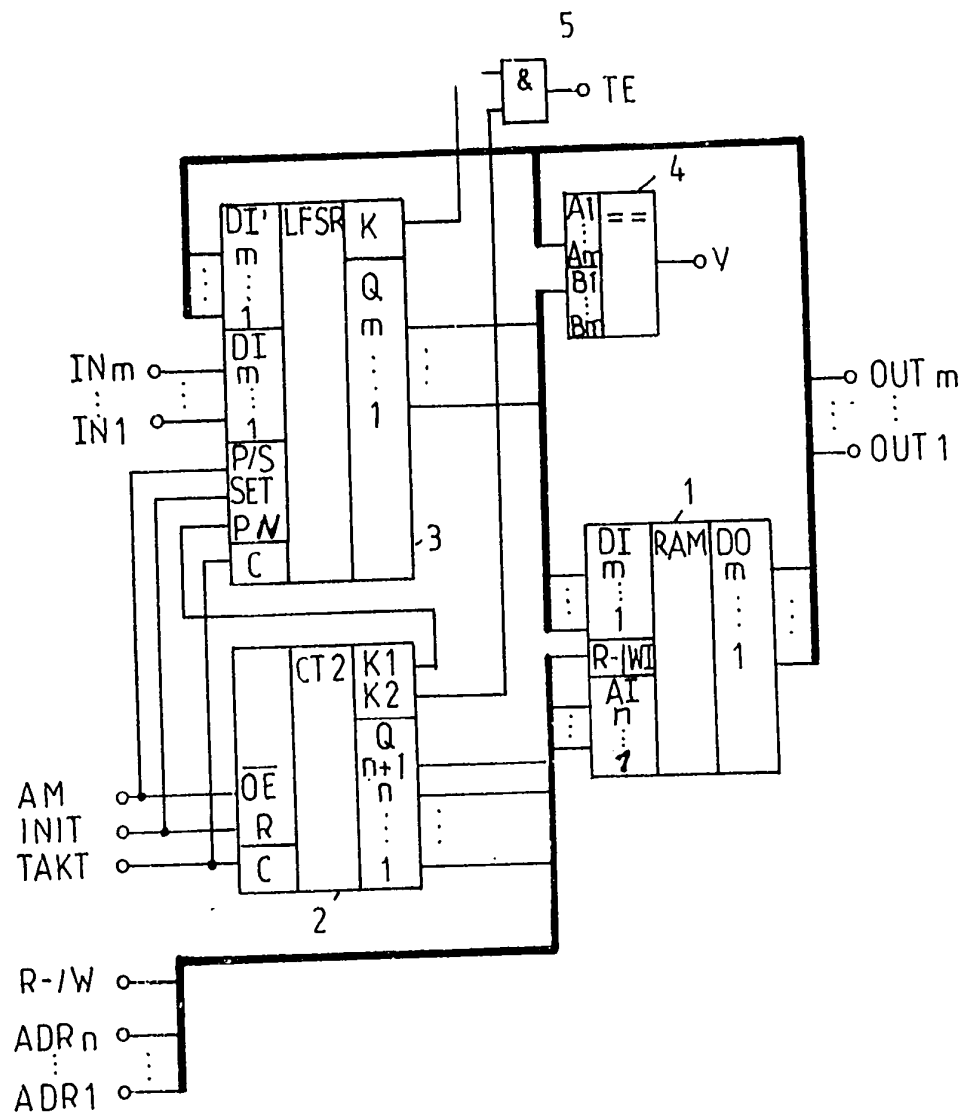


Fig. 1

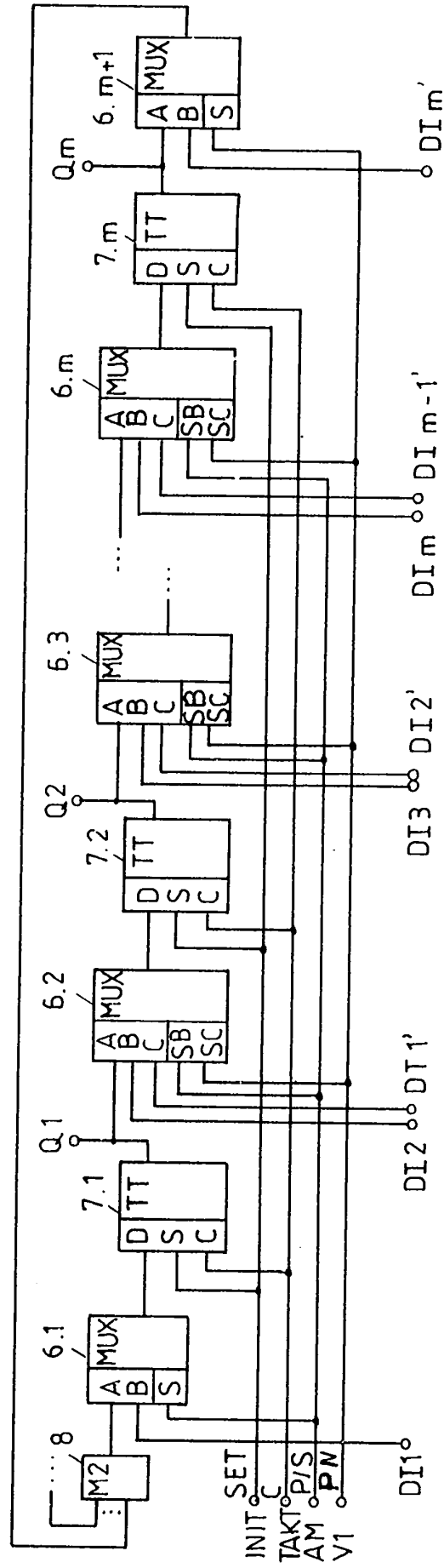


Fig. 2