

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 8 月 28 日 (28.08.2008)

PCT

(10) 国際公開番号
WO 2008/102433 A1

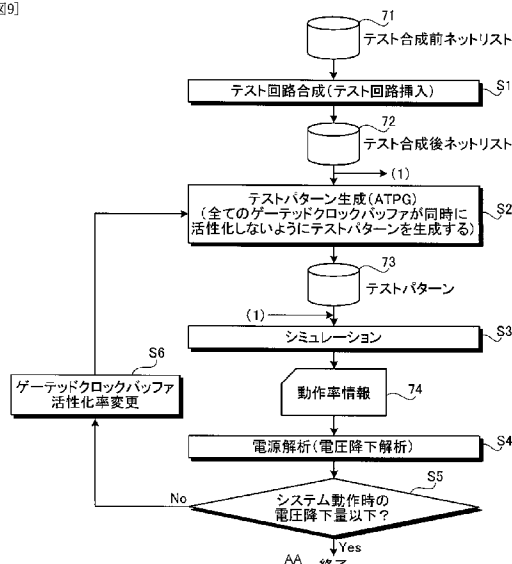
- (51) 国際特許分類:
G01R 31/28 (2006.01) G06F 17/50 (2006.01)
G06F 11/22 (2006.01)
- (21) 国際出願番号: PCT/JP2007/053059
- (22) 国際出願日: 2007 年 2 月 20 日 (20.02.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 吉川 聡 (YOSHIKAWA, Satoru) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳 (SAKAI, Akinori); 〒1006020 東京都千代田区霞が関 3 丁目 2 番 5 号 霞が関ビルディング 20 階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: LSI TEST APPARATUS, LSI TEST METHOD, LSI TEST PROGRAM, AND RECORDING MEDIUM

(54) 発明の名称: L S I 試験装置、L S I 試験方法、L S I 試験プログラムおよび記録媒体

[図9]



71 NET LIST BEFORE TEST SYNTHESIZATION
 S1 SYNTHESIZE TEST CIRCUIT (INSERT TEST CIRCUIT)
 72 NET LIST AFTER TEST SYNTHESIZATION
 S2 GENERATE TEST PATTERN (ATPG) (GENERATE TEST PATTERN SO THAT ALL GATED CLOCK BUFFERS ARE NOT SIMULTANEOUSLY ACTIVATED)
 73 TEST PATTERN
 S3 SIMULATION
 S6 CHANGE ACTIVATION RATE OF GATED CLOCK BUFFERS
 74 OPERATION RATE INFORMATION
 S4 ANALYZE POWER SUPPLY (ANALYZE VOLTAGE DROP)
 S5 NOT MORE THAN AMOUNT OF VOLTAGE DROP DURING SYSTEM OPERATION?
 AA END

(57) Abstract: A test pattern in which only some gated clock buffers are simultaneously activated is generated on the basis of a net list after test generation obtained by inserting a test circuit into a net list before the test synthesis. The simulation of a circuit comprising the net list after the test synthesis is performed by using the test pattern to analyze the amount of a voltage drop on the basis of information on operation rate obtained by the simulation. The activity rate of the gated clock buffers is changed so that the amount of the voltage drop obtained by the analysis is not more than the amount of a voltage drop during system operation for performing a high-speed test of the LSI.

(57) 要約: テスト合成前ネットリストにテスト回路を挿入し、それにより得られたテスト合成後ネットリストに基づいて一部のゲートドクロックバッファのみを同時に活性化させるテストパターンを生成する。そのテストパターンを用いてテスト合成後ネットリストからなる回路のシミュレーションを行い、それにより得られた動作率情報に基づいて電圧降下量を解析する。その解析により得られた電圧降下量がシステム動作時の電圧降下量以下になるように、ゲートドクロックバッファの活性化率を変更して、L S I の高速試験を行う。

WO 2008/102433 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

LSI試験装置、LSI試験方法、LSI試験プログラムおよび記録媒体 技術分野

[0001] 本発明は、LSI試験装置、LSI試験方法、LSI試験プログラム、および該プログラムを記録した記録媒体に関するものである。

背景技術

[0002] LSI(大規模集積回路)チップの試験として、縮退故障試験に加えてLSIのシステム動作スピードでの高速試験(TDT:Transision Delay Test)が要求されている。通常、LSIには、システム動作(ユーザーモード動作)時に動作する必要のない回路ブロックへのクロック信号の供給を停止するために、ゲーテッドクロック技術が設けられている。

[0003] 図11は、テスト合成前のLSIの回路構成を示す図である。図11に示すように、LSIの全体回路1は、複数のゲーテッドクロックバッファ2a, 2bと、各ゲーテッドクロックバッファ2a, 2bにクロック信号を供給するPLL回路3と、各ゲーテッドクロックバッファ2a, 2bからクロック信号が供給される、フリップフロップ4およびメモリ5からなる複数の回路ブロック6a, 6bと、各ゲーテッドクロックバッファ2a, 2bをそれぞれ制御する複数のイネーブル制御回路(EN Logic)7と、を有する。

[0004] 図11に示す構成において、例えば、システム動作時に、ある回路ブロック6aが動作し、他の回路ブロック6bが動作しない場合、その動作する回路ブロック6aに接続されたゲーテッドクロックバッファ2aは、該回路ブロック6aにクロック信号を供給する。一方、動作しない回路ブロック6bに接続されたゲーテッドクロックバッファ2bは、該回路ブロック6bへのクロック信号の供給を停止する。

[0005] 図12は、従来の試験方法によるテスト合成後のLSIの回路構成を示す図である。図12に示すように、テスト合成によって、LSIの全体回路1には、DFT(Design For Test)コントローラ8、マスク回路9およびPLLバイパス用セクタ10が挿入される。マスク回路9は、各イネーブル制御回路7と各ゲーテッドクロックバッファ2a, 2bのイネーブル制御端子ENの間に挿入される。テスト時には、DFTコントローラ8によって、

すべてのマスク回路9が常にアクティブ状態に固定されるため、すべての回路ブロック6a, 6bのフリップフロップ4およびメモリ5には、常にクロック信号が供給され続ける。つまり、LSIの回路全体がほぼ同時に動作することになる。

[0006] ところで、ゲーテッドクロック技術を導入した集積回路であって、スキャン試験回路を備えた半導体集積回路が公知である。例えば、半導体集積回路は、論理回路と、前記論理回路の出力をクロック信号に同期して取り込むフリップフロップ回路と、前記フリップフロップ回路へ前記クロック信号の供給を停止するクロック停止信号を生成するマスク回路とを備え、前記論理回路と前記フリップフロップ回路でスキャンパスを形成するスキャン試験の機能を備える半導体集積回路であって、通常動作モード時には、前記マスク回路が前記フリップフロップ回路への前記クロックの供給を停止し、スキャン試験モード時には、前記マスク回路の動作に関わらず前記フリップフロップ回路への前記クロック信号の供給を許容し、前記フリップフロップ回路が前記マスク回路のスキャン試験のためのスキャンパスを形成することを特徴とする(下記特許文献1参照。)

[0007] 特許文献1:特開2006-38831号公報

発明の開示

発明が解決しようとする課題

[0008] 上述したように、従来の試験方法では、LSIの回路全体がほぼ同時に動作し、高速試験の場合には、さらに回路全体が高速で動作するため、テスト時の消費電力がシステム動作時の消費電力よりも大きくなり、大きな電圧降下が発生することがある。通常、LSIの電源設計は、システム動作時の電圧降下量などを考慮してシステム動作時に問題なく動作するように設計される。そのため、高速試験時にシステム動作時よりも大きな電圧降下が発生すると、高速試験を行えなくなるという問題点がある。

[0009] 本発明は、上記に鑑みてなされたものであって、高速試験時の電圧降下をシステム動作時に想定される電圧降下よりも小さくすることによって高速試験を行うことができるLSI試験装置、LSI試験方法、LSI試験プログラムおよび記録媒体を提供することを目的とする。

課題を解決するための手段

[0010] 上述した課題を解決し、目的を達成するために、本発明は、テスト合成前ネットリストにテスト回路を挿入し、それにより得られたテスト合成後ネットリストに基づいて一部のゲーテッドクロックバッファのみを同時に活性化させるテストパターンを生成し、そのテストパターンを用いてテスト合成後ネットリストからなる回路のシミュレーションを行い、それにより得られた動作率情報に基づいて電圧降下量を解析することを特徴とする。そして、その解析により得られた電圧降下量がシステム動作時の電圧降下量以下になるように、ゲーテッドクロックバッファの活性化率を変更して、LSIの高速試験を行うことを特徴とする。

[0011] また、テストパターンを生成する際には、同時に活性化させてもよいゲーテッドクロックバッファの数や比率に基づいてテストパターンを生成してもよい。また、レイアウト配置情報に基づいて同時に活性化させてもよいゲーテッドクロックバッファを選択するようにしてもよい。

[0012] この発明によれば、LSIの高速試験時に、その電圧降下量がシステム動作時の電圧降下量以下になるように、一部のゲーテッドクロックバッファのみを同時に活性化させるテストパターンを用いることによって、高速試験時の電圧降下量がシステム動作時の電圧降下量以下になる。

発明の効果

[0013] 本発明にかかるLSI試験装置、LSI試験方法、LSI試験プログラムおよび記録媒体は、LSIの高速試験時の電圧降下をシステム動作時に想定される電圧降下よりも小さくすることができるので、高速試験を行うことができるという効果を奏する。

図面の簡単な説明

[0014] [図1]図1は、この発明の実施の形態にかかるLSI試験装置のハードウェア構成を示すブロック図である。

[図2]図2は、この発明の実施の形態にかかるLSI試験装置の機能的構成を示すブロック図である。

[図3]図3は、この発明の実施の形態にかかるLSI試験装置によるテスト合成後のLSIの回路構成の一例を示す図である。

[図4]図4は、図3に示すテスト合成後の回路構成におけるテスト回路の真理値表の

一例を示す図である。

[図5]図5は、図3に示すテスト合成後の回路構成により高速試験を行う際の動作パターンを示す図である。

[図6]図6は、この発明の実施の形態にかかるLSI試験装置によるテスト合成後のLSIの回路構成の他の例を示す図である。

[図7]図7は、図6に示すテスト合成後の回路構成におけるテスト回路の真理値表の一例を示す図である。

[図8]図8は、図6に示すテスト合成後の回路構成により高速試験を行う際の動作パターンを示す図である。

[図9]図9は、この発明の実施の形態にかかるLSI試験装置の高速試験手順の一例を示すフローチャートである。

[図10]図10は、この発明の実施の形態にかかるLSI試験装置の高速試験手順の他の例を示すフローチャートである。

[図11]図11は、テスト合成前のLSIの回路構成を示す図である。

[図12]図12は、従来の試験方法によるテスト合成後のLSIの回路構成を示す図である。

符号の説明

- [0015]
- 11 テスト回路合成部
 - 12 テストパターン生成部
 - 13 シミュレーション部
 - 14 電源解析部
 - 22 PLLバイパス用セレクタ
 - 23 ゲーテッドクロックイネーブル設定用フリップフロップ
 - 24 マスク回路
 - 25 セレクタ
 - 26 DFTコントローラ
 - 52 カウンタ
 - 53 デコーダ

発明を実施するための最良の形態

[0016] 以下に、本発明にかかるLSI試験装置、LSI試験方法、LSI試験プログラムおよび記録媒体の実施例を図面に基づいて詳細に説明する。なお、この実施例によりこの発明が限定されるものではない。

[0017] (LSI試験装置のハードウェア構成)

まず、この発明の実施の形態にかかるLSI試験装置のハードウェア構成について説明する。図1は、この発明の実施の形態にかかるLSI試験装置のハードウェア構成を示すブロック図である。

[0018] 図1に示すように、LSI試験装置は、CPU101と、ROM102と、RAM103と、HDD(ハードディスクドライブ)104と、HD(ハードディスク)105と、FDD(フレキシブルディスクドライブ)106と、着脱可能な記録媒体の一例としてのFD(フレキシブルディスク)107と、ディスプレイ108と、I/F(インターフェース)109と、キーボード110と、マウス111と、スキャナ112と、プリンタ113と、を備えている。また、各構成部は、バス100によってそれぞれ接続されている。

[0019] ここで、CPU101は、LSI試験装置の全体の制御を司る。ROM102は、ブートプログラムなどのプログラムを記憶している。RAM103は、CPU101のワークエリアとして使用される。HDD104は、CPU101の制御に従ってHD105に対するデータのリード/ライトを制御する。HD105は、HDD104の制御で書き込まれたデータを記憶する。

[0020] FDD106は、CPU101の制御に従ってFD107に対するデータのリード/ライトを制御する。FD107は、FDD106の制御で書き込まれたデータを記憶したり、FD107に記憶されたデータをLSI試験装置に読み取らせたりする。

[0021] また、着脱可能な記録媒体として、FD107のほか、CD-ROM(CD-R、CD-RW)、MO、DVD(Digital Versatile Disk)、メモリーカードなどであってもよい。ディスプレイ108は、カーソル、アイコンあるいはツールボックスをはじめ、文書、画像、機能情報などのデータを表示する。このディスプレイ108は、例えば、CRT、TFT液晶ディスプレイ、プラズマディスプレイなどを採用することができる。

[0022] I/F109は、通信回線を通じてインターネットなどのネットワーク114に接続され、こ

のネットワーク114を介して他の装置に接続される。そして、I/F109は、ネットワーク114と内部のインターフェースを司り、外部装置からのデータの入出力を制御する。I/F109には、例えばモデムやLANアダプタなどを採用することができる。

[0023] キーボード110は、文字、数字、各種指示などの入力のためのキーを備え、データの入力を行う。また、タッチパネル式の入力パッドやテンキーなどであってもよい。マウス111は、カーソルの移動や範囲選択、あるいはウィンドウの移動やサイズの変更などを行う。ポインティングデバイスとして同様に機能を備えるものであれば、トラックボールやジョイスティックなどであってもよい。

[0024] スキャナ112は、画像を光学的に読み取り、LSI試験装置内に画像データを取り込む。なお、スキャナ112は、OCR機能を持たせてもよい。また、プリンタ113は、画像データや文書データを印刷する。プリンタ113には、例えば、レーザプリンタやインクジェットプリンタを採用することができる。

[0025] (LSI試験装置の機能的構成)

次に、この発明の実施の形態にかかるLSI試験装置の機能的構成について説明する。図2は、この発明の実施の形態にかかるLSI試験装置の機能的構成を示すブロック図である。図2に示すように、LSI試験装置は、テスト回路合成部11と、テストパターン生成部12と、シミュレーション部13と、電源解析部14と、を備えている。

[0026] テスト回路合成部11は、テスト合成前ネットリストにテスト回路を挿入する。テスト回路が挿入されたテスト合成後ネットリストによる回路の具体的な構成については後述する。テストパターン生成部12は、テスト回路合成部11により合成されたテスト合成後ネットリストに基づいてLSIの一部のゲーテッドクロックバッファのみを同時に活性化させるテストパターンを生成する。

[0027] シミュレーション部13は、テストパターン生成部12により生成されたテストパターンを用いてテスト合成後ネットリストからなる回路のシミュレーションを行う。電源解析部14は、シミュレーション部13により得られた動作率情報に基づいて電圧降下量を解析する。

[0028] この電圧降下量がLSIのシステム動作時の電圧降下量よりも大きい場合には、テストパターン生成部12は、同時に活性化させるゲーテッドクロックバッファの数や比率、

すなわちゲーテッドクロックバッファの活性化率を変更する。そして、高速試験時の電圧降下量がシステム動作時の電圧降下量以下になるようなテストパターンを生成する。

[0029] なお、上述したテスト回路合成部11、テストパターン生成部12、シミュレーション部13および電源解析部14は、具体的には、例えば、図1に示したROM102、RAM103、HD105などの記録媒体に記録されたプログラムを、CPU101が実行することによって、またはI/F109によって、その機能を実現する。

[0030] (テスト合成後ネットリストの回路構成の第1の例)

図3は、この発明の実施の形態にかかるLSI試験装置によるテスト合成後のLSIの回路構成の一例を示す図である。テスト合成前のLSIの回路構成は、図11に示す構成と同様である。

[0031] 図3に示すように、テスト合成によって、LSIの全体回路21には、PLLバイパス用セクタ22が挿入される。また、回路ブロック27ごとに、ゲーテッドクロックイネーブル設定用フリップフロップ23、マスク回路24およびセクタ25が挿入される。さらに、テスト制御回路であるDFTコントローラ26が挿入される。

[0032] 特に限定しないが、図3に示すLSIには、例えば、グループ1からグループ8までの8個の回路ブロック27が設けられている。各回路ブロック27は、例えば、ゲーテッドクロックバッファ28と、このゲーテッドクロックバッファ28のクロック出力端子CLKに接続され、ゲーテッドクロックバッファ28から供給されるクロック信号に同期して動作するフリップフロップ29およびメモリ30を備えている。

[0033] LSI内のフリップフロップは、スキランチェンにより接続されている。なお、図が複雑になるのを避けるため、グループ1の回路ブロック27についてのみ、ブロック内の構成の一部を示すが、グループ2からグループ8までの回路ブロック27については、その内部構成の図示を省略する。

[0034] DFTコントローラ26は、PLLバイパス用セクタ22およびセクタ25を制御するテストモード信号を出力する。また、DFTコントローラ26は、マスク回路24を制御するスキランモード信号を出力する。PLLバイパス用セクタ22は、テストモード信号に基づいて基準クロック信号およびPLL回路32の出力信号のいずれか一方を選択して

出力する。PLLバイパス用セクタ22の出力信号は、ゲートドクロックバッファ28のクロック入力端子Gに供給される。

[0035] ゲートドクロックイネーブル設定用フリップフロップ23は、基準クロック信号に同期して自身の出力信号をラッチして出力する。ゲートドクロックイネーブル設定用フリップフロップ23の状態(保持データの値)は、テストモード時のシフト動作時に設定される。マスク回路24は、スキャンモード信号に基づいてゲートドクロックイネーブル設定用フリップフロップ23の出力信号がセクタ25へ出力されるのを制御する。マスク回路24は、例えば、オア回路により構成されている。

[0036] セクタ25は、テストモード信号に基づいてマスク回路24の出力信号およびイネーブル制御回路31の出力信号のいずれか一方を選択して出力する。イネーブル制御回路31は、システム動作時にゲートドクロックを制御する回路である。セクタ25の出力信号は、ゲートドクロックバッファ28のイネーブル制御端子ENに供給される。これらのテスト回路の動作について説明する。

[0037] 図4は、図3に示すテスト合成後の回路構成におけるテスト回路の真理値表の一例を示す図である。図4において、「FF出力」、「OR出力」および「セクタ出力」は、それぞれ、ゲートドクロックイネーブル設定用フリップフロップ23の出力信号、マスク回路24の出力信号およびセクタ25の出力信号である。「*」は、「0」と「1」のいずれでもよいことを表す(図7においても同じ)。

[0038] 図4に示すように、例えば、システム動作時のテストモード信号の値は「0」である。このとき、セクタ25は、イネーブル制御回路31の出力信号を選択してゲートドクロックバッファ28のイネーブル制御端子ENに供給する。また、PLLバイパス用セクタ22は、PLL回路32の出力信号を選択してゲートドクロックバッファ28のクロック入力端子Gに供給する。

[0039] テストモードのときには、テストモード信号の値は「1」となる。このときには、セクタ25は、マスク回路24の出力信号を選択する。また、PLLバイパス用セクタ22は、基準クロック信号を選択する。テストモードにおいてシフト動作時には、スキャンモード信号の値は「1」である。このとき、ゲートドクロックイネーブル設定用フリップフロップ23の値にかかわらず、マスク回路24の出力信号の値が「1」となり、セクタ25の出

力信号の値が「1」となる。

- [0040] 従って、すべてのゲーテッドクロックバッファ28が活性化され、すべてのゲーテッドクロックバッファ28のクロック出力端子GCLKからクロック信号が出力される。このシフト動作時に、すべてのゲーテッドクロックイネーブル設定用フリップフロップ23の状態(値)と、システム動作時に動作する他のフリップフロップ、例えば回路ブロック27内のフリップフロップ29の状態(値)が設定される。
- [0041] テストモードにおいてキャプチャ動作時には、スキャンモード信号の値は「0」である。従って、マスク回路24は、ゲーテッドクロックイネーブル設定用フリップフロップ23の出力信号をそのまま出力する。
- [0042] ゲーテッドクロックイネーブル設定用フリップフロップ23の保持データの値(出力信号の値)が「1」であれば、マスク回路24の出力信号の値は「1」となり、セクタ25の出力信号の値が「1」となる。この出力値が「1」であるセクタ25に接続されたゲーテッドクロックバッファ28は、活性化され、クロック信号を出力する。
- [0043] 一方、ゲーテッドクロックイネーブル設定用フリップフロップ23の保持データの値(出力信号の値)が「0」であれば、マスク回路24の出力信号の値は「0」となり、セクタ25の出力信号の値が「0」となる。この出力値が「0」であるセクタ25に接続されたゲーテッドクロックバッファ28は、活性化されないで、クロック信号を出力しない。このように、キャプチャ動作時には、シフト動作時のゲーテッドクロックイネーブル設定用フリップフロップ23の設定に応じて、一部の回路ブロック27にのみクロック信号が供給されて活性化される。
- [0044] 図5は、図3に示すテスト合成後の回路構成により高速試験を行う際の動作パターンを示す図である。図5に示すように、まず、初期化パターン41によるDFTコントローラ26のリセットや、所望のテストモードの設定が行われる。続いて、シフト動作42とキャプチャ動作43が繰り返し行われる。シフト動作42では、活性化させるゲーテッドクロックバッファ28の設定と、システム動作時に動作する他のフリップフロップの設定が行われる。
- [0045] 一対のシフト動作42とキャプチャ動作43で回路ブロック27を1つずつ活性化させてもよいし、同時に複数の回路ブロック27を活性化させてもよい。同時に複数の回路

ブロック27を活性化させる場合には、レイアウト配置情報を考慮して同時に活性化させてもよいゲートドクロックバッファ28を選択し、多くの隣接するゲートドクロックバッファ28が同時に活性化しないようにするとよい。

[0046] (テスト合成後ネットリストの回路構成の第2の例)

図6は、この発明の実施の形態にかかるLSI試験装置によるテスト合成後のLSIの回路構成の他の例を示す図である。なお、上述した「(テスト合成後ネットリストの回路構成の第1の例)」と同様の構成については、同一の符号を付して説明を省略する。また、その第1の例と重複する説明については、省略する。

[0047] 図6に示すように、図11に示すテスト合成前のLSIの回路構成に対して、テスト合成によって、LSIの全体回路51には、PLLバイパス用セクタ22およびDFTコントローラ26が挿入されるとともに、セクタ25が回路ブロック27ごとに挿入される。また、カウンタ52およびデコーダ53が挿入される。

[0048] DFTコントローラ26は、カウンタ52およびデコーダ53を制御するスキャンモード信号を出力する。カウンタ52は、スキャンモード信号によりリセットされ、PLLバイパス用セクタ22から出力される基準クロック信号に基づいてカウンタ値を更新する。

[0049] デコーダ53は、スキャンモード信号に基づいて、カウンタ52から出力されるカウンタ値をデコードし、そのカウンタ値に応じて一部のゲートドクロックバッファ28にのみ該ゲートドクロックバッファ28を活性化させる信号を出力するように構成されている。また、デコーダ53は、スキャンモード信号に基づいてすべてのゲートドクロックバッファ28を活性化させる信号を出力するように構成されている。

[0050] セクタ25は、テストモード信号に基づいてデコーダ53の出力信号およびイネーブル制御回路31の出力信号のいずれか一方を選択してゲートドクロックバッファ28のイネーブル制御端子ENへ出力する。イネーブル制御回路31は、システム動作時にゲートドクロックを制御する回路である。LSI内のフリップフロップは、スキャンチェーンにより接続されている。ただし、カウンタ52を構成するフリップフロップはスキャンフリップフロップではない。これらのテスト回路の動作について説明する。

[0051] 図7は、図6に示すテスト合成後の回路構成におけるテスト回路の真理値表の一例を示す図である。図7において、「カウンタ出力」、「デコーダ出力」および「セクタ出

力」は、それぞれ、カウンタ52の出力信号、デコーダ53の出力信号およびセクタ25の出力信号である。

[0052] また、図6に示す回路構成では、回路ブロック27が8個あるので、カウンタ52の出力信号は3ビットであり、デコーダ53の出力信号は8ビットであるが、これらのビット数は、回路ブロック27の数に応じて適宜選択される。図7に示す例は、回路ブロック27を1つつつ活性化させる場合の例である。

[0053] 図7に示すように、例えば、システム動作時のテストモード信号の値は「0」であり、このときのPLLバイパス用セクタ22およびセクタ25がそれぞれ選択する信号は、上述した第1の例の場合と同じである。テストモードのときには、テストモード信号の値は「1」となる。このときには、PLLバイパス用セクタ22は、基準クロック信号を選択し、セクタ25は、デコーダ53の出力信号を選択する。

[0054] テストモードにおいてシフト動作時には、スキャンモード信号の値が「1」となり、カウンタ52がリセット状態に保持され、カウンタ52の出力信号の値は「000」となる。また、デコーダ53は、グループ8、グループ7、グループ6、グループ5、グループ4、グループ3、グループ2およびグループ1の各回路ブロック27に対して、それぞれ、「1」、「1」、「1」、「1」、「1」、「1」および「1」の値の信号を出力する。各グループに対応するセクタ25の出力信号の値も、それぞれに対応するデコーダ53の出力信号の値と同じになる。

[0055] 従って、すべてのゲーテッドクロックバッファ28が活性化され、すべてのゲーテッドクロックバッファ28のクロック出力端子GCLKからクロック信号が出力される。このシフト動作時に、システム動作時に動作するフリップフロップ、例えば回路ブロック27内のフリップフロップ29の状態(値)が設定される。

[0056] テストモードにおいてキャプチャ動作時には、スキャンモード信号の値は「0」である。このとき、カウンタ52は、基準クロック信号に基づいてカウンタ値を更新する。カウンタ52の出力信号の値が「000」であるとき、デコーダ53は、グループ8、グループ7、グループ6、グループ5、グループ4、グループ3、グループ2およびグループ1の各回路ブロック27に対して、それぞれ、「0」、「0」、「0」、「0」、「0」、「0」、「0」および「1」の値の信号を出力する。

- [0057] それに対応するセクタ25の出力信号の値も同じになるので、グループ1の回路ブロック27内のゲーテッドクロックバッファ28が活性化され、クロック信号を出力する。グループ2からグループ8までの回路ブロック27内のゲーテッドクロックバッファ28は、活性化されないで、クロック信号を出力しない。
- [0058] キャプチャ動作時に、カウンタ52の出力信号の値が「001」であるときには、デコーダ53の出力信号の値は、グループ8からグループ1へ向かって、「0」、「0」、「0」、「0」、「0」、「0」、「1」および「0」となり、グループ2の回路ブロック27内のゲーテッドクロックバッファ28のみが活性化される。グループ3からグループ8についても同様である。
- [0059] このように、キャプチャ動作時には、カウンタ52の出力値に応じて、一部の回路ブロック27にのみクロック信号が供給されて活性化される。なお、複数のゲーテッドクロックバッファ28が同時に活性化されるように、デコーダ53を構成してもよい。この場合には、レイアウト配置情報を考慮して同時に活性化させてもよいゲーテッドクロックバッファ28を選択し、多くの隣接するゲーテッドクロックバッファ28が同時に活性化しないようにするとよい。
- [0060] 図8は、図6に示すテスト合成後の回路構成により高速試験を行う際の動作パターンを示す図である。図8に示すように、まず、初期化パターン61によるDFTコントローラ26のリセットや、所望のテストモードの設定が行われる。続いて、シフト動作62が行われ、そのシフト動作62によりフリップフロップが設定された状態に対して、すべてのゲーテッドクロックバッファ28が活性化されるまでキャプチャ動作63、64、65が繰り返し行われる。各キャプチャ動作63、64、65において活性化されるゲーテッドクロックバッファ28は、カウンタ52およびデコーダ53により選択される。
- [0061] (高速試験手順の第1の例)
- 次に、この発明の実施の形態にかかるLSI試験装置の高速試験手順について説明する。図9は、この発明の実施の形態にかかるLSI試験装置の高速試験手順の一例を示すフローチャートである。
- [0062] 図9に示すように、まず、テスト回路合成部11によりテスト回路合成工程を行う(ステップS1)。テスト回路合成工程では、テスト合成前ネットリスト71にテスト回路が挿入さ

れる。その際、ユーザが、制御したいゲーテッドクロックバッファ28を指定することもできる。

[0063] 例えば、図3に示す回路構成の場合には、テスト回路として、PLLバイパス用セクタ22、ゲーテッドクロックイネーブル設定用フリップフロップ23、マスク回路24、セクタ25およびDFTコントローラ26が挿入される。図6に示す回路構成の場合には、テスト回路として、PLLバイパス用セクタ22、セクタ25、DFTコントローラ26、カウンタ52およびデコーダ53が挿入される。

[0064] 次いで、テストパターン生成部12によりテストパターン生成工程を行う(ステップS2)。テストパターン生成工程では、テスト回路合成工程により得られたテスト合成後ネットリスト72に基づいてテストパターン73が自動的に生成される。このときのテストパターン73は、すべてのゲーテッドクロックバッファ28が同時に活性化しないようなパターンである。

[0065] 次いで、シミュレーション部13によりシミュレーション工程を行う(ステップS3)。シミュレーション工程では、テストパターン生成工程により得られたテストパターン73を用いて、テスト合成後ネットリスト72からなる回路を高速で動作させた場合のシミュレーションが行われる。次いで、電源解析部14により電源解析工程を行う(ステップS4)。電源解析工程では、シミュレーション工程により得られた動作率情報74に基づいて電圧降下量が解析される。

[0066] 次いで、電源解析工程の解析結果に基づいて、テストモード時の電圧降下がシステム動作時の電圧降下以下であるか否かを判断する(ステップS5)。テストモード時の電圧降下がシステム動作時の電圧降下以下であれば(ステップS5:Yes)、図9のフローチャートによる一連の処理を終了する。

[0067] 一方、テストモード時の電圧降下がシステム動作時の電圧降下よりも大きい場合には(ステップS5:No)、テストパターン生成部12によりゲーテッドクロックバッファ活性化率変更工程を行う(ステップS6)。ゲーテッドクロックバッファ活性化率変更工程では、同時に活性化させるゲーテッドクロックバッファ28の数または比率が変更される。

[0068] そして、ステップS2のテストパターン生成工程に戻る。これを、テストモード時の電圧降下がシステム動作時の電圧降下以下になるまで、繰り返し行う。この第1の例に

よれば、レイアウト配置情報76がなくても、高速試験を行うことができる。

[0069] (高速試験手順の第2の例)

図10は、この発明の実施の形態にかかるLSI試験装置の高速試験手順の他の例を示すフローチャートである。図10に示すように、第2の例では、同時に活性化可能なゲーテッドクロックバッファ数(または比率)75が指定される。

[0070] まず、テスト回路合成部11によりテスト回路合成工程(ステップS11)を行うことによって、テスト合成前ネットリスト71にテスト回路が挿入されたテスト合成後ネットリスト72を得るまでは、前記第1の例と同じである。次いで、テストパターン生成部12によりテストパターン生成工程(ステップS12)において、同時に活性化可能なゲーテッドクロックバッファ数(または比率)75を考慮してテストパターン73が自動的に生成される。

[0071] その際、レイアウト配置情報76が参照され、同時に動作する回路ブロック27が局所的に集中しないように、同時に活性化させるゲーテッドクロックバッファ28が選択される。次いで、前記第1の例と同様に、シミュレーション部13によるシミュレーション工程(ステップS13)、電源解析部14による動作率情報74を用いた電源解析工程(ステップS14)、テストモード時の電圧降下がシステム動作時の電圧降下以下であるか否かの判断工程(ステップS15)を順次行う。

[0072] そして、その判断の結果に基づいて、図10のフローチャートによる一連の処理を終了するか、テストパターン生成部12によりゲーテッドクロックバッファ活性化率変更工程(ステップS16)を行い、ステップS12のテストパターン生成工程に戻る。この第2の例によれば、同時に複数の回路ブロック27を動作させることができるので、前記第1の例よりもテストパターンが短くて済む。

[0073] 以上説明したように、実施の形態によれば、LSIの高速試験時に、一部のゲーテッドクロックバッファ28のみを同時に活性化させるテストパターンを生成し、そのテストパターンを用いることによって、高速試験時の電圧降下量をシステム動作時の電圧降下量以下にすることができる。従って、テスト時の消費電力がシステム動作時の消費電力よりも大きくなるのが原因で不良と判定されるのを回避することができるので、問題なく高速試験を行うことができる。

[0074] なお、本実施の形態で説明したLSIの高速試験方法は、予め用意されたプログラム

をパーソナル・コンピュータやワークステーションなどのコンピュータで実行することにより実現することができる。このプログラムは、ハードディスク、フレキシブルディスク、CD-ROM、MO、DVDなどのコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。またこのプログラムは、インターネットなどのネットワークを介して配布することが可能な伝送媒体であってもよい。

産業上の利用可能性

- [0075] 以上のように、本発明にかかるLSI試験装置、LSI試験方法、LSI試験プログラムおよび記録媒体は、LSIの試験に有用であり、特に、LSIの高速試験に適している。

請求の範囲

- [1] テスト合成前ネットリストにテスト回路を挿入するテスト回路合成手段と、
前記テスト回路合成手段により合成されたテスト合成後ネットリストに基づいて一部のゲーテッドクロックバッファのみを同時に活性化させるテストパターンを生成するテストパターン生成手段と、
前記テストパターン生成手段により生成されたテストパターンを用いて前記テスト合成後ネットリストからなる回路を動作させるシミュレーション手段と、
前記シミュレーション手段により得られた動作率情報に基づいて電圧降下量を解析する電源解析手段と、
を備えることを特徴とするLSI試験装置。
- [2] テスト合成前ネットリストにテスト回路を挿入するテスト回路合成工程と、
前記テスト回路合成工程により得られたテスト合成後ネットリストに基づいて一部のゲーテッドクロックバッファのみを同時に活性化させるテストパターンを生成するテストパターン生成工程と、
前記テストパターン生成工程により得られたテストパターンを用いて前記テスト合成後ネットリストからなる回路を動作させるシミュレーション工程と、
前記シミュレーション工程により得られた動作率情報に基づいて電圧降下量を解析する電源解析工程と、
を含むことを特徴とするLSI試験方法。
- [3] 前記電源解析工程により得られた電圧降下量がシステム動作時の電圧降下量以下になるように、ゲーテッドクロックバッファの活性化率を変更するゲーテッドクロックバッファ活性化率変更工程、
をさらに含むことを特徴とする請求項2に記載のLSI試験方法。
- [4] 前記テストパターン生成工程では、同時に活性化させてもよいゲーテッドクロックバッファの数に基づいてテストパターンを生成することを特徴とする請求項2に記載のLSI試験方法。
- [5] 前記テストパターン生成工程では、同時に活性化させてもよいゲーテッドクロックバッファの比率に基づいてテストパターンを生成することを特徴とする請求項2に記載

のLSI試験方法。

- [6] 前記テストパターン生成工程では、レイアウト配置情報に基づいて同時に活性化させてもよいゲーテッドクロックバッファを選択することを特徴とする請求項4または5に記載のLSI試験方法。

- [7] 前記テスト回路合成工程では、テスト回路として、PLLバイパス用セクタ、ゲーテッドクロックイネーブル設定用フリップフロップ、マスク回路、セクタおよびテスト制御回路を挿入し、

前記PLLバイパス用セクタは、前記テスト制御回路から出力されるテストモード信号に基づいてテストモード時に基準クロック信号を前記ゲーテッドクロックバッファのクロック端子に供給し、

前記ゲーテッドクロックイネーブル設定用フリップフロップは、前記基準クロック信号に同期して自身の出力信号をラッチして出力し、

前記マスク回路は、前記テスト制御回路から出力されるスキャンモード信号に基づいて前記ゲーテッドクロックイネーブル設定用フリップフロップの出力信号が前記セクタへ出力されるのを制御し、

前記セクタは、前記テスト制御回路から出力されるテストモード信号に基づいてテストモード時に前記マスク回路の出力信号を前記ゲーテッドクロックバッファのイネーブル制御端子に供給することを特徴とする請求項2に記載のLSI試験方法。

- [8] 前記テスト回路合成工程では、テスト回路として、PLLバイパス用セクタ、カウンタ、デコーダ、セクタおよびテスト制御回路を挿入し、

前記PLLバイパス用セクタは、前記テスト制御回路から出力されるテストモード信号に基づいてテストモード時に基準クロック信号を前記カウンタおよび前記ゲーテッドクロックバッファのクロック端子に供給し、

前記カウンタは、前記PLLバイパス用セクタから出力される基準クロック信号に基づいてカウンタ値を更新し、

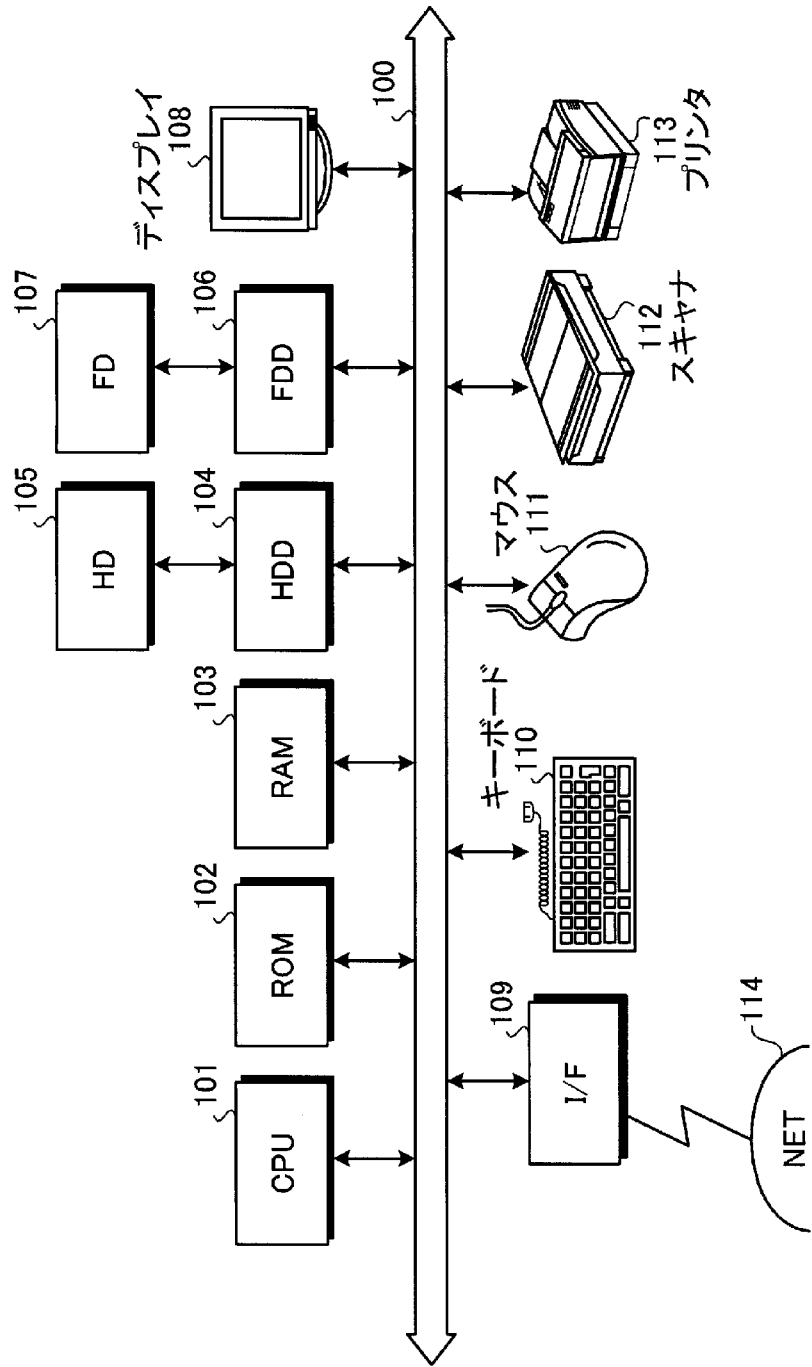
前記デコーダは、前記カウンタから出力されるカウンタ値をデコードし、

前記セクタは、前記テスト制御回路から出力されるテストモード信号に基づいてテストモード時に前記デコーダの出力信号をゲーテッドクロックバッファのイネーブル制

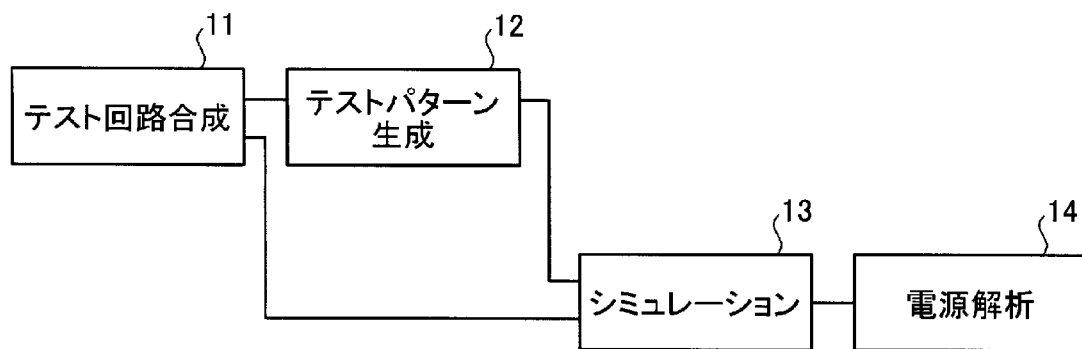
御端子に供給することを特徴とする請求項2に記載のLSI試験方法。

- [9] 請求項2～8のいずれか一つに記載のLSI試験方法をコンピュータに実行させるLSI試験プログラム。
- [10] 請求項9に記載のLSI試験プログラムを記録したコンピュータに読み取り可能な記録媒体。

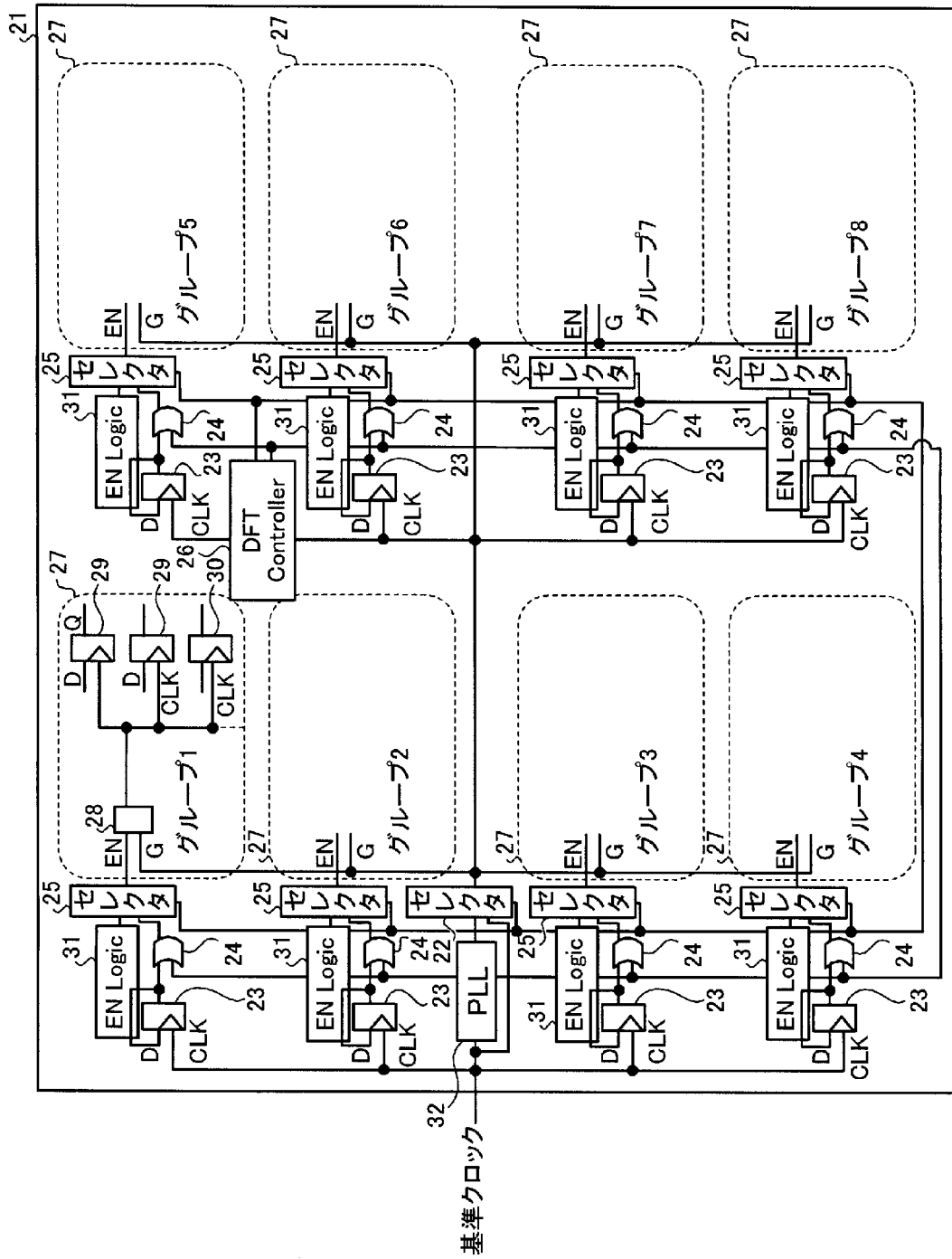
[図1]



[図2]



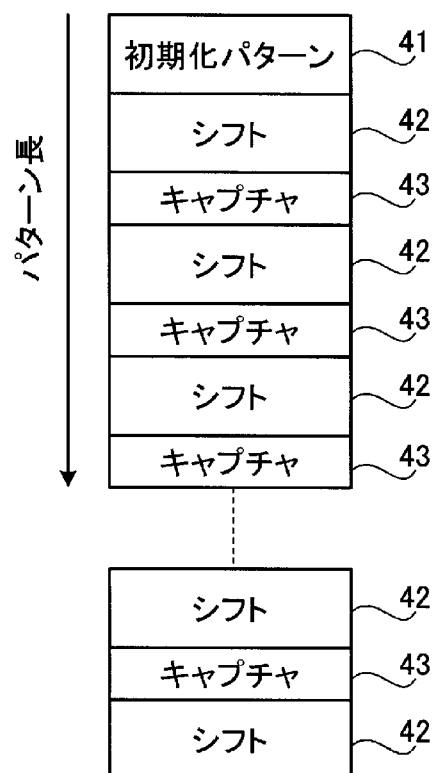
[図3]



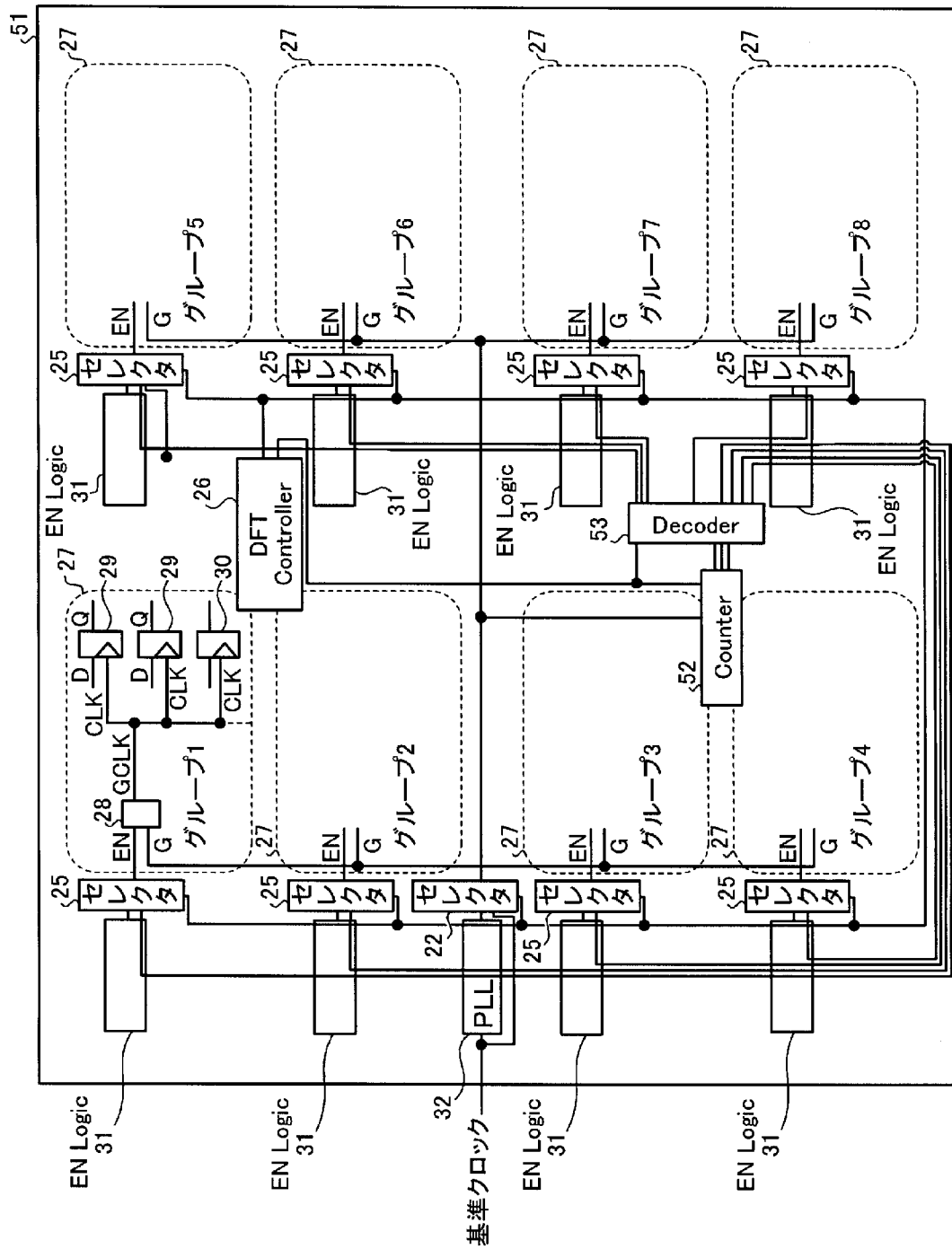
[図4]

テストモード 信号	スキャンモード 信号	FF出力	OR出力	セレクト出力
0	*	*	*	イネーブル制御回路 出力信号
1	1	*	1	1
1	0	1	1	1
1	0	0	0	0

[図5]



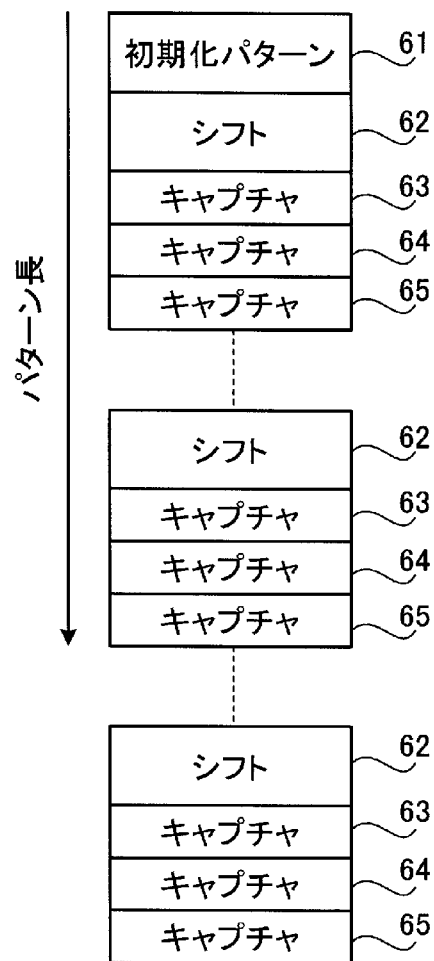
[図6]



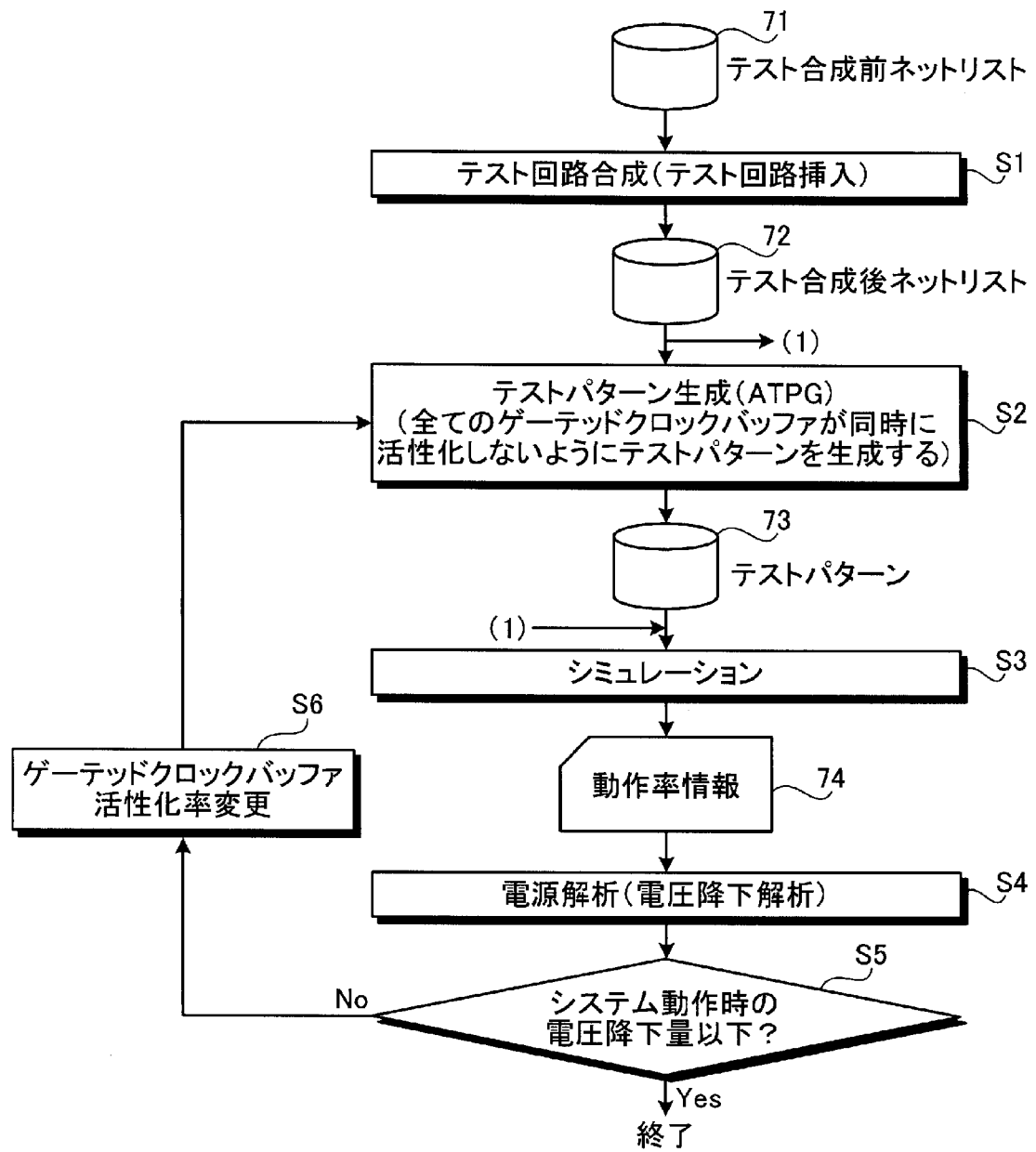
[図7]

テストモード 信号	スキャンモード 信号	カウンタ 出力 (3ビット の場合)	デコーダ 出力 (8ビット の場合)	セクタ出力 (グループ8-グループ1)
0	*	*	*	イネーブル制御回路 出力信号
1	1	000	11111111	11111111
1	0	000	00000001	00000001
1	0	001	00000010	00000010
1	0	010	00000100	00000100
1	0	011	00001000	00001000
1	0	100	00010000	00010000
1	0	101	00100000	00100000
1	0	110	01000000	01000000
1	0	111	10000000	10000000

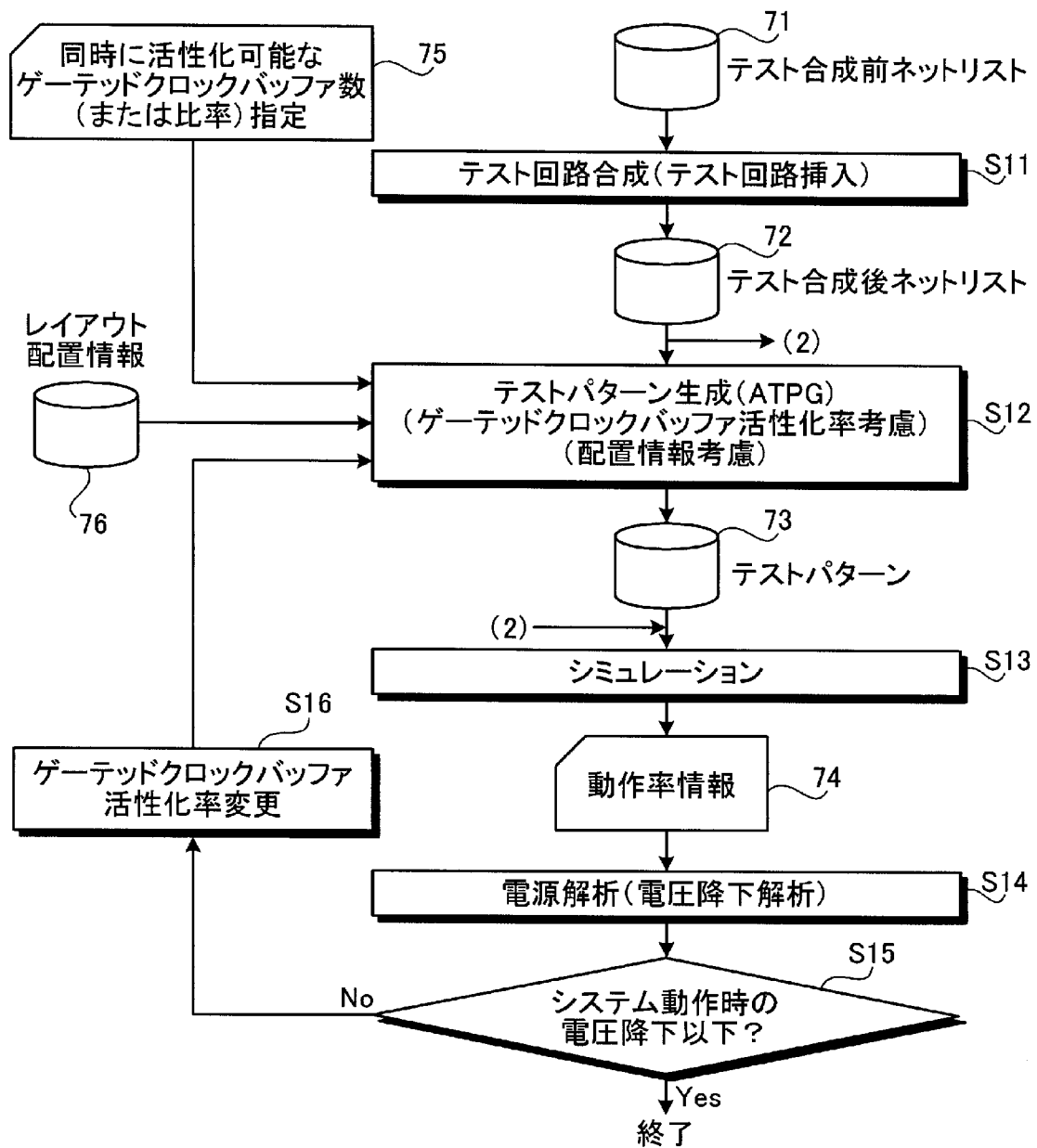
[図8]



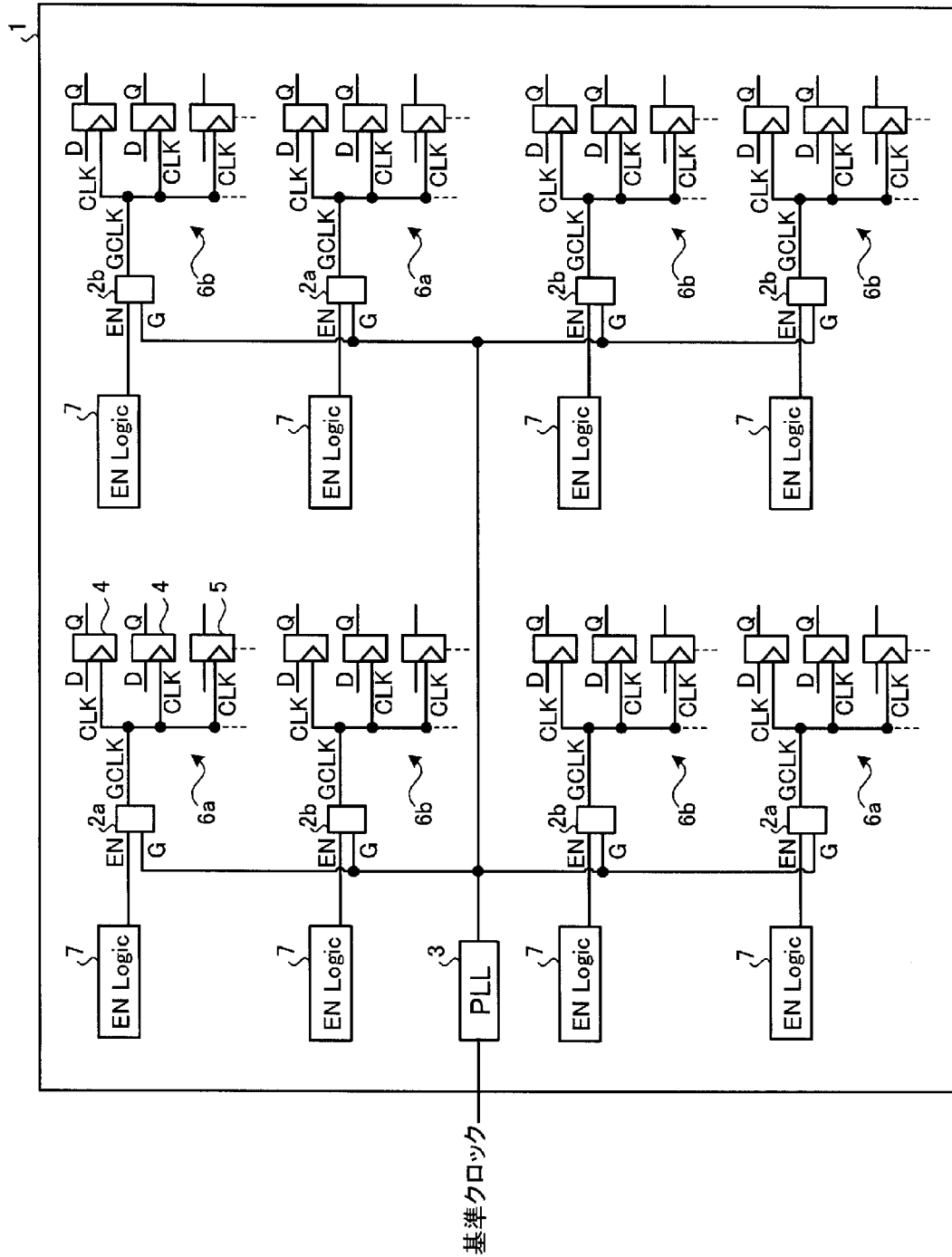
[図9]



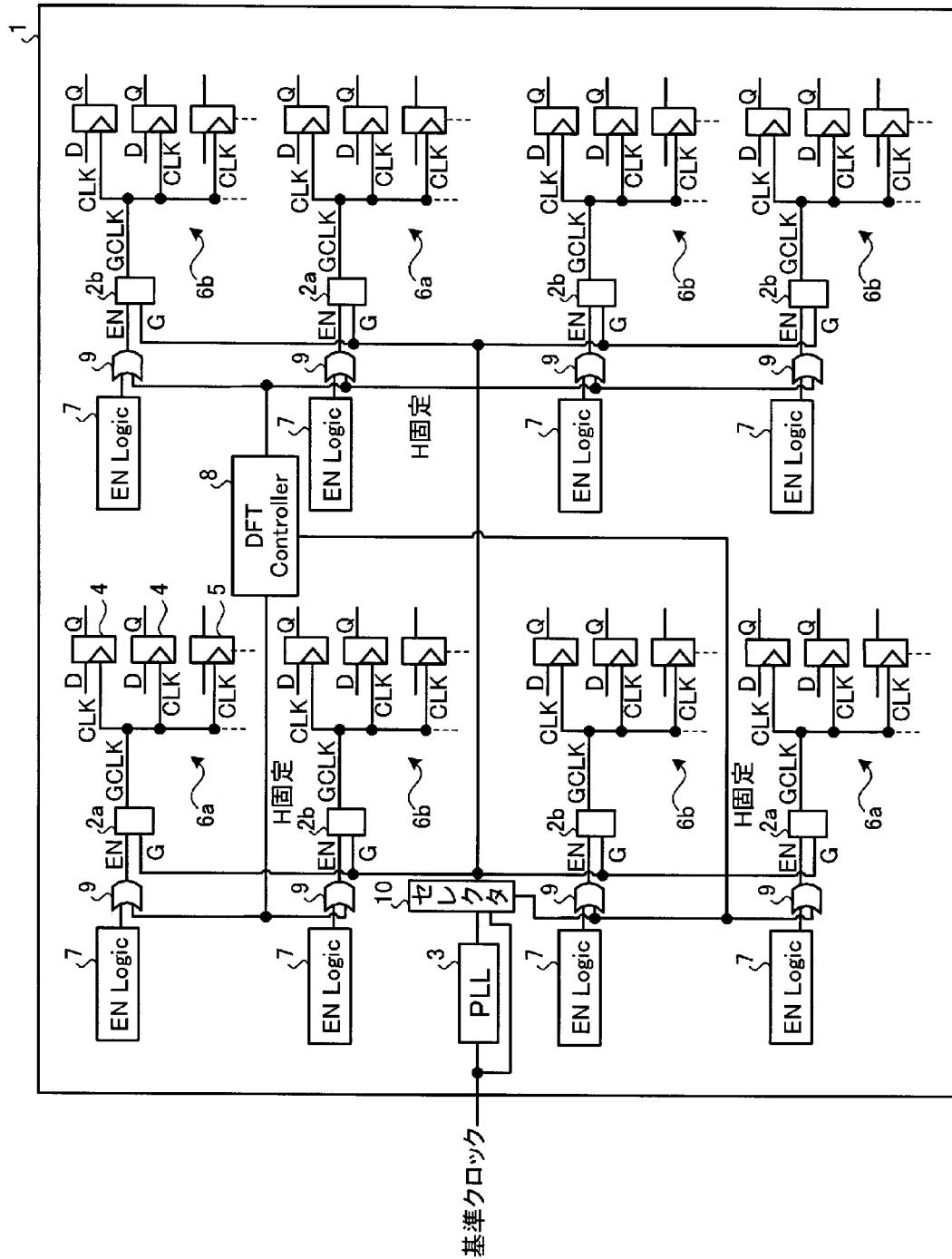
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053059

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/28(2006.01)i, G06F11/22(2006.01)i, G06F17/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28-3193, G06F11/22, G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-66825 A (Renesas Technology Corp.), 09 March, 2006 (09.03.06), Full text; all drawings (Family: none)	1-10
Y	JP 2006-38831 A (Fujitsu Ltd.), 09 February, 2006 (09.02.06), Full text; all drawings (Family: none)	1-10
Y A	JP 2005-50030 A (Fujitsu Ltd.), 24 February, 2005 (24.02.05), Par. No. [0139]; Fig. 20 & US 2005/028018 A1	7, 8 1-6, 9, 10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 May, 2007 (10.05.07)

Date of mailing of the international search report
22 May, 2007 (22.05.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053059

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-286549 A (Matsushita Electric Industrial Co., Ltd.), 14 October, 2004 (14.10.04), Par. Nos. [0029] to [0045]; Fig. 1 (Family: none)	8 1-7, 9, 10
A	Hiroyasu HASEGAWA, "Rensai HDL no Kijutsu Style Dai 14 Kai Teishohi Denryoku no Guideline", Design Wave Magazine, 2002 Nen 7 Gatsu Go, CQ Publishing Co., Ltd., 01 July, 2002 (01.07.02), pages 111 to 116	1-10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G01R31/28(2006.01)i, G06F11/22(2006.01)i, G06F17/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G01R31/28-3193, G06F11/22, G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2006-66825 A (株式会社ルネサステクノロジ) 2006.03.09, 全文、 全図 (ファミリーなし)	1-10
Y	JP 2006-38831 A (富士通株式会社) 2006.02.09, 全文、全図 (フ ァミリーなし)	1-10
Y A	JP 2005-50030 A (富士通株式会社) 2005.02.24, 段落[0139], 図 2 O & US 2005/028018 A1	7, 8 1-6, 9, 10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 5 . 2 0 0 7

国際調査報告の発送日

2 2 . 0 5 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

神谷 健一

2 S

9 7 0 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2004-286549 A (松下電器産業株式会社) 2004. 10. 14, 段落 [0029]-[0045]、図 1 (ファミリーなし)	8 1-7, 9, 10
A	長谷川裕恭, 連載 HD L の記述スタイル 第 1 4 回 低消費電力の ガイドライン, デザインウェーブマガジン, 2 0 0 2 年 7 月号, C Q 出版株式会社, 2002. 07. 01, pp. 111-116	1-10