

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-91921

(P2008-91921A)

(43) 公開日 平成20年4月17日 (2008.4.17)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10 4 3 4	5 B 1 2 5
H O 1 L 27/115 (2006.01)	H O 1 L 29/78 3 7 1	5 F 0 8 3
H O 1 L 29/788 (2006.01)	G 1 1 C 17/00 6 2 2 E	5 F 1 0 1
H O 1 L 29/792 (2006.01)		
G 1 1 C 16/04 (2006.01)		

審査請求 未請求 請求項の数 27 O L (全 13 頁)

(21) 出願番号	特願2007-258003 (P2007-258003)	(71) 出願人	390019839
(22) 出願日	平成19年10月1日 (2007. 10. 1)		三星電子株式会社
(31) 優先権主張番号	10-2006-0095908		S A M S U N G E L E C T R O N I C S
(32) 優先日	平成18年9月29日 (2006. 9. 29)		C O . , L T D .
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞 4 1 6
			4 1 6, M a e t a n - d o n g, Y e o
			n g t o n g - g u, S u w o n - s i,
			G y e o n g g i - d o 4 4 2 - 7 4 2
			(K R)
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

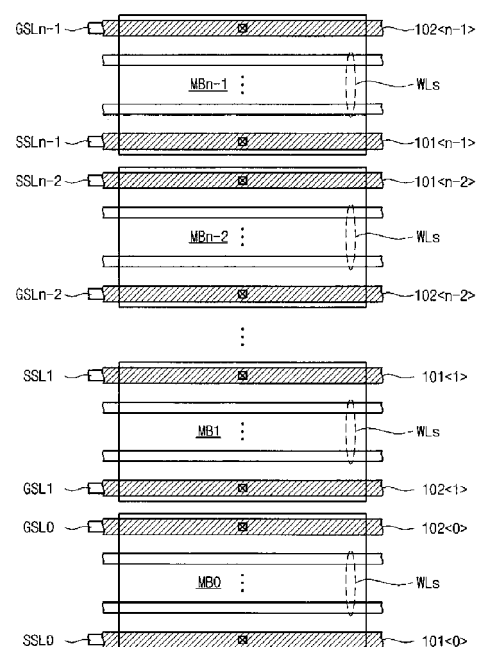
(54) 【発明の名称】 NANDメモリアレイおよびNANDフラッシュアレイ

(57) 【要約】

【課題】ストラップされたストリング選択ラインを持つフラッシュメモリー装置を提供する。

【解決手段】 NANDメモリアレイは、第1選択ラインに連結された第1選択トランジスターと、第2選択ラインに連結された第2選択トランジスターと、ワードライン等に各々連結され、第1及び第2選択トランジスターの間に直列に連結されたメモリーセル等と、そして、第1選択ラインに電氣的に連結されたストラッピングラインを含む。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 選択ラインに連結された第 1 選択トランジスターと、
第 2 選択ラインに連結された第 2 選択トランジスターと、
ワードラインに各々連結され、前記第 1 及び第 2 選択トランジスターの間に直列に連結されたメモリーセルと、
前記第 1 選択ラインに電氣的に連結されたストラッピングラインとを含むことを特徴とする N A N D メモリーアレイ。

【請求項 2】

ビットラインが配列されるストラッピング領域を更に含むことを特徴とする請求項 1 に記載の N A N D メモリーアレイ。

10

【請求項 3】

前記ストラッピングラインは前記ストラッピング領域に配列された前記ビットラインで形成されたコンタクトパッドを通して前記第 1 選択ラインに電氣的に連結されることを特徴とする請求項 2 に記載の N A N D メモリーアレイ。

【請求項 4】

前記コンタクトパッドを除いたビットラインのセグメントはフローティングが防止される様にバイアスされることを特徴とする請求項 3 に記載の N A N D メモリーアレイ。

【請求項 5】

前記コンタクトパッドを除いたビットラインのセグメントは前記メモリーセルが形成されるポケット P ウェルのウェルバイアスを供給する為のメタルラインに電氣的に連結されることを特徴とする請求項 4 に記載の N A N D メモリーアレイ。

20

【請求項 6】

前記ストラッピングラインは導電物質からなり、前記第 1 選択ラインの幅より広い幅を持つことを特徴とする請求項 1 に記載の N A N D メモリーアレイ。

【請求項 7】

前記第 1 選択ラインはストリング選択ラインであり、前記第 2 選択ラインは接地選択ラインであることを特徴とする請求項 1 に記載の N A N D メモリーアレイ。

【請求項 8】

前記ストラッピングラインはメタルライン又はメタルを含む物質からなることを特徴とする請求項 1 に記載の N A N D メモリーアレイ。

30

【請求項 9】

第 1 選択ラインに連結された第 1 選択トランジスターと、
第 2 選択ラインに連結された第 2 選択トランジスターと、
ワードラインに各々連結され、前記第 1 及び第 2 選択トランジスターの間に直列に連結されたメモリーセルと、
前記第 1 選択ラインに電氣的に連結された第 1 ストラッピングラインと、
前記第 2 選択ラインに電氣的に連結された第 2 ストラッピングラインとを含むことを特徴とする N A N D メモリーアレイ。

【請求項 10】

前記第 1 選択ラインはストリング選択ラインであり、前記第 2 選択ラインは接地選択ラインであることを特徴とする請求項 9 に記載の N A N D メモリーアレイ。

40

【請求項 11】

ビットラインが配列されるストラッピング領域を更に含むことを特徴とする請求項 9 に記載の N A N D メモリーアレイ。

【請求項 12】

前記第 1 及び第 2 ストラッピングラインは前記ストラッピング領域に配列された前記ビットラインで形成されたコンタクトパッドを通して前記第 1 及び第 2 選択ラインに各々電氣的に連結されることを特徴とする請求項 11 に記載の N A N D メモリーアレイ。

【請求項 13】

50

前記コンタクトパッドを除いたビットラインのセグメントはフローティングが防止される様にバイアスされることを特徴とする請求項 1 2 に記載の N A N D メモリーアレイ。

【請求項 1 4】

前記コンタクトパッドを除いた前記ビットラインのセグメントは前記メモリーセルが形成されるポケット P ウェルのウェルバイアスを供給する為のメタルラインに電氣的に連結されることを特徴とする請求項 1 3 に記載の N A N D メモリーアレイ。

【請求項 1 5】

メモリーセルが形成されるセル領域と、
前記セル領域の内に配列され、ビットラインが配列されるストラッピング領域と、
前記セル領域の内に配列されたストリング選択ラインと、
前記セル領域の内に配列された接地選択ラインと、
前記ストリング及び接地選択ラインの間に配列されたワードラインと、
前記ストラッピング領域に配列された前記ビットラインで形成された第 1 コンタクトパッドを通して前記ストリング選択ラインに電氣的に連結された第 1 ストラッピングラインを含むことを特徴とする N A N D フラッシュアレイ。

【請求項 1 6】

前記ストラッピング領域に配列された前記ビットライン等で形成された第 2 コンタクトパッドを通して前記接地選択ラインに電氣的に連結された第 2 ストラッピングラインを更に含むことを特徴とする請求項 1 5 に記載の N A N D フラッシュアレイ。

【請求項 1 7】

前記第 1 及び第 2 コンタクトパッドを除いたビットラインのセグメント等はフローティングが防止される様にバイアスされることを特徴とする請求項 1 6 に記載の N A N D フラッシュアレイ。

【請求項 1 8】

前記第 1 及び第 2 コンタクトパッドを除いた前記ビットラインのセグメントは前記メモリーセルが形成されるポケット P ウェルのウェルバイアスを供給する為のメタルラインに電氣的に連結されることを特徴とする請求項 1 7 に記載の N A N D フラッシュアレイ。

【請求項 1 9】

共通ソースラインと、
前記ストラッピング領域に配列された前記ビットラインで形成された第 1 コンタクトパッドを通して前記共通ソースラインに電氣的に連結された第 2 ストラッピングラインを更に含むことを特徴とする請求項 1 5 に記載の N A N D フラッシュアレイ。

【請求項 2 0】

複数のメモリーブロックを含み、
前記メモリーブロックの各々は第 1 ビットラインに各々連結された複数のストリングを含み、前記ストリングの各々はストリング選択ラインに連結されたストリング選択トランジスターと、接地選択ライン及び共通ソースラインに連結された接地選択トランジスターと、ワードラインに各々連結され、前記ストリング及び接地選択トランジスターの間に直列に連結されたメモリーセルと、

前記ストリング選択ラインに電氣的に連結された第 1 ストラッピングラインを含むことを特徴とする N A N D メモリーアレイ。

【請求項 2 1】

前記メモリーブロックの各々は、メモリーセル等が形成されるセル領域と、第 2 ビットラインが配列されるストラッピング領域とに区分されることを特徴とする請求項 2 0 に記載の N A N D メモリーアレイ。

【請求項 2 2】

前記ストラッピング領域は前記セル領域の内に配列されることを特徴とする請求項 2 1 に記載の N A N D メモリーアレイ。

【請求項 2 3】

前記接地選択ラインに電氣的に連結された第 2 ストラッピングラインを更に含むことを

10

20

30

40

50

特徴とする請求項 2 1 に記載の N A N D メモリーアレイ。

【請求項 2 4】

前記第 1 ストラッピングラインは前記ストラッピング領域に配列された前記第 2 ビットラインで形成された第 1 コンタクトパッドを通して前記ストリング選択ラインに電氣的に連結され、前記第 2 ストラッピングラインは前記ストラッピング領域に配列された前記第 2 ビットラインで形成された第 2 コンタクトパッドを通して前記接地選択ラインに電氣的に連結されることを特徴とする請求項 2 3 に記載の N A N D メモリーアレイ。

【請求項 2 5】

前記第 1 及び第 2 コンタクトパッドを除いたビットラインのセグメントはフローティングが防止される様にバイアスされることを特徴とする請求項 2 4 に記載の N A N D メモリーアレイ。

10

【請求項 2 6】

前記第 1 及び第 2 コンタクトパッドを除いた前記ビットラインのセグメントは前記メモリーセルが形成されるポケット P ウェルのウェルバイアスを供給する為のメタルラインに電氣的に連結されることを特徴とする請求項 2 5 に記載の N A N D メモリーアレイ。

【請求項 2 7】

前記ストラッピング領域に配列された前記ビットラインで形成されたコンタクトパッドを通して前記共通ソースラインに電氣的に連結された第 2 ストラッピングラインを更に含むことを特徴とする請求項 2 0 に記載の N A N D メモリーアレイ。

【発明の詳細な説明】

20

【技術分野】

【0 0 0 1】

本発明は半導体メモリー装置に関するもので、より詳しくは、電氣的に消去及びプログラムが可能な半導体メモリー装置に関するものである。

【背景技術】

【0 0 0 2】

半導体メモリー装置は、一般的に、マイクロプロセッサを基盤とした応用及びコンピュータの様なデジタルロジックの設計において不可欠なマイクロ電子素子である。したがって、高い集積度及び速い速度の為に縮小 (s c a l l i n g) を通して得られるプロセスの向上及び半導体メモリー装置の製造技術の進歩は、他のデジタルロジック系列の性能の基準を確立するために役立つ。

30

【0 0 0 3】

半導体メモリー装置は、概ね揮発性メモリー装置と非揮発性メモリー装置に分けられる。揮発性メモリー装置に於いて、ロジックの情報は、スタティックランダムアクセスメモリーの場合には、双安定フリップフロップのロジックの状態を設定することによって、ダイナミックランダムアクセスメモリーの場合には、キャパシタの充電によって保持される。揮発性半導体メモリー装置の場合、電源が印加されている間はデータが保持され、読み出しが可能であるが、電源が遮断されるとデータは消える。

【0 0 0 4】

M R O M、P R O M、E P R O M、E E P R O M の様な非揮発性メモリー装置は、電源が遮断されてもデータを保持することができる。非揮発性メモリーにおけるデータの保持の状態は、使われる製造技術によって、永久的である場合もあるし、再プログラムが可能な場合もある。非揮発性メモリー装置は、コンピューター、航空電子工学、通信、および、業務用の電子産業技術の様な幅広い範囲でプログラム及びマイクロコードの保持の為に使われる。

40

【0 0 0 5】

非揮発性メモリー装置に於いて、M R O M、P R O M 及び E P R O M は、消去及び書き込みが自由にできないので、一般の使用者にとってはデータの内容を更新することが容易ではない。これに対して、E E P R O M は、電氣的に消去及び書き込みが可能なので、継続的に更新が必要なシステムのプログラミング (s y s t e m p r o g r a m m i n g)

50

において、または、補助記憶装置としての応用が拡大されている。特に、フラッシュ E E P R O M（以下には、フラッシュメモリ装置とも呼ぶ）は、従来の E E P R O M に比べて集積度が高いので大容量の補助記憶装置としての応用に有利である。

【0006】

フラッシュメモリ装置は、一般的に各々のフローティングゲートトランジスターで構成されたメモリセルのアレイを含む。メモリセルアレイは、複数のメモリブロックからなる。メモリブロックは、図1に示された様に、フローティングゲートトランジスター M C m - 1 ~ M c 0 を含むストリング（N A N D ストリング又は N A N D ユニットと呼ばれる）を含む。各フローティングゲートトランジスターは、各ストリングに配列されるストリング選択トランジスター S S T とグラウンド選択トランジスター G S T との間に直列に連結される。ストリングの各々は、対応するビットライン B L 0 ~ B L n - 1 に電氣的に連結される。複数のワードライン W L 0 ~ W L m - 1 が N A N D ストリングに交差する様に配列され、各ワードライン W L 0 ~ W L m - 1 は、各 N A N D ストリングの対応するフローティングゲートトランジスターの制御ゲートに連結される。

【0007】

まず、フローティングゲートトランジスター、即ち、メモリセルは、負のしきい電圧（例えば、-1 V 又はそれより低い電圧）を持つ様に消去される。メモリセルをプログラムする為には、所定の時間にわたって選択されたメモリセルのワードラインに高電圧を印加することによって選択されたメモリセルのしきい電圧がより高いしきい電圧に変更されるが、残りの選択されなかったメモリセルのしきい電圧は変更されない。

【0008】

任意の選択されたワードライン（以下では、選択ワードラインとも呼ぶ）に連結された選択されないメモリセルをプログラムすることなく、同じワードラインに連結された選択されたメモリセルをプログラムする場合に一つの問題が生じる。選択ワードラインにプログラムのための電圧が印加される時、プログラムのための電圧は、選択されたメモリセルだけでなく、選択ワードラインに沿って配列された選択されない（又は、プログラムが禁止される）メモリセルにも印加される。選択ワードラインに連結された選択されないメモリセルがプログラムされうる。選択ワードラインに連結された非選択メモリセルの意図しないプログラムは、プログラムディスタ urb と呼ばれる。

【0009】

プログラムディスタ urb を防止する為の技術の一つは、セルフブースティングスキーム（self-boosting scheme）を利用したプログラム禁止方法である。セルフブースティングスキームを利用したプログラム禁止方法は、特許文献1（METHOD OF PROGRAMMING FLASH EEPROM INTEGRATED CIRCUIT MEMORY DEVICES TO PREVENT INADVERTENT PROGRAMMING OF NONDESIGNATED NAND MEMORY CELLS THEREIN）と、特許文献2（METHOD FOR REDUCING PROGRAM DISTURB DURING SELF-BOOSTING IN A NAND FLASH MEMORY）に開示されている。

【0010】

特許文献1及び特許文献2に開示されているセルフブースティングスキームを利用したプログラム禁止方法によると、接地選択トランジスター G S T のゲート、即ち、接地選択ライン G S L に 0 V の電圧を印加することによってグラウンドの経路が遮断される。選択ビットラインにはプログラム電圧（program voltage）として 0 V の電圧が印加され、非選択ビットラインにはプログラム禁止電圧（program inhibition voltage）として電源電圧 V c c が印加される。ストリング選択トランジスター S S T のゲート、即ち、ストリング選択ライン S S L に電源電圧が印加され、全てのワードラインにパス電圧 V p a s s が印加される。これは、ストリング選択トランジスター S S T のソースが V c c - V t h （V t h はストリング選択トランジスターのしきい電圧）まで充電された後、ストリング選択トランジスター S S T がシャットオフされ

る様にする。この時、プログラムが禁止されたメモリーセルのチャンネルの電圧がブースティングされる。これは、フローティングゲートとチャンネルとの間にF-Nトンネリングが生じない様にし、その結果、プログラムが禁止されたセルのトランジスターが初期の消去状態に維持される。この後、選択されたワードラインにプログラムの電圧V_{pgm}が印加されることによって、選択されたメモリーセルはF-Nトンネリング効果によってプログラムされる。

【0011】

理想的には、図2に示された様に、ストリング選択ラインSSLの電圧は、ワードラインにパス電圧V_{pass}が印加される時に目標電圧に維持される。しかし、実際には、ワードラインにパス電圧V_{pass}が印加される時、ストリング選択ラインSSLの電圧は隣り合うワードラインとのカップリングによってブースティングされる。シャットオフされたストリング選択トランジスターSSTは、ストリング選択ラインSSLの電圧が目標電圧より高くブースティングされる時にターンオンされる。この後、ストリング選択ラインSSLのブースティングされた電圧は目標電圧まで低下する。

【0012】

ストリング選択ラインSSLのブースティングされた電圧が目標電圧に回復されるまでに掛かる時間、即ち、安定化の時間は、ストリング選択ラインSSLのRC負荷に依存する。このような安定化の時間は、ストリング選択ラインSSLのRC負荷が大きいほど長くなる。これは、プログラム電圧V_{pgm}が選択されたワードラインに印加される時点が所定の時間（図2でDt1に表記）だけ遅延されることを意味する。結果的に、プログラム電圧V_{pgm}が選択されたワードラインに印加される時点が遅延されることによって、全体的なプログラムの時間が増える。特に、シングルビットフラッシュメモリー装置よりも多いプログラムのループを必要とするマルチビットフラッシュメモリー装置の場合、以上のような問題は更に深刻になる。また、シャットオフされたストリング選択トランジスターSSTがストリング選択ラインSSLのブースティングされた電圧によってターンオンされる時、プログラムが禁止されたメモリーセルのチャンネルの電圧が低くなる。チャンネルの電圧の減少は、既に説明したプログラムのディスターブを招き、これはパス電圧のウインドーマージンを減少させる。以上のような問題点は、行デコーダーからの離隔距離の差によって生じるストリング選択ラインSSLの信号のスキューによって更に顕著になる。

【0013】

従って、ストリング選択ラインSSLのRC負荷によって生じる問題点（プログラムの時間の増加、パス電圧のウインドーマージンの減少、ストリング選択ラインの信号のスキュー等）が解決できる技術が要求されている。

【特許文献1】米国特許第5、677、873号の明細書

【特許文献2】米国特許第5、991、202号の明細書

【発明の開示】

【発明が解決しようとする課題】

【0014】

本発明の目的は、ストラップされたストリング選択ラインを持つフラッシュメモリー装置を提供することである。

【0015】

本発明の他の目的は、ストラップされた阻止選択ラインを持つフラッシュメモリー装置を提供することである。

【0016】

本発明の更に他の目的は、プログラムの性能が向上できるフラッシュメモリー装置を提供することである。

【課題を解決するための手段】

【0017】

本発明の第1の側面は、第1選択ラインに連結された第1選択トランジスターと、第2

10

20

30

40

50

選択ラインに連結された第2選択トランジスターと、ワードラインに各々連結され、前記第1及び第2選択トランジスターの間に直列に連結されたメモリーセルと、前記第1選択ラインに電氣的に連結されたストラッピングラインとを含むNANDメモリーアレイを提供する。

【0018】

本発明の第2の側面は、第1選択ラインに連結された第1選択トランジスターと、第2選択ラインに連結された第2選択トランジスターと、ワードラインに各々連結され、前記第1及び第2選択トランジスターの間に直列に連結されたメモリーセルと、前記第1選択ラインに電氣的に連結された第1ストラッピングラインと、前記第2選択ラインに電氣的に連結された第2ストラッピングラインとを含むNANDメモリーアレイを提供する。

10

【0019】

本発明の第3の側面は、メモリーセルが形成されるセル領域と、前記セル領域の内に配列され、ビットラインが配列されるストラッピング領域と、前記セル領域の内に配列されたストリング選択ラインと、前記セル領域の内に配列された接地選択ラインと、前記ストリング及び接地選択ラインの間に配列されたワードラインと、前記ストラッピング領域に配列された前記ビットラインで形成された第1コンタクトパッドを通して前記ストリング選択ラインに電氣的に連結された第1ストラッピングラインとを含むNANDフラッシュアレイを提供する。

【0020】

本発明の第4の側面は、複数のメモリーブロックを含み、前記メモリーブロックの各々は第1ビットラインに各々連結された複数のストリングを含み、前記ストリングの各々は、ストリング選択ラインに連結されたストリング選択トランジスターと、接地選択ライン及び共通ソースラインに連結された接地選択トランジスターと、ワードラインに各々連結され、前記ストリング及び接地選択トランジスターの間に直列に連結されたメモリーセルと、前記ストリング選択ラインに電氣的に連結された第1ストラッピングラインとを含むNANDメモリーアレイを提供する。

20

【発明の効果】

【0021】

ストラッピングラインとしてメタルラインにストリング選択ラインを連結することによって、ストリング選択ラインのRC負荷を減らすことができる。ストリング選択ラインのRC負荷の減少によって、ストリング選択ラインSSLの信号のスキュー、プログラムの時間の増加、バス電圧のウインドーマージンの減少といった問題点が解決される。

30

【発明を実施するための最良の形態】

【0022】

本発明の詳細な説明は、例示的であり、請求された発明の付加的な説明が提供される事と理解しなければならない。

【0023】

参考符号等が本発明の実施形態等及び図面等に表示され、同じ符号等が同じ又は類似な部分を説明する為に使われる。

【0024】

半導体メモリー装置としてフラッシュメモリー装置が本発明の特徴及び機能を説明する為の一つの例として使われる。しかし、当業者であれば、本明細書に記載された内容によって本発明の他の利点等及び性能を容易に理解できるであろう。本発明は、他の実施形式で実施され、又は、他の実施形式に適用されうる。又、本発明の詳細な説明は、本発明の範囲、技術的な思想、目的から逸脱しない限り変形又は変更されうる。

40

【0025】

本発明の好適な実施形態のフラッシュメモリー装置は、行デコーダーからの離隔距離の差によって生じるストリング選択ラインSSLの信号のスキュー、プログラムの時間の増加、バス電圧のウインドーマージンの減少といった問題点を解決する為に、ストリング選択ラインSSLの抵抗を減少させる点に1つの特徴を有する。ストリング選択ラインSS

50

Lの抵抗の減少は、ストリング選択ラインSSLとメタルラインとの電氣的な連結を通して達成されうる。例えば、図3に示された様に、メモリーブロックMB0～MBn-1の各々に配列されたストリング選択ラインSSLi (i=0～n-1)は、よく知られたコンタクトプラグの様な連結手段を通してメタルライン101<i>と電氣的に連結されている。詳細は後述するが、連結手段は、ビットラインコンタクトパッドを利用して実現されうる。図示の便宜の為に、メタルライン101<i>は、ストリング選択ラインSSLiの上に配列されているが、メタルライン101<i>の配列は、図示された構造に限定されない。例えば、ストリング選択ラインSSLiに重ならない様にメタルライン101<i>が配列されうる。接地選択ラインGSL0～GSLn-1は、ストリング選択ラインSSL0～SSLn-1と同じ方式で、メタルライン102<0>～102<n-1>に電氣的に連結される。本発明の好適な実施形態のフラッシュメモリ装置によると、メタルライン101<i>、102<i>は、ストラッピングライン(strapping line)として使われる。図3において、ストリング選択ラインSSLiとメタルライン101<i>、102<i>の間の電氣的な連結は一箇所で行われているが、必要に応じてより多い箇所でストリング選択ラインSSLiとメタルライン101<i>、102<i>とを電氣的に連結してもよい。

【0026】

ストラッピングラインは、メタルラインとストリング選択ラインSSLiとの電氣的な連結によって、例えば、次の様な効果を提供しうる。

【0027】

ストラッピングラインは、メタルラインとストリング選択ラインSSLiとの電氣的な連結によって、ストリング選択ラインSSLiの抵抗を減少させる。これは、ストリング選択ラインSSLiのRC負荷の減少を意味する。ストリング選択ラインSSLiの信号のスキューは、ストリング選択ラインSSLiのRC負荷の減少によって改善される。

【0028】

既に説明した様に、ストリング選択ラインSSLiに隣り合うワードラインがバス電圧Vpassに駆動される時、ストリング選択ラインSSLiの電圧は、ワードラインとのカップリングによって目標電圧より高く昇圧される。しかしながら、ストリング選択ラインSSLiの電圧がワードラインとのカップリングによって目標電圧より高く昇圧されても、本発明の好適な実施形態ではストリング選択ラインSSLiのRC負荷が減少されるので、ストリング選択ラインSSLiの昇圧された電圧はより速い時間の内に目標電圧に安定化される。即ち、ストリング選択ラインSSLiの昇圧された電圧が目標電圧で安定化されるまでに掛かる時間(図2のDt1)が短縮される。安定化の時間の短縮は、プログラムの電圧Vpgmが印加される時点を相対的に速くする。結果的に、プログラムの時間を減らすことが可能である。特に、シングルビットフラッシュメモリ装置だけでなくマルチビットフラッシュメモリ装置のようにプログラムのループの回数が多い時に、プログラムの時間を画期的に短縮することが可能である。

【0029】

また、ストリング選択ラインSSLiをストラッピングラインとしてのメタルラインに電氣的に連結することによってストリング選択ラインSSLiのRC負荷を減らすことができる。ストリング選択ラインSSLiのRC負荷が減少することによって、隣り合うワードラインにバス電圧Vpassが印加される時、昇圧されるストリング選択ラインSSLiの電圧、即ち、ピーク電圧は、減少したRC負荷に比例して低くなる。図2で説明されたものと比較すれば、バス電圧のウインドーマージンは、昇圧されたピーク電圧が低くなることによって向上される。

【0030】

図4は本発明の第1実施形態による図3に図示されたメモリーブロックにおける一部のレイアウトを表す平面図である。図4は3つのメモリーブロックMBj-1、MBj、MBj+1のレイアウトを例示する平面図である。

【0031】

10

20

30

40

50

メモリーブロックMB_jは、複数のワードラインWL、複数のビットラインBL、ストリング選択ラインSSL_j、および、接地選択ラインGSL_jを含む。ワードラインWLと選択ラインSSL_j、GSL_jは行方向に配列され、ビットラインBLは行方向に対して垂直な列方向に配列される。メモリーブロックMB_jは、セル領域302とストラッピング領域301とに区分されうる。或いは、メモリーブロックMB_jのストラッピング領域301は、セル領域302の内に定義されうる。セル領域302だけでなくストラッピング領域301には、ビットラインBLが配列される。ストラッピング領域301に配列されたビットラインBLは、ストリング選択ラインだけでなく接地選択ラインをストラッピングラインの為のメタルラインと電氣的に連結するために使われる。

【0032】

例えば、メモリーブロックMB_jのストリング選択ラインSSL_jは、ストラッピング領域301の内に配列されたビットラインのコンタクトパッド201と電氣的に連結され、ビットラインのコンタクトパッド201は、ストラッピングライン用のメタルライン101<j>と電氣的に連結される。図4において、201aは、コンタクトパッド201とストリング選択ラインSSL_jとを電氣的に連結する為のコンタクト（パッドーSSLコンタクトと呼ぶ）を表し、201bは、ストラッピングラインとして使われるメタルライン101<j>とコンタクトパッド201を電氣的に連結する為のコンタクト（メタルーパッドコンタクトと呼ぶ）を表す。メモリーブロックMB_jの接地選択ラインGSL_jは、ストラッピング領域301の内に配列されたビットラインのコンタクトパッド202と電氣的に連結され、ビットラインのコンタクトパッド202は、ストラッピングライン用のメタルライン102<j>と電氣的に連結される。図4において、202aは、コンタクトパッド202と接地選択ラインGSL_jを電氣的に連結する為のコンタクト（パッドーGSLコンタクトと呼ぶ）を表し、202bは、ストラッピングラインとして使われるメタルライン102<j>とコンタクトパッド202を電氣的に連結する為のコンタクト（メタルーパッドコンタクトと呼ぶ）を表す。

【0033】

同様に、メモリーブロックMB_{j-1}のストリング選択ラインSSL_{j-1}は、ストラッピング領域301の内に配列されたビットラインのコンタクトパッド203と電氣的に連結され、ビットラインのコンタクトパッド203は、ストラッピングライン用のメタルライン101<j-1>と電氣的に連結される。図4において、203aは、コンタクトパッド203とストリング選択ラインSSL_{j-1}を電氣的に連結する為のコンタクト（パッドーSSLコンタクトと呼ぶ）を表し、203bは、ストラッピングラインとして使われるメタルライン101<j-1>とコンタクトパッド203を電氣的に連結する為のコンタクト（メタルーパッドコンタクトと呼ぶ）を表す。図4に図示された様に、メモリーブロックMB_{j+1}の接地選択ラインGSL_{j+1}は、メモリーブロックMB_jの接地選択ラインGSL_jと共用される様に構成され、共通ソースラインCSLは、隣り合うメモリーブロック等（例えば、MB_j、MB_{j+1}）によって共有される。共通ソースラインCSLは、ストラッピング領域によって2つの部分に分離され、分離された部分は、各々ビットラインのパッドを通じてストラッピングラインとして使われるメタルライン103に電氣的に連結される。

【0034】

図4から分かる様に、一つのビットラインのコンタクトパッドは、3つのビットラインを利用して構成され、その結果、ストラッピング領域には15個のビットラインが配列される。しかし、デザインルールに応じて、および、ビットラインのコンタクトパッド等の配列の方式に応じて、ストラッピング領域301に配列されるビットラインの数は調整されうる。この実施形態に於いて、ストリング選択ラインSSL_j用のビットラインのコンタクトパッド201とストリング選択ラインSSL_{j-1}用のビットラインのコンタクトパッド203との間に接地選択ラインGSL_j、GSL_{j+1}用のビットラインのコンタクトパッド202が配列される。

【0035】

図4に示された様に、ストラッピング領域に於いて、ビットラインのコンタクトパッドの為のビットラインのセグメントは、残りのビットラインのセグメントと電氣的に分離されている。残りのビットラインのセグメントは、フローティング状態に維持される。フローティング状態に維持されるビットラインのセグメントは、正しく動作する時に隣り合うビットラインに影響を及ぼす。このような理由の為に、図5に示された様に、ストラッピング領域301に配列されたフローティングされたビットラインのセグメントは、メモリーセルが形成されるポケットPウェルに電氣的に連結されるメタルライン105に電氣的に連結される。ポケットPウェルに対するストラッピング方式は、米国特許第6、611、460号に“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND PROGRAMMING METHOD THEREOF”というタイトルで詳細に開示されている。

10

【0036】

図6は、本発明の好適な実施形態のメモリーシステムを概略的に表すブロック図である。図6を参照して説明すると、メモリーシステム1000は、集積回路として構成されたNANDフラッシュメモリー装置1100を含む。集積回路のNANDフラッシュメモリー装置1100は、フラッシュメモリーセルのアレイ1110、アドレスデコーダー1120、行アクセス回路1130、列アクセス回路1140、制御回路1150、入出力回路1160、および、アドレスバッファ回路1170を含む。フラッシュメモリーセルのアレイ1110は、図3乃至図5から説明したアレイ構造を持つ。メモリーシステム1000は、電子システムの一部としてメモリーアクセスの為にメモリー装置1100に電氣的に連結されたメモリーコントローラー1200（又は、マイクロプロセッサ）を含む。メモリー装置1100は、メモリーコントローラー1200から制御信号が入力され、メモリーセルはアクセスされるデータを保持するために使われる。メモリー装置1100は、メモリーコントローラー1200からアドレス信号が入力され、入力されたアドレス信号はメモリーアレイ1110をアクセスする様にアドレスデコーダー1120でデコードされる。アドレスバッファ回路1170は、アドレス信号をラッチし、制御信号及びアドレス信号に応答してアクセスされる。本発明による回路の構成及び動作は本発明の技術的な思想、目的及び範囲から外れない限り多様な変形又は変更が可能である。

20

【図面の簡単な説明】

【0037】

30

【図1】一般的なフラッシュメモリー装置のアレイ構造を表す図面である。

【図2】一般的なストリング選択ラインのRC負荷によって生じる問題点を説明する為の図面である。

【図3】本発明の好適な実施形態のフラッシュメモリー装置のアレイ構造を表す図面である。

【図4】図3に図示されたアレイ構造のレイアウトを表す図面である。

【図5】図3に図示されたアレイ構造のレイアウトを表す図面である。

【図6】本発明によるメモリーシステムのブロック図である。

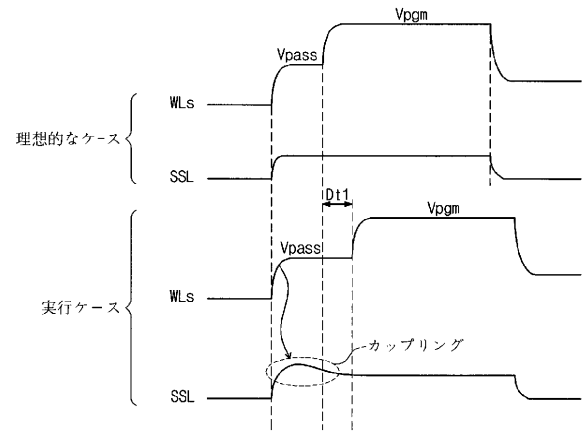
【符号の説明】

40

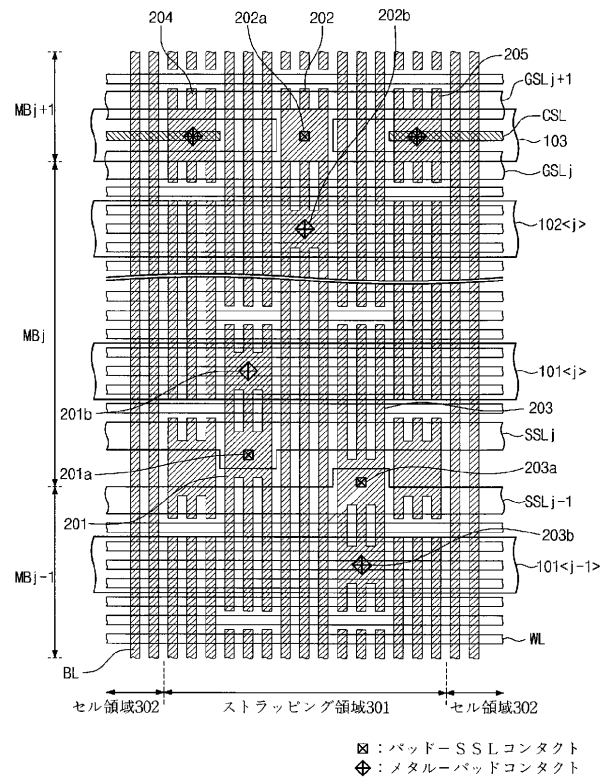
【0038】

- 1110 メモリーアレイ
- 1120 アドレスデコーダー
- 1130 行アクセス回路
- 1140 列アクセス回路
- 1150 制御回路
- 1160 入出力回路
- 1170 アドレスバッファ
- 1200 メモリーコントローラー

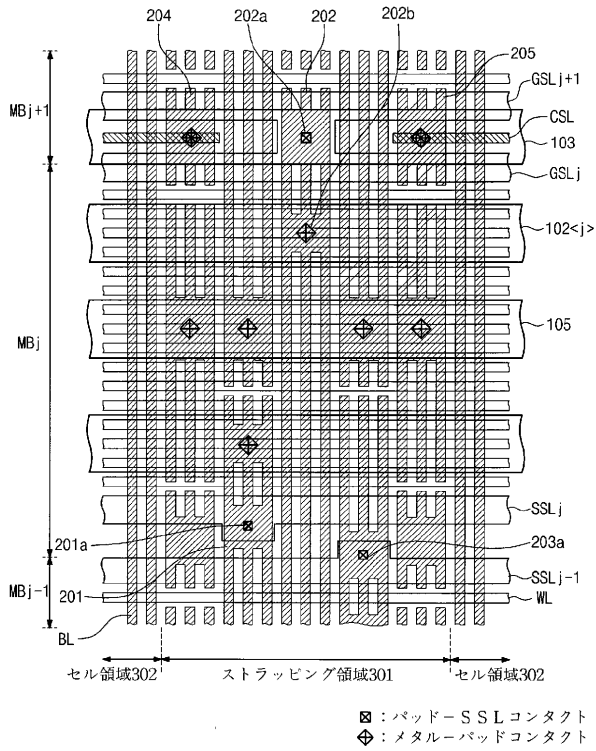
【图 2】



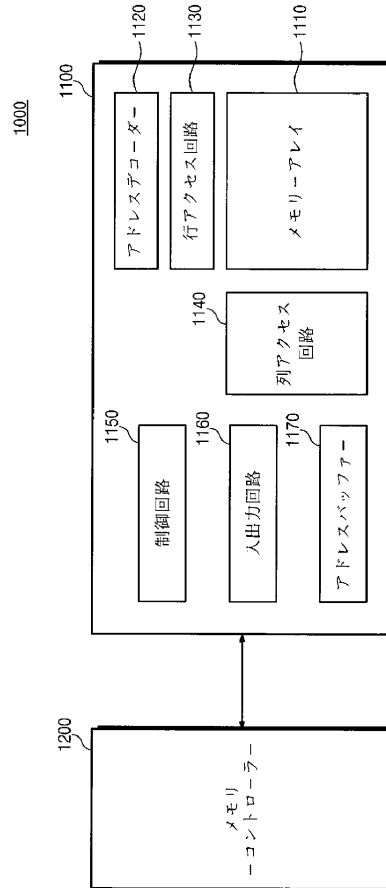
【図 4】



【図 5】



【図 6】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(74)代理人 100076428

弁理士 大塚 康德

(74)代理人 100112508

弁理士 高柳 司郎

(74)代理人 100115071

弁理士 大塚 康弘

(74)代理人 100116894

弁理士 木村 秀二

(72)発明者 金燦鎬

大韓民国 ソウル冠岳区 新林 10洞 306-15 2/5 サムスン グリーン ビラ 3
05

Fターム(参考) 5B125 BA02 CA01 CA15 CA20 CA30 EA05 FA07

5F083 EP02 EP76 ER03 ER09 ER22 GA15 KA18 KA20 LA11 LA12

LA20

5F101 BA01 BC02 BD34 BE07 BH23