

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4528321号
(P4528321)

(45) 発行日 平成22年8月18日 (2010. 8. 18)

(24) 登録日 平成22年6月11日 (2010. 6. 11)

(51) Int. Cl.	F I				
HO2M 1/08 (2006.01)	HO2M	1/08		A	
HO2M 7/5387 (2007.01)	HO2M	7/5387		Z	
HO2M 3/155 (2006.01)	HO2M	3/155		T	
HO3K 17/16 (2006.01)	HO3K	17/16		H	
HO3K 17/687 (2006.01)	HO3K	17/687		A	

請求項の数 2 (全 21 頁)

(21) 出願番号 特願2007-250170 (P2007-250170)
 (22) 出願日 平成19年9月26日 (2007. 9. 26)
 (65) 公開番号 特開2009-81962 (P2009-81962A)
 (43) 公開日 平成21年4月16日 (2009. 4. 16)
 審査請求日 平成20年10月7日 (2008. 10. 7)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100099933
 弁理士 清水 敏
 (72) 発明者 川村 博史
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 審査官 杉浦 貴之

最終頁に続く

(54) 【発明の名称】 スイッチング回路、回路、並びにスイッチング回路及び駆動パルス生成回路を含む回路

(57) 【特許請求の範囲】

【請求項1】

電源オフ時にはハイインピーダンスとなる、第1及び第2の駆動出力を有する駆動回路に接続されるスイッチング回路であって、

第1及び第2の電極と、前記第1の駆動出力に接続される制御電極とを有する、ノーマリーオフ型の第1の電界効果トランジスタと、

前記第1の電界効果トランジスタの前記制御電極及び前記第1の電極にそれぞれ接続される第1及び第2の電極と、前記第2の駆動出力に接続される制御電極とを有する、ノーマリーオン型の第2の電界効果トランジスタと、

前記第2の電界効果トランジスタの、前記制御電極及び前記第2の電極の間に接続される抵抗とを含む、スイッチング回路。

10

【請求項2】

前記第2の電界効果トランジスタは、前記第1の電界効果トランジスタの前記制御電極及び前記第1の電極にそれぞれ接続される第1及び第2の電極と、前記第2の駆動出力に接続される制御電極とを有する、ノーマリーオン型のN型の電界効果トランジスタを含む、請求項1に記載のスイッチング回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、大電力用の主電源のスイッチングの改善技術に関し、特に、低スレッシュホ

20

ールド電圧のスイッチング素子の誤動作を防ぐ技術に関する。

【背景技術】

【0002】

現在普及しているスイッチング素子は、Siによるトランジスタが主流である。しかし、近年、SiCやGaNなどのワイドバンドギャップ半導体によるものが注目されている。何故なら、ワイドバンドギャップ半導体はSiの物性値限界を超えたデバイス性能を実現するからである。

【0003】

しかし、Siによるトランジスタをワイドバンドギャップ半導体によるトランジスタで置換るのは容易ではない。Siによるトランジスタがノーマリーオフ型であるのに対し、ワイドバンドギャップ半導体によるトランジスタの多くは、ノーマリーオン型だからである。制御電圧が0Vでも端子間に電流が流れるようなトランジスタをノーマリーオン型と呼び、制御電圧が0Vの場合、端子間に電流が流れないトランジスタをノーマリーオフ型と呼ぶ。

10

【0004】

SiによるパワーMOSFET (Metal - Oxide - Semiconductor Field - Effect Transistor 金属 - 酸化物 - 半導体構造電界効果トランジスタ) を置換るために、GaNなどにおいてもノーマリーオフ型のスイッチング用の電界効果トランジスタ (Field - Effect Transistor。以下「FET」と呼ぶ。) が作られるようになってきた (例えば非特許文献1参照)。しかし、それらのスレッシュホールド電圧は0.2V程度と、あまり高くない。

20

【0005】

スイッチング素子を太陽電池及びエアコン等のインバータ等の主電源のスイッチングに用いる場合、スイッチング素子がオン/オフする主電源は電圧500V程度で50A程度の電流を供給することが多い。このように大電力の主電源のオン/オフを制御しようとする場合、スイッチングされる電流パスの途中にリレー、又は半導体等からなるスイッチを挿入することが難しい。これは、そのスイッチの抵抗が20m程度であっても、50Aという電流を流すと、そのスイッチでの消費電力が50Wと大きくなり、放熱などの熱対策が必要となるためである。したがって、インバータ等において使用されるスイッチング素子には主電源による電圧がかかった状態となっていることが多い。

30

【特許文献1】特開2004-242475号公報

【非特許文献1】川崎健他、「リセスゲートを用いた高パワー用ノーマリーオフAlGaN/GaN HEMT」、2005年国際固体素子・材料コンファレンス予稿集、2005年9月、p.206-207 (T. Kawasaki et al., "Normally-off AlGaN/GaN HEMT with Recessed Gate for High Power Applications", Ext. Abst. 2005 Int. Conf. on Solid State Devices and Materials, Sep. 2005, p.206-207)

【発明の開示】

【発明が解決しようとする課題】

40

【0006】

しかし、現状では大電力用の主電源スイッチング素子として、非特許文献1の記載のHEMT (High Electron Mobility Transistor 高電子移動度トランジスタ) のようなノーマリーオフ型ワイドバンドギャップ半導体FETを利用することは困難である。それは、上記したように、それらのスレッシュホールド電圧が低いためである。

【0007】

スイッチング素子により制御される電源の電圧は、数10Vから数100V、場合によっては1000Vを超える電圧となる。また、電流値も数Aから数10A、又は100Aを超えるような値となる。このような高い電圧をオン/オフすることにより、主電源には

50

電源電圧以上の雑音電圧が発生することがある。また、主電源と制御回路の間の容量あるいは電磁結合により、制御回路にも高いレベルの雑音電圧が発生する。スレッシュホールド電圧が低い場合、このような雑音電圧によってスイッチング素子が誤動作する危険性が高い。大電力用電源において、主電源には他のスイッチング回路等が並列に接続されている。これらの回路が前述のような高電圧及び高電流をオン/オフすることにより、主電源には雑音電圧が発生する場合がある。加えて、主電源と装置内の他の制御回路との間の容量又は電磁結合により、制御回路にも高いレベルの雑音電圧が発生する。

【 0 0 0 8 】

現状において、スレッシュホールド電圧が1V以下のノーマリーオフ型スイッチング素子等については、具体的なスイッチング用回路の検討がまだ進んでおらず、雑音電圧によるスイッチング素子の誤動作の問題は認識されていない。そこで、本願発明者は、ノーマリーオフ型のワイドバンドギャップ半導体によるスイッチング素子を含むスイッチング回路について、雑音による影響の検討を行なった。

10

【 0 0 0 9 】

図1に、雑音による誤動作の原理が比較的分かりやすい、従来のスイッチング素子を含む極性反転回路10の回路図を示す。図1を参照して、この極性反転回路10は、主電源電圧 V_{dd} （以下「 V_{dd} 」と呼ぶ。）に接続されたドレイン電極を有する、GaN等による、スレッシュホールド電圧が比較的低いノーマリーオフ型の電界効果トランジスタ20と、FET20のソース電極及びゲート電極にそれぞれ接続された、FET20を駆動するための駆動パルス生成回路22とを含む。駆動パルス生成回路は、FET20に対する駆動パルスの出力回路50を含む。

20

【 0 0 1 0 】

FET20のスレッシュホールド電圧 V_{th} は0.3Vである。駆動パルス生成回路22は、回路動作用の電源電圧 V_{dd2} （以下「 V_{dd2} 」と呼ぶ。）及び接地の間に接続されている。主電源電圧 V_{dd} の電圧は500V、電流は50Aである。 V_{dd2} は10~20Vの比較的低い電圧であり、別の回路により、 V_{dd} から生成されている。

【 0 0 1 1 】

回路10は、さらに、FET20のゲート電極及びソース電極の間に接続されたゲート電位安定用の抵抗24を含む。抵抗24としては、FET20の駆動回路の出力インピーダンスが数であるため、その数10~数100倍の抵抗値のものが利用される。

30

【 0 0 1 2 】

回路10は、さらに、FET20のソース電極に接続されたカソード電極を有するダイオード28と、FET20のソース電極及びダイオード28の接点と、接地との間に接続されたインダクタ26と、ダイオード28のカソード電極に接続された負荷32と、ダイオード28のカソード電極と接地との間に接続された平滑用の容量30とを含む。ここでいう負荷とは、電源 V_{dd} 及びFET20により与えられる電力で動作する回路のことをいう。

【 0 0 1 3 】

FET20では、帰還容量と呼ばれる、ゲート/ドレイン間容量42とゲート/ソース間容量44と等からなる寄生容量成分が存在する。

40

【 0 0 1 4 】

図2に、図1に示す駆動パルス生成回路22のうち、駆動パルスの出力回路50の回路構成を示す。図2を参照して、出力回路50は、互いに接続されたドレイン端子を有するノーマリーオフ型のP型MOSFET56及びN型MOSFET58と、これらのゲート端子に共通に接続された入力端子52と、これらのドレイン端子に共通に接続された出力端子54とを含む。P型MOSFET56のソース電極は電源 V_{dd2} に接続される。N型MOSFET58のソース電極はソース電位に接続される。

【 0 0 1 5 】

図1に示す極性反転回路10において、 V_{dd} への電圧印加が常にある状態で、駆動パルス生成回路22の電源がオフされた場合の動作を考える。図2を参照して、この場合、

50

電源 V_{dd2} は高いインピーダンスとなる。そのため、駆動パルス生成回路 22 の MOSFET のソース及びゲートの電位がスイッチング素子のソース電位 V_{ss2} と等しくなる。それに伴い、駆動パルス生成回路 22 の出力も V_{ss2} と等しくなる。その結果、駆動パルス生成回路 22 の MOSFET のソース、ドレイン、ゲートの全ての電位が等しくなる。この状態では、P 型 MOSFET 56 及び N 型 MOSFET 58 の各ソース/ゲート間の電圧が 0 V であるため、これらノーマリーオフ型トランジスタはオフ状態となり、出力のインピーダンスは高く保たれる。

【0016】

図 1 を参照して、FET 20 のゲート電極及びソース電極は抵抗 24 により接続されている。このため、FET 20 のゲート/ソース間電位は 0 V となり、FET 20 はオフ状態となる。また、FET 20 のソース電位は、インダクタ 26 により接地されているため、0 V となる。

10

【0017】

ここで、 V_{dd} において、前述のように他のスイッチング動作により電源電圧以上の雑音信号が発生した場合を考える。その雑音信号の周波数が回路のスイッチング周波数より低い場合、インダクタ 26 のインピーダンスは低くなる。インダクタ 26 はインダクタンスとして働かない。雑音信号による雑音電圧は、ゲート/ドレイン間容量 42 と、並列に接続されたゲート/ソース間容量 44、駆動パルス生成回路 22、及び抵抗 24 との直列接続により分圧される。分圧された雑音電圧は、FET 20 のゲート電極へ印加される。駆動パルス生成回路 22 には電源が供給されないため、その出力インピーダンスは比較的高い。このことから、分圧において駆動パルス生成回路 22 はほとんど無視することができる。

20

【0018】

例えば、主電源電圧 500 V、電流 50 A の場合、そのような回路に用いる FET 20 のゲート/ドレイン間容量 42 は数 10 pF 程度、ゲート/ソース間容量は数 100 pF 程度である。駆動パルス生成回路 22 が FET 20 をオンする際には、駆動電流の一部が抵抗 24 に流れるため、抵抗 24 としてあまり小さな抵抗値のものを用いることはできない。そのため、通常は抵抗値として駆動回路動作時の出力インピーダンスの数 10 から数 100 倍のものが用いられる。したがって、抵抗 24 の抵抗値は数 100 となる。

30

【0019】

例えば、ゲート/ドレイン間容量 42 が 50 pF、ゲート/ソース間容量 44 が 500 pF、抵抗 24 の抵抗値が 200、雑音信号の周波数が一般的なスイッチング周波数である 100 kHz の半分の 50 kHz であった場合、ゲート/ソース間容量 44 及び抵抗 24 の影響により雑音電圧の約 $1/320$ の電圧がゲート電極に印加される。雑音電圧が電源電圧と同じ 500 V とすると、ゲート電極に 1.6 V の雑音が発生することになる。雑音のレベル、周波数、寄生容量成分などにより異なるが、雑音電圧は数 V 程度と考えられる。

【0020】

FET 20 のスレッショールド電圧は 0.3 V であり、雑音電圧によりオンする可能性がある。一般的に、300 V 以上の電源電圧を用いる際には、スレッショールド電圧が 2 V 以下では、雑音による誤動作の可能性があると考えられている。これに対し、従来用いられてきた 500 V 程度の耐圧のシリコンのパワー MOSFET では、スレッショールド電圧が 2 ~ 5 V 程度である。したがってこのような雑音でスイッチング素子がオンすることはない。

40

【0021】

極性反転回路 10 において、実際の動作周波数より低い周波数で FET 20 がオンした場合、インダクタ 26 がインダクタとして動作しない。このため、電源電圧 V_{dd} はインダクタ 26 を介して接地され、大きな電流が FET 20 を経由して流れることになる。このような誤動作は、FET 20 の破壊、回路配線の発熱、及び FET 20 の過電流による過熱による火災などのリスクを高める。

50

【 0 0 2 2 】

従来のフルブリッジインバータ回路 70 についても同様の問題が考えられる。図 3 に、従来のフルブリッジインバータ回路 70 の回路図を示す。

【 0 0 2 3 】

図 3 を参照して、フルブリッジインバータ回路 70 は、負荷 90 に電力を与えるために、 V_{dd} のスイッチングを行なうためのノーマリーオフ型 FET 80、82、84、及び 86 を含む。ノーマリーオフ型 FET 80 及び 84 はいずれも、 V_{dd} に接続されたドレイン電極を有する。FET 80 のソース電極は負荷 90 の一方端子に接続され、FET 84 のソース電極は負荷 90 の他方端子に接続される。FET 82 は、FET 80 のソース電極に接続されたドレイン電極と、接地されたソース電極とを有する。FET 86 は、FET 84 のソース電極に接続されたドレイン電極と、接地されたソース電極とを有する。

10

【 0 0 2 4 】

フルブリッジインバータ回路 70 は、さらに、回路動作電源電圧 V_{dd} と接地との間に接続され、FET 80、82、84 及び 86 のゲート電極に対し駆動パルスを与えるための駆動パルス生成回路 88 を含む。

【 0 0 2 5 】

図 3 を参照して、このフルブリッジインバータ回路 70 において、雑音電圧により、例えば FET 80 及び 82 が同時にオンすると、 V_{dd} がノーマリーオフ型 FET 80 及び 82 を経由して接地にショートされることになる。その結果、素子が破壊されたり、回路の発熱に起因して火災が発生したりする、等の問題が発生する危険性が有る。

20

【 0 0 2 6 】

以上のように、本願発明者の検討によれば、スレッショールド電圧が比較的低いノーマリーオフ型 FET をスイッチング素子として、極性反転回路 10、及びフルブリッジインバータ回路 70 等に利用すると、誤動作による回路の破壊、及び回路の発熱による事故等の問題が懸念される。これは、ハーフブリッジ回路、及びチョッパ回路等についても同じである。

【 0 0 2 7 】

確実にスイッチング素子のオフを保つためには、特許文献 1 に開示されているように、負電圧生成回路を回路に追加し、かつ、主電源と同期して動作させるなどの制御が必要となる。しかしこの場合、負電圧はゲートのオン/オフを行なうために使用される。このため、負電圧生成回路は、ゲート容量を高速に駆動する、高い電流駆動力を有するものが必要とされる。

30

【 0 0 2 8 】

しかしそのように高出力な負電圧生成回路を追加し、かつ主電源と連動して動作するよう制御するためには、回路を大幅に複雑化する必要があり、製品のコスト増を招く。また、主電源と連動して制御回路にも電源を常に供給するため、動作していない場合も制御回路が電力を消費するという問題が発生する。さらに、これまで使用されてきたパワー MOSFET と大幅に回路構成が異なることになり、新たな製品開発が必要となるという大きな問題が生ずる。

【 0 0 2 9 】

したがって、本発明の目的は、ワイドバンドギャップ半導体によるノーマリーオフ型スイッチング素子を含む、大電力用の主電源スイッチング回路において、誤作動の少ないスイッチングを実現するための雑音防止スイッチング回路及び雑音防止駆動回路を提供することである。

40

【 0 0 3 0 】

本発明の別の目的は、この雑音防止スイッチング回路及び雑音防止駆動回路により、大電力用主電源スイッチング回路のオン抵抗の低減、動作の高速化、及び省消費電力化を実現することである。

【 課題を解決するための手段 】

【 0 0 3 1 】

50

本発明の第1の局面に係るスイッチング回路は、第1及び第2の電極と、制御電極とを有する、ノーマリーオフ型の第1のFETと、第1のFETの制御電極及び第1の電極にそれぞれ接続される第1及び第2の電極と、制御電極とを有する、ノーマリーオン型の第2のFETとを含む。

【0032】

第1のFETの制御電極及び第1の電極は、第2のFETの第1及び第2の電極にそれぞれ接続されている。このスイッチング回路は、第1のFETの制御電極にパルスを印加する駆動パルス生成回路により駆動される。このとき、第2のFETの制御電極には、第2のFETを安定的にオフさせるための電圧が駆動パルス生成回路から与えられるようにする。一方、駆動パルス生成回路に対する電源供給が無い場合には、駆動パルス生成回路と第2のFETの制御電極との接続部の電位と第2のFETの第1の電極の電位とが等しくなるように、第2のFETの第1の電極の接続先の電位を選ぶ。多くの場合これは接地電位である。

10

【0033】

通常動作時には、駆動パルス生成回路からの電圧により第2のFETは安定的にオフしている。そのため、第2のFETは第1のFETの動作に影響を与えない。駆動パルス生成回路への電源供給が切断された場合、駆動パルス生成回路と第2のFETの制御電極との接続部の電位と、第2のFETの第1の電極の電位とは等しくなる。その結果、ノーマリーオン型である第2のFETはオン状態となる。第1のFETの制御電極及び第1の電極の間は、第2のFETにより低いインピーダンスでショートされる。したがって、第1のFETの制御電極と第1の電極との間の電位差は0Vとなる。その結果、ノーマリーオフ型である第1のFETは、第1のFETの両電極間に常に電源電圧が印加されている状態で雑音が発生しても、安定してオフ状態を保つことができる。第1のFETが、例えば、ワイドバンドギャップ半導体によるノーマリーオフ型のFETであり、そのスレッシュホールド電圧が2V以下であっても、雑音による第1のFETの誤作動を防止することができる。

20

【0034】

好ましくは、スイッチング回路は、第2のFETの、制御電極及び第2の電極の間に接続される抵抗回路をさらに含む。

【0035】

本スイッチング回路において、第2のFETの制御電極/第2の電極間は、抵抗回路により接続されている。このため、上記したような駆動パルス生成回路をこのスイッチング回路に接続したときで、かつ駆動パルス生成回路に対する電源供給が切断された場合、パルス生成回路の出力インピーダンスが高くなる場合がある。その場合でも、第2のFETの制御電極と第2の電極との間に接続された抵抗回路により、第2のFETの制御電極と第2の電極間との電位差はやがては0Vとなり、第2のFETはオン状態となる。その結果、第1のFETはオフ状態を保つことができる。本スイッチング回路においては、雑音電圧が発生した場合でも、第1のFETの誤作動を防ぐことができる。

30

【0036】

好ましくは、抵抗回路は、第2のFETの、制御電極及び第2の電極の間に接続される抵抗を含む。

40

【0037】

第2のFETの制御電極/第2の電極間が、抵抗により接続されている。このことから、上記したような駆動パルス生成回路をこのスイッチング回路に接続したときで、かつ駆動パルス生成回路に対する電源供給が切断されている場合でも、第2の制御電極/第2の電極間電圧を確実に0Vとすることができる。その結果、第1のFETのオフ状態を保ち、誤作動を防止することができる。

【0038】

抵抗回路は、第2のFETの制御電極に共通に接続される制御電極及び第1の電極と、第2のFETの第2の電極に接続される第2の電極とを有する、第3のFETを含んでも

50

よい。

【0039】

このような抵抗回路を使用した場合でも、上記したような駆動パルス生成回路をこのスイッチング回路に接続したときで、かつ駆動パルス生成回路に対する電源供給が切断された場合には、第3のFETはオン状態を示す。このため、第3のFETの低いインピーダンスにより、第2のFETの制御電極/第2の電極間電圧を確実に0Vとすることができる。その結果、第1のFETのオフ状態を保ち、誤作動を防止することができる。

【0040】

抵抗回路は、第2のFETの制御電極に接続される第1の電極と、第2のFETの第2の電極に共通に接続される制御電極及び第2の電極とを有する、第3のFETを含んでもよい。

10

【0041】

このような抵抗回路を使用した場合も、抵抗回路として抵抗を代用した場合と同様の理由で、上記したような駆動パルス生成回路をこのスイッチング回路に接続したときで、かつ駆動パルス生成回路に対する電源供給がない場合には、第3のFETはオン状態となる。このため、第2のFETの制御電極/第2の電極間電圧を確実に0Vとすることができる。その結果、第1のFETのオフ状態を保ち、誤作動を防止することができる。

【0042】

本発明の第2の局面に係る出力先の雑音による誤作動を防止するための出力回路は、入力端子と、出力端子と、入力端子に接続される制御電極、電源電位に接続される第1の電極、及び出力端子に接続される第2の電極を有する、ノーマリーオフ型のP型の第1のFETと、入力端子に接続される制御電極、接地電位に接続される第1の電極、及び出力端子に接続される第2の電極を有する、ノーマリーオン型のN型の第2のFETとを含む。

20

【0043】

出力端子は、外部のノーマリーオフ型のスイッチング素子の制御端子に接続される。入力端子は入力信号に従い第1及び第2のFETの各制御電極に、スイッチング素子の制御端子に印加されるべきパルスを生成するための制御信号を与える。第1及び第2のFETは入力端子からの入力信号を受け、出力端子からスイッチング素子をオン/オフさせるためのパルス信号を出力する。本回路を駆動させるための電源電位からの電源供給が無い場合、第1及び第2のFETの各制御電極、第1の電極及び第2の電極の電位はすべて等しくなり、各々のFETの制御電極/第1の電極間の電位差は0Vとなる。第1のFETはオフ状態、第2のFETはオン状態となる。その結果、出力端子は低いインピーダンスで接地に接続される。出力端子がスイッチング素子の制御端子に接続され、スイッチング素子の一方の電極が接地電位に接続される場合を想定すると、本回路により、本回路への電源供給が切断されている場合には、スイッチング素子の制御電極と前記した一方の電極との間の電位差が0となる。その結果、スイッチング素子の両電極間に常に電源電圧が印加されている状況で雑音電圧が発生した場合でも、このスイッチング素子のオフ状態を安定して維持することができ、スイッチング素子の誤作動を防止できる。

30

【0044】

好ましくは、回路は、第2のFETの制御電極及び第1の電極の間に接続される抵抗回路をさらに含む。

40

【0045】

第2のFETの制御電極/第1の電極間が、抵抗回路により接続されている。このことから、本回路に対する電源供給が切断されている場合、第2のFETの制御電極/第1の電極間電圧を確実に0Vとすることができる。その結果、スイッチング素子の両電極間に常に電源電圧が印加されている状況で雑音が発生しても、スイッチング素子のオフ状態を安定して保つことができ、その誤作動を防止することができる。

【0046】

本発明の第3の局面に係る回路は、スイッチング回路と、スイッチング回路に接続され、スイッチング回路を駆動するためのパルスを生成しスイッチング回路に与える駆動パル

50

ス生成回路とを含む回路である。スイッチング回路は、駆動パルス生成回路からパルスを受けるように接続される制御電極と、第1及び第2の電極とを有する、ノーマリーオフ型の第1のFETを含む。駆動パルス生成回路は、入力信号を受け、第1のFETを駆動するための駆動信号を生成し出力するための制御回路と、制御回路から駆動信号を受けるように接続され、駆動信号にตอบสนองして、所定の第1及び第2の電位の間で遷移するパルスを、第1のFETの制御電極に与えるための出力回路とを含む。出力回路は、制御回路の出力を受けるように接続される入力端子と、第1のFETの制御電極に接続される出力端子と、入力端子に接続される制御電極、電源電位に接続される第1の電極、及び出力端子に接続される第2の電極を有する、ノーマリーオフ型のP型の第2のFETと、入力端子に接続される制御電極、第1のFETの第1の電極に接続される第1の電極、及び出力端子に接続される第2の電極を有する、ノーマリーオン型のN型の第3のFETとを含む。

10

【0047】

本回路において、スイッチング回路は、電源供給に対し第1のFETのオン/オフによりスイッチングを行なう。駆動パルス生成回路は、パルス信号を第1のFETの制御端子に与え、そのオン及びオフを制御する。この際、制御回路は入力信号に従い第1のFETを駆動するための駆動信号を生成し、出力回路に出力する。第2及び第3のFETからなる出力回路は、この駆動信号にตอบสนองして第1のFETを動作させるためのパルスを生成し、出力端子を介して第1のFETの制御電極に供給する。このパルスは、第1のFETがオンする電位と、オフする電位との間で遷移する。

【0048】

20

第1のFETの制御電極/第1の電極間は、第3のFETの第2の電極及び第1の電極にそれぞれ接続されている。そのため、駆動パルス生成回路に対する電源供給がない場合、第3のFETの制御電極/第1の電極間電圧は0Vとなる。ノーマリーオン型である第3のFETはオン状態となる。その結果、第1のFETの制御電極/第1の電極間電圧は0Vとなる。第1のFETはノーマリーオフ型であるため、オフ状態を保つことができる。駆動パルス生成回路への電源供給が切断されている場合に、雑音電圧が発生しても、第1のFETがオン状態になってしまいうおそれがない。その結果、第1のFETの第1及び第2の電極間に電源電圧が常に印加されている状況でも、スイッチング回路の誤作動を防止することができる。

【発明の効果】

30

【0049】

以上のように、本発明により、スレッショールド電圧が2V以下のワイドバンドギャップ半導体によるノーマリーオフ型スイッチング素子を用い、誤作動の少ないスイッチングを実現することが可能である。そのため、DC/DCコンバータ、並びに、太陽電池、エアコン、及びIH(Inductive Heating)のインバータ等に利用される、大電力用の主電源スイッチング素子として、従来のSiパワーMOSFETをGaNなどによるワイドバンドギャップ半導体により作製されるスイッチング素子に置換することができる。その結果として、本発明は大電力用主電源スイッチング回路のオン抵抗の低減、動作の高速化、及び省消費電力化を実現する。

【発明を実施するための最良の形態】

40

【0050】

以下、本発明の実施の形態に係るスイッチング回路について説明する。以下の説明及び図面では、同一の部品には同一の参照符号及び名称を付してある。それらの機能も同一である。したがって、それらについての詳しい説明は繰返さない。

【0051】

[第1の実施の形態]

- 構成 -

図4に、本発明の第1の実施の形態に係るスイッチング回路100の基本的構成を示す。図4を参照して、スイッチング回路100は、ドレイン電極142及びソース電極144を有する、GaN/AlGaNの積層構造により形成されたAlGaN/GaN HE

50

MTによるノーマリーオフ型スイッチング素子130と、スイッチング素子130のゲート電極に接続され、スイッチング素子130の駆動用パルスを受け取る端子146とを含む。この実施の形態では、スイッチング素子130のスレッシュホールド電圧は0.3Vである。

【0052】

スイッチング回路100はさらに、スイッチング素子130のゲート電極とソース電極144とにそれぞれ接続されたドレイン電極及びソース電極を有するノーマリーオン型FET132と、ノーマリーオン型FET132のゲート電極に接続された端子148とを含む。端子148は、ノーマリーオン型FET132のゲート電位を安定化させるための信号を外部から受けるためのものである。この実施の形態では、ノーマリーオン型FET132のスレッシュホールド電圧は-2Vである。

10

【0053】

図5に、スイッチング回路100と、スイッチング回路100を駆動させるための駆動パルス生成回路118とを含む基本回路の回路構成を示す。

【0054】

図5を参照して、スイッチング素子130のドレイン電極142は図示しない電源電位 V_{dd} に接続され、ソース電極144は接地される。駆動パルス生成回路118は、スイッチング素子130のゲート電極に接続され、スイッチング素子130を制御して所望のスイッチングを行なわせる制御電圧を与えるパルス駆動端子112と、ノーマリーオン型FET132のゲート電極に接続されるゲート電位安定化制御端子114と、ソース電極に接続されるソース接続端子116とを有する。

20

【0055】

この基本回路はさらに、駆動パルス生成回路118の電源がオフした状態で確実にノーマリーオン型FET132をオンさせるための、ノーマリーオン型FET132のゲート電極とソース電極との間に接続された抵抗120を含む。

【0056】

スイッチング素子130のソース電極144及び接地との間には図示しない負荷が接続される。負荷とは、図5に示す回路を含む装置において、その装置本来の機能を実現する制御回路を示す。すなわち、スイッチング回路100は当該装置自体のオン/オフを制御するスイッチングを行なう。

30

【0057】

駆動パルス生成回路118は、回路動作の電源電位 V_{dd2} と接地との間に接続される。駆動パルス生成回路118とスイッチング素子130のソース電極144との接地電位は共有してもよい。駆動パルス生成回路118は図示しない負電圧生成回路を含み、この負電圧生成回路は、駆動パルス生成回路118の駆動時に、ゲート電位安定化制御端子114に、ノーマリーオン型FET132が十分にオフする程度の電圧を与える。本実施の形態では、この負電圧はソース電位を基準として-3V程度である。

【0058】

- 動作 -

図5に示すスイッチング回路100は以下のように動作する。

40

【0059】

図5を参照して、回路駆動時には、駆動パルス生成回路118は、パルス駆動端子112及びゲート電位安定化制御端子114を介してスイッチング素子130のゲート電極及びノーマリーオン型FET132のゲート電極に、それぞれ制御電圧を印加する。ノーマリーオン型FET132のゲート電極に与えられる制御電圧は、ソース電位に対してノーマリーオン型FET132が十分にオフする電圧(-3V程度)である。この状態では、ノーマリーオン型FET132は完全にオフしており、ノーマリーオン型FET132はスイッチング素子130の動作に影響しない。

【0060】

スイッチング素子130のソース電極144が接地されているため、既に述べたように

50

ノーマリーオン型 F E T 1 3 2 のゲート電極に印加される - 3 V 程度の負電圧を生成する負電圧生成回路が駆動パルス生成回路 1 1 8 の中に設けられる。しかし、ノーマリーオン型 F E T 1 3 2 はスイッチング動作をしないため、ゲート電流はほとんど流れず、電圧が一定電圧以下になっていればよいため、要求される電圧設定精度も高くない。したがって、電源電圧を容量とスイッチとで反転して生成する等、簡便な方法で負電圧を生成する負電圧生成回路でもスイッチング回路 1 0 0 は問題なく動作する。

【 0 0 6 1 】

一方、 V_{dd2} により電源が供給されておらず、駆動パルス生成回路 1 1 8 が動作していない場合を考える。駆動パルス生成回路 1 1 8 のパルス駆動端子 1 1 2 での電圧は 0 V となるが、出力インピーダンスは高い状態となる。駆動パルス生成回路 1 1 8 内の図示しない負電圧生成回路は、駆動回路の電源電圧を容量及びスイッチ等で反転して負電圧を生成している。このため、駆動回路の電源電圧が 0 V となれば、やがては負電圧生成回路の生成する負電圧も 0 V となる。

10

【 0 0 6 2 】

このとき、ゲート電位安定化制御端子 1 1 4 の出力インピーダンス、及び、ノーマリーオン型 F E T 1 3 2 のゲート電極の入力インピーダンスはともに比較的高くなるため、抵抗 1 2 0 によってノーマリーオン型 F E T 1 3 2 のソース/ゲート間の電位差は 0 V となる。従って、ノーマリーオン型 F E T 1 3 2 はオン状態となる。スイッチング素子 1 3 0 のソース/ゲート間は低いインピーダンスでショートされ、スイッチング素子 1 3 0 のソース/ゲート間電圧は 0 V となる。スイッチング素子 1 3 0 はノーマリーオフ型であるため、スイッチング素子 1 3 0 はオフする。

20

【 0 0 6 3 】

このような状態で、 V_{dd} からの雑音信号がスイッチング素子 1 3 0 のドレイン電極 1 4 2 に入り、スイッチング素子 1 3 0 のゲート/ドレイン間容量を介してスイッチング素子 1 3 0 のゲートに雑音信号が入ったものとする。このとき、ノーマリーオン型 F E T 1 3 2 は、前述の通りオン状態である。スイッチング素子 1 3 0 のゲート/ソース間は比較的低いインピーダンスでショートされている。その結果、スイッチング素子 1 3 0 のソース/ゲート間電圧は 0 V となり、スイッチング素子 1 3 0 がオンすることはない。

【 0 0 6 4 】

以上のとおり、本実施の形態に係るスイッチング回路 1 0 0 によれば、スイッチング素子 1 3 0 のスレッシュホールド電圧が比較的低くても、雑音信号によりスイッチング素子 1 3 0 がオンすることがない。スイッチング素子 1 3 0 を介して電源電位 V_{dd} と接地との間に大電流が流れたりするおそれがなく、回路の破損、火災の発生等の危険性を小さくすることができる。

30

【 0 0 6 5 】

なお、スイッチング回路 1 0 0 は、抵抗 1 2 0 がなくても原理的には正常に動作する。しかし、抵抗 1 2 0 を設けることにより、ノーマリーオン型 F E T 1 3 2 のゲート/ソース間電圧を 0 V とすることが保証できるため、安全性を高めることができるという効果がある。

【 0 0 6 6 】

[第 2 の実施の形態]

- 構成 -

図 6 に、本発明の第 2 の実施の形態に係るスイッチング回路 1 9 0 の回路図を示す。

40

【 0 0 6 7 】

図 6 を参照して、このスイッチング回路 1 9 0 は、図 5 に示すスイッチング回路 1 0 0 とほぼ同様の構成を有するが、図 5 に示す抵抗 1 2 0 に代えて、ノーマリーオン型 F E T 1 3 2 のゲート電極に共通に接続されるドレイン電極及びゲート電極と、ノーマリーオン型 F E T 1 3 2 のソース電極に接続されるソース電極とを有するノーマリーオン型 F E T 2 0 0 を含む点が、図 5 に示すスイッチング回路 1 0 0 と異なる。

【 0 0 6 8 】

50

- 動作 -

図6に示すスイッチング回路190は以下のように動作する。

【0069】

よく知られているように、FETは、ソース/ドレイン間において非常に高い抵抗と同じような特性を示す。したがって、ノーマリーオン型FET200は図5に示す抵抗120と同様に動作する。

【0070】

図6を参照して、具体的には、回路駆動時、駆動パルス生成回路118は、ゲート電位安定化制御端子114を介して、ノーマリーオン型FET132及びノーマリーオン型FET200に、ノーマリーオン型FET132が十分にオフし、ノーマリーオン型FET200が十分にオンする程度の電圧を与える。

10

【0071】

V_{dd2} により電源が供給されておらず、駆動パルス生成回路118が動作していない場合を考える。ゲート電位安定化制御端子114からの印加電圧は0Vとなる。このため、ノーマリーオン型FET200はオン状態となる。ノーマリーオン型FET200のソース/ドレイン間のインピーダンスは、ゲート電位安定化制御端子114/ソース接続端子116間よりも低い。このことからノーマリーオン型FET200は、ノーマリーオン型FET132のソース/ゲート電極間をショートし、ノーマリーオン型FET132のソース/ゲート電圧を0Vとすることができる。ノーマリーオン型FET132はオン状態となる。その結果、本実施の形態に係るスイッチング回路190によっても、第1の実

20

【0072】

なお、第1の実施の形態で使用した抵抗120は、既に述べたように本来はなくてもよいものであり、安全性を高めるために設けるものである。したがって、ノーマリーオン型FET200のゲート幅は小さくてもよく、スイッチング素子130、ノーマリーオン型FET132とともに同一基板上に作製しても素子サイズにほとんど影響を与えない。

【0073】

さらに、ノーマリーオン型FET200のゲート長を長くしても良い。このことによりノーマリーオン型FET200をより高抵抗にし、さらに確実にスイッチング素子130をオフ状態にすることができる。

30

【0074】

[第3の実施の形態]

図7に、本発明の第3の実施の形態に係るスイッチング回路230の回路図を示す。

【0075】

図7を参照して、本回路は、図5に示すスイッチング回路100と同様の構成であるが、図5に示す抵抗120に代えて、ノーマリーオン型FET132のゲート電極に接続されるソース電極と、ノーマリーオン型FET132のソース電極に共通に接続されるドレイン電極及びゲート電極とを有するノーマリーオフ型FET240を含む点で、図5に示すスイッチング回路100と異なる。

【0076】

40

なお、一般的にGaNスイッチング素子のトランジスタでは、素子作製時のエッチング時間を調整することにより、そのスレッシュホールド電圧を自由に変えることができる。ノーマリーオフ型FET240は、そのスレッシュホールド電圧 V_{th3} と、ノーマリーオン型FET132のスレッシュホールド電圧 V_{th2} とが $|V_{th3}| < |V_{th2}|$ の関係となるよう調整されているものとする。この実施の形態では、 $V_{th2} = -2V$ 、 $V_{th3} = 1V$ である。

【0077】

このスイッチング回路230においても、ノーマリーオフ型FET240が図5に示す抵抗120と同様の機能を果たす。その結果、スイッチング回路230も第1の実施の形態に係るスイッチング回路100、及び第2の実施の形態に係るスイッチング回路190

50

と同様に動作し、同様の効果を得ることができる。

【0078】

図6を参照して、具体的には、回路駆動時には、ゲート電位安定化制御端子114を介してノーマリーオン型FET132に、ソース接続端子116を介してノーマリーオフ型FET240に、それぞれ制御電圧が与えられる。以降、2つのFETのソース/ゲート間電圧を、ノーマリーオン型FET132では V_{GS2} 、ノーマリーオフ型FET240では V_{GS3} と呼ぶ。 V_{GS2} はノーマリーオン型FET132が十分オフする電圧(-3V程度)である。また、 V_{GS3} はノーマリーオフ型FET240が十分オンする電圧(1.5V程度)である。本実施の形態では、 $|V_{GS3}| < |V_{th2}|$ となるよう調整されているものとする。

10

【0079】

V_{dd2} による電源供給が何らかの理由で遮断され、駆動パルス生成回路118が動作していない場合を考える。遮断直後、ソース接続端子116/ゲート電位安定化制御端子114間には、寄生容量等により電圧が保持される。このため、ノーマリーオフ型FET240はオン状態を保持する。ところで、ノーマリーオン型FET132のソース/ゲート間電圧 V_{GS2} は、ノーマリーオフ型FET240のゲート/ソース間電圧 V_{GS3} の値の正負を逆にした値となる($V_{GS2} = -V_{GS3}$)。また、ノーマリーオフ型FET240がオン状態のため、そのゲート/ソース間電圧 V_{GS3} が低下する。前述の2点の理由により、ノーマリーオン型FET132のゲート/ソース間電圧 V_{GS2} は V_{th2} を超えることはない。このためノーマリーオン型FET132はオン状態となる。その結果、本実施の形態に係るスイッチング回路230によっても、第1の実施の形態と同様の効果を得ることができる。

20

【0080】

[第4の実施の形態]

-構成-

図8に、本発明の第4の実施の形態に係るスイッチング回路260を含む基本回路の回路図を示す。

【0081】

図8を参照して、この基本回路は、スイッチング素子130を含むスイッチング回路260と、スイッチング回路260を駆動するための、電源電位 V_{dd2} と接地との間に接続され、パルス駆動端子112及びソース接続端子116を有する駆動パルス生成回路270とを含む。

30

【0082】

スイッチング回路260は、図5に示すスイッチング回路100と同様の構成を有する。ただし、スイッチング回路260は、図5に示すノーマリーオン型FET132及び抵抗120を有していない。本実施の形態に係る回路は、図5に示すノーマリーオン型FET132に相当するFETが、駆動パルス生成回路270中のスイッチング素子130に対する駆動パルスの出力回路290内に設けられている点に特徴がある。

【0083】

以下、図2及び図5を参照しながら、本実施の形態における駆動パルス生成回路270内のFETの構成について説明する。

40

【0084】

図5に示すノーマリーオン型FET132のドレイン電極は、スイッチング素子130のゲート電極、及び駆動パルス生成回路118のパルス駆動端子112に接続されている。またソース電極はスイッチング素子130のソース電極144、及び駆動パルス生成回路118のソース接続端子116に接続されている。

【0085】

一方、図2に示すように、駆動パルス生成回路118の出力回路50に含まれるノーマリーオフ型N型MOSFET58のドレイン電極は端子54に接続され、ソース電極はソース電位 V_{ss2} に接続される。端子54は、図5に示すパルス駆動端子112に接続さ

50

れる。ソース電位 $V_{s s 2}$ は、スイッチング素子 130 のソース電極 144 と共通化されている。したがって、回路構成から見ると、ノーマリーオフ型 N 型 MOS F E T 58 をノーマリーオン型 F E T で置換ると、図 5 に示すノーマリーオン型 F E T 132 と同じ機能が得られることが分かる。

【 0086 】

したがって、本実施の形態では、駆動パルス生成回路 270 の出力回路 290 は以下のような構成を有する。図 9 に、出力回路 290 の回路図を示す。

【 0087 】

図 9 を参照して、出力回路 290 は、図 2 に示す出力回路 50 において、ノーマリーオフ型 N 型 MOS F E T 58 に代えてノーマリーオン型 N 型 MOS F E T 302 を含む構成を有する。P 型 MOS F E T 56 のソース電極は電源 $V_{d d 2}$ に接続される。ノーマリーオン型 N 型 MOS F E T 302 のソース電極はソース電位 $V_{s s 2}$ に接続される。これらのドレイン電極は共通に出力端子 54 に接続される。またゲート電極は共通に入力端子 52 に接続される。

10

【 0088 】

- 動作 -

この第 4 の実施の形態に係るスイッチング回路 260 及び駆動パルス生成回路 270 は以下のように動作する。

【 0089 】

駆動パルス生成回路 270 が動作しているときには、ノーマリーオン型 N 型 MOS F E T 302 は通常出力回路と同様に動作する。

20

【 0090 】

駆動パルス生成回路 270 への電源供給がない状態を考える。第 1 の実施の形態におけるノーマリーオン型 F E T 132 と同様、ノーマリーオン型 N 型 MOS F E T 302 のソース電極、ドレイン電極、及びゲート電極の電位はいずれも等しくなる。ノーマリーオン型 N 型 MOS F E T 302 はオン状態となる。ノーマリーオン型 N 型 MOS F E T 302 がオン状態となることにより、スイッチング素子 130 のソース/ゲート間が比較的低いインピーダンスでショートされることになる。このためノーマリーオフ型 F E T 130 のゲート/ソース間電圧は 0 V となり、スイッチング素子 130 のドレインから雑音信号が加えられてもスイッチング素子 130 がオンすることはない。

30

【 0091 】

[第 5 の実施の形態]

- 構成 -

図 10 に、本発明の第 5 の実施の形態に係るスイッチング回路の駆動パルス生成回路で使用される出力回路 320 の構成を示す。この出力回路 320 は、第 4 の実施の形態に係る駆動パルス生成回路 270 の出力回路 290 に代えて使用することができる。

【 0092 】

この出力回路 320 は、図 9 に示す第 4 の実施の形態に係る出力回路 290 の構成に加え、ノーマリーオン型 N 型 MOS F E T 302 のゲート電極とソース電極との間に設けられた抵抗 334 をさらに含む。ノーマリーオン型 N 型 MOS F E T 302 と抵抗 334 との関係は、ちょうど第 1 の実施の形態に係るスイッチング回路 100 (図 5 参照) におけるノーマリーオン型 F E T 132 と抵抗 120 との関係と等しい。

40

【 0093 】

- 動作 -

図 10 に示す出力回路 320 の動作は、図 9 に示す出力回路 290 の動作と同様である。ただし、 $V_{d d 2}$ による電源供給が無い状態において、抵抗 334 によりノーマリーオン型 N 型 MOS F E T 302 のオン状態をより確実にする点が異なる。このときの抵抗 334 の機能は第 1 の実施の形態における抵抗 120 の機能と同じである。

【 0094 】

抵抗 334 により、ノーマリーオン型 N 型 MOS F E T 302 のソース/ゲート電極間

50

が接続される。このため、電源電圧 V_{dd2} による電圧印加が無い状態において、ノーマリーオン型N型MOSFET302のソース/ゲート間電圧は0Vとなる。ノーマリーオン型N型MOSFET302はオン状態となってスイッチング素子130のゲート/ソース間電圧を0Vにする。雑音信号がドレイン電極142からスイッチング素子130に加えられ、ゲート/ドレイン間の容量結合によってスイッチング素子130のゲートに加えられても、スイッチング素子130がオンすることはない。その結果、スイッチング素子130の誤作動を防止できる。

【0095】

[変形例]

上記した実施の形態において、スイッチング素子130のソース電極は接地されている。しかし、スイッチング素子130によるスイッチングが可能であれば、ソース電位はこれに限定しない。

【0096】

第2の実施の形態において、ノーマリーオン型FET200に代えて、ノーマリーオフ型FETを用いても良い。以降、当該ノーマリーオフ型FETのスレッシュホールド電圧を V_{th4} 、ソース/ドレイン間電圧を V_{GS4} すると、この変形例では、 $|V_{th4}| < |V_{th2}|$ 及び $|V_{GS4}| < |V_{th2}|$ の関係となるよう調整される。

【0097】

このスイッチング回路は以下のように動作する。回路駆動時には、前述のようにノーマリーオン型FET132はオフ、当該ノーマリーオフ型FETはオン状態である。電源供給が切断された場合、第3の実施の形態と同様に、ソース接続端子116/ゲート電位安定化制御端子114間に電圧が保持されることにより、当該ノーマリーオフ型FETはオン状態を保つ。ここでは第3の実施の形態とは異なり、ノーマリーオン型FET132及び当該ノーマリーオフ型FETの各ソース/ゲート間電圧は同じとなる。 $|V_{GS4}| < |V_{th2}|$ の関係により、ノーマリーオン型FET132のソース/ゲート間電圧は V_{th2} より小さい値となり、ノーマリーオン型FET132はオン状態となる。このことにより第1の実施の形態と同様の効果が得られる。

【0098】

第3の実施の形態において、ノーマリーオフ型FET240に代えて、ノーマリーオン型FETを用いても良い。このスイッチング回路は以下のように動作する。ゲート電位安定化制御端子114を介してノーマリーオン型FET132に、ソース接続端子116を介して当該ノーマリーオン型FETに制御電圧が与えられる。本実施の形態では、ノーマリーオン型FET132はオフ、当該ノーマリーオン型FETはオンとなるよう制御電圧が調整されている。電源供給が切断された場合、第2の実施の形態と同様、当該ノーマリーオン型FETはオン状態であり、ノーマリーオン型FET132のソース/ゲート間をショートする。このことにより第1の実施の形態と同様の効果が得られる。

【0099】

第1、第2、及び第3の実施の形態に係るスイッチング回路100、190、及び230と、第4及び第5の実施の形態に係る出力回路290及び320とは、それぞれ、図5及び図8に示す回路100及び260にその用途を限定しない。例えば、高調波抑圧(Power Factor Collection, PFC)回路に良く用いられる昇圧型のチョッパ回路がある。

【0100】

[第1の応用例]

- 構成 -

図11に、本発明の第1の実施の形態に係るスイッチング回路100を含む、高調波抑圧回路(PFC)によく用いられる昇圧型のチョッパ回路340の回路構成を示す。

【0101】

図11を参照して、このチョッパ回路340は、AC100Vの電源350に接続され、電源350からの交流電流を整流するためのダイオードブリッジ352と、一对の出

10

20

30

40

50

力端子 360 及び 362 と、ダイオードブリッジ 352 の一方の出力端子と出力端子 360 との間に直列に接続されたチョークコイル（インダクタ）356 及び整流用ダイオード 358 と、ダイオードブリッジ 352 の 2 つの出力端子の間に接続された数 μF 程度の比較的小さな容量 354 とを含む。整流用ダイオード 358 はチョークコイル 356 に接続されるアノードと、出力端子 360 に接続されるカソードとを有する。整流用ダイオード 358 は、以下に述べるように高速なオン/オフの繰返しを行なうことから、逆方向リカバリ損失が大きくなる。このため、整流用ダイオード 358 にはショットキーダイオード又はファーストリカバリダイオードを用いる。容量 354 により、スイッチング周波数での電源のインピーダンスが下げられている。スイッチング周波数としては、60 kHz 程度が選ばれる。

10

【0102】

チョッパ回路 340 はさらに、整流用ダイオード 358 のアノードと出力端子 362 との間に接続されたスイッチング回路 100 と、スイッチング回路 100 とスイッチング素子 130 のソース電極 144 とに接続された、スイッチング回路 100 の駆動パルス生成してスイッチング回路 100 に与えるための駆動パルス生成回路 118 とを含む。

【0103】

スイッチング回路 100 は、図 5 を参照して既に述べたとおり、スイッチング素子 130、ノーマリーオン型 FET 132、及び抵抗 120 を含む。ノーマリーオフ型 FET 130 のソース電極は出力端子 362 を介して接地に接続され、ゲート電極はパルス駆動端子 112 を介して駆動パルス生成回路 118 に接続され、ドレイン電極は整流用ダイオード 358 のアノードに接続される。ノーマリーオン型 FET 132 のゲート電極は駆動パルス生成回路 118 のゲート電位安定化制御端子 114 に接続され、ソース電極はスイッチング素子 130 のソース電極 144 に、ドレイン電極はスイッチング素子 130 のゲート電極に、それぞれ接続される。抵抗 120 は、ノーマリーオン型 FET 132 のゲート電極と出力端子 362（すなわち接地）との間に接続される。駆動パルス生成回路 118 のソース接続端子 116 は、出力端子 362 に接続される。

20

【0104】

- 動作 -

図 10 を参照して、通常動作では、駆動パルス生成回路 118 よりノーマリーオン型 FET 132 のゲート電極には、ノーマリーオン型 FET 132 をオフするために十分な負の電圧が与えられている。このため、ノーマリーオン型 FET 132 はオフ状態となっている。この状態において、ノーマリーオフ型 FET 130 のゲート電極には駆動電圧が印加され、ノーマリーオフ型 FET 130 による電源 350 からの電力のスイッチング動作が行われる。このとき、電源 350 より入力された電圧は、その電圧より高い電圧に昇圧されている。

30

【0105】

通常、電源 350 より先に駆動パルス生成回路 118 の駆動用の電源 V_{dd2} がオンするため、常にスイッチング動作が行われた状態で電源 350 がオンされる。

【0106】

ところが、駆動パルス生成回路 118 用の電源が正常に動作しない等の原因により、ノーマリーオフ型 FET 130 及びノーマリーオン型 FET 132 のゲート電極に駆動電圧が全く印加されない場合がある。この状態で主電源 350 が印加された場合を考える。この回路では、ノーマリーオン型 FET 132 のゲート/ソース間は抵抗 120 により接続されている。このため、ノーマリーオン型 FET 132 のゲート電極電位とソース電極電位とは同じに設定され、ノーマリーオン型 FET 132 のゲート/ソース間電圧は 0 V となる。ノーマリーオン型 FET 132 はオン状態となり、ノーマリーオン型 FET 132 のソース/ドレイン間は、低いインピーダンスでショートされる。つまり、ノーマリーオフ型 FET 130 のゲート/ソース間が低いインピーダンスで 0 V に設定される。ノーマリーオフ型 FET 130 のゲート/ソース間電圧は 0 V となり、オフ状態となる。この状態で、外部から誘導あるいは容量性の結合により、雑音信号が入力されても、ノーマリー

40

50

オフ型 F E T 1 3 0 はオフ状態を保つことができる。

【 0 1 0 7 】

なお、ノーマリーオフ型 F E T 1 3 0 のスレッシュホールド電圧は 0 . 3 V 程度と比較的低く、ゲート/ソース間電圧が 0 V のときに、若干のリーク電流が流れる場合がある。しかし、その値は極めて小さなものであり、チョッパ回路 3 4 0 および電源 3 5 0 に悪影響を与えることはない。

【 0 1 0 8 】

[第 2 の応用例]

- 構成 -

図 1 2 に、本発明の第 2 の応用例であるチョッパ回路 3 9 0 の回路構成を示す。図 1 2 を参照して、チョッパ回路 3 9 0 は、図 1 1 に示すチョッパ回路 3 4 0 と同様の構成を持つが、図 1 1 に示すスイッチング回路 1 0 0 及び駆動パルス生成回路 1 1 8 に代えて、図 8 に示すスイッチング回路 2 6 0 及び駆動パルス生成回路 2 7 0 を含む点で、図 1 1 に示すチョッパ回路 3 4 0 と異なる。駆動パルス生成回路 2 7 0 は図 9 に示す出力回路 2 9 0 を含む。

10

【 0 1 0 9 】

- 動作 -

第 2 の応用例に係る出力回路 2 9 0 及びチョッパ回路 3 9 0 の動作及び効果は、第 4 の実施の形態及び第 1 の応用例の動作及び効果と同様である。

【 0 1 1 0 】

20

[可能な変形例]

上記した実施の形態において、スイッチング素子 1 3 0 とノーマリーオン型 F E T 1 3 2 とを別素子として作製してもよいし、同一基板に作製して一つの素子としても良い。

【 0 1 1 1 】

非特許文献 1 に示されるように、スイッチング素子 1 3 0 を構成する A l G a N / G a N H E M T のスレッシュホールド電圧は、プロセスにおけるエッチング時間により自由に制御することができる。つまり、A l G a N / G a N H E M T において、エッチング時間を変えることにより、スレッシュホールド電圧の異なるトランジスタを同一基板上に形成することができる。スイッチング素子については、損失低減のためオン抵抗を小さくすることが不可欠である。そのため、ノーマリーオフ型 F E T 1 3 0 は比較的大きな素子サイズを必要とする。1 A クラスの素子で、総ゲート幅としては数 m m 程度が必要となる。

30

【 0 1 1 2 】

一方で、ノーマリーオン型 F E T 1 3 2 は、比較的小さい 1 0 0 μ m 程度の素子サイズでも良い。このサイズでも、誘導あるいは容量性の結合により発生する雑音電圧を充分抑圧できるからである。

【 0 1 1 3 】

以上のことから、スイッチング素子 1 3 0 とノーマリーオン型 F E T 1 3 2 とを同一基板に作製しても、素子サイズが大きく増加することはない。

【 0 1 1 4 】

40

第 2 又は第 3 の実施の形態において、スイッチング素子 1 3 0 と、ノーマリーオン型 F E T 1 3 2 と、ノーマリーオン型 F E T 2 0 0 又はノーマリーオフ型 F E T 2 4 0 とを、同一基板に作製しても良い。

【 0 1 1 5 】

これらの素子を同一基板に作製することにより、スイッチング回路を小型化することができる。

【 0 1 1 6 】

また、これらの素子を同一基板に形成することにより、各素子を異なる基板上に作製してスイッチング回路を構成した場合と比べ、ノーマリーオン型 F E T 1 3 2 のドレイン端子とスイッチング素子 1 3 0 のゲート端子との距離を非常に短くすることができ、更に雑

50

音耐性が向上する。

【0117】

第4及び第5の実施の形態において、図9及び図10に示すノーマリーオフ型P型MOSFET56及びノーマリーオン型N型MOSFET302は、通常のC-MOS型回路の作製プロセスを利用して作製しても良い。この場合、チャンネル部へN型ドーパントのドーピングを行なうことにより、ノーマリーオン型N型MOSFET302を作製することが可能である。

【0118】

第5の実施の形態において、C-MOSプロセスで作製されるFETのゲート電極への入力インピーダンスは極めて高い。そのため、ノーマリーオン型N型MOSFET302に接続する抵抗334は、高抵抗のものを用いることができる。

10

【0119】

以上のように、本発明により、スレッシュホールド電圧が2V以下のワイドバンドギャップ半導体によるノーマリーオフ型スイッチング素子を用い、誤作動の少ないスイッチングを実現することが可能である。この結果、本発明は大電力用主電源スイッチング回路のオン抵抗の低減、動作の高速化、省消費電力化、及び小型化を実現する。

【0120】

今回開示された実施の形態は単に例示であって、本発明が上記した実施の形態のみに制限されるわけではない。本発明の範囲は、発明の詳細な説明の記載を参酌した上で、特許請求の範囲の各請求項によって示され、そこに記載された文言と均等の意味および範囲内でのすべての変更を含む。

20

【図面の簡単な説明】

【0121】

【図1】従来の極性反転回路10を示す回路図である。

【図2】従来の駆動パルス生成回路22に含まれる出力回路50の回路図である。

【図3】従来のフルブリッジインバータ回路70を示す回路図である。

【図4】本発明の第1の実施の形態に係るスイッチング回路100の回路図である。

【図5】本発明の第1の実施の形態に係るスイッチング回路100を含む回路の回路図である。

【図6】本発明の第2の実施の形態に係るスイッチング回路190を含む回路の回路図である。

30

【図7】本発明の第3の実施の形態に係るスイッチング回路230を含む回路の回路図である。

【図8】本発明の第4の実施の形態に係るスイッチング回路260及び駆動パルス生成回路270を含む回路の回路図である。

【図9】図8に示す駆動パルス生成回路270に含まれる出力回路290の回路図である。

【図10】本発明の第5の実施の形態に係る出力回路320の回路図である。

【図11】本発明の第1の応用例に係るチョッパー回路340の回路図である。

【図12】本発明の第2の応用例に係るチョッパー回路390の回路図である。

40

【符号の説明】

【0122】

10 極性反転回路

20、56、80、82、84、86、130、240 ノーマリーオフ型FET

22、88、118、270 駆動パルス生成回路

24、120、334 抵抗

26、356 インダクタ

28、358 ダイオード

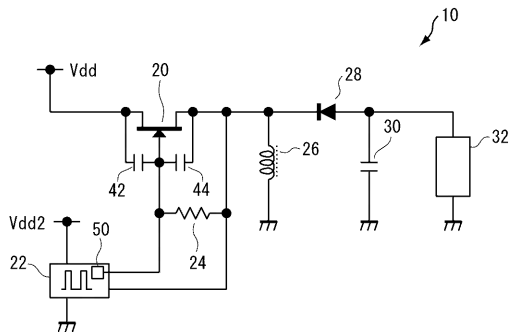
30、42、44、354 容量

32、90 負荷

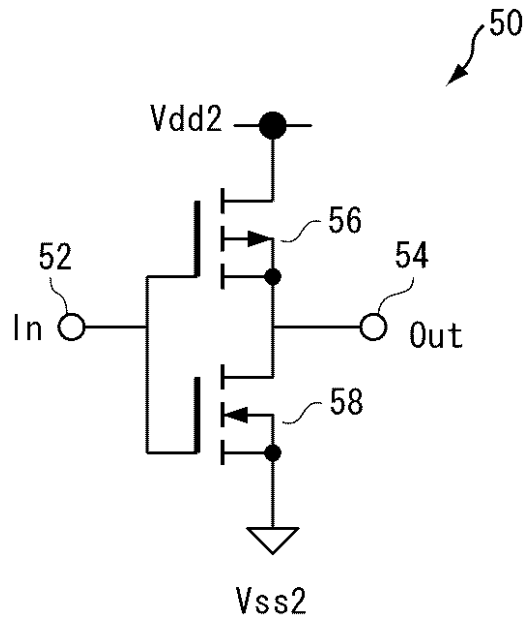
50

- 50、290、320 出力回路
- 52、54、112、114、116、142、144、146、148、360、3
- 62 端子
- 70 フルブリッジインバータ回路
- 100、190、230、260 スイッチング回路
- 58、132、302、 ノーマリーオン型 F E T
- 340、390 チョッパ回路
- 350 負荷電源
- 352 ダイオードブリッジ

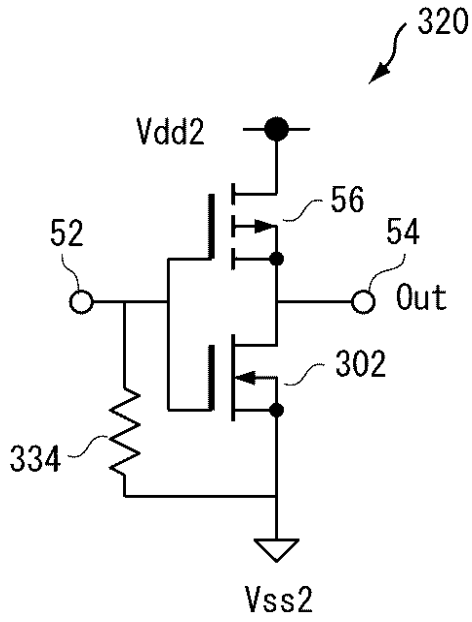
【図1】



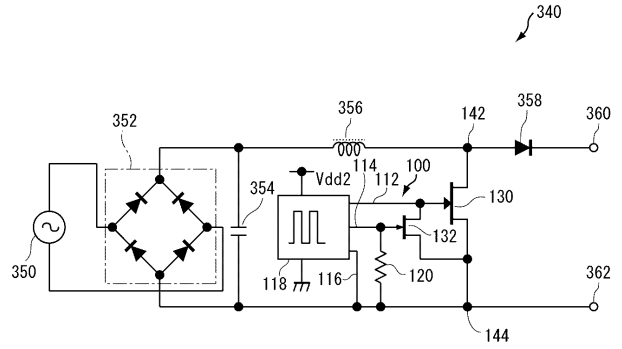
【図2】



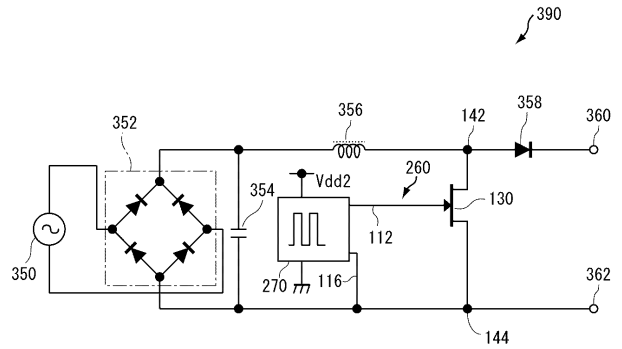
【図10】



【図11】



【図12】



フロントページの続き

- (56)参考文献 特開昭63-099616(JP,A)
特開平01-300617(JP,A)
特開平06-188710(JP,A)
特開平10-285909(JP,A)
特開平04-254995(JP,A)
特開2004-242475(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 1/08
H02M 3/155
H02M 7/5387
H03K 17/16
H03K 17/687