

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-11000

(P2017-11000A)

(43) 公開日 平成29年1月12日(2017.1.12)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 8 H	5 F 0 4 8
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 3 A	
H O 1 L 27/04 (2006.01)	H O 1 L 29/78 6 5 7 D	
H O 1 L 29/739 (2006.01)	H O 1 L 29/78 6 5 5 B	
H O 1 L 21/8234 (2006.01)	H O 1 L 29/78 6 5 8 A	
審査請求 未請求 請求項の数 14 O L (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2015-122469 (P2015-122469)	(71) 出願人	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22) 出願日	平成27年6月17日(2015.6.17)	(71) 出願人	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
		(74) 代理人	100104190 弁理士 酒井 昭徳
		(72) 発明者	吉田 崇一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		(72) 発明者	野口 晴司 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		最終頁に続く	

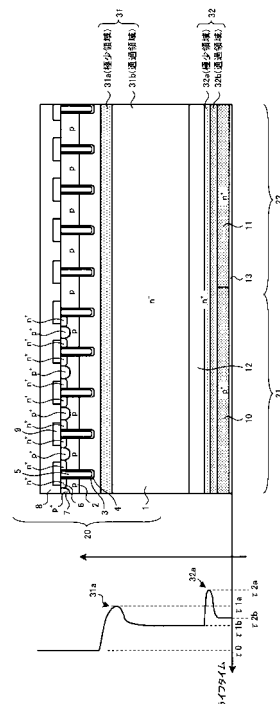
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】リーク電流の増加を抑制するとともに、電氣的損失を低減させ、かつ良品率を向上させることができる半導体装置および半導体装置の製造方法を提供すること。

【解決手段】まず、 n^- 型ドリフト層1となる n^- 型半導体基板のおもて面に、FS構造のRC-IGBTのおもて面素子構造を形成する。次に、 n^- 型半導体基板の裏面に p^+ 型コレクタ領域10、 n^+ 型カソード領域11および n^+ 型FS層12を形成する。 n^+ 型FS層12はセレンを用いて形成される。次に、 n^- 型半導体基板の裏面から軽イオンを照射し、 n^- 型ドリフト層1の内部に第1低ライフタイム領域31を形成する。次に、 n^- 型半導体基板の裏面から軽イオンを照射し、 n^+ 型FS層12の内部に第2低ライフタイム領域32を形成する。次に、アニール処理により、 n^+ 型FS層12内部の結晶欠陥の欠陥密度を低減する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型のドリフト層を有する半導体基板、前記半導体基板のおもて面側に設けられた第 2 導電型のベース層、前記ベース層内に選択的に設けられた第 1 導電型のエミッタ領域、前記半導体基板のおもて面側に設けられたゲート絶縁膜およびゲート電極を備えた絶縁ゲート部、前記ベース層と前記エミッタ領域との両方に電氣的に接続するエミッタ電極、前記半導体基板の裏面側に選択的に設けられた第 2 導電型のコレクタ領域、および前記コレクタ領域に電氣的に接続するコレクタ電極を備えた絶縁ゲート型バイポーラトランジスタ部と、前記半導体基板のおもて面側に設けられ、かつ前記エミッタ電極に電氣的に接続する第 2 導電型のアノード層、および前記半導体基板の裏面側に選択的に設けられ、かつ前記コレクタ電極に電氣的に接続する第 1 導電型のカソード領域を備えた還流用ダイオード部と、を備えた半導体装置の製造方法であって、

10

前記半導体基板の裏面に第 1 導電型不純物を導入する導入工程と、

前記第 1 導電型不純物を熱処理により活性化させ、前記半導体基板の裏面から前記コレクタ領域よりも深い位置に、前記ドリフト層よりも不純物濃度が高い第 1 導電型のフィールドストップ層を形成する第 1 熱処理工程と、

前記半導体基板の裏面から軽イオンを照射し、前記ドリフト層内に他の領域よりもキャリアのライフタイムが短い第 1 低ライフタイム領域を形成する第 1 照射工程と、

前記半導体基板の裏面から軽イオンを照射し、前記フィールドストップ層内に他の領域よりもキャリアのライフタイムが短い第 2 低ライフタイム領域を形成する第 2 照射工程と

20

、
前記第 2 照射工程で前記フィールドストップ層内に生じた欠陥の欠陥密度を熱処理により低減する第 2 熱処理工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記導入工程では、前記第 1 導電型不純物としてセレンを導入することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 2 熱処理工程では、前記フィールドストップ層内に形成された欠陥の欠陥密度を低減するとともに、前記フィールドストップ層内の軽イオンをドナー化させることを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

30

【請求項 4】

前記第 2 熱処理工程は、350 ～ 370 の温度で 1 時間～2 時間行うことを特徴とする請求項 1～3 のいずれか一つに記載の半導体装置の製造方法。

【請求項 5】

前記第 2 低ライフタイム領域のライフタイムを、前記第 1 低ライフタイム領域のライフタイムよりも短くすることを特徴とする請求項 1～4 のいずれか一つに記載の半導体装置の製造方法。

【請求項 6】

前記軽イオンは、ヘリウムまたはプロトンであることを特徴とする請求項 1～5 のいずれか一つに記載の半導体装置の製造方法。

40

【請求項 7】

第 1 導電型のドリフト層を有する半導体基板、前記半導体基板のおもて面側に設けられた第 2 導電型のベース層、前記ベース層内に選択的に設けられた第 1 導電型のエミッタ領域、前記半導体基板のおもて面側に設けられたゲート絶縁膜およびゲート電極を備えた絶縁ゲート部、前記ベース層と前記エミッタ領域との両方に電氣的に接続するエミッタ電極、前記半導体基板の裏面側に選択的に設けられた第 2 導電型のコレクタ領域、および前記コレクタ領域に電氣的に接続するコレクタ電極を備えた絶縁ゲート型バイポーラトランジスタ部と、

前記半導体基板のおもて面側に設けられ、かつ前記エミッタ電極に電氣的に接続する第

50

２導電型のアノード層、および前記半導体基板の裏面側に選択的に設けられ、かつ前記コレクタ電極に電氣的に接続する第１導電型のカソード領域を備えた還流用ダイオード部と

、
前記半導体基板の裏面から前記コレクタ領域よりも深い位置に設けられた、前記ドリフト層よりも不純物濃度が高い第１導電型のフィールドストップ層と、

前記ドリフト層内に前記フィールドストップ層と離れて設けられた、他の領域よりもキャリアのライフタイムが短い第１低ライフタイム領域と、

前記フィールドストップ層内に設けられた、他の領域よりもキャリアのライフタイムが短い第２低ライフタイム領域と、

を備えることを特徴とする半導体装置。

10

【請求項８】

前記フィールドストップ層は、ドーパントとしてセレンを含むことを特徴とする請求項７に記載の半導体装置。

【請求項９】

前記第１低ライフタイム領域は、軽イオンを含むことを特徴とする請求項７または８に記載の半導体装置。

【請求項１０】

前記第２低ライフタイム領域は、軽イオンを含むことを特徴とする請求項７～９のいずれか一つに記載の半導体装置。

【請求項１１】

前記第２低ライフタイム領域に、軽イオンがドナー化されてなる領域が設けられていることを特徴とする請求項１０に記載の半導体装置。

20

【請求項１２】

前記軽イオンは、ヘリウムかプロトンであることを特徴とする請求項９～１１のいずれか一つに記載の半導体装置。

【請求項１３】

前記第２低ライフタイム領域のライフタイムは、前記第１低ライフタイム領域のライフタイムよりも短いことを特徴とする請求項７～１２のいずれか一つに記載の半導体装置。

【請求項１４】

前記絶縁ゲート部は、

前記ベース層および前記エミッタ領域を貫通して前記ドリフト層に達するトレンチと、

前記トレンチの内壁に沿って設けられた前記ゲート絶縁膜と、

前記トレンチの内部に、前記ゲート絶縁膜を介して設けられた前記ゲート電極と、

を備えることを特徴とする請求項７～１３のいずれか一つに記載の半導体装置。

30

【発明の詳細な説明】

【技術分野】

【０００１】

この発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【０００２】

従来、絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ）や還流用ダイオード（ＦＷＤ）等の６００Ｖ、１２００Ｖ、１７００Ｖ耐圧クラスの電力用半導体装置の特性改善が進められている。電力用半導体装置は、省電力性および高効率性をもたらすインバータ等の電力変換装置に使用されており、モータ制御に不可欠である。このような用途で用いられる電力用半導体装置は、低損失（省電力）化、高速高効率化、および地球環境に優しい各種特性が市場から急速に要求されている。

40

【０００３】

このような要求を満たす電力用半導体装置を製造する方法として、低コストでかつ低オン電圧など電氣的損失の低いＩＧＢＴを製造する方法が提案されている。具体的には、まず、ウエハプロセス中のウエハ割れを防止するために、通常採用される厚いウエハでウエ

50

ハプロセスを開始する。そして、ウエハプロセスのできるだけ後半で、所望の特性を得られる程度に可能な限り薄くなるようにウエハ裏面を研削する。その後、ウエハの研削された裏面から所望の不純物濃度で不純物をイオン注入して活性化し p^+ 型コレクタ領域を形成する。

【0004】

近年、このようにウエハ（半導体基板）の厚さを薄くすることにより低コストで電氣的損失の低い半導体装置を製造する方法が、特に電力用半導体装置を開発・製造する主流の方法となりつつある。さらに、オフ時に半導体基板のおもて面側の pn 接合から伸びる空乏層が p^+ 型コレクタ領域に達しないように抑制するフィールドストップ（FS）層を設けることで、電氣的損失をより低減したFS構造のIGBTが公知である。

10

【0005】

FS構造のIGBTを製造する方法として、次の方法が提案されている。まず、半導体基板のおもて面に、MOSゲート（金属-酸化膜-半導体からなる絶縁ゲート）構造を形成する。次に、半導体基板の裏面を研削して半導体基板の厚さを薄くした後、半導体基板の研削された裏面からリン（P）またはセレン（Se）をイオン注入してフィールドストップ層を形成する。次に、裏面にボロン（B）のイオン注入を行い、 p^+ コレクタ層を形成する（例えば、下記特許文献1（第0044～0049段落）および下記特許文献2（第0017～0018段落）参照。）。

【0006】

また、FS構造のダイオードを製造する方法として、次の方法が提案されている。まず、ウエハのおもて面に p アノード層を形成する。次に、 p アノード層の側からプロトンを照射する。次に、ウエハの裏面を研削し、ウエハ全体の厚さを薄くする。次に、ウエハ裏面にセレンをイオン注入する。次に、熱処理を行う。それによって、注入されたセレンがウエハ裏面からアノード側へ拡散し、 n カソードバッファ層が形成される。また、ウエハに導入されたプロトンがドナー化し、ブロードバッファ層が形成される（例えば、下記特許文献3（第0097～0101段落）参照。）。

20

【0007】

さらに、電力変換装置全体の小型化を図るために、IGBTと当該IGBTに逆並列に接続された還流ダイオード（FWD）とを同一半導体基板に内蔵して一体化した構造の逆導通型IGBT（RC-IGBT）の開発も進んでいる。RC-IGBTを製造する方法として、次の方法が提案されている。ドリフト領域の研削された裏面の一部にダイオードの n^+ 型領域を形成した後、ドリフト領域の研削された裏面の全体に、セレンをイオン注入する。次に、炉アニールを行い、ドリフト領域の裏面に注入したセレンを活性化し、フィールドストップ領域を形成する（例えば、下記特許文献4参照。）。

30

【0008】

また、RC-IGBTを製造する別の方法として、基板の一方の主表面側からヘリウム（He）を照射してN型ベース層の内部のエミッタ領域寄りに局所的にライフタイムの短い低ライフタイム領域を形成し、FWDの逆回復動作時に吐き出されるキャリアを減少させることで、FWDの逆回復動作時に発生する損失を低減させる方法が提案されている（例えば、下記特許文献5（第0025段落）参照。）。また、RC-IGBTを製造する別の方法として、プロトン照射によりドリフト層内に低ライフタイム領域を形成する方法が提案されている（例えば、下記特許文献6参照。）。

40

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2008-211148号公報

【特許文献2】特開2008-103562号公報

【特許文献3】特開2007-158320号公報

【特許文献4】特開2012-9629号公報

【特許文献5】特開2005-317751号公報

50

【特許文献6】米国特許出願公開第2009/283799号明細書

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、発明者らが鋭意研究を重ねた結果、IGBTとFWDとを同一半導体基板に一体化したFS構造のRC-IGBTでは、次の問題が生じることが判明した。薄化したウエハ裏面側にFS層を設けたパンチスルー構造であるため、良品率を向上させるために、ドーパントとしてセレンを含む深い拡散層がFS層として形成される。さらに、IGBTとFWDとを同一半導体基板に一体化した構造であるため、IGBTのチャネル領域とFWDのアノード領域とが半導体基板のおもて面側のp型領域を共有する構成となる。このようなRC-IGBTでは、FWD動作時の逆回復特性が劣化する。

10

【0011】

したがって、FWDの逆回復動作時に吐き出されるキャリアを減少し逆回復特性を向上させるために、キャリアのライフタイムを制御する必要がある。図17は、従来のフィールドストップ構造のRC-IGBTのリーク電流特性を示す特性図である。従来のように電子線(E_B:Electron Beam)を照射してキャリアのライフタイムを制御した場合(Se-FS+EB)、FS層に欠陥が形成される。FS層内の欠陥はその後の熱処理においても回復されず、電子線を照射しない場合(Se-FS)よりもコレクタ-エミッタ(CE)間のリーク電流が増加するという問題がある。

20

【0012】

この発明は、上述した従来技術による問題点を解消するため、リーク電流の増加を抑制し、かつ良品率を向上させることができる半導体装置および半導体装置の製造方法を提供することを目的とする。また、この発明は、上述した従来技術による問題点を解消するため、電氣的損失を低減させることができる半導体装置および半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0013】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、第1導電型のドリフト層を有する半導体基板、前記半導体基板のおもて面側に設けられた第2導電型のベース層、前記ベース層内に選択的に設けられた第1導電型のエミッタ領域、前記半導体基板のおもて面側に設けられたゲート絶縁膜およびゲート電極を備えた絶縁ゲート部、前記ベース層と前記エミッタ領域との両方に電氣的に接続するエミッタ電極、前記半導体基板の裏面側に選択的に設けられた第2導電型のコレクタ領域、および前記コレクタ領域に電氣的に接続するコレクタ電極を備えた絶縁ゲート型バイポーラトランジスタ部と、前記半導体基板のおもて面側に設けられ、かつ前記エミッタ電極に電氣的に接続する第2導電型のアノード層、および前記半導体基板の裏面側に選択的に設けられ、かつ前記コレクタ電極に電氣的に接続する第1導電型のカソード領域を備えた還流用ダイオード部と、を備えた半導体装置の製造方法であって、前記半導体基板の裏面に第1導電型不純物を導入する導入工程と、前記第1導電型不純物を熱処理により活性化させ、前記半導体基板の裏面から前記コレクタ領域よりも深い位置に、前記ドリフト層よりも不純物濃度が高い第1導電型のフィールドストップ層を形成する第1熱処理工程と、前記半導体基板の裏面から軽イオンを照射し、前記ドリフト層内に他の領域よりもキャリアのライフタイムが短い第1低ライフタイム領域を形成する第1照射工程と、前記半導体基板の裏面から軽イオンを照射し、前記フィールドストップ層内に他の領域よりもキャリアのライフタイムが短い第2低ライフタイム領域を形成する第2照射工程と、前記第2照射工程で前記フィールドストップ層内に生じた欠陥の欠陥密度を熱処理により低減する第2熱処理工程と、を含むことを特徴とする。

30

40

【0014】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記導入工程では、前記第1導電型不純物としてセレンを導入することを特徴とする。

50

【 0 0 1 5 】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第 2 熱処理工程では、前記フィールドストップ層内に形成された欠陥の欠陥密度を低減するとともに、前記フィールドストップ層内の軽イオンをドナー化させることを特徴とする。

【 0 0 1 6 】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第 2 熱処理工程は、350 ～ 370 の温度で 1 時間～ 2 時間行うことを特徴とする。

【 0 0 1 7 】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第 2 低ライフタイム領域のライフタイムを、前記第 1 低ライフタイム領域のライフタイムよりも短くすることを特徴とする。

10

【 0 0 1 8 】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記軽イオンは、ヘリウムまたはプロトンであることを特徴とする。

【 0 0 1 9 】

また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、第 1 導電型のドリフト層を有する半導体基板、前記半導体基板のおもて面側に設けられた第 2 導電型のベース層、前記ベース層内に選択的に設けられた第 1 導電型のエミッタ領域、前記半導体基板のおもて面側に設けられたゲート絶縁膜およびゲート電極を備えた絶縁ゲート部、前記ベース層と前記エミッタ領域との両方に電氣的に接続するエミッタ電極、前記半導体基板の裏面側に選択的に設けられた第 2 導電型のコレクタ領域、および前記コレクタ領域に電氣的に接続するコレクタ電極を備えた絶縁ゲート型バイポーラトランジスタ部と、前記半導体基板のおもて面側に設けられ、かつ前記エミッタ電極に電氣的に接続する第 2 導電型のアノード層、および前記半導体基板の裏面側に選択的に設けられ、かつ前記コレクタ電極に電氣的に接続する第 1 導電型のカソード領域を備えた還流用ダイオード部と、前記半導体基板の裏面から前記コレクタ領域よりも深い位置に設けられた、前記ドリフト層よりも不純物濃度が高い第 1 導電型のフィールドストップ層と、前記ドリフト層内に前記フィールドストップ層と離れて設けられた、他の領域よりもキャリアのライフタイムが短い第 1 低ライフタイム領域と、前記フィールドストップ層内に設けられた、他の領域よりもキャリアのライフタイムが短い第 2 低ライフタイム領域と、を備えることを特徴とする。

20

30

【 0 0 2 0 】

また、この発明にかかる半導体装置は、上述した発明において、前記フィールドストップ層は、ドーパントとしてセレンを含むことを特徴とする。

【 0 0 2 1 】

また、この発明にかかる半導体装置は、上述した発明において、前記第 1 低ライフタイム領域は、軽イオンを含むことを特徴とする。

【 0 0 2 2 】

また、この発明にかかる半導体装置は、上述した発明において、前記第 2 低ライフタイム領域は、軽イオンを含むことを特徴とする。

40

【 0 0 2 3 】

また、この発明にかかる半導体装置は、上述した発明において、前記第 2 低ライフタイム領域に、軽イオンがドナー化されてなる領域が設けられていることを特徴とする。

【 0 0 2 4 】

また、この発明にかかる半導体装置は、上述した発明において、前記軽イオンは、ヘリウムかプロトンであることを特徴とする。

【 0 0 2 5 】

また、この発明にかかる半導体装置は、上述した発明において、前記第 2 低ライフタイム領域のライフタイムは、前記第 1 低ライフタイム領域のライフタイムよりも短いことを特徴とする。

50

【 0 0 2 6 】

また、この発明にかかる半導体装置は、上述した発明において、前記絶縁ゲート部は、前記ベース層および前記エミッタ領域を貫通して前記ドリフト層に達するトレンチと、前記トレンチの内壁に沿って設けられた前記ゲート絶縁膜と、前記トレンチの内部に、前記ゲート絶縁膜を介して設けられた前記ゲート電極と、を備えることを特徴とする。

【 0 0 2 7 】

上述した発明によれば、軽イオン照射により第 1 , 2 低ライフタイム領域を形成することで、フィールドストップ (F S) 層に形成される欠陥の大きさを、従来のように電子線照射によってライフタイムを制御する場合に比べて小さくすることができる。これにより、薄いウエハを用いた F S 構造の R C - I G B T のコレクタ - エミッタ (C E) 間のリーク電流を、電子線照射によってライフタイムを制御した従来の R C - I G B T よりも低減させることができる。また、上述した発明によれば、ドーパントとしてセレンを含む F S 層を形成することにより、F S 層を深い拡散層とすることができ、良品率を向上させることができる。

10

【 0 0 2 8 】

また、上述した発明によれば、ドリフト層内に第 1 低ライフタイム領域を形成することで、還流用ダイオード部における F W D の逆回復動作時に吐き出されるキャリアを減少させ、F W D の逆回復動作時に発生する損失を低減させることができる。また、F S 層内に第 2 低ライフタイム領域を形成することで、絶縁ゲート型バイポーラトランジスタ部における I G B T のターンオフ時におけるテール電流を抑制することができ、かつ還流用ダイオード部における F W D の逆回復時間を調整することができる。したがって、F S 構造の R C - I G B T において、キャリアのライフタイムを制御するとともに、動作時の電氣的損失を低減することができる。

20

【 発明の効果 】

【 0 0 2 9 】

本発明にかかる半導体装置および半導体装置の製造方法によれば、リーク電流の増加を抑制し、かつ良品率を向上させることができるという効果を奏する。また、本発明にかかる半導体装置および半導体装置の製造方法によれば、電氣的損失を低減させることができるという効果を奏する。

【 図面の簡単な説明 】

30

【 0 0 3 0 】

【 図 1 】 実施の形態にかかる半導体装置の製造方法により製造される半導体装置の構成を示す断面図である。

【 図 2 】 実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【 図 3 】 実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【 図 4 】 実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【 図 5 】 実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【 図 6 】 実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【 図 7 】 実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【 図 8 】 実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

40

【 図 9 】 実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【 図 1 0 】 実施の形態にかかる半導体装置の製造方法により製造される半導体装置のリーク電流特性を示す特性図である。

【 図 1 1 】 実施の形態にかかる半導体装置の製造方法により製造される半導体装置のターンオフ損失特性を示す特性図である。

【 図 1 2 】 実施の形態にかかる半導体装置の製造方法により製造される半導体装置の逆回復損失特性を示す特性図である。

【 図 1 3 】 実施の形態にかかる半導体装置の耐圧と第 1 軽イオン照射の照射位置との関係について示す特性図である。

【 図 1 4 】 実施の形態にかかる半導体装置の耐圧と第 2 軽イオン照射の照射位置との関係

50

について示す特性図である。

【図 1 5】実施の形態にかかる半導体装置のフィールドストップ層の不純物濃度について示す特性図である。

【図 1 6】従来の半導体装置のフィールドストップ層の不純物濃度について示す特性図である。

【図 1 7】従来のフィールドストップ構造の R C - I G B T のリーク電流特性を示す特性図である。

【発明を実施するための形態】

【0031】

以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

【0032】

(実施の形態)

実施の形態にかかる半導体装置の製造方法により作製(製造)される半導体装置について説明する。図 1 は、実施の形態にかかる半導体装置の製造方法により製造される半導体装置の構成を示す断面図である。図 1 に示す実施の形態にかかる半導体装置は、 n -型ドリフト層 1 となる同一の n -型半導体基板上に、絶縁ゲート型バイポーラトランジスタ(I G B T)が設けられた I G B T 部 2 1 と、還流用ダイオード(F W D)が設けられた F W D 部 2 2 と、を備える。F W D 部 2 2 の F W D は、I G B T 部 2 1 の I G B T に逆並列に接続されている。すなわち、図 1 に示す実施の形態にかかる半導体装置は、逆導通型 I G B T (R C - I G B T) である。

【0033】

具体的には、I G B T 部 2 1 において、 n -型半導体基板のおもて面には、I G B T の M O S ゲート(金属-酸化膜-半導体からなる絶縁ゲート)構造 2 0 が設けられている。M O S ゲート構造 2 0 は、 p 型ベース層 2、ゲート酸化膜 4 およびゲート電極 5 で構成される。 p 型ベース層 2 は、 n -型半導体基板のおもて面の表面層に設けられている。 p 型ベース層 2 を貫通し、 n -型ドリフト層 1 に達するトレンチ 3 が所定の間隔で設けられている。トレンチ 3 の内部には、トレンチ 3 の側壁および底面に沿ってゲート酸化膜 4 が設けられている。

【0034】

また、トレンチ 3 の内部には、ゲート酸化膜 4 を介して例えばポリシリコンからなるゲート電極 5 が設けられている。 p 型ベース層 2 の内部には、 n +型エミッタ領域 6 および p +型コンタクト領域 7 が選択的に設けられている。 n +型エミッタ領域 6 および p +型コンタクト領域 7 は互いに接する。 n +型エミッタ領域 6 は、トレンチ 3 の側壁に接し、ゲート酸化膜 4 を介してゲート電極 5 と対向する。エミッタ電極 8 は、 n +型エミッタ領域 6 および p +型コンタクト領域 7 に接する。また、エミッタ電極 8 は、層間絶縁膜 9 によってゲート電極 5 と電氣的に絶縁されている。

【0035】

上述した p 型ベース層 2、トレンチ 3、エミッタ電極 8 および層間絶縁膜 9 は、I G B T 部 2 1 から F W D 部 2 2 にわたって設けられている。すなわち、F W D 部 2 2 において、 n -型半導体基板のおもて面の表面層には、I G B T 部 2 1 と同様に p 型ベース層 2、トレンチ 3、エミッタ電極 8 および層間絶縁膜 9 が設けられている。F W D 部 2 2 には、 n +型エミッタ領域 6 および p +型コンタクト領域 7 は設けられていない。 p 型ベース層 2 の一部は、F W D の p 型アノード層を兼ねる。また、エミッタ電極 8 の一部は、アノード電極を兼ねており、隣り合うトレンチ 3 間の p 型ベース層 2 に接する。

【0036】

10

20

30

40

50

n^- 型半導体基板の裏面の表面層には、IGBT部21において、 p^+ 型コレクタ領域10が選択的に設けられている。また、 n^- 型半導体基板の裏面の表面層には、FWD部22において、 n^+ 型カソード領域11が選択的に設けられている。 n^+ 型カソード領域11は、 n^- 型半導体基板の裏面に水平な方向に、 p^+ 型コレクタ領域10と並んで設けられている。コレクタ電極13は、 p^+ 型コレクタ領域10に接する。また、コレクタ電極13は、カソード電極を兼ねており、 n^+ 型カソード領域11に接する。

【0037】

n^- 型ドリフト層1の内部には、ライフタイムキラーとして添加された軽イオン、例えばヘリウム(He^+)やプロトン(H^+)等により結晶欠陥が形成されてなる、他の領域よりもライフタイムの低い領域(以下、第1低ライフタイム領域とする)31が設けられている。第1低ライフタイム領域31は、 n^- 型半導体基板のおもて面側に、IGBT部21からFWD部22にわたって所定の厚さで設けられている。さらに、第1低ライフタイム領域31は、第1低ライフタイム領域31内で最もライフタイム値の短い第1ライフタイム極小領域31aと、第1ライフタイム極小領域31aよりも長く、他の領域よりも短いライフタイム値である第1ライフタイム通過領域31bとを有する。

10

【0038】

例えば、第1ライフタイム極小領域31aは、照射する軽イオンの飛程 R_{p1} とその付近($\pm \Delta R_{p1}$)に対応し、第1ライフタイム通過領域31bは、入射面から $R_{p1} - \Delta R_{p1}$ 程度までの軽イオンが通過することでライフタイムが短くなった領域に対応する。図1の左側に示す特性図において、符号 τ_{1a} が第1ライフタイム極小領域31aのライフタイムであり、符号 τ_{1b} が第1ライフタイム通過領域31bのライフタイムである。符号 τ_0 は n^- 型半導体基板のライフタイムである。第1低ライフタイム領域31を設けることにより、FWDの逆回復動作時に吐き出されるキャリアを減少させることができる。

20

【0039】

また、 n^- 型ドリフト層1の内部には、 n^- 型半導体基板の裏面から p^+ 型コレクタ領域10よりも深い位置に、ドーパントとして例えばセレン(Se)を含む n^+ 型フィールドストップ(FS)層12が設けられている。 n^+ 型FS層12は、IGBT部21からFWD部22にわたって設けられ、 n^- 型ドリフト層1、 p^+ 型コレクタ領域10および n^+ 型カソード領域11と接する。また、 n^+ 型FS層12は、第1低ライフタイム領域31と離れて設けられている。 n^+ 型FS層12は、オフ時に n^- 型ドリフト層1とp型ベース層2との間のpn接合から伸びる空乏層が p^+ 型コレクタ領域10に達しないように抑制する機能を有する。

30

【0040】

また、 n^+ 型FS層12の内部から n^- 型半導体基板の裏面にわたって、ライフタイムキラーとして添加された軽イオンにより結晶欠陥が形成されてなる、他の領域よりもライフタイムの低い領域(以下、第2低ライフタイム領域とする)32が設けられている。第2低ライフタイム領域32は、 n^- 型半導体基板内で最もライフタイム値の短い第2ライフタイム極小領域32aと、第1ライフタイム極小領域31aよりも長く、第1ライフタイム通過領域31bよりも短いライフタイム値である第2ライフタイム通過領域32bとを有する。例えば、第2ライフタイム極小領域32aは、照射する軽イオンの飛程 R_{p2} とその付近($\pm \Delta R_{p2}$)に対応し、第2ライフタイム通過領域32bは、入射面から $R_{p2} - \Delta R_{p2}$ 程度までの軽イオンが通過することでライフタイムが短くなった領域に対応する。

40

【0041】

図1には、 n^- 型半導体基板の裏面から第2ライフタイム極小領域32aとの境界までを第2ライフタイム通過領域32bとして示す(第2ライフタイム極小領域32aよりも薄いハッチング領域)。図1の左側に示す特性図において、符号 τ_{2a} が第2ライフタイム極小領域32aのライフタイムであり、符号 τ_{2b} が第2ライフタイム通過領域32bのライフタイムである。第2低ライフタイム領域32を設けることにより、IGBTのタ

50

ーンオフ時におけるテール電流を抑制することができ、かつFWDの逆回復時間を調整することができる。

【0042】

第2ライフタイム極小領域32aのライフタイム τ_{2a} は、第1ライフタイム極小領域31aのライフタイム τ_{1a} よりも短いのが好ましい。その理由は、次のとおりである。RC-IGBTは、FWD単体の場合と異なり、 n^- 型半導体基板の裏面側に p^+ 型コレクタ領域10を有する。このため、RC-IGBTでは、FWDの逆回復動作中に p^+ 型コレクタ領域10から n^- 型ドリフト層1へ過剰なホールが注入され、FWDの逆回復時間が設計上得られる所望の逆回復時間よりも長くなる傾向にある。そこで、第2ライフタイム極小領域32aのライフタイム τ_{2a} を第1ライフタイム極小領域31aのライフタイム τ_{1a} よりも短くすることにより、所望の逆回復時間となるようにFWDの逆回復時間を短くすることができるからである。

10

【0043】

照射する軽イオンの飛程 R_{p1} 、 R_{p2} の付近($\pm \Delta R_{p1}$ 、 $\pm \Delta R_{p2}$)の広がり幅は、それぞれ第1、2ライフタイム極小領域31a、32aのライフタイム τ_{1a} 、 τ_{2a} に依存した大きさとなる。具体的には、第2ライフタイム極小領域32aのライフタイム τ_{2a} が第1ライフタイム極小領域31aのライフタイム τ_{1a} よりも短いことにより、照射する軽イオンの飛程 R_{p2} の付近($\pm \Delta R_{p2}$)の広がり幅は、照射する軽イオンの飛程 R_{p1} の付近($\pm \Delta R_{p1}$)の広がり幅よりも短い。広がり幅とは、図1に示す特性図の第1、2ライフタイム極小領域31a、32aのライフタイム τ_{1a} 、 τ_{2a} を示すピーク波形のピーク幅である。第1低ライフタイム領域31の平均的なライフタイムは、主に第1ライフタイム極小領域31aのライフタイム τ_{1a} に依存する。第2低ライフタイム領域32の平均的なライフタイムは、主に第2ライフタイム極小領域32aのライフタイム τ_{2a} に依存する。

20

【0044】

次に、実施の形態にかかる半導体装置の製造方法について、耐圧(定格電圧)が1200Vクラスで、定格電流が400AであるRC-IGBTを製造する場合を例に説明する。図2~9は、実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。まず、図2に示すように、例えば、FZ(Floating Zone)法で作製された、厚さ t が650 μm で、直径6インチのシリコン基板(以下、Si基板とする)41を用意する。Si基板41の比抵抗は、耐圧が1200Vクラスである場合に40 Ωcm ~80 Ωcm 程度であるため、例えば55 Ωcm としてもよい。

30

【0045】

次に、一般的な方法により、 n^- 型ドリフト層1となるSi基板41のおもて面に、トレンチゲート型のMOSゲート構造20(p 型ベース層2、トレンチ3、ゲート酸化膜4およびゲート電極5)、 n^+ 型エミッタ領域6、 p^+ 型コンタクト領域7、層間絶縁膜9などを形成する。次に、Si基板41のMOSゲート構造20などが形成されたおもて面をレジスト42で保護する。次に、図3に示すように、Si基板41の裏面を研削し、Si基板41の厚さ t を例えば125 μm まで薄くする。次に、Si基板41の裏面をエッチングして、Si基板41裏面の研削歪層(不図示)を除去する。

40

【0046】

次に、図4に示すように、Si基板41の研削された裏面全面に、例えば、加速エネルギー100keV、ドーズ量 $3 \times 10^{14} / \text{cm}^2$ でセレンを第1イオン注入51する。第1イオン注入51で注入する不純物を拡散係数が比較的大きいセレンとすることで、 n^+ 型FS層12を深い拡散層とすることができ、RC-IGBTの良品率を向上させることができる。次に、図5に示すように、Si基板41の研削された裏面全面に、例えば、加速エネルギー40keV、ドーズ量 $8 \times 10^{13} / \text{cm}^2$ でボロン(B)を第2イオン注入52する。第2イオン注入52は、 p^+ 型コレクタ領域10を形成するためのイオン注入である。

【0047】

50

次に、図 6 に示すように、S i 基板 4 1 の裏面に、レジスト 4 3 を例えば $2\ \mu\text{m}$ の厚さで塗布する。次に、例えば両面アライナーを用いて n^+ 型カソード領域 1 1 のパターンをレジスト 4 3 に投影した後、フォトリソグラフィによりレジスト 4 3 をパターニングし、 n^+ 型カソード領域 1 1 の形成領域を露出させる。次に、レジスト 4 3 をマスクとして、S i 基板 4 1 の裏面に、例えば、加速エネルギー $110\ \text{keV}$ 、ドーズ量 $2 \times 10^{15} / \text{cm}^2$ でリン (P) を第 3 イオン注入 5 3 する。第 3 イオン注入 5 3 は、 n^+ 型カソード領域 1 1 を形成するためのイオン注入である。第 3 イオン注入 5 3 におけるリンのドーズ量は、例えば $1 \times 10^{15} / \text{cm}^2$ 以上であるのが好ましい。

【0048】

次に、図 7 に示すように、S i 基板 4 1 のおもて面のレジスト 4 2 と、S i 基板 4 1 の裏面のレジスト 4 3 とを剥離する。次に、例えば 950°C の温度で 30 分程度の第 1 アニール処理 (第 1 熱処理) を行い、第 1 ~ 3 イオン注入 5 1 ~ 5 3 で注入した不純物を活性化させる。これにより、S i 基板 4 1 の裏面の表面層に、 p^+ 型コレクタ領域 1 0、 n^+ 型カソード領域 1 1 および n^+ 型 F S 層 1 2 が形成される。次に、S i 基板 4 1 のおもて面に例えばアルミニウムシリコン (Al - Si) 膜を $5\ \mu\text{m}$ の厚さで堆積し、フォトリソグラフィによりアルミニウムシリコン膜をパターニングしてエミッタ電極 8 を形成する。

【0049】

次に、図 8 に示すように、S i 基板 4 1 の裏面から当該裏面全面に所定の飛程 R_p1 でヘリウムやプロトンなどの軽イオンを照射 (以下、第 1 軽イオン照射とする) 5 4 し、 n^+ 型ドリフト層 1 の内部の、S i 基板 4 1 のおもて面側に欠陥層 (第 1 低ライフタイム領域 3 1) を形成する。第 1 軽イオン照射 5 4 の照射位置は、S i 基板 4 1 おもて面からの距離が例えば $20\ \mu\text{m}$ 以下となる範囲内にあるのが好ましい。その理由は、設計上得られる所望の耐圧以上の耐圧を実現することができるからである。S i 基板 4 1 裏面から第 1 軽イオン照射 5 4 の照射位置までの距離が、第 1 軽イオン照射 5 4 における軽イオンの飛程 R_p1 である。

【0050】

図 8 において、 n^+ 型ドリフト層 1 内の $\times$ は、第 1 軽イオン照射 5 4 により第 1 ライフタイム極小領域 3 1 a に形成された結晶欠陥をあらわしている (図 9 においても同様)。S i 基板 4 1 の裏面から $R_p1 - \Delta R_p1$ 程度までの軽イオンが通過することでライフタイムが短くなった領域に形成された結晶欠陥は図示を省略する (図 9 においても同様)。この S i 基板 4 1 の裏面から $R_p1 - \Delta R_p1$ 程度までの軽イオンが通過することでライフタイムが短くなった領域が第 1 ライフタイム通過領域 3 1 b である。

【0051】

次に、図 9 に示すように、S i 基板 4 1 の裏面から当該裏面全面に所定の飛程 R_p2 で軽イオンを照射 (以下、第 2 軽イオン照射とする) 5 5 し、 n^+ 型 F S 層 1 2 の内部に欠陥層 (第 2 低ライフタイム領域 3 2) を形成する。第 2 軽イオン照射 5 5 の加速エネルギーは、第 1 軽イオン照射 5 4 の加速エネルギーよりも小さく、例えば $4.3\ \text{MeV}$ 以下であるのが好ましい。第 2 軽イオン照射 5 5 における軽イオンの飛程 R_p2 は、S i 基板 4 1 の裏面から例えば $15\ \mu\text{m}$ 以下であるのが好ましい。その理由は、第 1 低ライフタイム領域 3 1 のみを設ける場合よりも耐圧を高くすることができるからである。

【0052】

図 9 において、 n^+ 型 F S 層 1 2 内の $\times$ は、第 2 軽イオン照射 5 5 により第 2 ライフタイム極小領域 3 2 a に形成された結晶欠陥をあらわしている。S i 基板 4 1 の裏面から $R_p2 - \Delta R_p2$ 程度までの軽イオンが通過することでライフタイムが短くなった領域に形成された結晶欠陥は図示を省略する。この S i 基板 4 1 の裏面から $R_p2 - \Delta R_p2$ 程度までの軽イオンが通過することでライフタイムが短くなった領域が第 2 ライフタイム通過領域 3 2 b である。

【0053】

第 1, 2 軽イオン照射 5 4, 5 5 のドーズ量は、例えば、 $1 \times 10^{10} / \text{cm}^2$ 以上 $1 \times 10^{12} / \text{cm}^2$ 以下であってもよい。さらに、第 2 軽イオン照射 5 5 のドーズ量は、第 1

10

20

30

40

50

軽イオン照射 5 4 のドーズ量よりも高いことが好ましい。第 2 軽イオン照射 5 5 のドーズ量を第 1 軽イオン照射 5 4 のドーズ量よりも高くすることにより、第 2 低ライフタイム領域 3 2 のライフタイムを第 1 低ライフタイム領域 3 1 のライフタイムよりも短くすることができる。S i 基板 4 1 の裏面を例えばマスキングし、S i 基板 4 1 の裏面の一部にのみ第 1 , 2 軽イオン照射 5 4 , 5 5 を行ってもよい。

【0054】

第 1 , 2 軽イオン照射 5 4 , 5 5 の照射順序は、上述した順序に限らず種々変更可能であり、例えば、第 2 軽イオン照射 5 5 後に第 1 軽イオン照射 5 4 を行ってもよい。また、第 1 , 2 軽イオン照射 5 4 , 5 5 の照射回数は種々変更可能である。例えば、第 1 , 2 軽イオン照射 5 4 , 5 5 をそれぞれ 1 回ずつ行ってもよいし、2 回以上ずつ行ってもよい。また、第 1 , 2 軽イオン照射 5 4 , 5 5 をそれぞれ複数回ずつ行う場合、第 1 , 2 軽イオン照射 5 4 , 5 5 を交互に行ってもよい。

10

【0055】

次に、例えば 3 7 0 の温度で 1 時間の第 2 アニール処理（第 2 熱処理）を行い、第 2 軽イオン照射 5 5 により n^+ 型 F S 層 1 2 の内部に生じた結晶欠陥の欠陥密度を低減させる。この第 2 アニール処理により、 n^+ 型 F S 層 1 2 の内部に軽イオン（例えばプロトン）によるドナー化領域が形成される。この第 2 アニール処理は、例えば、3 5 0 ~ 3 7 0 の温度で 1 時間 ~ 2 時間程度行うのが好ましい。その後、S i 基板 4 1 の裏面に例えばアルミニウム（A l）、チタン（T i）、ニッケル（N i）および金（A u）をそれぞれ例えば $1\mu\text{m}$ 、 $0.07\mu\text{m}$ 、 $1\mu\text{m}$ および $0.3\mu\text{m}$ の厚さで順に堆積し、I G B T 部 2 1 および F W D 部 2 2 に共通のコレクタ電極 1 3 を形成する。これにより、図 1 に示す F S 構造の R C - I G B T が完成する。

20

【0056】

次に、実施の形態にかかる半導体装置の製造方法により製造された半導体装置のコレクタ - エミッタ（C E）間のリーク電流について検証した。図 1 0 は、実施の形態にかかる半導体装置の製造方法により製造される半導体装置のリーク電流特性を示す特性図である。まず、上述した実施の形態にかかる半導体装置の製造方法に従い、実施の形態にかかる半導体装置の製造方法に記載の条件で、耐圧が 1 2 0 0 V クラスで、定格電流が 4 0 0 A である F S 構造の R C - I G B T を作製（製造）した（以下、第 1 実施例とする）。

【0057】

また、本発明の別の実施形態として、ヘリウム（H e）を照射してライフタイムを制御した F S 構造の R C - I G B T を作製した（以下、第 2 実施例とする）。さらに、比較例として、電子線照射によりライフタイム制御した F S 構造の R C - I G B T も作製した。具体的には、第 2 実施例では、S i 基板の裏面から異なる加速エネルギーで 2 回のヘリウム照射を行い、第 1 実施例と同様の位置にライフタイムキラーとしてヘリウムを含む第 1 , 2 低ライフタイム領域を形成した。比較例としては、S i 基板の表面から電子線を 5 M e V , 3 0 0 k G y にて照射した。第 2 実施例および比較例のそれ以外の製造方法は、第 1 実施例の製造方法と同様である。そして、第 1 実施例、第 2 実施例および比較例について、それぞれ室温（例えば 2 5 ）で測定したコレクタ - エミッタ間電圧 V_{ce} とコレクタ電流 I_{ces} との関係について図 1 0 に示す。

30

40

【0058】

図 1 0 に示す結果より、比較例では、定格電圧が 1 2 0 0 V のときの C E 間のリーク電流（コレクタ電流 I_{ces} ）は $4.0\mu\text{A}$ であった。それに対して、第 1 実施例においては、定格電圧が 1 2 0 0 V のときの C E 間のリーク電流は $1.5\mu\text{A}$ であり、第 2 実施例においても定格電圧が 1 2 0 0 V のときの C E 間のリーク電流は $2.0\mu\text{A}$ であった。すなわち、第 1 実施例においては、定格電圧が 1 2 0 0 V のときの C E 間のリーク電流を比較例よりも 6 0 % 以上低減させることができ、第 2 実施例についても定格電圧が 1 2 0 0 V のときの C E 間のリーク電流を比較例より半減させることができることが確認された。その理由は、次のとおりである。

【0059】

50

電子線照射の場合、セレンによってF S層の全体に点欠陥が導入されるため、空孔（複空孔含む）およびセレンと空孔との複合欠陥がF S層全体にわたって分布し、この複合欠陥が発生中心となってリーク電流が大きくなる。一方、ヘリウムやプロトンなどの軽イオンとその格子欠陥は、セレンによるF S層の深さ方向の一部に局在するため、軽イオンとその格子欠陥がない場合に比べてリーク電流が低減する。したがって、第1, 2実施例においては、リーク電流を比較例よりも低減させることができる。さらに、プロトンの方がヘリウムよりもリーク電流が低い理由は、プロトンのイオン半径がヘリウムのイオン半径よりも小さいことで、第1実施例の n^+ 型F S層12内に生じた結晶欠陥の大きさを第2実施例の n^+ 型F S層内に生じた結晶欠陥よりも小さくすることができるからである。

【0060】

10

次に、実施の形態にかかる半導体装置の製造方法により製造された半導体装置のスイッチング損失特性について検証した。図11は、実施の形態にかかる半導体装置の製造方法により製造される半導体装置のターンオフ損失特性を示す特性図である。図12は、実施の形態にかかる半導体装置の製造方法により製造される半導体装置の逆回復損失特性を示す特性図である。上述した第1実施例および比較例をそれぞれ複数用意し（以下、第1実施例群61および比較例群62とする）、それぞれIGBTのターンオフ損失 E_{off} およびFWDの逆回復損失 E_{rr} を測定した。また、第1実施例群61を作製するにあたり、照射する軽イオンはプロトンとした。

【0061】

図11に示す結果より、第1実施例群61のターンオフ損失 E_{off} は、比較例群62のターンオフ損失 E_{off} と同程度であることが確認された。また、図12に示す結果より、第1実施例群61の逆回復損失 E_{rr} は、比較例群62の逆回復損失 E_{rr} と同程度であることが確認された。このため、第1実施例群61は、比較例群62と同程度にキャリアの再結合による逆回復特性向上の効果が得られることが確認された。したがって、図10～12に示す結果より、軽イオンによるライフタイム制御を行う第1実施例群61は、電子線によるライフタイム制御を行う比較例群62よりもリーク電流が低減されたことで、RC-IGBTの総発熱量を低下させることができることが確認された。

【0062】

次に、第1軽イオン照射54によって照射する軽イオンをプロトンとした場合におけるプロトンの飛程 R_p1 について検証した。図13は、実施の形態にかかる半導体装置の耐圧と第1軽イオン照射の照射位置との関係について示す特性図である。第1軽イオン照射54におけるプロトンの飛程 R_p1 （すなわち第1軽イオン照射54の加速エネルギー）を種々変更し複数のF S構造のRC-IGBTを作製した（以下、第2実施例とする）。第2実施例では、第1軽イオン照射54におけるプロトンの好適な飛程 R_p1 を検証するため、第2軽イオン照射55は行っていない。第2実施例の製造方法のそれ以外の条件は、第1実施例の製造方法と同様である。図13に示す結果より、第1軽イオン照射54の照射位置をSi基板41おもて面から20 μm 以下の範囲内とすることで、約1400V以上の耐圧を実現することができることが確認された。

【0063】

次に、第2軽イオン照射55によって照射する軽イオンをプロトンとした場合におけるプロトンの飛程 R_p2 について検証した。図14は、実施の形態にかかる半導体装置の耐圧と第2軽イオン照射の照射位置との関係について示す特性図である。第2軽イオン照射55におけるプロトンの飛程 R_p2 （すなわち第2軽イオン照射55の加速エネルギー）を種々変更し複数のF S構造のRC-IGBTを作製した（以下、第3実施例とする）。第3実施例を作製する際の第1軽イオン照射54の照射位置は、Si基板41おもて面から15 μm とした。第3実施例の製造方法のそれ以外の条件は、第1実施例の製造方法と同様である。

【0064】

また、図14には、比較として、第2軽イオン照射55を行わず、第1軽イオン照射54（プロトン照射）のみを行った実施例2を示す。また、図14には、比較として、Si

40

基板 4 1 おもて面から第 1 軽イオン照射 5 4 の照射位置までの距離を $15\ \mu\text{m}$ とした実施例 2 の耐圧も示す。図 1 4 に示す結果より、第 2 軽イオン照射 5 5 におけるプロトンの飛程 R_p2 を、Si 基板 4 1 の裏面から例えば $15\ \mu\text{m}$ 以下とすることで、第 1 軽イオン照射 5 4 のみを行う場合よりも耐圧を向上させることができることが確認された。

【0065】

次に、実施の形態にかかる半導体装置の n^+ 型 FS 層 1 2 について検証した。図 1 5 は、実施の形態にかかる半導体装置のフィールドストップ層の不純物濃度について示す特性図である。図 1 6 は、従来の半導体装置のフィールドストップ層の不純物濃度について示す特性図である。上述した第 1 実施例について、FWD 部 2 2 の基板裏面からの不純物濃度を測定した結果を図 1 5 に示す。比較として、第 2 軽イオン照射 5 5 を行っていない従来の RC - IGBT (以下、第 1, 2 従来例とする) について、FWD 部の基板裏面からの不純物濃度を測定した結果を図 1 6 に示す。

10

【0066】

第 1 従来例では、 n^+ 型 FS 層 7 2 - 1、 p^+ 型コレクタ領域および n^+ 型カソード領域 7 1 - 1 を形成するための第 1 ~ 3 イオン注入後に、第 1 ~ 3 イオン注入で注入した各不純物を同時に活性化させる第 1 アニール処理を行っている。第 1 従来例の第 1 ~ 3 イオン注入および第 1 アニール処理の条件は、第 1 実施例の製造方法と同様である。その結果、図 1 6 に示すように、第 1 従来例では、 n^+ 型 FS 層 7 2 - 1 の不純物濃度が通常の不純物濃度よりも低下してしまうことが確認された。通常の不純物濃度とは、第 2 従来例の n^+ 型 FS 層 7 2 - 2 の不純物濃度である。

20

【0067】

第 2 従来例では、第 1 イオン注入のセレンのドーズ量を例えば $3 \times 10^{14} / \text{cm}^2$ 程度まで高くする、または、第 1 アニール処理とは別に n^+ 型カソード領域 7 1 - 2 を活性化させるためのレーザーアニールを追加することにより、不純物濃度の低下分を補完した n^+ 型 FS 層 7 2 - 2 を形成した。このため、第 2 従来例では、 n^+ 型 FS 層 7 2 - 2 を形成するための第 1 イオン注入のドーズ量を高くすることで製造工程のスループットが低下したり、レーザーアニールを追加することでリードタイムが増加したりするという問題が生じることが確認された。

【0068】

それに対して、図 1 5 に示すように、第 1 実施例においては、第 1 ~ 3 イオン注入 5 1 ~ 5 3 および第 1 アニール処理後に第 2 低ライフタイム領域 3 2 を形成するための第 2 軽イオン照射 5 5 を行うことにより、 n^+ 型 FS 層 1 2 内部に軽イオンによるドナー化領域 A が形成される場合があることが確認された。そして、この軽イオンによるドナー化領域 A により、 n^+ 型 FS 層 1 2 の不純物濃度が補完され、第 2 従来例の n^+ 型 FS 層 7 2 - 2 の不純物濃度と同程度になることが確認された。軽イオンのドナー化としては、例えばプロトンはシャロードナー、ヘリウムはディープドナーとなることが知られている。したがって、第 2 軽イオン照射 5 5 により、FWD 部 2 2 の逆回復時間を調整するためのライフタイムキラ効果を得られるとともに、 n^+ 型 FS 層 1 2 の不純物濃度を補間するドナー化効果により第 1, 2 従来例で生じた問題を解消することができることが確認された。なお、軽イオンのドナー化としては、好ましくはヘリウムが有効であり、さらに好ましくはプロトンが有効である。

30

40

【0069】

以上、説明したように、実施の形態によれば、第 1, 2 軽イオン照射により第 1, 2 低ライフタイム領域を形成することで、 n^+ 型 FS 層に形成される結晶欠陥の大きさを、従来のように電子線照射によってライフタイムを制御する場合に比べて小さくすることができる。これにより、薄いウエハを用いた FS 構造の RC - IGBT の CE 間のリーク電流を、電子線照射によってライフタイムを制御した従来の RC - IGBT よりも 50 % 以上低減させることができる。また、実施の形態によれば、ドーパントとしてセレンを含む n^+ 型 FS 層を形成することにより、 n^+ 型 FS 層を深い拡散層とすることができ、良品率を向上させることができる。したがって、FS 構造の RC - IGBT において、CE 間のリ

50

ーク電流の増加を抑制するとともに、良品率を向上させることができる。

【0070】

また、実施の形態によれば、 n^- 型ドリフト層内に第1低ライフタイム領域を形成することで、FWDの逆回復動作時に吐き出されるキャリアを減少させ、FWDの逆回復動作時に発生する損失を低減させることができる。また、 n^+ 型FS層内に第2低ライフタイム領域を形成することで、IGBTのターンオフ時におけるテール電流を抑制することができ、かつFWDの逆回復時間を調整することができる。したがって、FS構造のRC-IGBTにおいて、キャリアのライフタイムを制御するとともに、動作時の電氣的損失を低減することができる。

【0071】

また、実施の形態によれば、第2軽イオン照射によりライフタイムキラーとして軽イオンを含む第2低ライフタイム領域を形成することで、 n^+ 型FS層内に軽イオンに起因するディープドナー（ヘリウム）もしくはシャロードナー（プロトン）によるドナー化領域が形成され、 n^+ 型FS層の不純物濃度が補間されることがある。これにより、 n^+ 型FS層を形成するために必要な第1イオン注入の不純物のドーズ量を低減することができる。このため、製造工程のスループットを向上させることができる。また、第2軽イオン照射を行うだけで n^+ 型FS層の不純物濃度を補間することができるため、従来の製造工程を変更することなく同様の方法で n^+ 型FS層を形成することができる。

【0072】

また、 n^- 型半導体基板のおもて面または裏面から電子線を照射しライフタイムを制御する従来の方法では、電子線が基板全体を透過するためにMOSゲート構造のゲート酸化膜に欠陥が生じ、ゲート閾値電圧 V_{th} が低下したり、ゲート閾値電圧のばらつきが大きくなるという問題があった。ゲート酸化膜内に生じた欠陥は、欠陥回復のためのアニール処理（熱処理）によっても完全に回復させることはできない。実施の形態においては、 n^- 型半導体基板の裏面から第1、2軽イオン照射を行うため、 n^- 型半導体基板のおもて面側に形成されたMOSゲート構造のゲート酸化膜に軽イオン照射による欠陥は生じない。このため、ゲート閾値電圧が低下したり、ゲート閾値電圧のばらつきが大きくなることを回避することができる。

【0073】

以上において本発明では、薄いウエハを用いた高耐圧のFS構造のRC-IGBTを例に説明しているが、上述した実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。例えば、上述した実施の形態では、IGBT部のMOSゲート構造をトレンチゲート型としているが、トレンチゲート型に代えてプレーナゲート型としてもよい。また、MOSゲート構造のp型ベース層の一部がFWDのp型アノード層を兼ねる構成としているが、 n^- 型半導体基板のおもて面の表面層に、MOSゲート構造のp型ベース層とFWDのp型アノード層とをそれぞれ選択的に設けた構成としてもよい。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

【産業上の利用可能性】

【0074】

以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、インバータなどの電力変換装置に使用されるパワー半導体装置に有用である。

【符号の説明】

【0075】

- 1 n^- 型ドリフト層
- 2 p型ベース層
- 3 トレンチ
- 4 ゲート酸化膜
- 5 ゲート電極
- 6 n^+ 型エミッタ領域

10

20

30

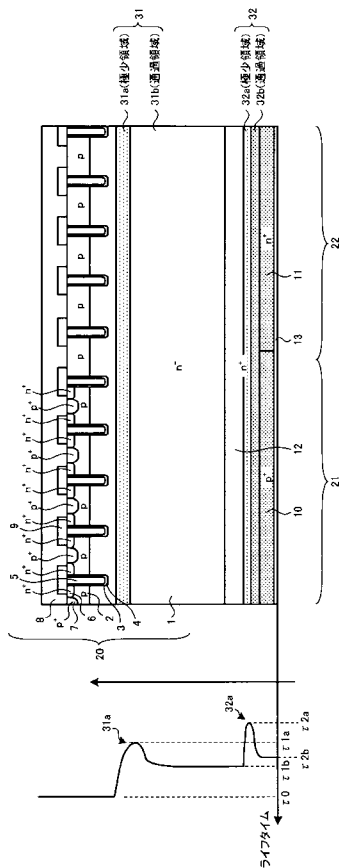
40

50

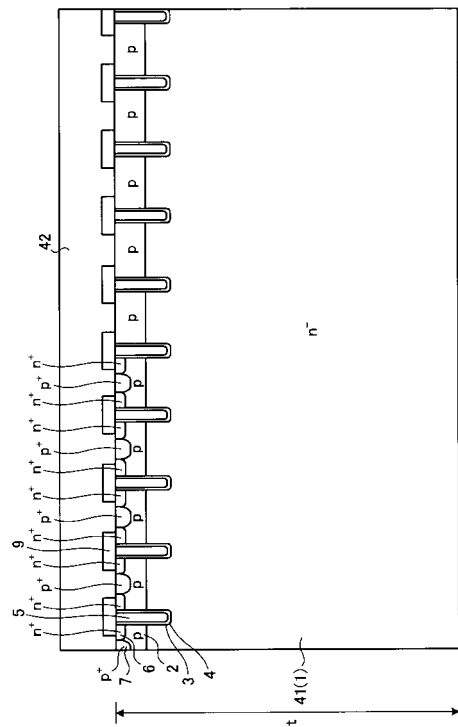
- 7 p^+ 型コンタクト領域
- 8 エミッタ電極
- 9 層間絶縁膜
- 10 p^+ 型コレクタ領域
- 11 n^+ 型カソード領域
- 12 n^+ 型FS層
- 13 コレクタ電極
- 20 MOSゲート構造
- 21 IGBT部
- 22 FWD部
- 31 第1低ライフタイム領域
- 32 第2低ライフタイム領域

10

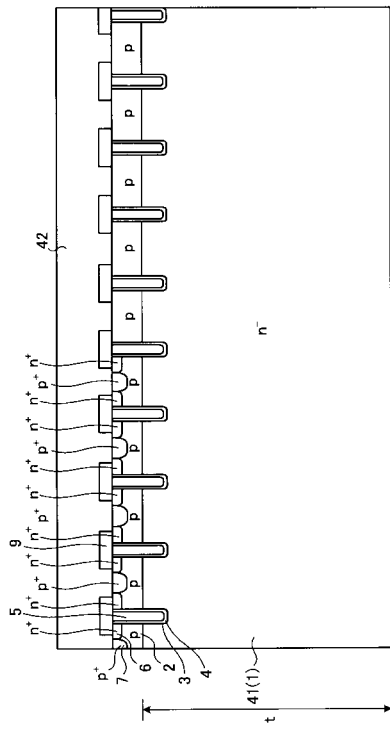
【図1】



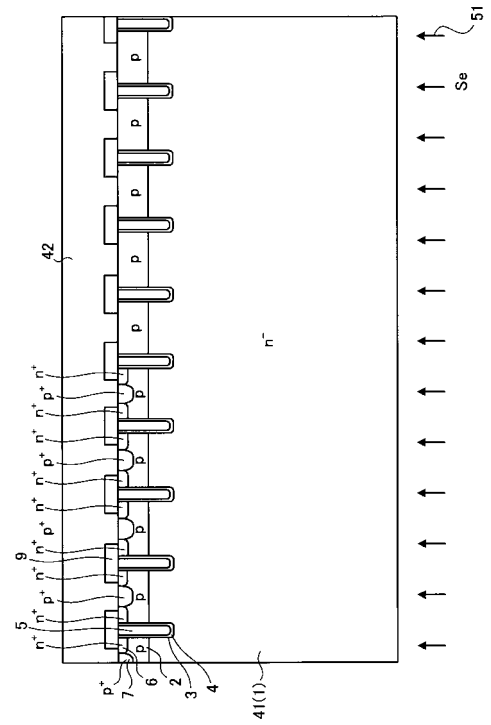
【図2】



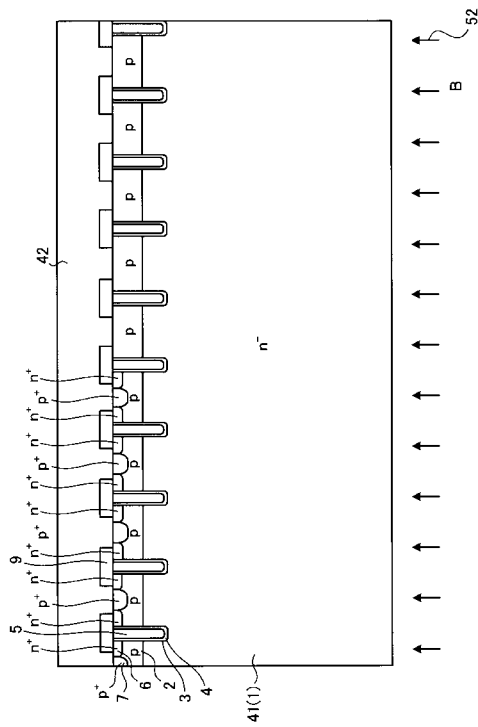
【図 3】



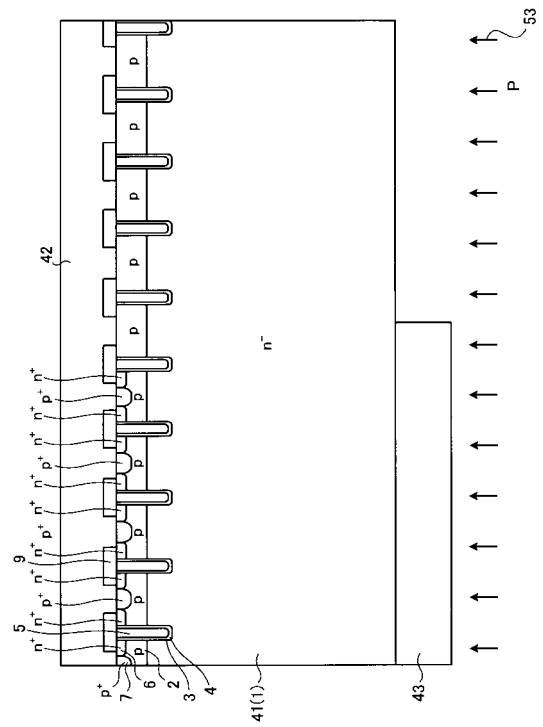
【図 4】



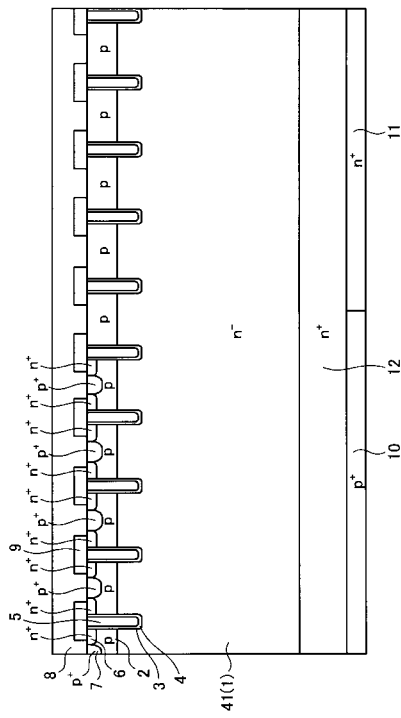
【図 5】



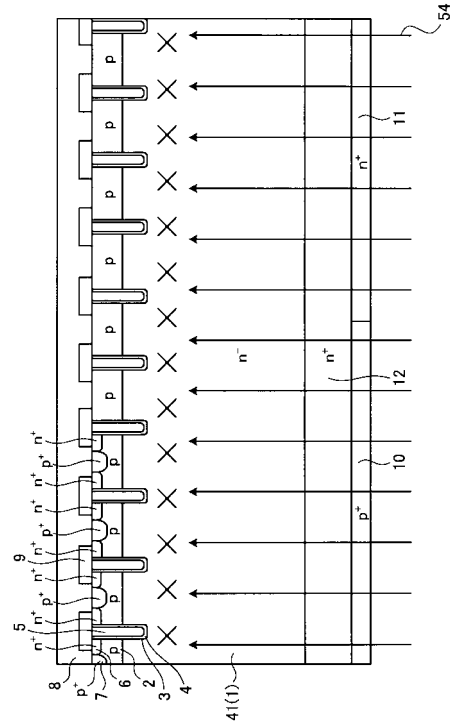
【図 6】



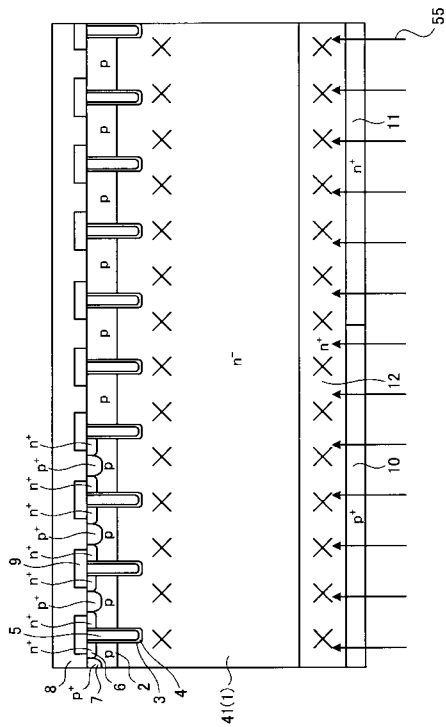
【図 7】



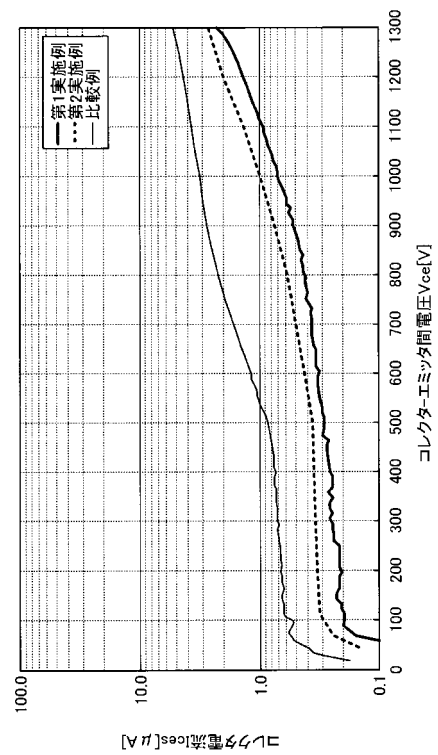
【図 8】



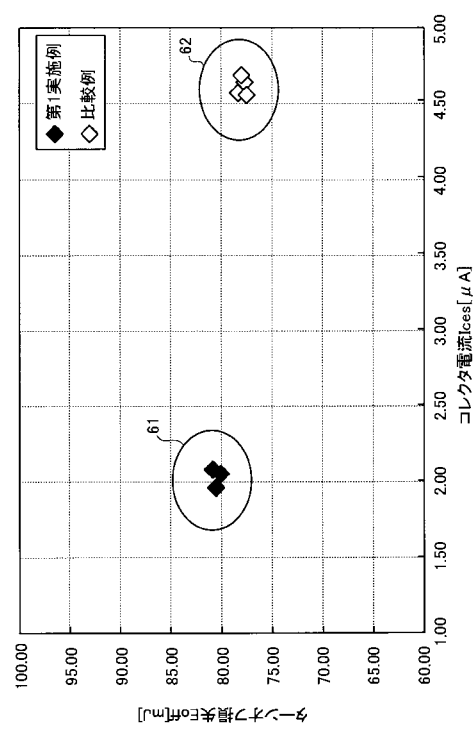
【図 9】



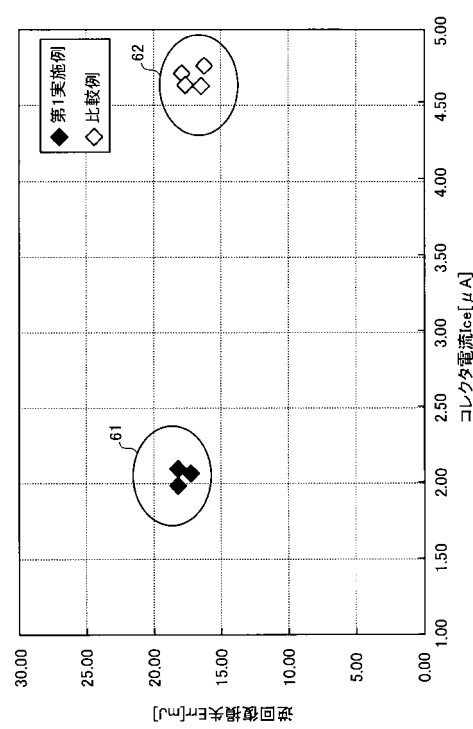
【図 10】



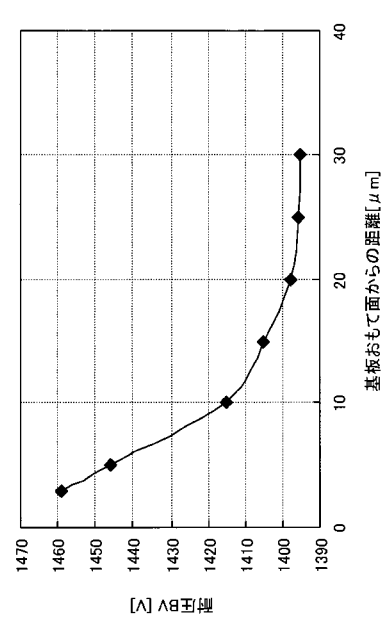
【図 1 1】



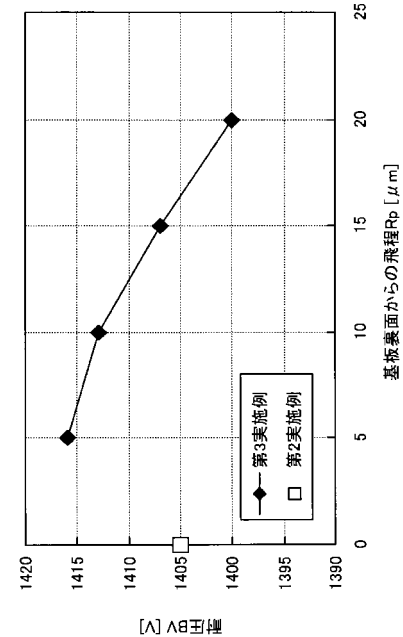
【図 1 2】



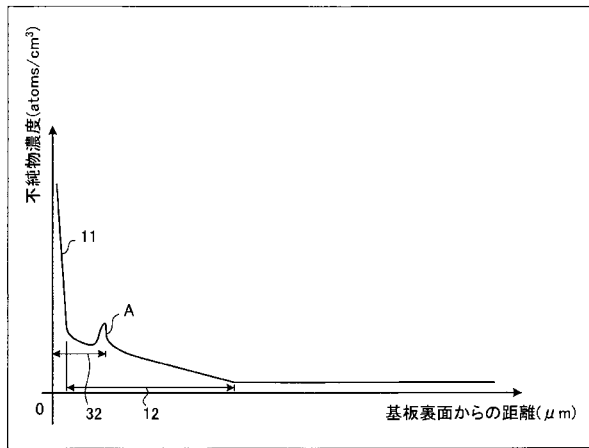
【図 1 3】



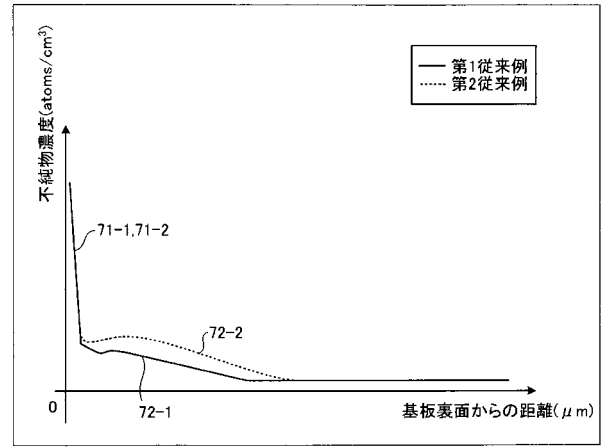
【図 1 4】



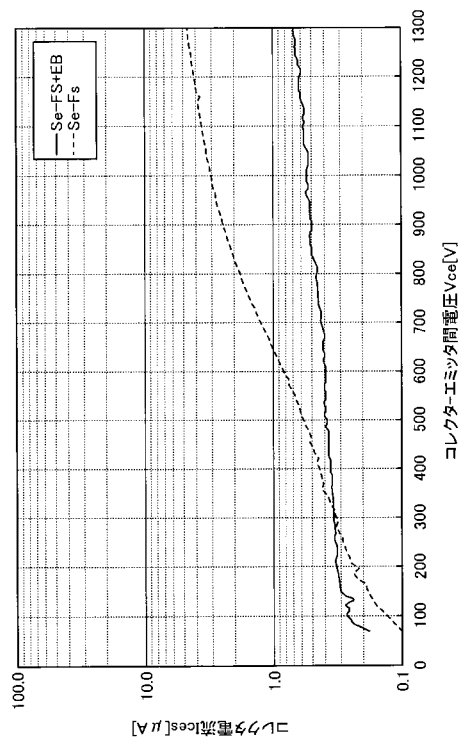
【図 15】



【図 16】



【図 17】



 フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)	
<i>H 0 1 L 27/06 (2006.01)</i>	<i>H 0 1 L</i>	<i>27/06</i>		<i>1 0 2 A</i>	
<i>H 0 1 L 27/088 (2006.01)</i>	<i>H 0 1 L</i>	<i>27/08</i>		<i>1 0 2 E</i>	
<i>H 0 1 L 21/329 (2006.01)</i>	<i>H 0 1 L</i>	<i>29/91</i>		<i>A</i>	
<i>H 0 1 L 29/868 (2006.01)</i>	<i>H 0 1 L</i>	<i>29/91</i>		<i>J</i>	
<i>H 0 1 L 29/861 (2006.01)</i>	<i>H 0 1 L</i>	<i>21/324</i>		<i>X</i>	
<i>H 0 1 L 21/324 (2006.01)</i>	<i>H 0 1 L</i>	<i>21/322</i>		<i>L</i>	
<i>H 0 1 L 21/322 (2006.01)</i>	<i>H 0 1 L</i>	<i>21/322</i>		<i>K</i>	

(72)発明者 河野 憲司
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

(72)発明者 田邊 広光
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

F ターム(参考) 5F048 AC06 AC10 BA01 BB02 BB05 BB19 BC02 BC03 BC12 BD07
BE09 BF02 BF07 CB07