

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-142528

(P2012-142528A)

(43) 公開日 平成24年7月26日(2012.7.26)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/312 (2006.01)	HO 1 L 21/312 C	5 F 0 3 3
HO 1 L 21/316 (2006.01)	HO 1 L 21/312 M	5 F 0 5 8
HO 1 L 21/768 (2006.01)	HO 1 L 21/316 C	
	HO 1 L 21/90 Q	

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2011-1305 (P2011-1305)
 (22) 出願日 平成23年1月6日(2011.1.6)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100115738
 弁理士 鷲頭 光宏
 (74) 代理人 100121681
 弁理士 緒方 和文
 (74) 代理人 100130982
 弁理士 黒瀬 泰之
 (74) 代理人 100127199
 弁理士 三谷 拓也
 (72) 発明者 官原 二期
 東京都中央区八重洲二丁目2番1号エルピー
 ーダメモリ株式会社内

最終頁に続く

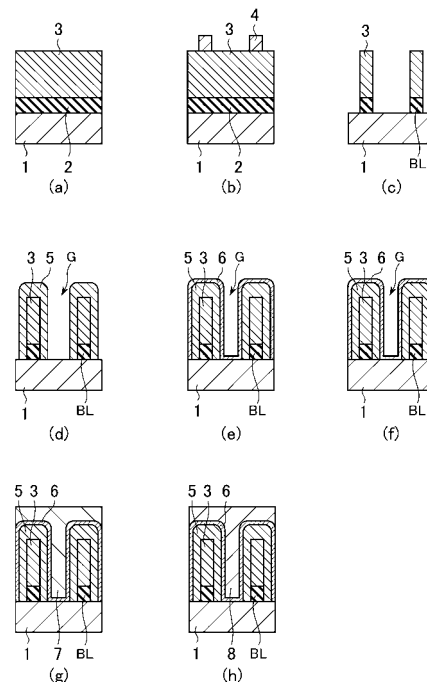
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 SOD法によって形成するシリコン酸化膜に、ポイドが発生することを抑制する。

【解決手段】 基板、基板表面に形成された溝状領域G、及び溝状領域Gに埋設されたシリコン酸化膜8を有する半導体装置の製造方法であって、溝状領域Gを含む基板の表面を覆うライナー膜6を形成するライナー膜形成工程と、ライナー膜6の表面を水洗する水洗工程と、水洗後の残留水分を除去する水分除去工程と、基板表面にポリシラザン溶液をスピコートにより塗布する塗布工程と、アニールによりポリシラザン溶液をシリコン酸化膜8に改質する改質工程とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板、前記基板表面に形成された溝状領域、及び前記溝状領域に埋設されたシリコン酸化膜を有する半導体装置の製造方法であって、

前記溝状領域を含む前記基板の表面を覆うライナー膜を形成するライナー膜形成工程と

、

前記ライナー膜の表面を水洗する水洗工程と、

前記水洗後の残留水分を除去する水分除去工程と、

前記基板表面にポリシラザン溶液をスピンコートにより塗布する塗布工程と、

アニールにより前記ポリシラザン溶液を前記シリコン酸化膜に改質する改質工程と

を備えることを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記水分除去工程は、前記基板を熱し、前記残留水分を気化させることによって実施される

ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記塗布工程及び前記改質工程は、ホットプレートを用いる S O D 塗布機によって実施され、

前記水分除去工程及び前記改質工程では、前記ホットプレートによって前記基板を熱する

20

ことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記水分除去工程では、前記アニールより高い温度で前記基板を熱する

ことを特徴とする請求項 2 又は 3 に記載の半導体装置の製造方法。

【請求項 5】

前記水分除去工程と前記塗布工程の間に、前記基板を冷ます冷却工程をさらに備える

ことを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置の製造方法。

【請求項 6】

前記塗布工程は、

前記ポリシラザン溶液を滴下するディスペンス工程と、

30

前記ディスペンス工程で滴下した前記ポリシラザン溶液を前記基板表面に拡散するリフロー工程と、

前記リフロー工程の実施後、前記ポリシラザン溶液を除去するキャストイング工程とを有し、

前記リフロー工程は、3 秒以上にわたって実施される

ことを特徴とする請求項 1 乃至 5 のいずれか一項に記載の半導体装置の製造方法。

【請求項 7】

前記ディスペンス工程では、前記基板を第 1 の回転数で回転させた状態で前記滴下を実施し、

前記リフロー工程では、前記基板を第 2 の回転数で回転させた状態で前記拡散を実施し

40

、

前記キャストイング工程では、前記基板を第 3 の回転数で回転させた状態で前記除去を実施し、

前記第 2 の回転数は、前記第 1 及び第 3 の回転数より低い

ことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第 2 の回転数は 2 0 0 r p m 以下であり、前記第 1 及び第 3 の回転数は 1 0 0 0 r p m 以上である

ことを特徴とする請求項 7 に記載の半導体装置の製造方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、特に微細溝を埋める絶縁膜をSOD(Spin on Dielectric)法を用いて成膜する半導体装置の製造方法に関する。

【背景技術】

【0002】

従来、半導体装置の製造において、STI(Shallow Trench Isolation)トレンチ、ゲート電極間、ビット線間等の非常に幅の狭い領域への絶縁膜の形成は、HDP-CVD(High Density Plasma - Chemical Vapor Deposition)法やBPSG(Boron Phosphorus Silicon Glass)を堆積した後リフローさせる方法等により行われている。

10

【0003】

しかし、素子の微細化に伴って上記各領域の幅がますます狭小化し、これらの方法では絶縁膜を十分に埋め込むことが困難になってきている。そこで近年、埋設性の良いポリシラザン溶液をスピコートによって埋め込み、その後スチーム(H₂O)雰囲気中でアニールを行うことによってポリシラザンをシリコン酸化膜に改質させるSOD法が研究されている(特許文献1参照)。

【先行技術文献】

【特許文献】

【0004】

20

【特許文献1】特開2010-166026号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

SOD法では、ポリシラザン溶液をスピコートによって成膜する前に、基板全面に耐酸化性能のあるライナー膜が形成される。これは、改質のためのアニールによって下層膜が酸化されてしまうことを防止するためである。ライナー膜としては、特許文献1にも記載されているように、SiON膜が好適に使用できる。

【0006】

しかしながら、基板表面にSiON膜を成膜すると、アンモニア昇華物が異物として生ずることが判明した。このアンモニア昇華物はスクラバー水洗によって除去可能であるが、スクラバー水洗を行うと今度は、最終的に形成されるシリコン酸化膜にボイドが発生してしまうという問題が新たに発生することが判明した。このようなボイドは電子顕微鏡による観察でも確認されており、デバイス不良の原因となるためボイド発生を抑制することが必要になっている。

30

【課題を解決するための手段】

【0007】

本発明による半導体装置の製造方法は、基板、前記基板表面に形成された溝状領域、及び前記溝状領域に埋設されたシリコン酸化膜を有する半導体装置の製造方法であって、前記溝状領域を含む前記基板の表面を覆うライナー膜を形成するライナー膜形成工程と、前記ライナー膜の表面を水洗する水洗工程と、前記水洗後の残留水分を除去する水分除去工程と、前記基板表面にポリシラザン溶液をスピコートにより塗布する塗布工程と、アニールにより前記ポリシラザン溶液を前記シリコン酸化膜に改質する改質工程とを備えることを特徴とする。

40

【発明の効果】

【0008】

本発明によれば、水洗後の残留水分がポリシラザン溶液の塗布前の段階で除去される。したがって、最終的に形成されるシリコン酸化膜にボイドが発生することを抑制できる。

【図面の簡単な説明】

【0009】

50

【図1】(a)～(h)は、本発明の好ましい実施の形態による半導体装置の製造工程を示す図である。

【図2】(a)は、本実施の形態による製造工程において、水分除去工程から改質工程に至る処理のフローチャートを示す図である。また、(b)は、比較例による製造工程でのポリシラザン溶液の塗布工程及び改質工程にかかる処理のフローチャートを示す図である。

【図3】ポリシラザン溶液の塗布を行う際のタイムシーケンスを示す図である。

【図4】シリコン酸化膜に存在するポイド数を測定し、その結果を示す実験データを積み上げ縦棒グラフ形式で表したグラフである。

【発明を実施するための形態】

【0010】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0011】

図1(a)～(h)は、本発明の好ましい実施の形態による半導体装置の製造工程を示す図である。同図に示す半導体装置は例えばDRAM(Dynamic Random Access Memory)などの半導体記憶装置であり、並行する複数のビット線BLを備えている。ビット線BLの間には非常に幅の狭い溝状領域Gが形成されており、本実施の形態による製造工程では、最終的にはこの溝状領域Gの内部に図1(h)に示すシリコン酸化膜8を形成する。

【0012】

本実施の形態による製造工程は、実施順に、ビット線BL及びサイドウォール絶縁膜5の形成工程(図1(a)～(d))、ライナー膜6の形成工程(図1(e))、スクラパー水洗工程(図1(f))、水分除去工程及びポリシラザン溶液の塗布工程(図1(g))、並びにポリシラザン溶液の改質工程(図1(h))の各工程によって構成される。本実施の形態による製造工程の主たる特徴は、スクラパー水洗工程とポリシラザン溶液の塗布工程の間に、水洗後の残留水分を除去する水分除去工程を設けた点にある。これにより、水洗後の残留水分がポリシラザン溶液の塗布前の段階で除去されるので、最終的に形成されるシリコン酸化膜8にポイドが発生することを抑制できる。以下、各工程について詳細に説明する。

【0013】

初めに、図1(a)に示すように、図示しないウェハー(個々のチップに分離する前の基板)の表面にシリコン酸化膜からなる層間絶縁膜1を形成し、その上にビット線BLの材料である配線膜2と、シリコン窒化膜からなるマスク絶縁膜3とをこの順で積層する。配線膜2としては、例えば窒化タングステンとタングステンの積層膜からなる金属膜を用いることが好適である。

【0014】

次に、マスク絶縁膜3の上面にレジスト4を塗布し、図1(b)に示すように、ビット線BLのパターンにしたがってパターンニングする。そして、シリコン窒化膜及び金属膜を順次ドライエッチングによりエッチングすることにより、配線膜2を、図1(c)に示すようなビット線BLの形状にパターンニングする。ビット線BLのピッチは、例えば110nmである。

【0015】

次に、ウェハー全面にシリコン窒化膜を成膜する。このときの成膜量は、横方向の膜厚で約25nm程度とすることが好ましい。シリコン窒化膜を成膜したら、続いてドライエッチングによるエッチバックを行う。エッチバックが完了すると、図1(d)に示すように、ビット線BL及びマスク絶縁膜3の側面がサイドウォール絶縁膜5によって覆われる一方、ビット線BLの線間領域では層間絶縁膜1が露出する。ここまでの工程により、ビット線BLの間に幅約40nm、深さ約260nmの溝状領域Gが形成される。

【0016】

次に、図1(e)に示すように、ウェハー全面を覆うライナー膜6を形成する(ライナ

10

20

30

40

50

ー膜形成工程)。ライナー膜6は、後述するポリシラザンの拡散工程において層間絶縁膜1やサイドウォール絶縁膜5が汚染されないように設けられているもので、具体的にはSiON膜を用いることが好ましい。このSiON膜としては、窒素よりも酸素を多く含むものが好ましく、具体的には窒素原子に対する酸素原子の原子数比が2.2~5.5であることが好ましく、2.8~3.5であることがより好ましい。また、ライナー膜6中の窒素原子の含有率は10~20atom%とすることが好ましく、14~17atom%とすることがより好ましい。なお、仮にライナー膜6中の窒素原子の含有率が10atom%より小さく、かつ窒素原子に対する酸素原子の原子数比が5.5より大きいとすると、ライナー膜6の酸化膜拡散阻止能が低下し、ライナー膜6より下層に存在する金属膜やシリコン酸化膜の酸化を防止することが困難となる。また、仮にライナー膜6中の窒素原子の含有率が20atom%より大きく、かつ窒素原子に対する酸素原子の原子数比が2.2より小さいとすると、溝状領域Gに形成されたポリシラザンの改質が不十分となる。これは、シリコン酸化膜8中にポイドが発生する原因となる。

10

20

30

40

50

【0017】

ライナー膜6の形成は、例えばLPCVD(Low Pressure Chemical Vapor Deposition)法によって行うことが好適である。この場合、反応ガスとしては、ジクロロシラン(SiH₂Cl₂)、アンモニア(NH₃)及び亜酸化窒素(N₂O)の混合ガスを用いることが好適である。アンモニアと亜酸化窒素のガス混合比を変えることによりライナー膜6の組成比を変化させることができるので、ライナー膜6内の窒素原子に対する酸素原子の原子数比及びライナー膜6中の窒素原子の含有率が上記の範囲内に含まれるよう、これらのガスの量を制御すればよい。具体的な例を挙げると、ジクロロシランの流量を140sccm、アンモニアの流量を10sccm、亜酸化窒素の流量を500sccmとし、さらに成膜雰囲気圧力を238Pa、成膜温度を630とすることで、好適なライナー膜6を形成できる。なお、上記3種類のガスは、同時に供給するよりも、亜酸化窒素を最初に反応室に導入し、次にアンモニア、最後にジクロロシランを導入することが望ましい。これにより、成膜初期段階からライナー膜6の組成制御が容易となる利点がある。この条件で形成したライナー膜6の窒素原子含有率は16atom%であり、窒素原子に対する酸素原子の原子数比は3.0となる。

【0018】

なお、ライナー膜6はSiON膜の単層膜としてもよいが、SiON膜の下に厚さ2~5nmのシリコン酸化膜を形成することとしてもよい。

【0019】

次に、図1(f)に示すように、ウェハー全体を水洗いする(水洗工程)。この水洗工程はライナー膜6成膜時に生ずるアンモニア昇華物を除去するために行うもので、スクラパー洗浄機を用いた水洗い(スクラパー水洗)とすることが好ましい。

【0020】

続いて、ライナー膜6の表面から水洗後の残留水分を除去し(水分除去工程)、その後ポリシラザン溶液の塗布を行うことで、図1(g)に示すようにウェハー表面をポリシラザン7で覆う(塗布工程)。塗布工程が完了したら、次に、図1(h)に示すように、ポリシラザン7をシリコン酸化膜8に改質する(改質工程)。以下、この水分除去工程、塗布工程、及び改質工程について、図2を参照しながら詳しく説明する。

【0021】

図2(a)は、本実施の形態による製造工程において、水分除去工程から改質工程に至る処理のフローチャートを示す図である。また、図2(b)は、比較例による製造工程でのポリシラザン溶液の塗布工程及び改質工程にかかる処理のフローチャートを示す図である。

【0022】

ポリシラザン溶液の塗布工程は、ホットプレートを備えるSOD塗布機(不図示)を用いて行う。本実施の形態による製造工程でのポリシラザン溶液の塗布工程では、図2(a)に示すように、まず初めにウェハーの加熱処理(プリベーク)を行う(ステップS1)

。この加熱処理は、スクラパー水洗を行った後の残留水分を除去する水分除去工程に相当する。図2(b)に示すように、比較例では、このステップS1にかかる加熱処理は実施されない。

【0023】

水分除去工程では、具体的には、SOD塗布機のホットプレートを用い、ウェハーを熱することによって残留水分を気化させる。加熱温度は300、加熱時間は180秒とすることが好適である。こうすることで残留水分が十分に除去され、ライナー膜6表面の濡れ性が改善されることから、後にポリシラザン溶液を塗布する際、ポイドの発生が抑制される。この点については、後ほど実験データを示しながら再度詳しく説明する。

【0024】

次に、ウェハーの冷却(プリクール)を行う(冷却工程。ステップS2)。この冷却処理は、ウェハーを23の雰囲気中に60秒間置くことによって行うことが好ましい。冷却工程が完了したら、続いて、ポリシラザン溶液の塗布を行う(ステップS3)。ステップS2, S3にかかる工程は、図2(b)に示すように比較例においても実施されるが、ステップS3に含まれるリフロー工程(後述)の継続時間が異なる。以下、詳しく説明する。

【0025】

図3は、ポリシラザン溶液の塗布を行う際のタイムシーケンスを示す図である。同図では、横軸を時刻、縦軸を塗布回転数(rpm)としている。同図に示すように、ポリシラザン溶液の塗布は、ポリシラザン溶液をウェハー表面に滴下するディスペンス工程と、ディスペンス工程で滴下したポリシラザン溶液を拡散させるリフロー工程と、リフロー工程の実施後、ポリシラザン溶液を除去するキャストイング工程との3工程で行われる。なお、ディスペンス工程では、ウェハー表面の中間領域(縁部と中央部の間の領域)にポリシラザン溶液を滴下する。また、リフロー工程では、ディスペンス工程で滴下したポリシラザン溶液を、ウェハー中央及び縁部に拡散させる。キャストイング工程は、ウェハーを高速回転させることで、ウェハー表面に残る余分なポリシラザン溶液を飛ばす工程である。

【0026】

3つの工程はいずれもウェハーを回転させた状態で行われるが、その好適な回転数は、図3に示すように、工程ごとに異なる。具体的には、リフロー工程での回転数(第2の回転数)は、ディスペンス工程での回転数(第1の回転数)及びキャストイング工程での回転数(第3の回転数)より低く設定することが好適である。これらの回転数は、ポリシラザン溶液がウェハー全体に均等に行き渡るように決定される。

【0027】

具体的な数値を挙げると、第2の回転数を200rpm以下とし、第1及び第3の回転数を1000rpm以上とすることが好適であり、第1乃至第3の回転数をそれぞれ図3に示すように1800rpm, 100rpm, 1972rpmとすることがより好適である。

【0028】

本実施の形態と比較例とでは、図2に示したように、リフロー工程の継続時間が異なっている。すなわち、本実施の形態ではリフロー工程の継続時間を3秒としているが、比較例では、図2(b)に示すように0.1秒である。リフロー工程の継続時間は3秒以上とすることが好ましく、こうすることで、溝状領域Gの内部にポリシラザン溶液がよく浸透し、ポイドの発生が抑制される。この点についても、後ほど実験データを示しながら再度詳しく説明する。

【0029】

図2に戻る。ポリシラザン溶液の塗布が完了したら、次にウェハーの加熱処理(ポストバーク)を再度行う(ステップS4)。この加熱処理はいわゆるアニールであり、ポリシラザン溶液をシリコン酸化膜に改質する改質工程に相当する。具体的には、ステップS1でも用いたSOD塗布機のホットプレートを用い、スチーム(H₂O)雰囲気中でウェハーを加熱する。加熱温度は150、加熱時間は180秒とすることが好適である。

10

20

30

40

50

【0030】

最後に、ウェハの冷却（ポストクール）を再度行う（ステップS5）。この冷却は、ステップS2と同じ条件、すなわちウェハを23の雰囲気中に60秒間置くことによって行うことが好ましい。

【0031】

以上説明した各工程により、図1(h)に示したように、溝状領域G内にシリコン酸化膜8が埋め込まれた半導体装置が完成する。そして、上述したように、水洗後の残留水分を除去する水分除去工程をポリシラザン溶液の塗布工程の前に設けたこと、並びにリフロー工程の継続時間を3秒以上に設定したことにより、完成した半導体装置では、シリコン酸化膜8内に生ずるボイドの量が大幅に削減されている。

10

【0032】

図4は、上述した各工程のすべてが終了した後の段階でシリコン酸化膜8に存在するボイド数を測定し、その結果を示す実験データを積み上げ縦棒グラフ形式で表したグラフである。測定は、溝状領域Gの中央付近でウェハを切断し、その断面を電子顕微鏡で観察することによって行った。同図において、「Edge」「Middle」「Center」は、それぞれウェハ表面の縁部、中間領域、中央部の各断面の測定結果に対応する。また、図4(a)は比較例によって製造した半導体装置での測定結果であり、図4(b)～(e)はそれぞれ、本実施の形態によって製造した半導体装置においてリフロー工程の継続時間を0.1秒、1秒、3秒、5秒とした場合の測定結果である。

20

【0033】

図4に示すように、本実施の形態によって製造した半導体装置では、図4(b)～(e)のいずれの例についても、比較例によって製造した半導体装置に比べ、シリコン酸化膜8内に生ずるボイドの数が減少している。これは、図4(a)と図4(b)とを比較すると理解されるように、まず第一に、水分除去工程をポリシラザン溶液の塗布工程の前に設けたことによる効果であり、これによってボイド数は半分以下に減少している。

【0034】

一方、図4(b)～(e)を見ると理解されるように、少なくとも0.1～3秒の間では、リフロー工程の継続時間が長いほどボイド数が減少している。なお、図4(e)では、ボイド数が図4(d)の例に比べて上昇しているが、これは測定誤差によるものであると考えられ、実際にはリフロー工程の継続時間が3秒以上になると、ボイド数の有意な増減は見られなくなる。

30

【0035】

図4の結果から、水分除去工程をポリシラザン溶液の塗布工程の前に設けること、並びにリフロー工程の継続時間を3秒以上に設定することで、シリコン酸化膜8内に生ずるボイドの量を大幅に削減可能である、と言える。

【0036】

以上説明したように、本実施の形態による半導体装置の製造工程によれば、SOD法によって形成されるシリコン酸化膜に、ボイドが発生することを抑制できる。

【0037】

また、新たに設けた水分除去工程では改質工程で用いるホットプレートを流用しているので、水分除去工程を含む塗布工程及び改質工程を単一のSOD塗布機で行える。したがって、本実施の形態による半導体装置の製造工程によれば、水分除去工程を追加したことによる実際の製造現場への影響を非常に小さなものに抑えることが可能になる。

40

【0038】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0039】

例えば、上記実施の形態では、ビット線BL間の溝状領域Gを埋めるシリコン酸化膜8に本発明を適用したが、本発明の適用範囲はこれに限られない。つまり、本発明は、溝状

50

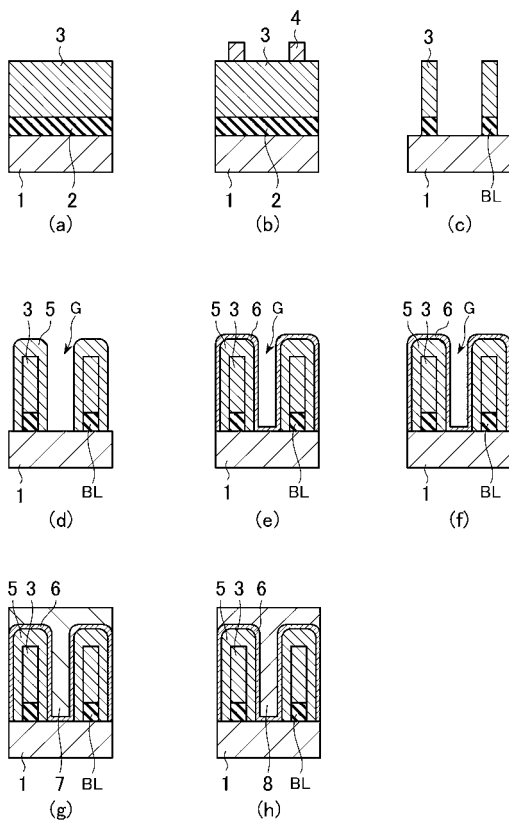
の狭い領域にシリコン酸化膜を埋設する各種の工程に広く適用可能である。

【符号の説明】

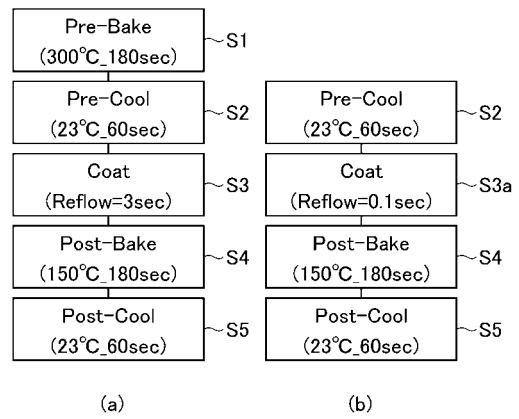
【0040】

- B L ビット線
- G 溝状領域
- 1 層間絶縁膜
- 2 配線膜
- 3 マスク絶縁膜
- 4 レジスト
- 5 サイドウォール絶縁膜
- 6 ライナー膜
- 7 ポリシラザン
- 8 シリコン酸化膜

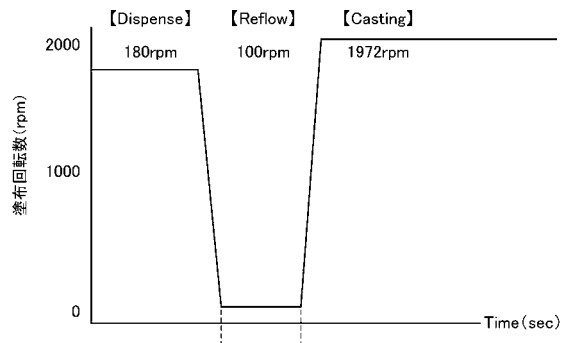
【図1】



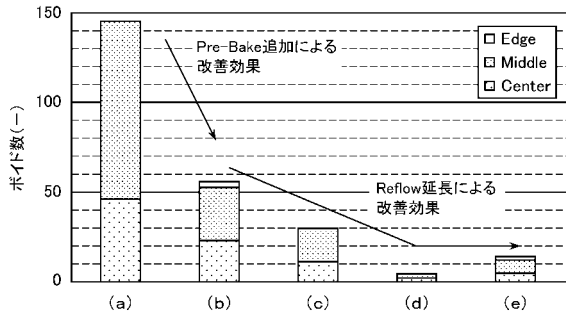
【図2】



【図3】



【 図 4 】



フロントページの続き

Fターム(参考) 5F033 HH19 HH34 MM05 QQ11 QQ31 QQ74 QQ91 RR06 RR08 RR25
SS01 SS02 SS13 SS21 XX02
5F058 AA03 AA06 AA08 AC03 AD02 AD05 AE01 AE10 AF04 AG01
AH02 AH03 AH06