

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2023년 1월 26일 (26.01.2023)



(10) 국제공개번호

WO 2023/003210 A1

- (51) 국제특허분류:
H01L 27/12 (2006.01) H01L 27/32 (2006.01)
- (21) 국제출원번호: PCT/KR2022/009496
- (22) 국제출원일: 2022년 7월 1일 (01.07.2022)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2021-0094660 2021년 7월 20일 (20.07.2021) KR
- (71) 출원인: 삼성디스플레이 주식회사 (SAMSUNG DISPLAY CO., LTD.) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).
- (72) 발명자: 김근우 (KIM, Keunwoo); 13600 경기도 성남시 분당구 수내로 206, 304동 402호, Gyeonggi-do (KR). 강태욱 (KANG, Taewook); 13581 경기도 성남시 분당구 수내로 181, 311동 403호, Gyeonggi-do (KR). 김장현 (KIM, Jang-hyun); 18473 경기도 화성시 동탄대로24길

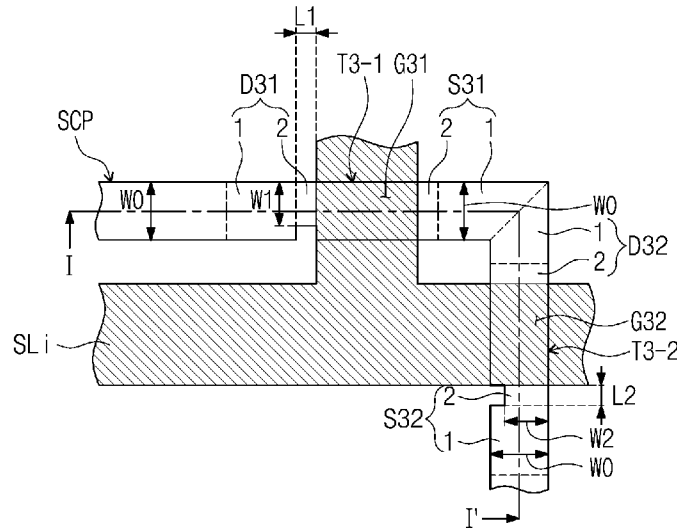
199, 472동 301호, Gyeonggi-do (KR). 배준우 (BAE, Joon Woo); 18429 경기도 화성시 동탄공원로 21-12, 912-101, Gyeonggi-do (KR). 이재섭 (LEE, Jaesob); 06592 서울특별시 서초구 서초중앙로 29길 28, 302동 602호, Seoul (KR). 진동규 (JIN, Donggyu); 18478 경기도 화성시 동탄대로 495, Gyeonggi-do (KR). 최상건 (CHOI, Sanggun); 16420 경기도 수원시 장안구 화산로 85, 131동 702호, Gyeonggi-do (KR).

(74) 대리인: 특허법인 고려 (KORYO IP & LAW); 06239 서울특별시 강남구 테헤란로 8길 41 6층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA,

(54) Title: DISPLAY DEVICE

(54) 발명의 명칭: 표시장치



(57) Abstract: A display device is provided. The display device comprises n third transistors connected to a gate of a driving transistor. Each of the n third transistors comprises: a semiconductor region including a channel region, and a source region and a drain region which are disposed with the channel region interposed therebetween in the extension direction; and a gate overlapping the channel region. The drain region of the third transistor closest to the gate of the first transistor among the n third transistors includes a first region and a second region between the first region and the channel region. The second region has a lower doping concentration than the first region, and the width of the second region is smaller than the width of the first region in a reference direction orthogonal to the extension direction.

(57) 요약서: 표시장치가 제공된다. 표시장치는 구동 트랜지스터의 게이트에 연결된 n 개의 제3 트랜지스터를 포함한다. n 개의 제3 트랜지스터들 각각은 채널영역, 연장방향 내에서 상기 채널영역을 사이에 두고 배치된 소스영역 및 드레인영역을 포함하는 반도체영역 및 상기 채널영역에 중첩하는 게이트를 포함한다. 상기 n 개의 제3 트랜지스터 중 상기 제1 트랜지스터의 상기 게이트에 가장 인접한 제3 트랜지스터의 상기 드레인영역은 제1 영역 및 상기 제1 영역과 상기 채널영역 사이의 제2 영역을 포함한다. 상기 제2 영역은 상기 제1 영역보다 도핑농도가 낮고, 상기 연장방향에 직교하는 기준방향 내에서 상기 제2 영역의 너비는 상기 제1 영역의 너비보다 작다.

[다음 쪽 계속]

WO 2023/003210 A1

SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역
내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE,
LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유
럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 표시장치

기술분야

- [1] 본 발명은 표시장치에 관한 것으로, 동작 특성이 향상된 트랜지스터를 구비한 표시장치에 관한 것이다.

배경기술

- [2] 표시장치는 복수 개의 화소들 및 복수 개의 화소들을 제어하는 구동회로(예컨대, 스캔 구동회로 및 데이터 구동회로)를 포함한다. 복수 개의 화소들 각각은 표시소자 및 표시소자를 제어하는 화소의 구동회로를 포함한다. 화소의 구동회로는 유기적으로 연결된 복수 개의 트랜지스터들을 포함할 수 있다.
- [3] 스캔 구동회로 및/또는 데이터 구동회로는 복수 개의 화소들과 동일한 공정을 통해 형성될 수 있다. 스캔 구동회로 및/또는 데이터 구동회로는 유기적으로 연결된 복수 개의 트랜지스터들을 포함할 수 있다.

발명의 상세한 설명

기술적 과제

- [4] 본 발명의 목적은 표시품질이 향상된 표시장치를 제공하는 것이다.

과제 해결 수단

- [5] 본 발명의 일 실시예에 따른 표시장치는, 제1 트랜지스터, 상기 제1 트랜지스터에 전기적으로 연결되고, 상기 제1 트랜지스터에 데이터 신호를 출력하는 제2 트랜지스터, 상기 제1 트랜지스터의 게이트에 전기적으로 연결되고, 서로 직렬 연결된 n (여기서 n 은 2 이상의 자연수)개의 제3 트랜지스터, 상기 데이터 신호에 대응하는 전압을 충전하는 커패시터, 및 상기 제1 트랜지스터에 전기적으로 연결된 발광소자를 포함할 수 있다. 상기 n 개의 제3 트랜지스터들 각각은, 채널영역, 연장방향 내에서 상기 채널영역을 사이에 두고 배치된 소스영역 및 드레인영역을 포함하는 반도체영역 및 상기 채널영역에 중첩하는 게이트를 포함할 수 있다.
- [6] 상기 n 개의 제3 트랜지스터들 중 상기 제1 트랜지스터의 상기 게이트에 가장 인접한 제3 트랜지스터의 상기 소스영역 또는 상기 드레인영역 중 상기 제1 트랜지스터의 상기 게이트에 더 인접한 영역은 제1 영역 및 상기 제1 영역과 상기 채널영역 사이의 제2 영역을 포함할 수 있다. 상기 제2 영역은 상기 제1 영역보다 도핑농도가 낮고, 상기 연장방향에 직교하는 기준방향 내에서 상기 제2 영역의 너비는 상기 제1 영역의 너비보다 작을 수 있다.
- [7] 상기 n 개의 제3 트랜지스터들 중 상기 제1 트랜지스터의 상기 게이트에 가장 멀리 배치된 제3 트랜지스터의 상기 소스영역 또는 상기 드레인영역 중 상기 제1 트랜지스터의 상기 게이트에 더 멀리 배치된 영역은 제3 영역 및 상기 제3

- 영역과 상기 채널영역 사이의 제4 영역을 포함할 수 있다.
- [8] 상기 제4 영역은 상기 제3 영역보다 도핑농도가 낮고, 상기 기준방향 내에서 상기 제4 영역의 너비는 상기 제3 영역의 너비보다 작을 수 있다.
- [9] 상기 n개의 제3 트랜지스터들 중 상기 제1 트랜지스터의 상기 게이트에 가장 인접한 제3 트랜지스터의 상기 소스영역 또는 상기 드레인영역 중 상기 제1 트랜지스터의 상기 게이트에 더 멀리 배치된 영역은 제3 영역 및 상기 제3 영역과 상기 채널영역 사이의 제4 영역을 포함할 수 있다. 상기 제4 영역은 상기 제3 영역보다 도핑농도가 낮을 수 있다.
- [10] 상기 기준방향 내에서 상기 제3 영역과 상기 제4 영역은 실질적으로 동일한 너비를 가질 수 있다.
- [11] 상기 기준방향 내에서 상기 제2 영역의 너비는 $1\mu\text{m}$ 내지 $2\mu\text{m}$ 일 수 있다.
- [12] 상기 제2 영역의 너비는 상기 제1 영역의 너비보다 10% 내지 50% 작을 수 있다.
- [13] 상기 연장방향 내에서 상기 제2 영역의 길이는 $0.1\mu\text{m}$ 내지 $0.5\mu\text{m}$ 일 수 있다.
- [14] 상기 제1 트랜지스터와 상기 n개의 제3 트랜지스터들은 P-타입의 폴리실리콘 트랜지스터를 포함하고, 상기 n개의 제3 트랜지스터들은 상기 제1 트랜지스터의 상기 게이트와 상기 제1 트랜지스터의 소스 또는 드레인 사이에 직렬로 연결될 수 있다.
- [15] 상기 제1 트랜지스터의 상기 게이트에 가장 인접한 상기 제3 트랜지스터의 상기 소스영역과 상기 제1 트랜지스터의 상기 게이트에 가장 멀리 배치된 상기 제3 트랜지스터 상기 드레인영역은 상기 기준방향 내에서 실질적으로 동일한 너비를 가질 수 있다.
- [16] 상기 n개의 제3 트랜지스터들 중 상기 제1 트랜지스터의 상기 게이트에 가장 인접한 상기 제3 트랜지스터와 상기 제1 트랜지스터의 상기 게이트에 가장 멀리 배치된 상기 제3 트랜지스터 사이에 배치된 제3 트랜지스터의 상기 드레인영역과 상기 소스영역은 상기 기준방향 내에서 실질적으로 동일한 너비를 가질 수 있다.
- [17] 상기 제1 트랜지스터는 상기 제1 트랜지스터의 상기 게이트에 중첩하는 채널영역, 상기 채널영역을 사이에 두고 배치된 소스영역 및 드레인영역을 포함하는 반도체영역을 포함하고, 상기 제1 트랜지스터의 상기 소스영역 또는 상기 제1 트랜지스터의 상기 드레인영역 중 적어도 하나 이상의 너비는 상기 제1 트랜지스터의 상기 채널영역의 너비보다 클 수 있다.
- [18] 상기 제1 트랜지스터의 상기 소스영역 및 상기 제1 트랜지스터의 상기 드레인영역 중 적어도 하나 이상의 너비는 상기 제1 트랜지스터의 상기 채널영역의 너비보다 5% 내지 20% 클 수 있다.
- [19] 상기 제1 트랜지스터의 상기 소스영역 및 상기 제1 트랜지스터의 상기 드레인영역 각각은, 제3 영역 및 상기 제3 영역과 상기 채널영역 사이의 제4 영역을 포함하고, 상기 제4 영역은 상기 제3 영역보다 도핑농도가 낮고, 상기 제3 영역은 상기 제4 영역의 너비는 실질적으로 동일할 수 있다.

- [20] 상기 제1 트랜지스터의 상기 소스영역 또는 상기 드레인영역의 너비는 상기 n 개의 제3 트랜지스터들 각각의 상기 반도체영역의 너비보다 클 수 있다.
- [21] 상기 제1 트랜지스터와 상기 n 개의 제3 트랜지스터들 각각은 P-타입의 폴리실리콘 트랜지스터들을 포함하고, 상기 n 개의 제3 트랜지스터들은 상기 제1 트랜지스터의 상기 게이트와 초기화 전압을 수신하는 전압라인 사이에 연결될 수 있다.
- [22] 상기 커패시터는 상기 제1 트랜지스터의 상기 게이트와 전원 전압을 수신하는 전압라인 사이에 전기적으로 연결될 수 있다.
- [23] 본 발명의 일 실시예에 따른 표시장치는, 제1 트랜지스터, 상기 제1 트랜지스터에 전기적으로 연결되고, 상기 제1 트랜지스터에 데이터 신호를 출력하는 제2 트랜지스터, 상기 제1 트랜지스터의 게이트에 전기적으로 연결되고, 서로 직렬 연결된 n (여기서 n 은 2 이상의 자연수)개의 제3 트랜지스터, 상기 데이터 신호에 대응하는 전압을 충전하는 커패시터, 및 상기 제1 트랜지스터에 전기적으로 연결된 발광소자를 포함할 수 있다. 상기 n 개의 제3 트랜지스터들 각각은, 채널영역, 연장방향 내에서 상기 채널영역을 사이에 두고 배치된 소스영역 및 드레인영역을 포함하는 반도체영역 및 상기 채널영역에 중첩하는 게이트를 포함할 수 있다.
- [24] 상기 n 개의 제3 트랜지스터들 중 상기 제1 트랜지스터의 상기 게이트에 가장 멀리 배치된 제3 트랜지스터의 상기 소스영역 또는 상기 드레인영역 중 상기 제1 트랜지스터의 상기 게이트에 더 멀리 배치된 영역은 제1 영역 및 상기 제1 영역과 상기 채널영역 사이의 제2 영역을 포함할 수 있다. 상기 제2 영역은 상기 제1 영역보다 도핑농도가 낮고, 상기 연장방향에 직교하는 기준방향 내에서 상기 제2 영역의 너비는 상기 제1 영역의 너비보다 작을 수 있다.
- [25] 본 발명의 일 실시예에 따른 표시장치는, 제1 트랜지스터, 상기 제1 트랜지스터에 전기적으로 연결되고, 상기 제1 트랜지스터에 데이터 신호를 출력하는 제2 트랜지스터, 상기 제1 트랜지스터의 게이트에 전기적으로 연결된 제3 트랜지스터, 및 상기 제1 트랜지스터에 전기적으로 연결된 발광소자를 포함할 수 있다.
- [26] 상기 제3 트랜지스터는, 채널영역, 연장방향 내에서 상기 채널영역을 사이에 두고 배치된 드레인영역 및 소스영역을 포함하는 반도체영역 및 상기 채널영역에 중첩하는 게이트를 포함할 수 있다. 상기 드레인영역과 상기 소스영역 중 적어도 하나 이상은 제1 영역 및 상기 제1 영역과 상기 채널영역 사이의 제2 영역을 포함할 수 있다. 상기 제2 영역은 상기 제1 영역보다 도핑농도가 낮고, 상기 연장방향에 직교하는 기준방향 내에서 상기 제2 영역의 너비는 상기 제1 영역의 너비보다 작을 수 있다.
- [27] 본 발명의 일 실시예에 따른 표시장치는, 제1 트랜지스터, 상기 제1 트랜지스터에 전기적으로 연결되고, 상기 제1 트랜지스터에 데이터 신호를 출력하는 제2 트랜지스터, 상기 제1 트랜지스터의 게이트에 전기적으로

연결되고, 서로 직렬 연결된 n (여기서 n 은 1 이상의 자연수)개의 제3 트랜지스터, 및 상기 제1 트랜지스터에 전기적으로 연결된 발광소자를 포함할 수 있다. 상기 제1, 제2, 및 제3 트랜지스터 각각은, 채널영역, 상기 채널영역을 사이에 두고 배치된 소스영역 및 드레인영역을 포함하는 반도체영역 및 상기 채널영역에 중첩하는 게이트를 포함할 수 있다. 상기 드레인영역 및 상기 소스영역 각각은 제1 영역 및 상기 제1 영역과 상기 채널영역 사이의 제2 영역을 포함하고, 상기 제2 영역은 상기 제1 영역보다 도핑농도가 낮고, 상기 제1 트랜지스터의 상기 소스영역 및 상기 제1 트랜지스터의 상기 드레인영역 각각의 너비는 상기 제1 트랜지스터의 상기 채널영역의 너비보다 클 수 있다.

- [28] 상기 제1 트랜지스터의 상기 드레인영역의 너비는 상기 제1 트랜지스터의 상기 채널영역의 너비보다 5% 내지 20% 클 수 있다.
- [29] 상기 제1 트랜지스터의 상기 소스영역의 상기 제2 영역의 너비와 상기 제1 트랜지스터의 상기 드레인영역의 상기 제2 영역의 너비는 실질적으로 동일할 수 있다.
- [30] 상기 제1 트랜지스터의 상기 드레인영역의 너비는 상기 n 개의 제3 트랜지스터의 상기 드레인영역의 너비보다 클 수 있다.
- [31] 상기 n 개의 제3 트랜지스터의 상기 소스영역과 상기 n 개의 제3 트랜지스터의 상기 드레인영역 중 적어도 어느 하나의 너비는 상기 n 개의 제3 트랜지스터의 상기 채널영역의 너비와 실질적으로 동일할 수 있다.

발명의 효과

- [32] 상술한 바에 따르면, 좁은 면적의 저 도핑 영역에서 드레인/소스 필드 감소효과를 획득할 수 있다. 길이가 짧더라도 너비를 감소시킴으로써 저 도핑 영역의 저항을 목적하는 수준으로 증가시킬 수 있다.
- [33] 구동 트랜지스터의 게이트에 연결된 트랜지스터들의 드레인 필드가 감소됨으로써 트랜지스터들의 누설전류가 감소된다. 발광구간 동안에 구동 트랜지스터는 데이터 전압에 대응하는 전류를 발광소자에 제공할 수 있다.
- [34] 구동 트랜지스터의 저 도핑 영역의 너비를 증가시킴으로써 구동 트랜지스터의 구동전류의 감소를 방지할 수 있다.

도면의 간단한 설명

- [35] 도 1은 본 발명의 일 실시예에 따른 표시장치의 블록도이다.
- [36] 도 2는 본 발명의 일 실시예에 따른 화소의 등가회로도이다.
- [37] 도 3은 도 2에 도시된 화소를 구동하기 위한 구동신호들의 파형도이다.
- [38] 도 4는 본 발명의 일 실시예에 따른 화소에 대응하는 표시패널의 단면도이다.
- [39] 도 5a는 본 발명의 일 실시예에 따른 화소의 평면도이다.
- [40] 도 5b 내지 도 5g는 본 발명의 일 실시예에 따른 화소들에 포함된 패턴들의 적층순서에 따른 평면도이다.
- [41] 도 6a는 본 발명의 일 실시예에 따른 제3 트랜지스터들의 평면도이다.

- [42] 도 6b 및 도 6c 각각은 도 6a의 I-I'에 대응하는 제3 트랜지스터들의 단면도이다.
- [43] 도 6d는 비교예에 따른 트랜지스터와 본 발명의 일 실시예에 따른 트랜지스터의 전압-전류 그래프이다.
- [44] 도 6e는 트랜지스터의 도핑공정을 도시한 단면도이다.
- [45] 도 6f는 고계조의 데이터 신호에 대응하는 발광구간에서 제1 트랜지스터 및 제3 트랜지스터들의 동작을 도시한 회로도이다.
- [46] 도 6g는 중간계조의 데이터 신호에 대응하는 발광구간에서 제1 트랜지스터 및 제3 트랜지스터들의 동작을 도시한 회로도이다.
- [47] 도 7a는 본 발명의 일 실시예에 따른 제3 트랜지스터들의 회로도이다.
- [48] 도 7b는 본 발명의 일 실시예에 따른 제3 트랜지스터들의 평면도이다.
- [49] 도 7c는 본 발명의 일 실시예에 따른 제3 트랜지스터의 회로도이다.
- [50] 도 7d는 본 발명의 일 실시예에 따른 제3 트랜지스터의 평면도이다.
- [51] 도 8a는 본 발명의 일 실시예에 따른 제4 트랜지스터들의 평면도이다.
- [52] 도 8b는 발광구간에서 제1 트랜지스터 및 제4 트랜지스터들의 동작을 도시한 회로도이다.
- [53] 도 9a는 본 발명의 일 실시예에 따른 제1 트랜지스터의 평면도이다.
- [54] 도 9b는 도 9a의 II-II'에 대응하는 제1 트랜지스터의 단면도이다.

발명의 실시를 위한 형태

- [55] 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 "상에 있다", "연결된다", 또는 "결합된다"고 언급되는 경우에 그것은 다른 구성요소 상에 직접 배치/연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.
- [56] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. "및/또는"은 연관된 구성요소들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [57] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [58] 또한, "아래에", "하측에", "위에", "상측에" 등의 용어는 도면에 도시된 구성요소들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.
- [59] "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지,

하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [60] 다르게 정의되지 않는 한, 본 명세서에서 사용된 모든 용어(기술 용어 및 과학 용어 포함)는 본 발명이 속하는 기술 분야의 당업자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 또한, 일반적으로 사용되는 사전에서 정의된 용어와 같은 용어는 관련 기술의 맥락에서 갖는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하고, 여기서 명시적으로 정의되지 않는 한 너무 이상적이거나 지나치게 형식적인 의미로 해석되어서는 안된다.
- [61] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다.
- [62]
- [63] 도 1은 본 발명의 일 실시예에 따른 표시장치(DD)의 블록도이다.
- [64] 표시장치(DD)는 타이밍 제어부(TC), 스캔 구동회로(SDC), 데이터 구동회로(DDC), 및 표시패널(DP)을 포함한다. 본 실시예에서 표시패널(DP)은 발광형 표시패널로 설명된다. 발광형 표시패널은 유기발광 표시패널 또는 무기발광 표시패널을 포함할 수 있다.
- [65] 타이밍 제어부(TC)는 입력 영상신호들을 수신하고, 스캔 구동회로(SDC)와의 인터페이스 사양에 맞도록 입력 영상신호들의 데이터 포맷을 변환하여 영상 데이터들(D-RGB)을 생성한다. 타이밍 제어부(TC)는 영상 데이터들(D-RGB)과 각종 제어 신호들(DCS, SCS)을 출력한다.
- [66] 스캔 구동회로(SDC)는 타이밍 제어부(TC)로부터 스캔 제어 신호(SCS)를 수신한다. 스캔 제어 신호(SCS)는 스캔 구동회로(SDC)의 동작을 개시하는 수직개시신호, 신호들의 출력 시기를 결정하는 클럭신호 등을 포함할 수 있다. 스캔 구동회로(SDC)는 스캔 신호들을 생성하고, 대응하는 스캔 신호라인들(SL1 내지 SLn)에 순차적으로 출력한다. 또한, 스캔 구동회로(SDC)는 스캔 제어 신호(SCS)에 응답하여 복수 개의 발광 제어 신호들을 생성하고, 대응하는 발광 제어라인들(ECL1 내지 ECLn)에 복수 개의 발광 제어 신호들을 출력한다.
- [67] 도 1에서 복수 개의 스캔 신호들과 복수 개의 발광 제어 신호들이 하나의 스캔 구동회로(SDC)로부터 출력되는 것으로 도시하였지만, 본 발명은 이에 한정되는 것은 아니다. 본 발명의 일 실시예에서, 표시장치(DD)는 복수 개의 스캔 구동회로를 포함할 수 있다. 또한, 본 발명의 일 실시예에서, 복수 개의 스캔 신호들을 생성하여 출력하는 구동회로와 복수 개의 발광 제어 신호들을 생성하여 출력하는 구동회로는 별개로 형성될 수 있다.
- [68] 데이터 구동회로(DDC)는 타이밍 제어부(TC)로부터 데이터 제어 신호(DCS) 및 영상 데이터들(D-RGB)을 수신한다. 데이터 구동회로(DDC)는 영상 데이터들(D-RGB)을 데이터 신호들로 변환하고, 데이터 신호들을 후술하는 복수 개의 데이터 라인들(DL1 내지 DLm)에 출력한다. 데이터 신호들은 영상

- 데이터들(D-RGB)의 제조값에 대응하는 아날로그 전압들이다.
- [69] 발광 표시패널(DP)은 스캔 신호라인들(SL11 내지 SL1n), 발광 제어라인들(ECL1 내지 ECLn), 데이터 라인들(DL1 내지 DLm), 제1 전압라인(VL1), 제2 전압라인(VL2), 및 복수 개의 화소들(PX)을 포함한다.
- [70] 스캔 신호라인들(SL11 내지 SL1n) 및 발광 제어라인들(ECL1 내지 ECLn) 각각은 제1 방향(DR1)으로 연장되고, 제2 방향(DR2)으로 나열될 수 있다. 데이터 라인들(DL1 내지 DLm)은 스캔 신호라인들(SL11 내지 SL1n)과 교차할 수 있다.
- [71] 제1 전압라인(VL1)은 제1 전원 전압(ELVDD)을 수신한다. 미-도시되었으나, 제2 전원 전압(ELVSS)을 수신하는 전압라인이 더 배치될 수도 있다. 제2 전원 전압(ELVSS)은 제1 전원 전압(ELVDD)보다 낮은 레벨을 갖는다. 제2 전압라인(VL2)은 초기화 전압(Vint)을 수신한다. 초기화 전압(Vint)은 제1 전원 전압(ELVDD)보다 낮은 레벨을 갖는다.
- [72] 이상에서, 도 1을 참조하여 일 실시예에 따른 표시장치(DD)를 설명하였으나, 본 발명의 표시장치(DD)는 이에 제한되지 않는다. 화소 구동회로의 구성에 따라 신호라인들이 더 추가되거나, 생략될 수 있다. 또한, 하나의 화소(PX)와 신호라인들의 전기적 연결관계도 변경될 수 있다.
- [73] 복수 개의 화소들(PX)은 서로 다른 컬러광을 생성하는 복수 개의 그룹들을 포함할 수 있다. 예컨대, 레드 컬러광을 생성하는 제1 그룹의 화소들, 그린 컬러광을 생성하는 제2 그룹의 화소들, 및 블루 컬러광을 생성하는 제3 그룹의 화소들을 포함할 수 있다. 레드 화소의 발광 다이오드, 그린 화소의 발광 다이오드, 및 블루 화소의 발광 다이오드는 서로 다른 물질의 발광층을 포함할 수 있다.
- [74] 화소 구동회로는 복수 개의 트랜지스터들과 적어도 하나의 커패시터를 포함할 수 있다. 스캔 구동회로(SDC)와 데이터 구동회로(DDC) 중 적어도 어느 하나는 화소 구동회로와 동일한 공정을 통해 형성된 복수 개의 트랜지스터들을 포함할 수 있다.
- [75] 포토리소그래피 공정과 식각 공정을 복수 회 진행하여 베이스 기판 상에 상술한 신호라인들, 복수 개의 화소들(PX), 스캔 구동회로(SDC), 및 데이터 구동회로(DDC)를 형성할 수 있다.
- [76]
- [77] 도 2는 본 발명의 일 실시예에 따른 화소(PXij)의 등가회로도이다. 도 3은 도 2에 도시된 화소(PXij)를 구동하기 위한 구동신호들의 파형도이다.
- [78] 화소(PX)는 발광소자(LD) 및 화소회로(CC)를 포함할 수 있다. 화소회로(CC)는 제1 내지 제7 트랜지스터들(T1 내지 T7) 및 커패시터(CP)를 포함할 수 있다. 화소회로(CC)는 데이터 신호에 대응하여 발광소자(LD)에 흐르는 전류량을 제어한다. 발광소자(LD)는 화소회로(CC)로부터 제공되는 전류량에 대응하여 소정의 휘도로 발광할 수 있다.
- [79] 제1 내지 제7 트랜지스터들(T1 내지 T7) 각각은 소스, 드레인, 채널, 및

게이트를 포함할 수 있다. 소스, 드레인, 채널 각각은 반도체 패턴의 서로 다른 영역으로 구현될 수 있다. 본 실시예에서 제1 내지 제7 트랜지스터들(T1 내지 T7) 각각은 P타입의 트랜지스터로 설명된다. 다만 이에 제한되지 않고, 제1 내지 제7 트랜지스터들(T1 내지 T7) 중 적어도 일부는 N타입 트랜지스터일 수 있다. P타입의 트랜지스터의 소스 및 드레인은 N타입의 트랜지스터의 드레인 및 소스에 각각 대응할 수 있다. 특히, 제3 트랜지스터(T3-1, T3-2) 및 제4 트랜지스터(T4-1, T4-2)는 N타입일 수 있다. N타입의 제3 트랜지스터(T3-1, T3-2) 및 제4 트랜지스터(T4-1, T4-2)에도 후술하는 드레인/소스 필드 감소 효과가 발생할 수 있다.

- [80] 제1 트랜지스터(T1)의 소스는 제5 트랜지스터(T5)를 경유하여 제1 전압라인(VL1)에 전기적으로 연결되고, 제1 트랜지스터(T1)의 드레인은 제6 트랜지스터(T6)를 경유하여 발광소자(LD)의 애노드에 전기적으로 연결된다. 제1 트랜지스터(T1)는 구동 트랜지스터로 지칭될 수 있다. 제1 트랜지스터(T1)는 게이트에 인가되는 전압에 대응하여 발광소자(LD)에 흐르는 전류량을 제어한다. 제1 트랜지스터(T1)의 게이트는 기준노드(ND)로 설명될 수 있다.
- [81] 제2 트랜지스터(T2)는 데이터 라인(DL)과 제1 트랜지스터(T1) 사이에 전기적으로 연결된다. 그리고, 제2 트랜지스터(T2)의 게이트는 i 번째 스캔 라인(SLi)에 전기적으로 연결된다. 제2 트랜지스터(T2)는 스위칭 트랜지스터로 지칭될 수 있다.
- [82] 제3 트랜지스터(T3-1, T3-2)는 제1 트랜지스터(T1)의 게이트와 드레인 사이에 전기적으로 연결된다. 본 실시예에서 서로 직렬로 연결된 2개의 제3 트랜지스터들(T3-1, T3-2)를 예시적으로 도시하였다. 그러나 본 발명은 이에 제한되지 않고, n (여기서 n 은 1 이상의 자연수)개의 제3 트랜지스터가 제1 트랜지스터(T1)의 게이트와 드레인 사이에 직렬로 연결될 수 있다. 제3 트랜지스터들(T3-1, T3-2) 각각의 게이트는 i 번째 스캔 라인(SLi)에 전기적으로 연결된다.
- [83] 제4 트랜지스터(T4-1, T4-2)는 기준노드(ND)와 제2 전압라인(VL2) 사이에 전기적으로 연결된다. 본 실시예에서 서로 직렬로 연결된 2개의 제4 트랜지스터들(T4-1, T4-2)를 예시적으로 도시하였다. 그러나 본 발명은 이에 제한되지 않고, n (여기서 n 은 1 이상의 자연수)개의 제4 트랜지스터가 기준노드(ND)와 제2 전압라인(VL2) 사이에 전기적으로 연결될 수 있다. 제4 트랜지스터들(T4-1, T4-2) 각각의 게이트는 $i-1$ 번째 스캔 라인(SLi-1)에 전기적으로 연결된다.
- [84] 제5 트랜지스터(T5)는 제1 전압라인(VL1)과 제1 트랜지스터(T1)의 소스 사이에 전기적으로 연결된다. 제5 트랜지스터(T5)의 게이트는 i 번째 발광제어 라인(ECLi)에 전기적으로 연결된다.
- [85] 제6 트랜지스터(T6)는 제1 트랜지스터(T1)의 드레인과 발광소자(LD)의 애노드 전극 사이에 전기적으로 연결된다. 그리고, 제6 트랜지스터(T6)의 게이트는

i번째 발광제어 라인(ECLi)에 전기적으로 연결된다.

[86] 제7 트랜지스터(T7)는 제2 전압라인(VL2)과 발광소자(LD)의 애노드 전극 사이에 전기적으로 연결된다. 그리고, 제7 트랜지스터(T7)의 게이트는 i+1번째 스캔 라인(SLi+1)에 전기적으로 연결된다.

[87] 커패시터(CP)는 제1 전압라인(VL1)과 기준노드(ND) 사이에 배치된다. 커패시터(CP)는 데이터 신호에 대응되는 전압을 저장한다. 커패시터(CP)에 저장된 전압에 따라 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴-온 될 때 제1 트랜지스터(T1)에 흐르는 전류량이 결정될 수 있다.

[88] 도 2 및 도 3을 참조하면, 발광제어신호(Ei)는 하이레벨(E-HIGH) 또는 로우레벨(E-LOW)을 가질 수 있다. 스캔신호들(Si-1, Si, Si+1)은 각각 하이레벨(S-HIGH) 또는 로우레벨(S-LOW)을 가질 수 있다.

[89] 발광제어신호(Ei)가 하이레벨(E-HIGH)을 가질 때, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴-오프된다. 발광제어신호(Ei)가 하이레벨(E-HIGH)을 갖는 구간은 발광소자(LD)의 비-발광 구간으로 정의될 수 있다.

[90] i-1번째 스캔 라인(SLi-1)으로 제공되는 i-1번째 스캔신호(Si-1)가 로우레벨(S-LOW)을 가질 때, 제4 트랜지스터들(T4-1, T4-2)이 턴-온된다. 제4 트랜지스터들(T4-1, T4-2)이 턴-온되면 초기화전압(Vint)이 기준노드(ND)로 제공된다. 기준노드(ND)와 커패시터(CP)는 초기화전압(Vint)으로 초기화된다.

[91] i번째 스캔 라인(SLi)으로 제공되는 i번째 스캔신호(Si)가 로우레벨(S-LOW)을 가질 때, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 턴-온된다. 제2 트랜지스터(T2)가 턴-온되면 데이터 신호는 제1 트랜지스터(T1)에 제공된다. i번째 스캔신호(Si)이 로우레벨(S-LOW)을 가질 때, 제1 트랜지스터(T1)는 제2 트랜지스터(T2) 및 제3 트랜지스터(T3) 사이에 다이오드 형태로 접속된다. 제1 트랜지스터(T1)가 턴-온되면 데이터 신호에 대응되는 전압이 기준노드(ND)로 제공된다. 데이터 신호에 대응되는 전압이란 데이터 신호에 제1 트랜지스터(T1)의 문턱 전압(Threshold voltage)만큼 감소한 전압일 수 있다. 커패시터(CP)는 데이터 신호에 대응되는 전압을 저장한다.

[92] i+1번째 스캔신호(Si+1)이 로우레벨(S-LOW)을 가질 때, 제7 트랜지스터(T7)가 턴-온된다. 제7 트랜지스터(T7)가 턴-온되면 초기화전압(Vint)이 발광소자(LD)의 애노드 전극으로 제공되어 발광소자(LD)의 기생 커패시터가 방전된다.

[93] i번째 발광제어 라인(ECLi)으로 제공되는 발광제어신호(Ei)가 로우레벨(E-LOW)을 가질 때, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴-온된다. 제5 트랜지스터(T5)가 턴-온되면 제1 전원 전압(ELVDD)이 제1 트랜지스터(T1)에 제공된다. 제6 트랜지스터(T6)가 턴-온되면 제1 트랜지스터(T1)와 발광소자(LD)가 전기적으로 연결된다. 그러면, 발광소자(LD)는 제공받는 전류량에 대응하여 소정 휘도의 광을 생성한다. 따라서, 발광제어신호(Ei)가 로우레벨(E-LOW)을 갖는 구간은 발광소자(LD)의 발광 구간으로 정의될 수 있다.

[94]

[95] 도 4는 본 발명의 일 실시예에 따른 화소(PX)에 대응하는 표시패널(DP)의 단면도이다.

[96] 도 5a는 본 발명의 일 실시예에 따른 화소(PX)의 평면도이다. 도 5b 내지 도 5g는 본 발명의 일 실시예에 따른 화소들(PX)에 포함된 패턴들의 적층순서에 따른 평면도이다.

[97] 도 4를 참조하면, 표시패널(DP)은 베이스층(BS), 베이스층(BS), 상에 배치된 회로 소자층(DP-CL), 표시 소자층(DP-OLED) 및 박막 봉지층(TFE)을 포함할 수 있다. 표시패널(DP)은 반사방지층 또는 굴절률 조절층 등과 같은 기능성층들을 더 포함할 수 있다. 회로 소자층(DP-CL)은 적어도 복수 개의 절연층들과 회로 소자를 포함한다. 이하에서 설명되는 절연층들은 유기층 및/또는 무기층을 포함할 수 있다.

[98] 코팅, 증착 등의 공정을 통해 절연층, 반도체층, 및 도전층을 형성한다. 이후, 포토리소그래피 및 식각 공정을 통해 절연층, 반도체층 및 도전층을 선택적으로 패턴닝할 수 있다. 이러한 공정을 통해 반도체 패턴, 도전 패턴, 신호라인 등을 형성한다. 동일한 층상에 배치된 패턴은 동일한 공정을 통해서 형성된다.

[99] 베이스층(BS)은 합성수지 필름을 포함할 수 있다. 합성수지층은 열 경화성 수지를 포함할 수 있다. 특히, 합성수지층은 폴리아미드계 수지층일 수 있고, 그 재료는 특별히 제한되지 않는다. 합성수지층은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리아미드계 수지 및 페릴렌계 수지 중 적어도 어느 하나를 포함할 수 있다. 그밖에 베이스층은 유리 기판, 금속 기판, 또는 유/무기 복합재료 기판 등을 포함할 수 있다.

[100] 베이스층(BS)의 상면에 적어도 하나의 무기층을 형성한다. 무기층은 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 무기층은 다층으로 형성될 수 있다. 다층의 무기층들은 후술하는 배리어층(BRL) 및/또는 버퍼층(BFL)을 구성할 수 있다. 배리어층(BRL)과 버퍼층(BFL)은 선택적으로 배치될 수 있다.

[101] 배리어층(BRL)은 외부로부터 이물질이 유입되는 것을 감소 또는 방지한다. 배리어층(BRL)은 실리콘옥사이드층 및 실리콘나이트라이드층을 포함할 수 있다. 이들 각각은 복수 개 제공될 수 있고, 실리콘옥사이드층들과 실리콘나이트라이드층들은 교번하게 적층될 수 있다.

[102] 버퍼층(BFL)은 베이스층(BS)과 반도체 패턴 및/또는 도전패턴 사이의 결합력을 향상시킨다. 버퍼층(BFL)은 실리콘옥사이드층 및 실리콘나이트라이드층을 포함할 수 있다. 실리콘옥사이드층과 실리콘나이트라이드층은 교번하게 적층될 수 있다.

[103] 버퍼층(BFL) 상에 반도체 패턴(SCP)이 배치될 수 있다. 반도체 패턴은 비정질

또는 결정질 실리콘 반도체를 포함할 수 있다. 도 4에 도시된 것과 같이, 반도체 패턴(SCP)은 제1 반도체 영역(AC1) 및 제2 반도체 영역(AC2)을 포함할 수 있다. 제1 반도체 영역(AC1)은 제1 트랜지스터(T1)의 소스영역(S1), 채널영역(A1), 및 드레인영역(D1)을 포함하고, 제2 반도체 영역(AC2)은 제2 트랜지스터(T2)의 소스영역(S2), 채널영역(A2), 및 드레인영역(D2)을 포함할 수 있다. 도 2를 참조하여 설명한 트랜지스터들의 소스 및 드레인은 반도체 영역을 설명함에 있어서 소스영역 및 드레인영역으로 설명될 수 있다.

- [104] 버퍼층(BFL) 상에 제1 절연층(10)이 배치된다. 제1 절연층(10)은 반도체 패턴(SCP)을 커버한다. 제1 절연층(10)은 유기층 또는 무기층일 수 있다. 후술하는 제2 내지 제6 절연층(20 내지 60)은 역시 유기층 또는 무기층일 수 있고, 특별히 제한되지 않는다.
- [105] 제1 절연층(10) 상에 제1 도전층(CL1)이 배치된다. 제1 도전층(CL1)은 복수 개의 도전패턴들을 포함할 수 있다. 제1 도전층(CL1)은 제1 트랜지스터(T1)의 게이트(G1) 및 제2 트랜지스터(T2)의 게이트(G2)를 포함할 수 있다.
- [106] 제1 절연층(10) 상에 제1 도전층(CL1)을 커버하는 제2 절연층(20)이 배치된다. 제2 절연층(20) 상에 제2 도전층(CL2)이 배치된다. 제2 도전층(CL2)은 복수 개의 도전패턴들을 포함할 수 있다. 제2 도전층(CL2)은 상부전극(UE)을 포함할 수 있다. 상부전극(UE)은 제1 트랜지스터(T1)의 게이트(G1)에 중첩하고, 개구부(UE-OP)가 형성될 수 있다. 중첩하는 상부전극(UE)과 제1 트랜지스터(T1)의 게이트(G1)는 커패시터(CP, 도 2 참조)를 정의한다.
- [107] 제2 절연층(20) 상에 제2 도전층(CL2)을 커버하는 제3 절연층(30)이 배치된다. 제3 절연층(30) 상에 제3 도전층(CL3)이 배치된다. 제3 도전층(CL3)은 복수 개의 도전패턴을 포함할 수 있다. 제3 도전층(CL3)은 연결전극(CNE-G3)을 포함할 수 있다. 하나의 연결전극(CNE-G3)은 제2 절연층(20) 및 제3 절연층(30)을 관통하는 컨택홀(CH10)을 통해 제1 트랜지스터(T1)의 게이트(G1)에 연결된다. 컨택홀(CH10)은 개구부(UE-OP)를 통과한다. 다른 하나의 연결전극(CNE-G3)은 제1 절연층(10), 제2 절연층(20), 및 제3 절연층(30)을 관통하는 컨택홀(CH20)을 통해 제2 트랜지스터(T2)의 소스영역(S2)에 연결될 수 있다. 제3 도전층(CL3)은 미-도시된 복수 개의 연결전극을 더 포함할 수 있다.
- [108] 제3 절연층(30) 상에 제3 도전층(CL3)을 커버하는 제4 절연층(40)이 배치된다. 제4 절연층(40) 상에 제4 도전층(CL4)이 배치된다. 제4 도전층(CL4)은 복수 개의 도전패턴을 포함할 수 있다. 제4 도전층(CL4)은 연결전극(CNE-D1)을 포함할 수 있다. 연결전극들(CNE-D1)은 제4 절연층(40)을 관통하는 컨택홀(CH11, CH21)을 통해 대응하는 연결전극들(CNE-G3)에 각각 연결될 수 있다.
- [109] 제4 절연층(40) 상에 제4 도전층(CL4)을 커버하는 제5 절연층(50)이 배치된다. 제5 절연층(50) 상에 제5 도전층(CL5)이 배치된다. 제5 도전층(CL5)은 복수 개의 도전패턴을 포함할 수 있다. 제5 도전층(CL5)은 데이터 라인(DL)을 포함할 수 있다. 데이터 라인(DL)은 제5 절연층(50)을 관통하는 컨택홀(CH22)을 통해

대응하는 연결전극(CNE-D1)에 연결될 수 있다.

- [110] 제5 절연층(50) 상에 제5 도전층(CL5)을 커버하는 제6 절연층(60)이 배치된다. 제6 절연층(60) 상에 발광소자(LD)가 배치된다. 발광소자(LD)의 제1 전극(AE)이 제6 절연층(60) 상에 배치된다. 제1 전극(AE)은 애노드일 수 있다 제6 절연층(60) 상에 화소정의막(PDL)이 배치된다.
- [111] 화소정의막(PDL)의 개구부(OP)는 제1 전극(AE)의 적어도 일부분을 노출시킨다. 화소정의막(PDL)의 개구부(OP)는 발광영역을 정의할 수 있다. 제1 전극(AE) 상에 발광층(EML)이 배치된다. 본 실시예에서 패터닝된 발광층(EML)을 예시적으로 도시하였으나, 발광층(EML)은 복수 개의 화소들(PX, 도 1 참조)에 공통적으로 배치될 수 있다. 공통적으로 배치된 발광층(EML)은 백색 광 또는 청색 광을 생성할 수 있다. 또한, 발광층(EML)은 다층구조를 가질 수 있다.
- [112] 미-도시되었으나, 정공 수송층이 제1 전극(AE)과 발광층(EML) 사이에 더 배치될 수 있다. 정공 주입층이 정공 수송층과 제1 전극(AE) 사이에 더 배치될 수 있다. 정공 수송층 또는 정공 주입층은 복수 개의 화소들(PX, 도 1 참조)에 공통적으로 배치될 수 있다.
- [113] 발광층(EML) 상에 제2 전극(CE)이 배치된다. 미-도시되었으나, 전자 수송층이 제2 전극(CE)과 발광층(EML) 사이에 더 배치될 수 있다. 전자 주입층이 전자 수송층과 제2 전극(CE) 사이에 더 배치될 수 있다. 전자 수송층 또는 전자 주입층은 복수 개의 화소들(PX, 도 1 참조)에 공통적으로 배치될 수 있다.
- [114] 제2 전극(CE) 상에 박막 봉지층(TFE)이 배치된다. 박막 봉지층(TFE)은 복수 개의 화소들(PX, 도 1 참조)에 공통적으로 배치된다. 본 실시예에서 박막 봉지층(TFE)은 제2 전극(CE)를 직접 커버한다. 본 발명의 일 실시예에서, 제2 전극(CE)를 직접 커버하는 캡핑층이 더 배치될 수 있다. 박막 봉지층(TFE)은 적어도 무기층 또는 유기층을 포함한다. 본 발명의 일 실시예에서 박막 봉지층(TFE)은 2개의 무기층과 그 사이에 배치된 유기층을 포함할 수 있다. 본 발명의 일 실시예에서 박막 봉지층은 교번하게 적층된 복수 개의 무기층들과 복수 개의 유기층들을 포함할 수 있다.
- [115] 도 5a를 참조하면, 화소(PX)의 제1 내지 제7 트랜지스터(T1 내지 T7)가 도시되었다. 또한, 스캔 라인들(SLi-1, SLi, SLi+1), 발광제어 라인(ECLi), 제1 전압라인(VL1), 및 제2 전압라인(VL2)이 도시되었다.
- [116] 도 5b를 참조하면, 베이스층(BS, 도 4 참조) 상에 반도체 패턴(SCP)이 배치된다. 반도체 패턴(SCP)은 제1 내지 제7 트랜지스터들(T1 내지 T7, 도 2 참조)에 대응하는 제1 내지 제7 반도체 영역들(AC1 내지 AC7)을 포함한다.
- [117] 제1 내지 제7 반도체 영역들(AC1 내지 AC7) 각각은 대응하는 소스영역(S1 내지 S7), 대응하는 채널영역(A1 내지 A7), 및 대응하는 드레인영역(D1 내지 D7)을 포함한다. 소스영역(S1 내지 S7) 및 드레인영역(D1 내지 D7)은 도핑 농도가 높아 실질적으로 전도성을 갖는 영역이고, 채널영역(A1 내지 A7)은 도핑

농도가 낮은 영역으로 소스영역(S1 내지 S7)과 드레인영역(D1 내지 D7) 사이에 배치된다. 실질적으로 제1 내지 제7 트랜지스터들(T1 내지 T7) 각각의 소스 및 드레인 은 제1 내지 제7 반도체 영역들(AC1 내지 AC7) 각각의 소스영역(S1 내지 S7) 및 드레인영역(D1 내지 D7)에 의해 정의된다.

- [118] 제1 내지 제7 반도체 영역들(AC1 내지 AC7)은 일체의 형상을 가질 수 있다. 제1 내지 제7 반도체 영역들(AC1 내지 AC7) 중 인접한 반도체 영역들의 소스영역들(S1 내지 S7)과 드레인영역들(D1 내지 D7)은 서로 구분되지 않을 수 있다. 도 5b에서는 설명의 편의를 위해 인접한 반도체 영역들의 소스영역들(S1 내지 S7)과 드레인영역들(D1 내지 D7)을 구분하여 도시하였다. 또한, 제1 내지 제7 반도체 영역들(AC1 내지 AC7) 중 서로 다른 반도체 영역의 소스영역들(S1 내지 S7)과 드레인영역들(D1 내지 D7) 사이에 신호절단영역(STA)이 배치된 것으로 도시하였으나, 이에 제한되지 않는다. 실질적으로 신호절단영역(STA)은 소스영역들(S1 내지 S7) 또는 드레인영역들(D1 내지 D7)과 동일한 도핑농도를 갖는 영역일 수 있다.
- [119] 도 5c를 참조하면, 제1 절연층(10, 도 4 참조) 상에 제1 도전층(CL1)이 배치된다. 제1 도전층(CL1)은 제1 방향(DR1)으로 연장된 스캔 라인들(SLi-1, SLi, SLi+1), 발광제어 라인(ECLi), 및 제1 게이트(G1)을 포함할 수 있다.
- [120] 반도체 패턴(SCP)에 중첩하는 i번째 스캔 라인(SLi)의 일부분이 제2 트랜지스터(T2)의 게이트(G2)일 수 있고, i번째 스캔 라인(SLi)의 다른 일부분이 하나의 제3 트랜지스터(T3-1)의 게이트(G31)일 수 있고, i번째 스캔 라인(SLi)의 또 다른 일부분이 다른 하나의 제3 트랜지스터(T3-2)의 게이트(G32)일 수 있다.
- [121] 도 5c에는 i-1번째 스캔 라인(SLi-1)에 배치된 제4 트랜지스터들(T4-1, T4-2)의 게이트들(G41, G42)이 도시되었고, i+1번째 스캔 라인(SLi+1)에 배치된 제7 트랜지스터(T7)의 게이트(G7)가 도시되었고, i번째 발광제어 라인(ECLi)에 배치된 제5 트랜지스터(T5)의 게이트(G5) 및 제6 트랜지스터(T6)의 게이트(G6)가 도시되었다.
- [122] 도 5d를 참조하면, 제2 절연층(20, 도 4 참조) 상에 제2 도전층(CL2)이 배치된다. 제2 도전층(CL2)은 상부전극(UE) 및 제2 전압라인(VL2)을 포함할 수 있다. 제2 전압라인(VL2)은 제1 방향(DR1)으로 연장될 수 있다. 제2 도전층(CL2)은 복수 개의 제2 전압라인들(VL2)을 포함할 수 있고, 복수 개의 제2 전압라인들(VL2)은 제2 방향(DR2)으로 나열될 수 있다.
- [123] 도 5e를 참조하면, 제3 절연층(30, 도 4 참조) 상에 제3 도전층(CL3)이 배치된다. 제3 도전층(CL3)은 도 4 참조하여 설명한 연결전극(CNE-G3)을 포함할 수 있다.
- [124] 제3 도전층(CL3)은 더미라인(DML)을 더 포함할 수도 있다. 더미라인(DML)은 제1 방향(DR1)으로 연장될 수 있다. 제3 도전층(CL3)은 복수 개의 더미라인들(DML)을 포함할 수 있고, 복수 개의 더미라인들(DML)은 제2 방향(DR2)으로 나열될 수 있다. 본 실시예에 따른 복수 개의 더미라인들(DML)은 일 예에 불과하고, 복수 개의 더미라인들(DML)은 제2 방향(DR2)으로 연장될

수도 있다.

- [125] 복수 개의 더미라인들(DML)은 그라운드 전압을 수신하거나, 플로팅될 수 있다. 본 발명의 일 실시예에서 복수 개의 더미라인들(DML)은 도 5d에 도시된 복수 개의 제2 전압라인들(VL2)에 전기적으로 연결될 수 있다. 본 발명의 일 실시예에서 복수 개의 더미라인들(DML)은 후술하는 도 5f에 도시된 복수 개의 제1 전압라인들(VL1)에 전기적으로 연결될 수 있다.
- [126] 도 5f를 참조하면, 제4 절연층(40, 도 4 참조) 상에 제4 도전층(CL4)이 배치된다. 제4 도전층(CL4)은 제1 전압라인(VL1) 및 복수 개의 연결전극들을 포함할 수 있다. 복수 개의 연결전극들은 도 4 참조하여 설명한 연결전극(CNE-D1)을 포함할 수 있다.
- [127] 도 5g를 참조하면, 제5 절연층(50, 도 4 참조) 상에 제5 도전층(CL5)이 배치된다. 제5 도전층(CL5)은 데이터 라인(DL) 및 연결전극(CNE)을 포함할 수 있다. 도 5g의 연결전극(CNE)에 도 4의 제1 전극(AE)가 연결될 수 있다.
- [128]
- [129] 도 6a는 본 발명의 일 실시예에 따른 제3 트랜지스터들(T3-1, T3-2)의 평면도이다. 도 6b 및 도 6c 각각은 도 6a의 I-I'에 대응하는 제3 트랜지스터들(T3-1, T3-2)의 단면도이다. 도 6d는 비교예에 따른 트랜지스터와 본 발명의 일 실시예에 따른 트랜지스터의 전압(V_{GS})-전류(I_{DS}) 그래프이다. 도 6e는 트랜지스터(T3-1)의 도핑공정을 도시한 단면도이다. 도 6f는 고계조의 데이터 신호에 대응하는 발광구간에서 제1 트랜지스터(T1) 및 제3 트랜지스터들(T3-1, T3-2)의 동작을 도시한 회로도이다. 도 6g는 중간계조의 데이터 신호에 대응하는 발광구간에서 제1 트랜지스터(T1) 및 제3 트랜지스터들(T3-1, T3-2)의 동작을 도시한 회로도이다.
- [130] 도 6a은 도 2, 도 5a 내지 도 5g에 도시한 제3 트랜지스터들(T3-1, T3-2)를 확대 도시하였다. 도 6a 및 도 6b를 참조하면, 2개의 제3 트랜지스터들(T3-1, T3-2) 중 전류 경로 내에서 제1 트랜지스터(T1, 도 2 참조)의 게이트에 더 인접한 제3 트랜지스터(T3-1)는 좌측 트랜지스터(T3-1)로 정의되고, 제1 트랜지스터(T1, 도 2 참조)의 게이트에 더 멀리 배치된 제3 트랜지스터(T3-2)는 우측 트랜지스터(T3-2)로 정의된다. 도 6b를 참조하면, 반도체 패턴(SCP)에 좌측 트랜지스터(T3-1)의 반도체 영역(AC31)과 우측 트랜지스터(T3-2)의 반도체 영역(AC32)이 도시되어 있다.
- [131] 도 6a 및 도 6b를 참조하면, 앞서 설명한 것과 같이 제3 트랜지스터들(T3-1, T3-2)은 P-타입 트랜지스터이기 때문에 좌측 트랜지스터(T3-1)의 드레인영역(D31)은 좌측 트랜지스터(T3-1)의 소스영역(S31) 보다 제1 트랜지스터(T1, 도 2 참조)의 게이트에 더 인접하게 배치되고, 우측 트랜지스터(T3-2)의 드레인영역(D32)은 우측 트랜지스터(T3-2)의 소스영역(S32)보다 제1 트랜지스터(T1, 도 2 참조)의 게이트에 더 인접하게 배치된다.

- [132] 제3 트랜지스터들(T3-1, T3-2)의 드레인영역(D31, D32)과 소스영역(S31, S32) 각각은 상대적으로 도핑농도가 높은 고-도핑 영역(1) 및 상대적으로 도핑농도가 낮은 저-도핑 영역(2)을 포함할 수 있다. 저-도핑 영역(2)은 고-도핑 영역(1)과 대응하는 채널영역(A31, A32) 사이에 배치될 수 있다.
- [133] 이하, 드레인영역(D31, D32)과 소스영역(S31, S32) 각각의 고-도핑 영역(1)이 제1 영역으로 지칭되고, 저-도핑 영역(2)이 제2 영역으로 지칭될 수 있다. 고-도핑 영역들(1)을 구분하거나, 저-도핑 영역들(2)을 구분하기 위해 드레인영역(D31, D32)과 소스영역(S31, S32) 중 어느 하나의 영역의 고-도핑 영역(1)과 저-도핑 영역(2)이 제1 영역과 제2 영역으로 각각 지칭될 때, 다른 하나의 영역의 고-도핑 영역(1)과 저-도핑 영역(2)은 제3 영역과 제4 영역으로 각각 지칭될 수도 있다.
- [134]
- [135] 제1 영역(1)의 도핑농도는 약 $1 \times 10^{20}/\text{cm}^3$ 일 수 있다. 제2 영역(2)의 도핑농도는 제1 영역(1)의 도핑농도의 약 5% 내지 20%일 수 있다. 한편, 제3 트랜지스터들(T3-1, T3-2) 각각의 게이트(G31, G32)가 마스크 역할을 갖기 때문에 채널영역(A31, A32)은 도핑농도가 매우 낮을 수 있다.
- [136] 본 발명의 일 실시예에 따르면, 도 6a 및 도 6b에 도시된 것과 다르게, 좌측 트랜지스터(T3-1)의 소스영역(S31)과 우측 트랜지스터(T3-2)의 드레인영역(D32) 각각은 제2 영역(2)을 미-포함할 수 있다. 도핑 방법에 따라 제1 영역(1)과 제2 영역(2)의 도핑농도가 결정될 수 있는데, 좌측 트랜지스터(T3-1)의 소스영역(S31)과 우측 트랜지스터(T3-2)의 드레인영역(D32)의 도핑농도를 실질적으로 동일하게 제어할 수 있다.
- [137] 예컨대, 제2 영역(2)이 제거되도록, 좌측 트랜지스터(T3-1)의 소스영역(S31)과 우측 트랜지스터(T3-2)의 드레인영역(D32) 각각의 제2 영역(2)에 추가 도핑을 진행할 수 있다. 본 발명의 일 실시예에서 좌측 트랜지스터(T3-1)의 소스영역(S31)과 우측 트랜지스터(T3-2)의 드레인영역(D32)의 도핑농도를 증가시켜, 제1 영역(1)과 제2 영역(2)의 도핑농도차이를 제1 영역(1)과 제2 영역(2)의 도핑농도에 비해 낮은 수준으로 제어할 수 있다.
- [138] 도 6b에 도시된 것과 같이, 제1 영역(1), 제2 영역(2), 및 채널영역(A31, A32) 사이의 경계선이 단면 상에서 직선일 수도 있으나, 도 6c에 도시된 것과 같이, 제1 영역(1), 제2 영역(2), 및 채널영역(A31, A32) 사이의 경계선이 단면 상에서 곡선일 수도 있다. 도 6c에 있어서, 채널영역(A31, A32)에 인접한 제2 영역(2)의 도핑농도는 반도체 패턴(SCP)의 상면로부터의 직선거리에 따라 가우시안 분포를 가질 수도 있다.
- [139] 제2 영역(2)은 채널영역(A31, A32)과 드레인영역(D31, D32) 또는 소스영역(S31, S32) 사이의 급격한 전계의 증가를 막을 수 있다(이하, 드레인/소스 필드 감소 효과). 이로써, 제3 트랜지스터들(T3-1, T3-2)의 오프 전류(또는 누설 전류)를 줄일 수 있고, 뿐만 아니라 채널영역(A31, A32)의 길이가 짧아짐에 따라 나타나는 핫 캐리어 효과(hot carrier effect; HCE)를 억제할 수

있다.

[140] 도 6d는 제2 영역(2)의 유무에 따른 트랜지스터들의 오프 전류를 나타낸다. 제1 그래프(G10)는 제2 영역(2)이 형성되지 않은 비교예에 따른 트랜지스터의 전압(V_{GS})-전류(I_{DS}) 특성을 나타내고, 제2 그래프(G20)는 제2 영역(2)이 형성된 본 실시예에 따른 트랜지스터의 전압(V_{GS})-전류(I_{DS}) 특성을 나타낸다. 게이트-소스 전압(V_{GS})이 5V 이상인 구간에서 본 실시예에 따른 P-타입의 트랜지스터의 누설전류가 감소된 것을 알 수 있다.

[141] 이것은 드레인/소스 필드 감소 효과로 인해 게이트 유발 드레인 누설 전류(I_{GIDL} , gate induced drain leakage current)가 감소되었기 때문이다. 누설 전류(I_{GIDL})는 아래의 수학적식을 따르는데, 드레인-게이트 필드가 감소되어 누설 전류(I_{GIDL})가 감소된 것이다. 수학적식에서 익스포넨셜 함수의 지수 인자에 포함된 $E_{x(DL)}$ 은 드레인-게이트 사이에 형성된 필드값을 의미한다.

$$[142] \quad I_{GIDL} \cong W \frac{(DL)_{eff}}{2} \cdot \frac{\pi q^2 \cdot m^* p \cdot E_G \cdot V_{BD}}{h^3} \cdot \frac{E_{x(DL)}}{\frac{\pi^2 \cdot \sqrt{2m^* p \cdot E_G^{2/3}}}{2q \cdot h}} \cdot \exp\left(-\frac{\pi^2 \cdot \sqrt{m^* p \cdot E_G^{2/3}}}{2q \cdot h \cdot E_{x(DL)}}\right)$$

[143] 드레인/소스 필드 감소효과가 발생하기 위해서는 제2 영역(2)은 소정의 저항을 가져야 한다. 제2 영역(2)의 저항은 두께에 반비례하고, 길이에 비례하고, 너비에 반비례한다. 일체 형상의 반도체 패턴(SCP) 내에서 제2 영역들(2)의 저항을 제어하기 위해서 제2 영역들의 길이와 너비를 제어할 수 있다.

[144] 도 6a 및 도 6b에 도시된 것과 같이, 너비를 변경함으로써 제2 영역들(2)의 저항을 제어할 수 있다. 좌측 트랜지스터(T3-1)의 드레인영역(D31)의 제2 영역(2)의 너비(W1)는 좌측 트랜지스터(T3-1)의 드레인영역(D31)의 제1 영역(1)의 너비(W0)보다 작을 수 있다. 우측 트랜지스터(T3-2)의 소스영역(S32)의 제2 영역(2)의 너비(W2)는 우측 트랜지스터(T3-2)의 소스영역(S32)의 제1 영역(1)의 너비(W0)보다 작을 수 있다. 너비는 반도체 패턴(SCP)의 연장방향에 직교하는 기준방향 내에서 측정되었다. 한편, 길이는 반도체 패턴(SCP)의 연장방향에서 측정된다.

[145] 제2 영역들(2)의 길이가 동일하다고 가정했을 때, 좌측 트랜지스터(T3-1)의 드레인영역(D31)의 제2 영역(2)과 우측 트랜지스터(T3-2)의 소스영역(S32)의 제2 영역(2)에서 상대적으로 큰 드레인/소스 필드 감소 효과가 발생할 수 있다. 제2 영역들(2)의 길이가 기준값보다 짧을 때, 일부의 제2 영역(2)은 상대적으로 작은 저항을 가질 수 있고, 해당 제2 영역(2)에서는 드레인/소스 필드 감소 효과가 미-발생할 수도 있다. 제2 영역들(2)이 동일한 길이를 갖더라도, 일부의 제2 영역(2)은 상대적으로 작은 너비를 갖기 때문에 상대적으로 큰 저항을 가질 수 있다. 상대적으로 작은 너비를 갖는 제2 영역(2)에서는 드레인/소스 필드 감소 효과가 발생할 수 있다. 예컨대, 좌측 트랜지스터(T3-1)의 드레인영역(D31)의 제2 영역(2)과 우측 트랜지스터(T3-2)의 소스영역(S32)의 제2 영역(2) 각각은 작은 너비(W1, W2)를 이유로 큰 저항을 갖기 때문에 드레인/소스 필드 감소

효과가 발생할 수 있다.

- [146] 좌측 트랜지스터(T3-1)의 소스영역(S31)의 제1 영역(1)과 제2 영역(2)의 너비(W0)는 실질적으로 동일할 수 있고, 우측 트랜지스터(T3-2)의 드레인영역(D32)의 제1 영역(1)과 제2 영역(2)의 실질적으로 너비(W0)는 동일할 수 있다. 좌측 트랜지스터(T3-1)의 소스영역(S31)과 우측 트랜지스터(T3-2)의 드레인영역(D32)의 너비(W0)는 실질적으로 동일할 수 있다. 상대적으로 큰 너비(W0)를 갖는 좌측 트랜지스터(T3-1)의 소스영역(S31)과 우측 트랜지스터(T3-2)의 드레인영역(D32)에는 드레인/소스 필드 감소효과가 미-발생할 수 있다.
- [147] 좌측 트랜지스터(T3-1)의 드레인영역(D31)과 우측 트랜지스터(T3-2)의 소스영역(S32)의 제2 영역들(2)의 너비(W1, W2) 각각은 $1\mu\text{m}$ 내지 $2\mu\text{m}$ 일 수 있다. 제2 영역들(2)의 너비(W1, W2) 각각은 $1.5\mu\text{m}$ 일 수 있다. 좌측 트랜지스터(T3-1)의 드레인영역(D31)의 제2 영역(2)의 너비(W1)와 우측 트랜지스터(T3-2)의 소스영역(S32)의 제2 영역(2)의 너비(W2)가 동일한 것으로 제한되지 않는다. 좌측 트랜지스터(T3-1)의 드레인영역(D31)과 우측 트랜지스터(T3-2)의 소스영역(S32)의 제2 영역들(2)의 너비(W1, W2)는 제1 영역들의 너비보다 너비보다 10% 내지 50% 작을 수 있다.
- [148] 도 6e는 일 실시예에 따른 도핑공정을 도시하였다. 본 실시예에 따르면, 제2 절연층(20)을 형성한 후 게이트(G31)를 마스크로 이용하여 트랜지스터(T3-1)의 반도체 영역(AC3)을 도핑할 수 있다. 예컨대, $1 \times 10^{15}/\text{cm}^2$ 의 도핑 농도로 도핑할 수 있다.
- [149] 도 6e에는 도 5c의 X-X'에 대응하는 단면이 예시적으로 도시되었다. 제1, 제2, 제4 내지 제7 반도체 영역들(AC1, AC2, AC4 내지 AC7)도 도 6e에 도시된 것과 같이 도핑되거나, 추가적인 마스크를 이용해서 도핑될 수 있고, 그 방법은 특별히 제한되지 않는다.
- [150] 도 6e를 참조하면, 게이트(G31)의 경사진 측면을 따라 제2 절연층(20)이 배치된다. 제2 절연층(20)의 게이트(G31)의 경사진 측면에 대응하는 영역(이하, 경사 영역)은 제2 절연층(20)의 평면에 대응하는 영역보다 제1 절연층(10)의 상면을 기준으로 큰 두께를 갖는다. 제2 절연층(20)의 경사 영역에서 제2 절연층(20)의 상면과 반도체 영역(AC3) 사이의 거리(DT2)는 제2 절연층(20)의 평면 영역에서 제2 절연층(20)의 상면과 반도체 영역(AC3) 사이의 거리(DT1)보다 클 수 있다. 상기 경사 영역은 도핑을 방해하는 영역에 해당하고, 이는 마스크 패턴에 해당할 수 있다.
- [151] 제2 절연층(20)의 경사 영역에 대응하도록 드레인영역(D31)과 소스영역(S31)의 제2 영역(2)이 정의될 수 있다. 게이트(G31)의 두께에 따라 경사 영역의 길이, 즉, 제2 영역(2)의 길이가 결정될 수 있다. 본 실시예에서 게이트(G31)의 두께는 3000 옹스트롬 내지 5000 옹스트롬일 수 있다.
- [152] 좌측 트랜지스터(T3-1)의 드레인영역(D31)과 우측 트랜지스터(T3-2)의

소스영역(S32)의 제2 영역들(2)의 길이(L1, L2) 각각은 $0.1\mu\text{m}$ 내지 $0.5\mu\text{m}$ 일 수 있다. 좌측 트랜지스터(T3-1)의 드레인영역(D31)의 제2 영역(2)의 길이(L1)와 우측 트랜지스터(T3-2)의 소스영역(S32)의 제2 영역(2)의 길이(L2)가 동일한 것으로 제한되지 않는다. 도핑공정에 따라 좌측 트랜지스터(T3-1)의 소스영역(S31)의 제2 영역(2)의 길이와 우측 트랜지스터(T3-2)의 드레인영역(D32)의 제2 영역(2)의 길이는 상술한 제2 영역들(2)의 길이(L1, L2)의 범위에서 결정될 수 있다.

- [153] 도 6f를 참조하여, 발광구간에서 고계조의 데이터 전압에 대응하는 제1 트랜지스터(T1) 및 제3 트랜지스터들(T3-1, T3-2)의 동작을 설명한다.
- [154] 커패시터(CP, 도 2 참조)에 충전된 고계조의 데이터 전압에 대응하도록 제1 트랜지스터(T1)의 게이트(G1)의 전압은 1V를 가질 수 있다. 이때, 제1 트랜지스터(T1)의 드레인(D1)의 전압은 2V일 수 있다. 우측 트랜지스터(T3-2)의 소스(S32)의 전압 역시 2V일 수 있다. 발광구간 동안 제3 트랜지스터(T3-1, T3-2)은 턴-오프되나, 우측 트랜지스터(T3-2)의 소스(S32)로부터 좌측 트랜지스터(T3-1)의 드레인(D31)으로 누설전류가 발생할 수 있다. 그뿐만 아니라, 제3 트랜지스터(T3-1, T3-2)가 턴-온에서 턴-오프로 전환하는 과정에서 킥백전압(또는 기생 커패시턴스)의 영향으로 우측 트랜지스터(T3-2)와 좌측 트랜지스터(T3-1)의 중간노드(S31/D32)에 전압이 상승하고, 중간노드(S31/D32)로부터 좌측 트랜지스터(T3-1)의 드레인(D31)으로 누설전류가 발생할 수 있다. 누설전류가 발생하면, 게이트(G1)의 전압이 증가되어 발광소자(LD, 도 2 참조)는 목적하는 계조보다 어두운 휘도로 발광될 수 있다.
- [155] 도 6a 및 도 6b에 따르면, 적어도 좌측 트랜지스터(T3-1)의 드레인(D31)의 제2 영역(2)에서 상술한 드레인/소스 필드 감소 효과가 발생하여 상기 누설전류를 감소 또는 방지할 수 있다.
- [156] 도 6g를 참조하여, 발광구간에서 중간계조의 데이터 전압에 대응하는 제1 트랜지스터(T1) 및 제3 트랜지스터들(T3-1, T3-2)의 동작을 설명한다.
- [157] 커패시터(CP, 도 2 참조)에 충전된 중간계조의 데이터 전압에 대응하도록 제1 트랜지스터(T1)의 게이트(G1)의 전압은 3V를 가질 수 있다. 이때, 우측 트랜지스터(T3-2)의 소스(S32)의 전압은 2V일 수 있다. 발광구간 동안 제3 트랜지스터(T3-1, T3-2)은 턴-오프되나, 좌측 트랜지스터(T3-1)의 드레인(D31) 또는 중간노드(S31/D32)로부터 우측 트랜지스터(T3-2)의 소스(S32)로 누설전류가 발생할 수 있다. 누설전류가 발생하면, 게이트(G1)의 전압이 감소되어 발광소자(LD, 도 2 참조)는 목적하는 계조보다 밝은 휘도로 발광될 수 있다.
- [158] 도 6a 및 도 6b에 따르면, 적어도 우측 트랜지스터(T3-2)의 소스(S32)의 제2 영역(2)에서 상술한 드레인/소스 필드 감소효과가 발생하여 상기 누설전류를 감소 또는 방지할 수 있다.

[159]

[160] 도 7a는 본 발명의 일 실시예에 따른 제3 트랜지스터들(T3-1 내지 T3-3)의 회로도이다. 도 7b는 본 발명의 일 실시예에 따른 제3 트랜지스터들(T3-1 내지 T3-3)의 평면도이다. 도 7c는 본 발명의 일 실시예에 따른 제3 트랜지스터(T3)의 회로도이다. 도 7d는 본 발명의 일 실시예에 따른 제3 트랜지스터(T3)의 평면도이다. 이하, 도 1 내지 도 6g를 참조하여 설명한 구성에 대한 상세한 설명은 생략한다.

[161] 도 7a를 참조하면, n (여기서 n 은 2 이상의 자연수)개의 제3 트랜지스터들(T3-1 내지 T3-3)이 제1 트랜지스터(T1)의 게이트(G1)와 드레인(D1)과 사이에 직렬로 연결될 수 있다. 본 실시예에서 n 은 3이다.

[162] 도 7a 및 도 7b를 참조하면, 제3 트랜지스터들(T3-1 내지 T3-3) 중 제1 트랜지스터(T1)의 게이트(G1)와 드레인(D1)의 전류 경로 내에서 제1 트랜지스터(T1)의 게이트(G1)에 가장 인접한 가장 좌측의 트랜지스터(T3-1)의 드레인영역(D31)은 제1 영역(1)과 제2 영역(2)을 포함한다. 제3 트랜지스터들(T3-1 내지 T3-3) 중 제1 트랜지스터(T1)의 게이트(G1)에 가장 멀리 배치된 가장 우측의 트랜지스터(T3-3)의 소스영역(S33)은 제1 영역(1)과 제2 영역(2)을 포함한다.

[163] 도 7b를 참조하면, 가장 좌측의 트랜지스터(T3-1)의 드레인영역(D31)의 제2 영역(2)과 가장 우측의 트랜지스터(T3-3)의 소스영역(S33)의 제2 영역(2)은 상대적으로 작은 너비를 가질 수 있다. 가장 좌측의 트랜지스터(T3-1)의 소스영역(S31)과 가장 우측의 트랜지스터(T3-3)의 드레인영역(D33)은 실질적으로 동일한 너비를 가질 수 있다. 가운데 배치된 트랜지스터(T3-2)의 드레인영역(D32)와 소스영역(S32)을 실질적으로 동일한 너비를 가질 수 있다.

[164] 도 6f와 도 6g를 참조하여 설명한 것과 같이, 고계조의 데이터 전압에 대응하는 발광구간에서 가장 좌측이 트랜지스터(T3-1)에 의해 누설 전류가 감소 또는 방지되고, 중간계조의 데이터 전압에 대응하는 발광구간에서 가장 우측의 트랜지스터(T3-3)에 의해 누설 전류가 감소 또는 방지될 수 있다.

[165] 도 7c를 참조하면, 제1 트랜지스터(T1)의 게이트(G1)와 드레인(D1)과 사이에 하나의 제3 트랜지스터(T3)가 연결될 수 있다. 도 7d를 참조하면, 제3 트랜지스터(T3)의 드레인영역(D31)의 제2 영역(2)과 소스영역(S31)의 제2 영역(2)은 반도체 패턴(SCP)의 다른 영역 대비 상대적으로 작은 너비를 가질 수 있다. 제3 트랜지스터(T3)에는 누설 전류가 발생하지 않을 수 있다.

[166]

[167] 도 8a는 본 발명의 일 실시예에 따른 제4 트랜지스터들(T4-1, T4-2)의 평면도이다. 도 8b는 발광구간에서 제1 트랜지스터(T1) 및 제4 트랜지스터들(T4-1, T4-2)의 동작을 도시한 회로도이다. 이하, 도 1 내지 도 6g를 참조하여 설명한 구성에 대한 상세한 설명은 생략한다.

[168] 2개의 제4 트랜지스터들(T4-1, T4-2)이 예시적으로 도시되었으나, 1개 또는 3

개 이상의 트랜지스터들이 제1 트랜지스터(T1)의 게이트(G1)와 제2 전압라인(VL2) 사이에 직렬로 연결될 수 있다.

- [169] 본 실시예에 따르면, 제4 트랜지스터들(T4-1, T4-2) 중 제1 트랜지스터(T1)의 게이트(G1)와 제2 전압라인(VL2) 사이의 전류경로 내에서 제1 트랜지스터(T1)의 게이트(G1)에 더 인접한 트랜지스터는 좌측 트랜지스터(T4-1)이고, 제1 트랜지스터(T1)의 게이트(G1)에 더 멀리 배치된 트랜지스터는 우측 트랜지스터(T4-2)이다.
- [170] 본 실시예에 따르면, 적어도 좌측 트랜지스터(T4-1)의 소스영역(S41)의 제2 영역(2)과 우측 트랜지스터(T4-2)의 드레인영역(D42)의 제2 영역(2)이 상대적으로 작은 너비를 갖는다. 초기화 전압(V_{int})은 -2V 내지 -3V의 바이어스 전압일 수 있다. 발광구간 동안에 제1 트랜지스터(T1)의 게이트(G1)는 1V 내지 4V를 가질 수 있으므로, 제1 트랜지스터(T1)의 게이트(G1)로부터 제2 전압라인(VL2)으로 누설전류 경로가 형성될 수 있다. 우측 트랜지스터(T4-2)의 드레인영역(D42)은 이러한 누설전류가 발생하는 것을 감소 또는 방지할 수 있다.
- [171] 좌측 트랜지스터(T4-1)의 소스영역(S41)은 발광구간 동안에 제4 트랜지스터들(T4-1, T4-2)의 중간노드(S41/D42)로부터 제1 트랜지스터(T1)의 게이트(G1)으로 일시적인 누설전류가 흐르는 것을 방지할 수 있다.
- [172]
- [173] 도 9a는 본 발명의 일 실시예에 따른 제1 트랜지스터(T1)의 평면도이다. 도 9b는 도 9a의 II-II'에 대응하는 제1 트랜지스터(T1)의 단면도이다. 이하, 도 1 내지 도 8b를 참조하여 설명한 구성에 대한 상세한 설명은 생략한다.
- [174] 제1 트랜지스터(T1)는 소스영역(S1), 드레인영역(D1), 이들 사이에 배치된 채널영역(A1)을 포함하는 반도체영역(AC1) 및 채널영역(A1)에 중첩하는 게이트(G1)를 포함한다. 제1 트랜지스터(T1) 역시 도 6e를 참조하여 설명한 것과 동일한 방식으로 도핑될 수 있다. 그에 따라 소스영역(S1)과 드레인영역(D1) 각각은 제1 영역(1) 및 제2 영역(2)을 포함할 수 있다.
- [175] 제2 영역(2)이 드레인/소스 필드 감소 효과를 발생시키는 경우, 제1 트랜지스터(T1)의 턴-온 상태에서 구동 전류가 감소될 수 있다. 본 실시예에 따르면, 제2 영역(2)이 드레인/소스 필드 감소효과를 갖지 않도록 제2 영역(2)의 저항을 기준값보다 크게 설계할 수 있다. 제2 영역(2)의 저항을 감소시키기 위해서 제2 영역(2)의 너비(W4)는 채널영역(A1)의 너비(W3)보다 클 수 있다. 제2 영역(2)의 너비(W4)는 채널영역(A1)의 너비(W3)보다 5% 내지 20% 클 수 있다.
- [176] 소스영역(S1) 및 드레인영역(D1) 전체가 채널영역(A1)보다 큰 너비를 가질 수 있다. 소스영역(S1)은 균일한 너비를 갖고, 드레인영역(D1)은 균일한 너비를 가질 수 있다.
- [177] 제1 트랜지스터(T1)의 소스영역(S1) 또는 드레인영역(D1)의 너비(W4)는 도 6a 및 도 6b에 도시된 제3 트랜지스터(T3-1, T3-2)의 소스영역(S31, S32) 또는 드레인영역(D31, D32)의 너비보다 클 수 있다. 도 5b에 도시된 일체 형상의

반도체 패턴(SCP)을 영역에 따라 다른 너비로 패터닝 할 수 있다.

[178]

[179] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

[180]

따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

산업상 이용가능성

[181]

본 발명에 따르면 트랜지스터의 설계를 변경함으로써 화소 구동회로의 성능이 향상될 수 있다. 화소 구동회로는 표시장치에 필수적인 구성으로 본 발명은 표시장치에 적용될 가능성이 높다.

청구범위

- [청구항 1] 제1 트랜지스터;
상기 제1 트랜지스터에 전기적으로 연결되고, 데이터 신호를 출력하는 제2 트랜지스터;
상기 제1 트랜지스터의 게이트에 전기적으로 연결되고, 서로 직렬 연결된 n (여기서 n 은 2 이상의 자연수)개의 제3 트랜지스터들;
상기 데이터 신호에 대응하는 전압을 충전하는 커패시터; 및
상기 제1 트랜지스터에 전기적으로 연결된 발광소자를 포함하고,
상기 n 개의 제3 트랜지스터들 각각은,
채널영역, 연장방향 내에서 상기 채널영역을 사이에 두고 배치된 소스영역 및 드레인영역을 포함하는 반도체영역; 및
상기 채널영역에 중첩하는 게이트를 포함하고,
상기 n 개의 제3 트랜지스터들 중 상기 제1 트랜지스터의 상기 게이트에 가장 인접한 제3 트랜지스터들의 상기 소스영역 또는 상기 드레인영역 중 상기 제1 트랜지스터의 상기 게이트에 더 인접한 영역은 제1 영역 및 상기 제1 영역과 상기 채널영역 사이의 제2 영역을 포함하고,
상기 제2 영역은 상기 제1 영역보다 도핑농도가 낮고,
상기 연장방향에 직교하는 기준방향 내에서 상기 제2 영역의 너비는 상기 제1 영역의 너비보다 작은 표시장치.
- [청구항 2] 제1 항에 있어서,
상기 n 개의 제3 트랜지스터들 중 상기 제1 트랜지스터의 상기 게이트에 가장 멀리 배치된 제3 트랜지스터의 상기 소스영역 또는 상기 드레인영역 중 상기 제1 트랜지스터의 상기 게이트에 더 멀리 배치된 영역은 제3 영역 및 상기 제3 영역과 상기 채널영역 사이의 제4 영역을 포함하고,
상기 제4 영역은 상기 제3 영역보다 도핑농도가 낮고,
상기 기준방향 내에서 상기 제4 영역의 너비는 상기 제3 영역의 너비보다 작은 표시장치.
- [청구항 3] 제1 항에 있어서,
상기 n 개의 제3 트랜지스터들 중 상기 제1 트랜지스터의 상기 게이트에 가장 인접한 상기 제3 트랜지스터의 상기 소스영역 또는 상기 드레인영역 중 상기 제1 트랜지스터의 상기 게이트에 더 멀리 배치된 영역은 제3 영역 및 상기 제3 영역과 상기 채널영역 사이의 제4 영역을 포함하고,
상기 제4 영역은 상기 제3 영역보다 도핑농도가 낮은 표시장치.
- [청구항 4] 제3 항에 있어서,
상기 기준방향 내에서 상기 제3 영역과 상기 제4 영역은 실질적으로 동일한 너비를 갖는 표시장치.
- [청구항 5] 제1 항에 있어서,

- [청구항 6] 상기 기준방향 내에서 상기 제2 영역의 너비는 $1\mu\text{m}$ 내지 $2\mu\text{m}$ 인 표시장치.
제1 항에 있어서,
상기 제2 영역의 너비는 상기 제1 영역의 너비보다 10% 내지 50% 작은 표시장치.
- [청구항 7] 제1 항에 있어서,
상기 연장방향 내에서 상기 제2 영역의 길이는 $0.1\mu\text{m}$ 내지 $0.5\mu\text{m}$ 인 표시장치.
- [청구항 8] 제1 항에 있어서,
상기 제1 트랜지스터와 상기 n개의 제3 트랜지스터는 P-타입의 폴리실리콘 트랜지스터들을 포함하고,
상기 n개의 제3 트랜지스터들은 상기 제1 트랜지스터의 상기 게이트와 상기 제1 트랜지스터의 반도체영역의 소스영역 또는 드레인영역 사이에 직렬로 연결된 표시장치.
- [청구항 9] 제8 항에 있어서,
상기 n개의 제3 트랜지스터들 중 상기 제1 트랜지스터의 상기 게이트에 가장 인접한 상기 제3 트랜지스터의 상기 소스영역과 상기 제1 트랜지스터의 상기 게이트에 가장 멀리 배치된 제3 트랜지스터의 상기 드레인영역은 상기 기준방향 내에서 실질적으로 동일한 너비를 갖는 표시장치.
- [청구항 10] 제8 항에 있어서,
상기 n개의 제3 트랜지스터들 중 상기 제1 트랜지스터의 상기 게이트에 가장 인접한 상기 제3 트랜지스터와 상기 제1 트랜지스터의 상기 게이트에 가장 멀리 배치된 제3 트랜지스터 사이에 배치된 제3 트랜지스터의 상기 드레인영역과 상기 소스영역은 상기 기준방향 내에서 실질적으로 동일한 너비를 갖는 표시장치.
- [청구항 11] 제1 항에 있어서,
상기 제1 트랜지스터는 상기 제1 트랜지스터의 상기 게이트에 중첩하는 채널영역, 상기 채널영역을 사이에 두고 배치된 소스영역 및 드레인영역을 포함하는 반도체영역을 포함하고,
상기 제1 트랜지스터의 상기 소스영역 또는 상기 제1 트랜지스터의 상기 드레인영역 중 적어도 하나 이상의 너비는 상기 제1 트랜지스터의 상기 채널영역의 너비보다 큰 표시장치.
- [청구항 12] 제11 항에 있어서,
상기 제1 트랜지스터의 상기 소스영역 및 상기 제1 트랜지스터의 상기 드레인영역 중 적어도 하나 이상의 너비는 상기 제1 트랜지스터의 상기 채널영역의 너비보다 5% 내지 20% 큰 표시장치.
- [청구항 13] 제11 항에 있어서,
상기 제1 트랜지스터의 상기 소스영역 및 상기 제1 트랜지스터의 상기

- 드레인영역 각각은,
제3 영역 및 상기 제3 영역과 상기 채널영역 사이의 제4 영역을 포함하고,
상기 제4 영역은 상기 제3 영역보다 도핑농도가 낮고,
상기 제3 영역은 상기 제4 영역의 너비는 실질적으로 동일한 표시장치.
- [청구항 14] 제11 항에 있어서,
상기 제1 트랜지스터의 상기 소스영역 또는 상기 드레인영역의 너비는
상기 n 개의 제3 트랜지스터들 각각의 상기 반도체영역의 너비보다 큰
표시장치.
- [청구항 15] 제1 항에 있어서,
상기 제1 트랜지스터와 상기 n 개의 제3 트랜지스터들은 P-타입의
폴리실리콘 트랜지스터들을 포함하고,
상기 n 개의 제3 트랜지스터들은 상기 제1 트랜지스터의 상기 게이트와
초기화 전압을 수신하는 전압라인 사이에 연결된 표시장치.
- [청구항 16] 제1 항에 있어서,
상기 커패시터는 상기 제1 트랜지스터의 상기 게이트와 전원 전압을
수신하는 전압라인 사이에 전기적으로 연결된 표시장치.
- [청구항 17] 제1 트랜지스터;
상기 제1 트랜지스터에 전기적으로 연결되고, 데이터 신호를 출력하는
제2 트랜지스터;
상기 제1 트랜지스터의 게이트에 전기적으로 연결되고, 서로 직렬 연결된
 n (여기서 n 은 2 이상의 자연수)개의 제3 트랜지스터들;
상기 데이터 신호에 대응하는 전압을 충전하는 커패시터; 및
상기 제1 트랜지스터에 전기적으로 연결된 발광소자를 포함하고,
상기 n 개의 제3 트랜지스터들 각각은,
채널영역, 연장방향 내에서 상기 채널영역을 사이에 두고 배치된
소스영역 및 드레인영역을 포함하는 반도체영역; 및
상기 채널영역에 중첩하는 게이트를 포함하고,
상기 n 개의 제3 트랜지스터들 중 상기 제1 트랜지스터의 상기 게이트에
가장 멀리 배치된 제3 트랜지스터의 상기 소스영역 또는 상기 드레인영역
중 상기 제1 트랜지스터의 상기 게이트에 더 멀리 배치된 영역은 제1 영역
및 상기 제1 영역과 상기 채널영역 사이의 제2 영역을 포함하고,
상기 제2 영역은 상기 제1 영역보다 도핑농도가 낮고,
상기 연장방향에 직교하는 기준방향 내에서 상기 제2 영역의 너비는 상기
제1 영역의 너비보다 작은 표시장치.
- [청구항 18] 제1 트랜지스터;
상기 제1 트랜지스터에 전기적으로 연결되고, 데이터 신호를 출력하는
제2 트랜지스터;
상기 제1 트랜지스터의 게이트에 전기적으로 연결된 제3 트랜지스터;

상기 제1 트랜지스터에 전기적으로 연결된 발광소자를 포함하고,
 상기 제3 트랜지스터는,
 채널영역, 연장방향 내에서 상기 채널영역을 사이에 두고 배치된
 드레인영역 및 소스영역을 포함하는 반도체영역; 및
 상기 채널영역에 중첩하는 게이트를 포함하고,
 상기 드레인영역과 상기 소스영역 중 적어도 하나 이상은 제1 영역 및
 상기 제1 영역과 상기 채널영역 사이의 제2 영역을 포함하고,
 상기 제2 영역은 상기 제1 영역보다 도핑농도가 낮고,
 상기 연장방향에 직교하는 기준방향 내에서 상기 제2 영역의 너비는 상기
 제1 영역의 너비보다 작은 표시장치.

[청구항 19] 제1 트랜지스터;
 상기 제1 트랜지스터에 전기적으로 연결되고, 데이터 신호를 출력하는
 제2 트랜지스터;
 상기 제1 트랜지스터의 게이트에 전기적으로 연결되고, 서로 직렬 연결된
 n (여기서 n 은 1 이상의 자연수)개의 제3 트랜지스터; 및
 상기 제1 트랜지스터에 전기적으로 연결된 발광소자를 포함하고,
 상기 제1, 제2, 및 제3 트랜지스터 각각은,
 채널영역, 상기 채널영역을 사이에 두고 배치된 소스영역 및
 드레인영역을 포함하는 반도체영역; 및
 상기 채널영역에 중첩하는 게이트를 포함하고,
 상기 드레인영역 및 상기 소스영역 각각은 제1 영역 및 상기 제1 영역과
 상기 채널영역 사이의 제2 영역을 포함하고, 상기 제2 영역은 상기 제1
 영역보다 도핑농도가 낮고,
 상기 제1 트랜지스터의 상기 소스영역 및 상기 제1 트랜지스터의 상기
 드레인영역 각각의 너비는 상기 제1 트랜지스터의 상기 채널영역의
 너비보다 큰 표시장치.

[청구항 20] 제19 항에 있어서,
 상기 제1 트랜지스터의 상기 드레인영역의 너비는 상기 제1
 트랜지스터의 상기 채널영역의 너비보다 5% 내지 20% 큰 표시장치.

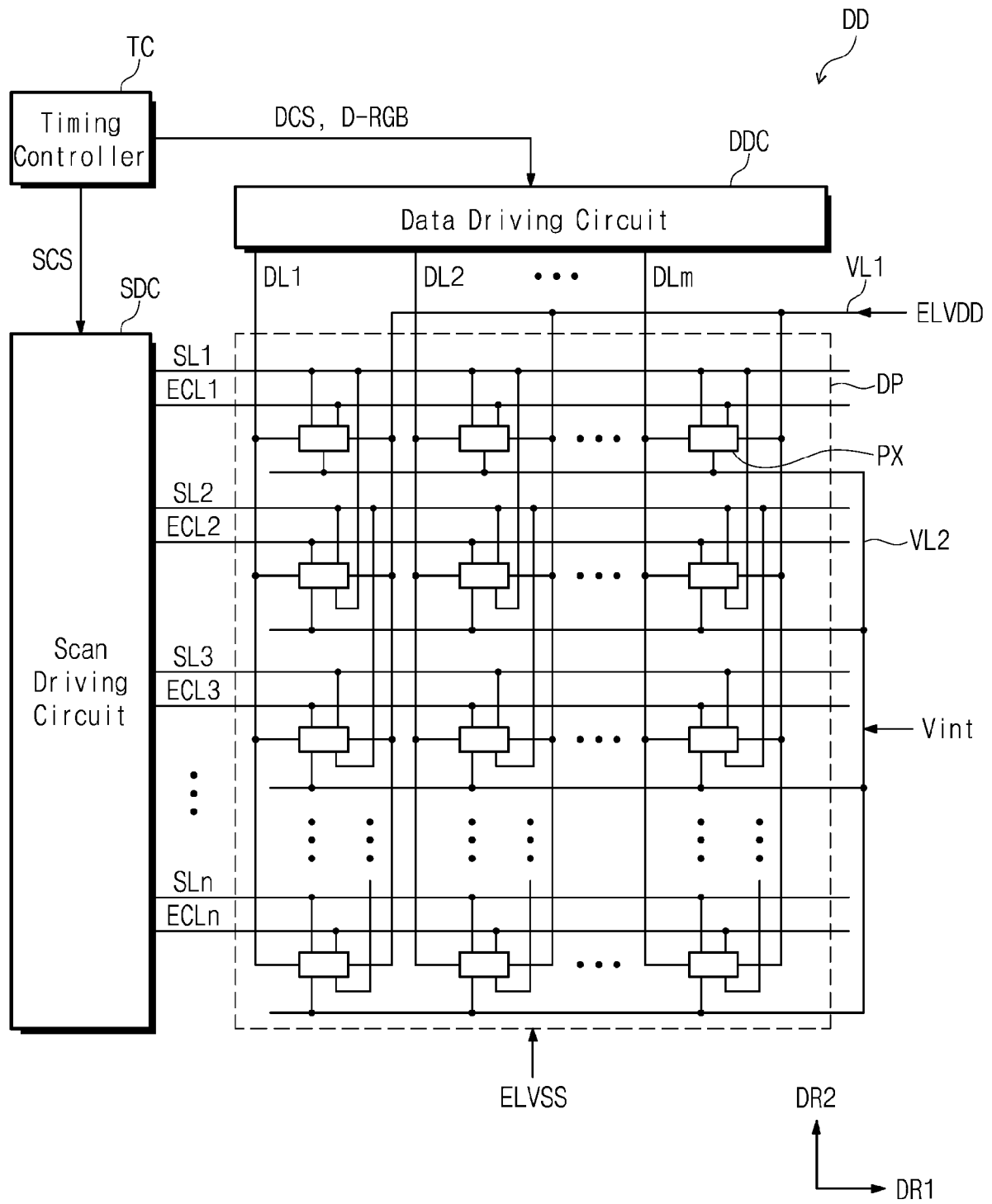
[청구항 21] 제19 항에 있어서,
 상기 제1 트랜지스터의 상기 소스영역의 상기 제2 영역의 너비와 상기
 제1 트랜지스터의 상기 드레인영역의 상기 제2 영역의 너비는
 실질적으로 동일한 표시장치.

[청구항 22] 제19 항에 있어서,
 상기 제1 트랜지스터의 상기 드레인영역의 너비는 상기 n 개의 제3
 트랜지스터의 상기 드레인영역의 너비보다 큰 표시장치.

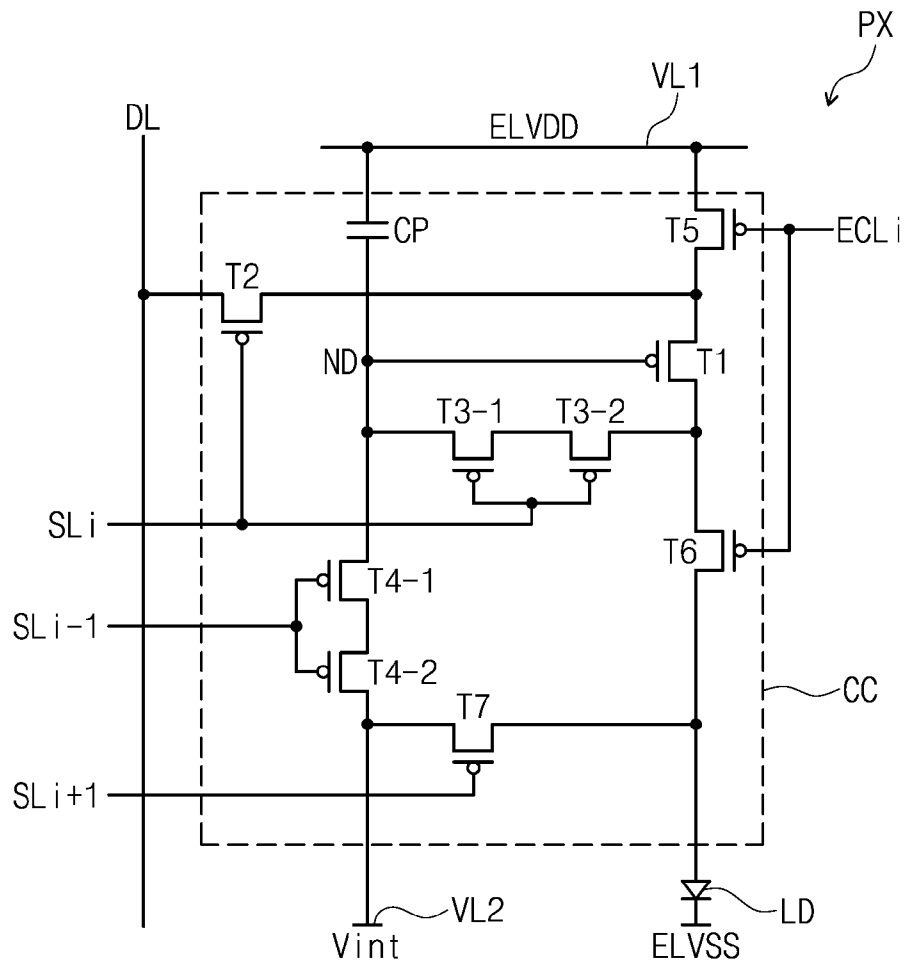
[청구항 23] 제19 항에 있어서,
 상기 n 개의 제3 트랜지스터의 상기 소스영역과 상기 n 개의 제3

트랜지스터의 상기 드레인영역 중 적어도 어느 하나의 너비는 상기 n개의 제3 트랜지스터의 상기 채널영역의 너비와 실질적으로 동일한 표시장치.

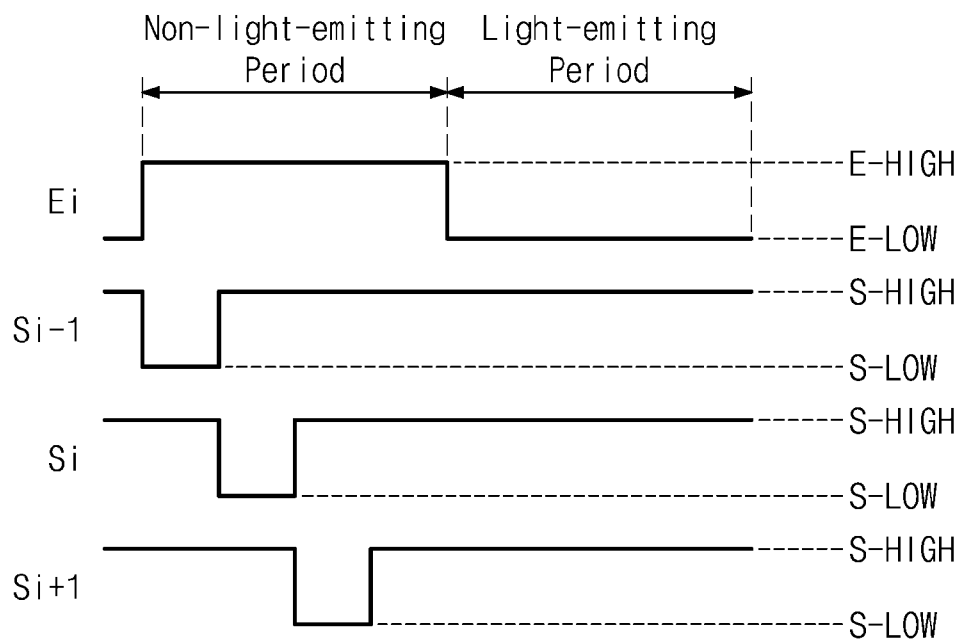
[도1]



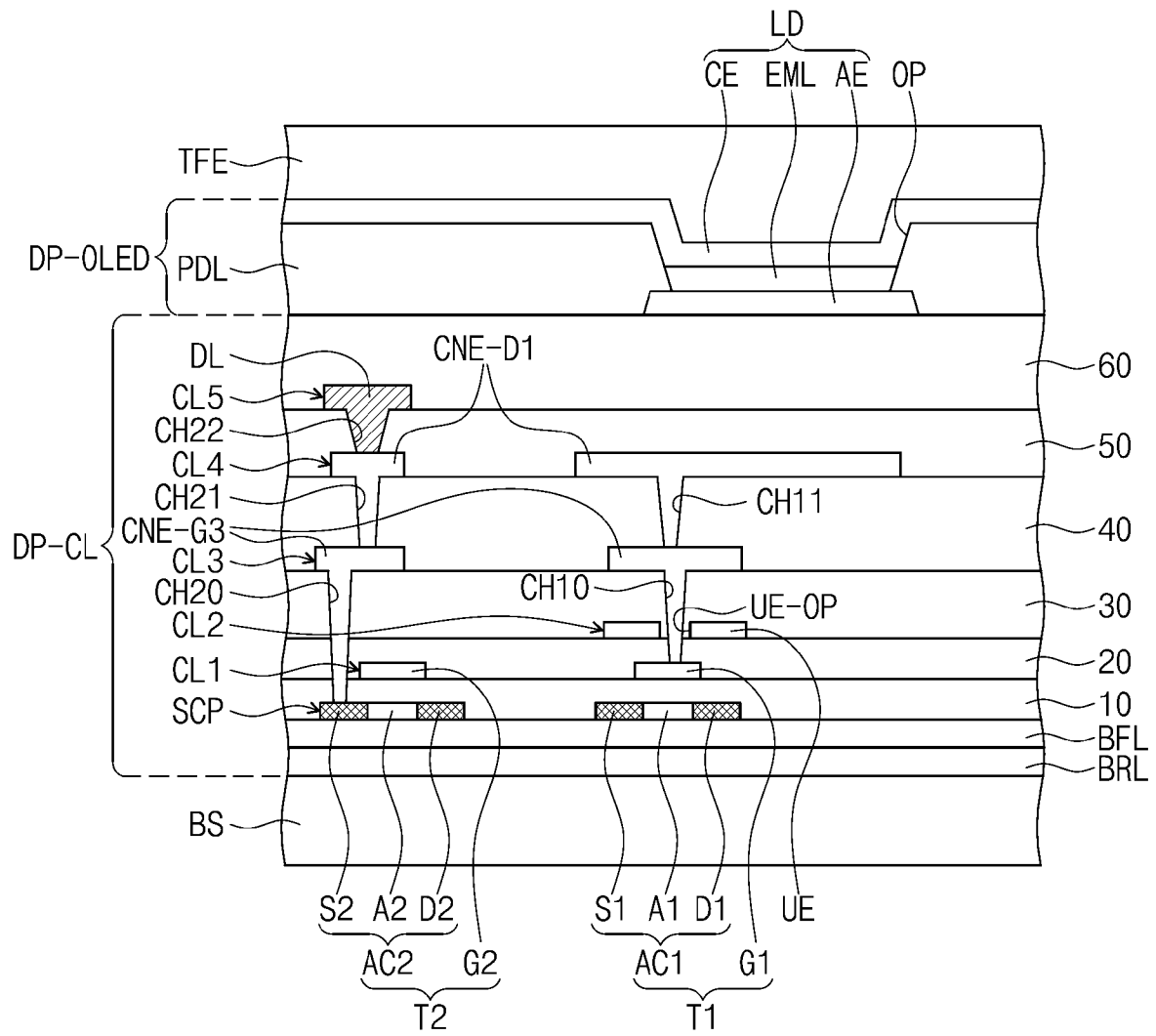
[도2]



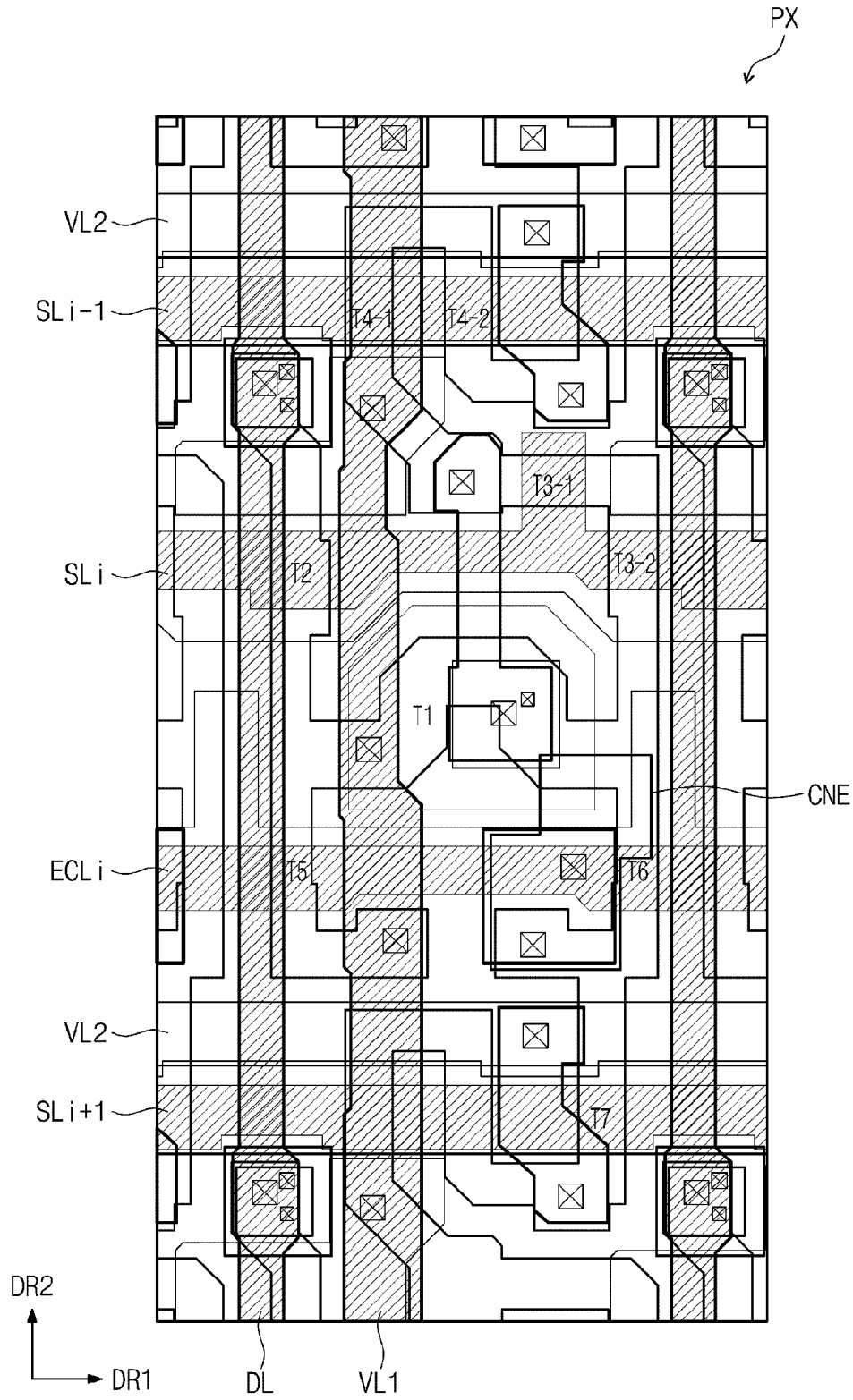
[도3]



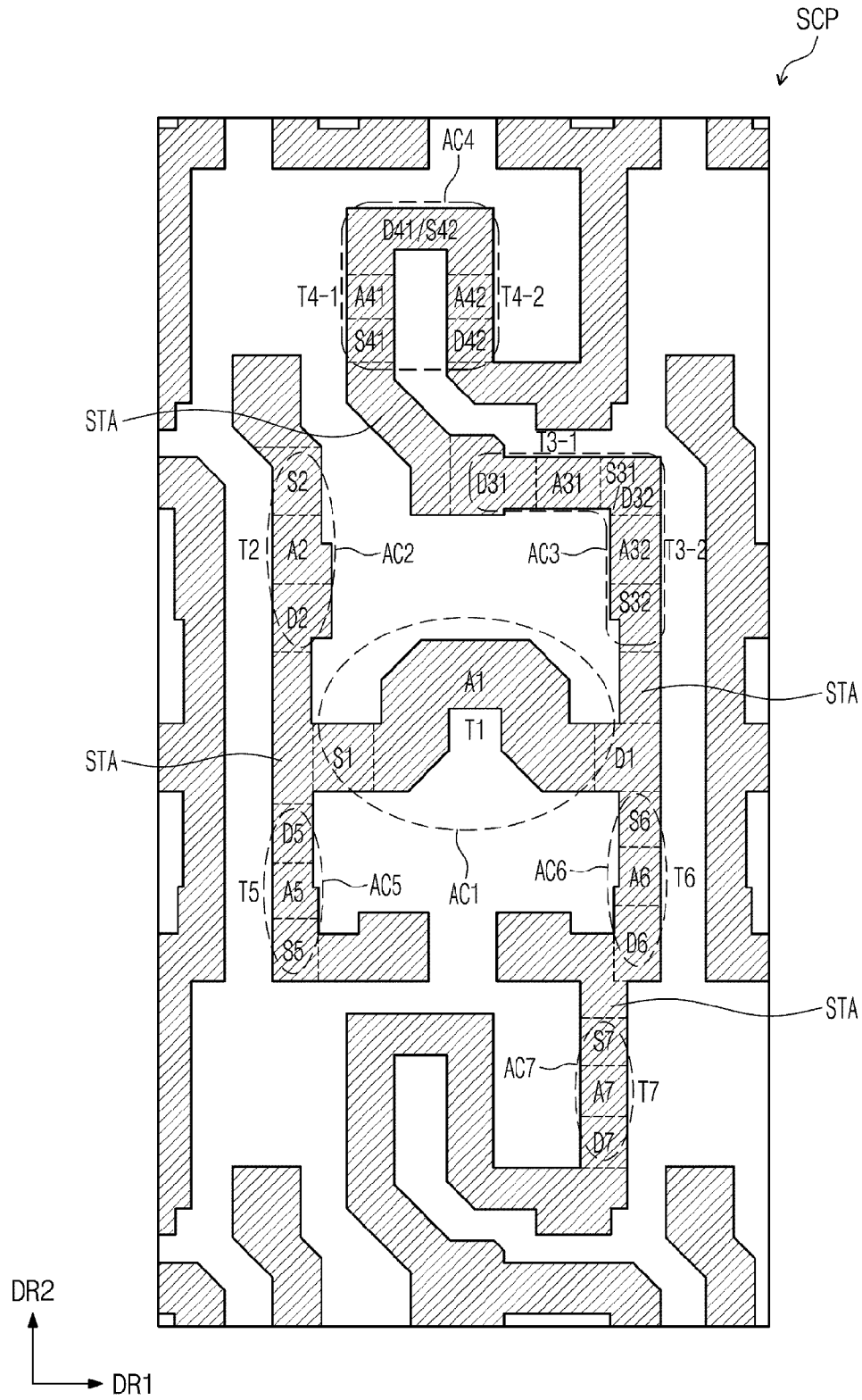
[도4]



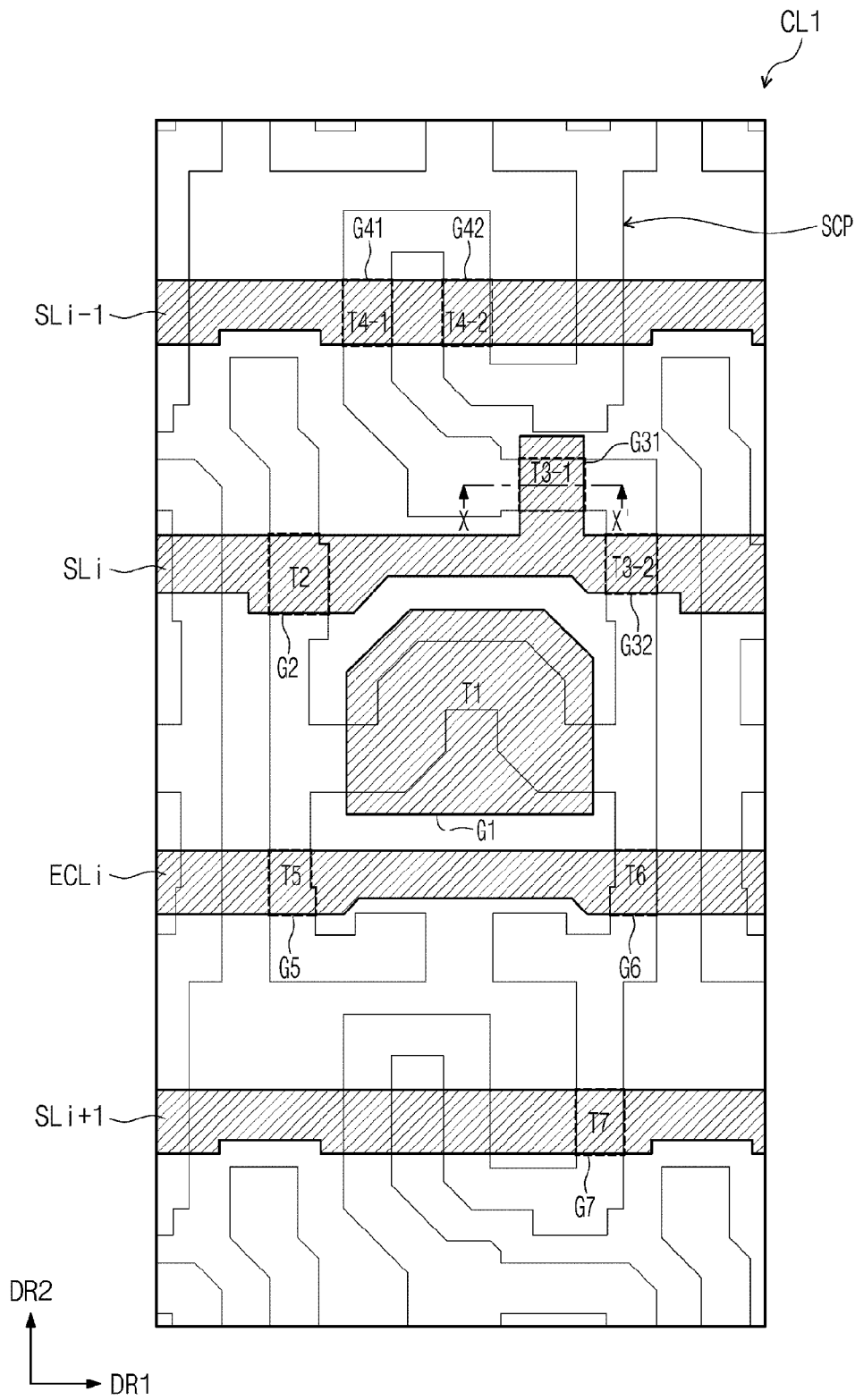
[도5a]



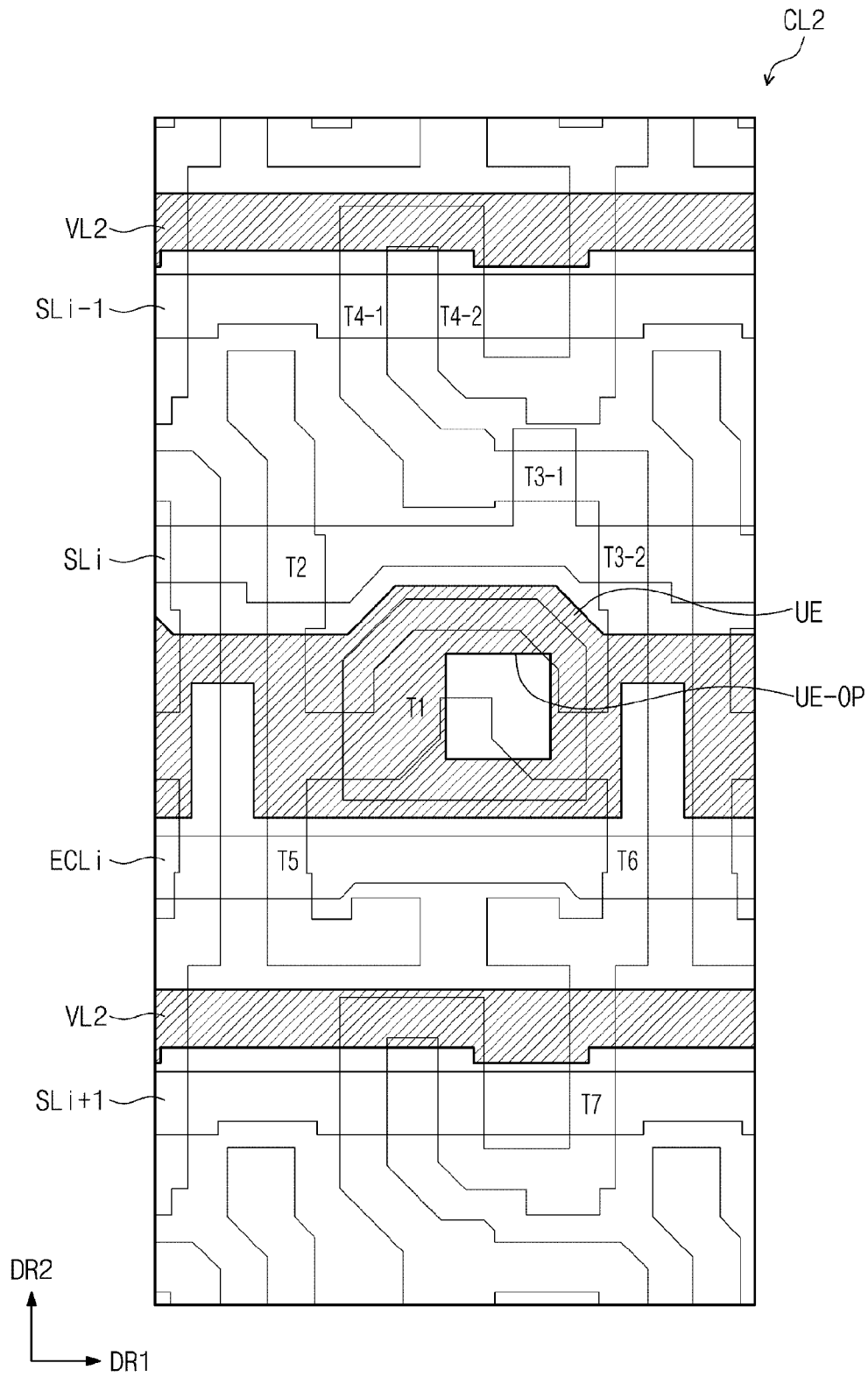
[도5b]



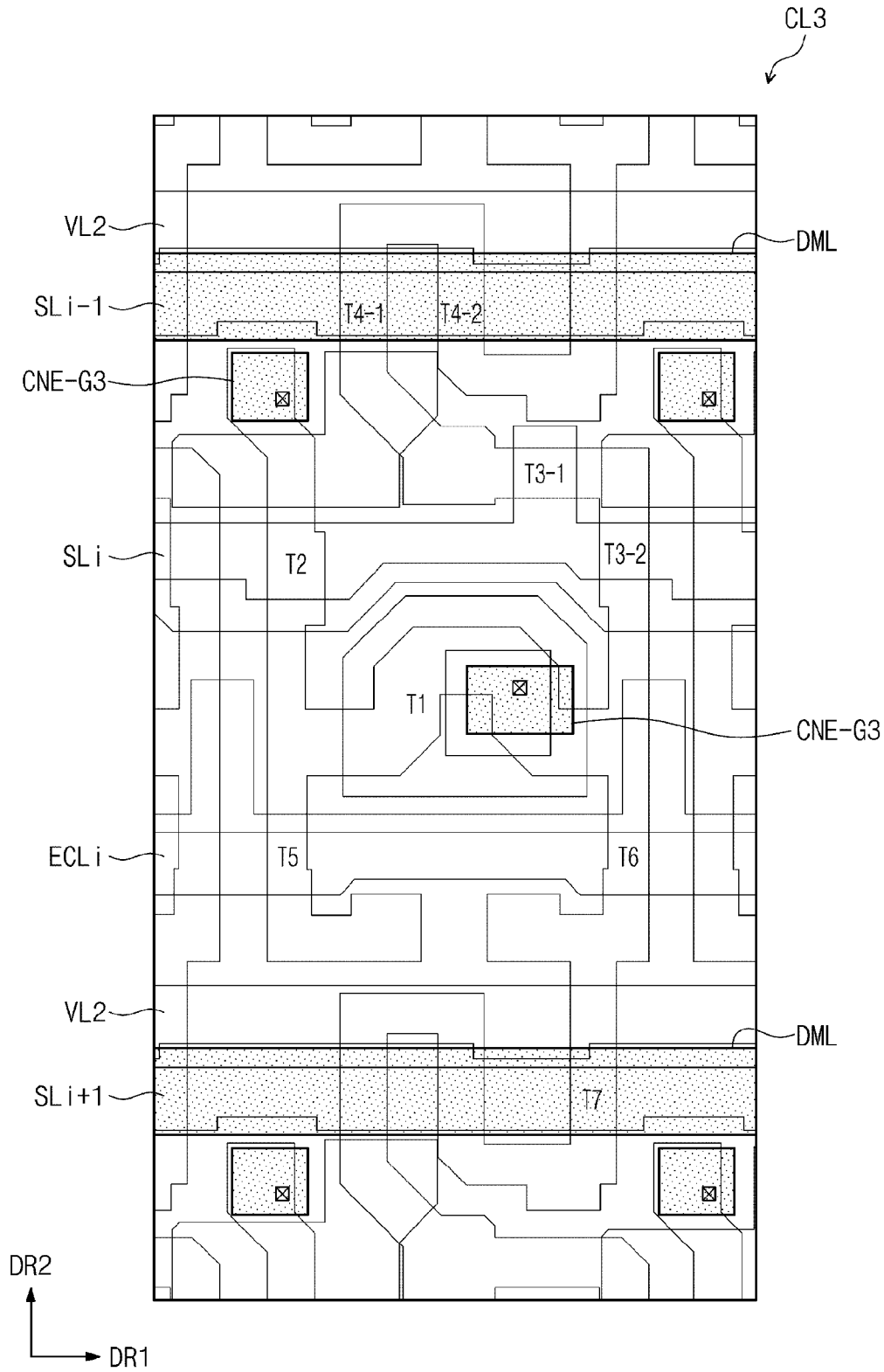
[도5c]



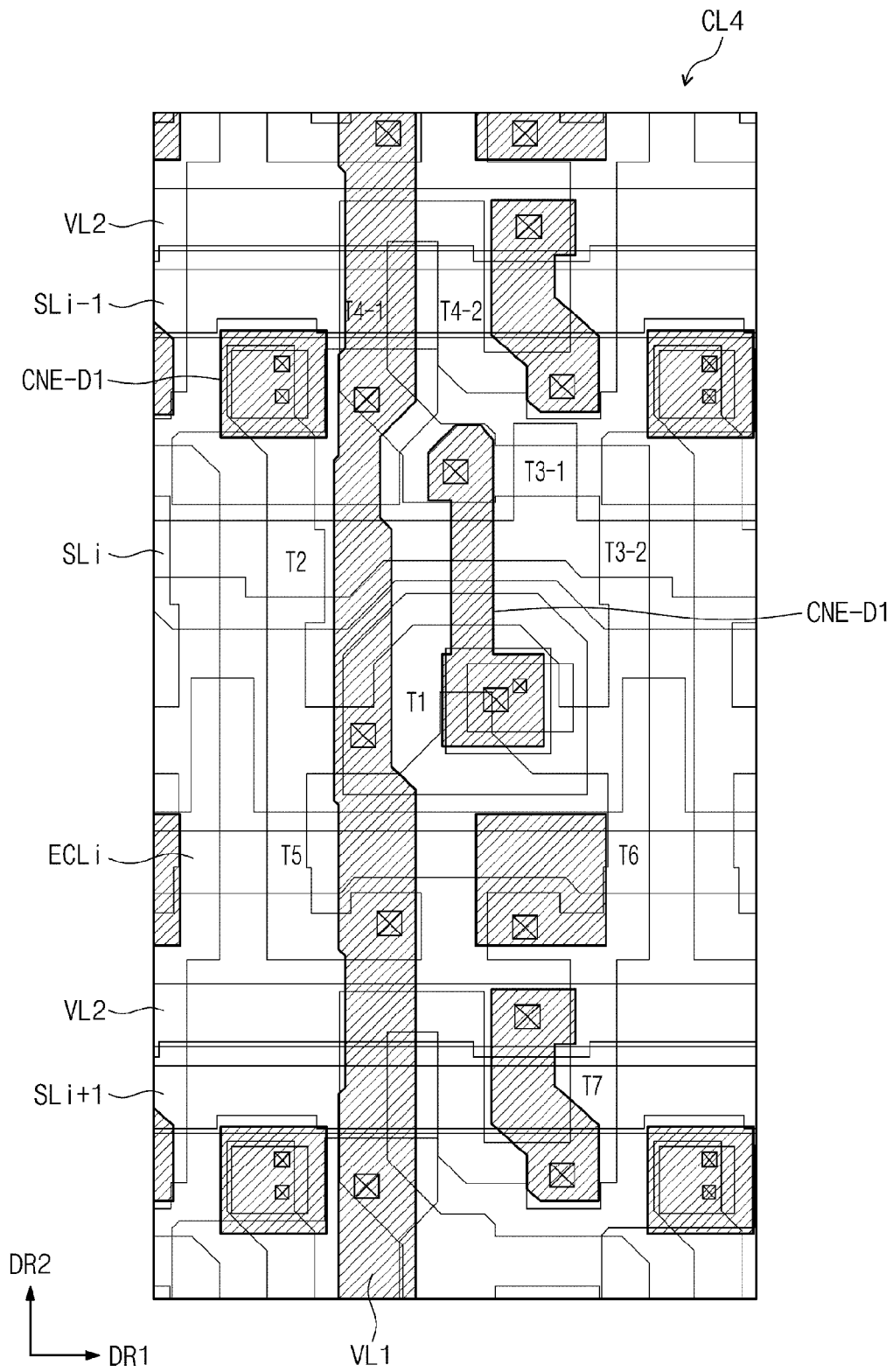
[도5d]



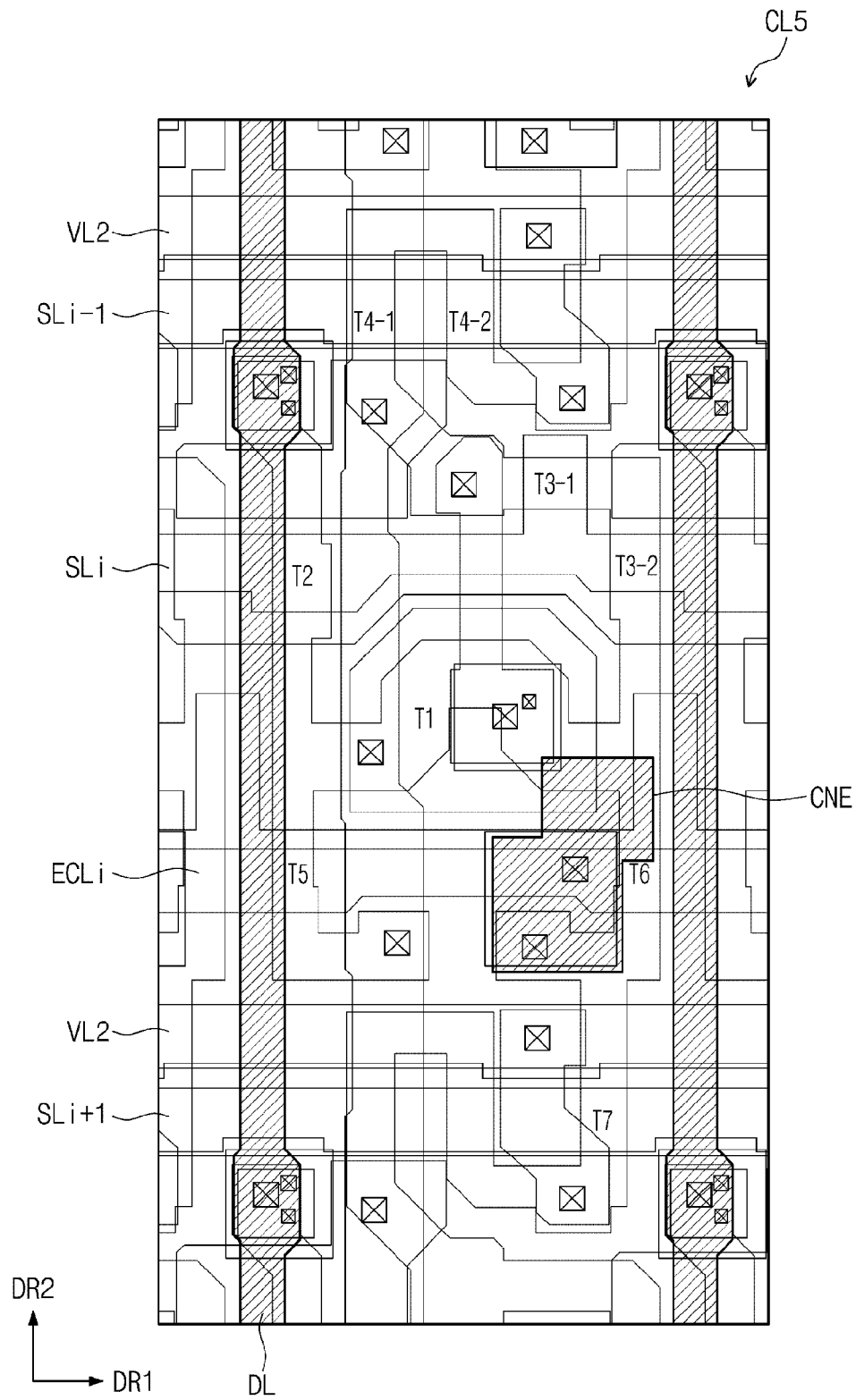
[도5e]



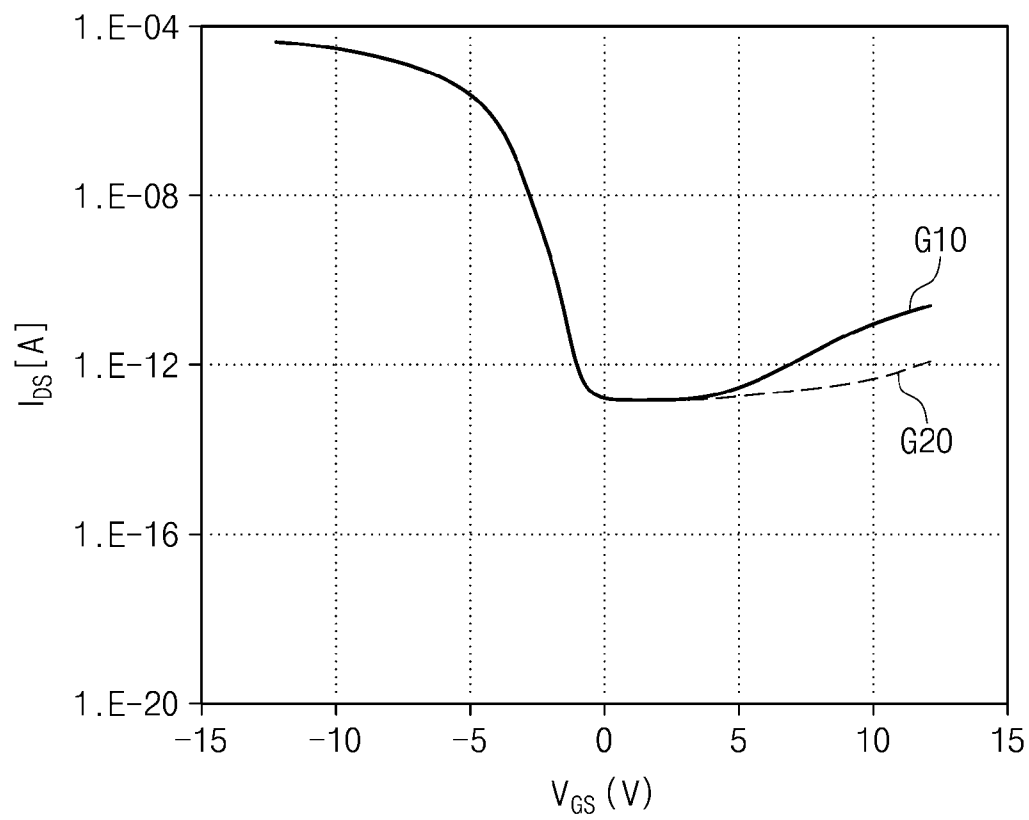
[도5f]



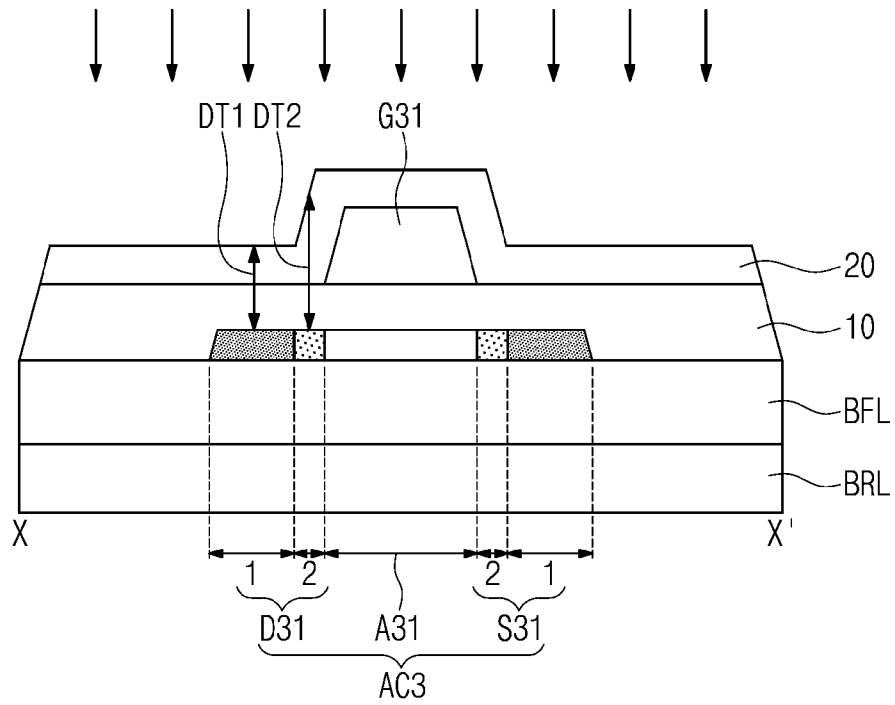
[도5g]



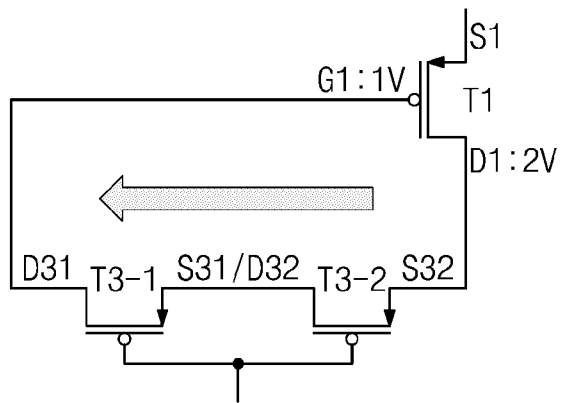
[도6d]



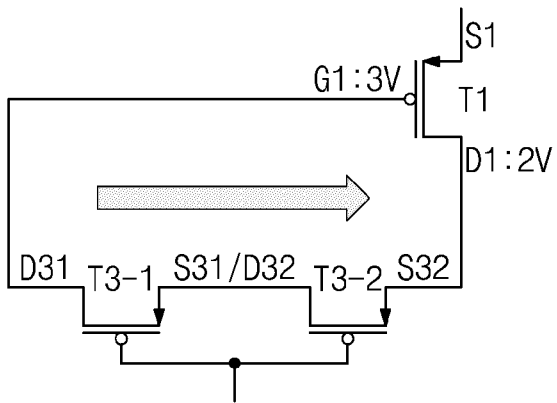
[도6e]



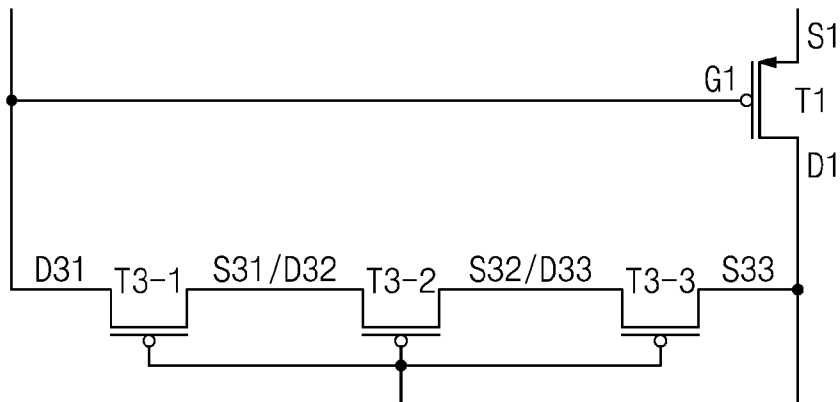
[도6f]



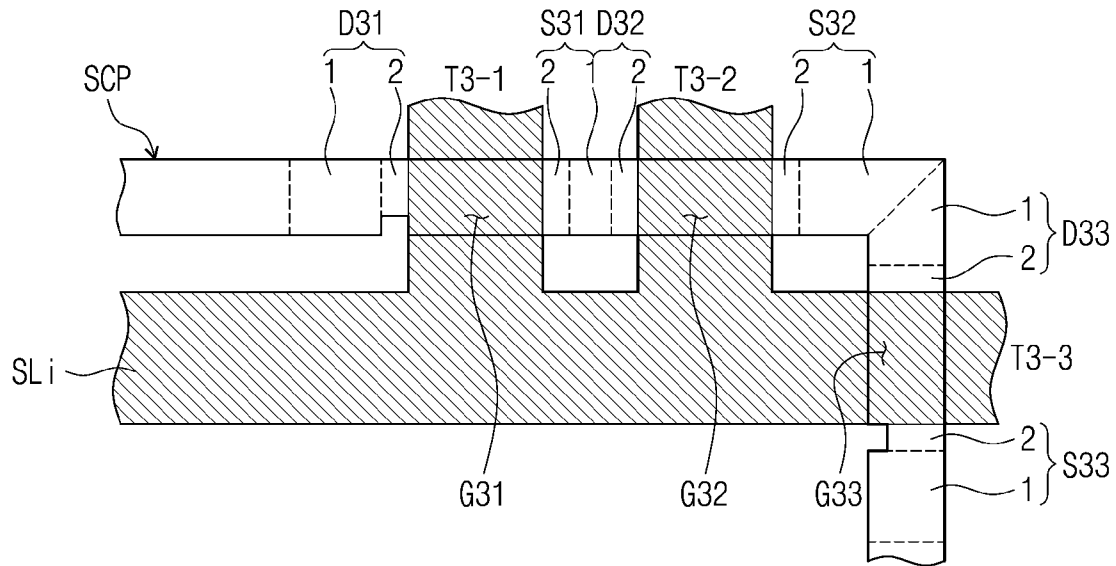
[도6g]



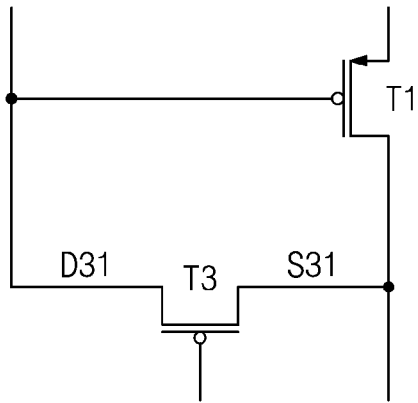
[도7a]



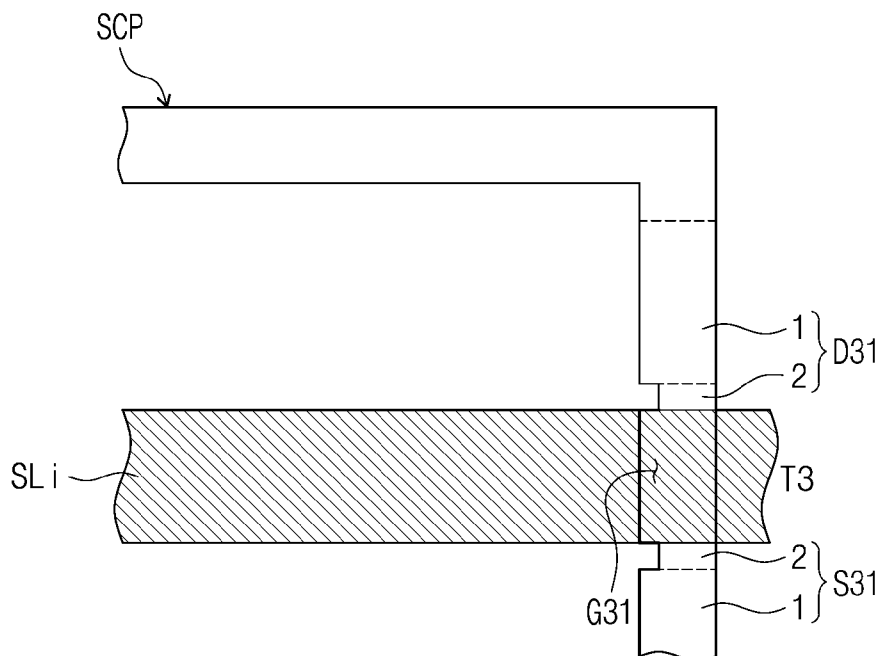
[도7b]



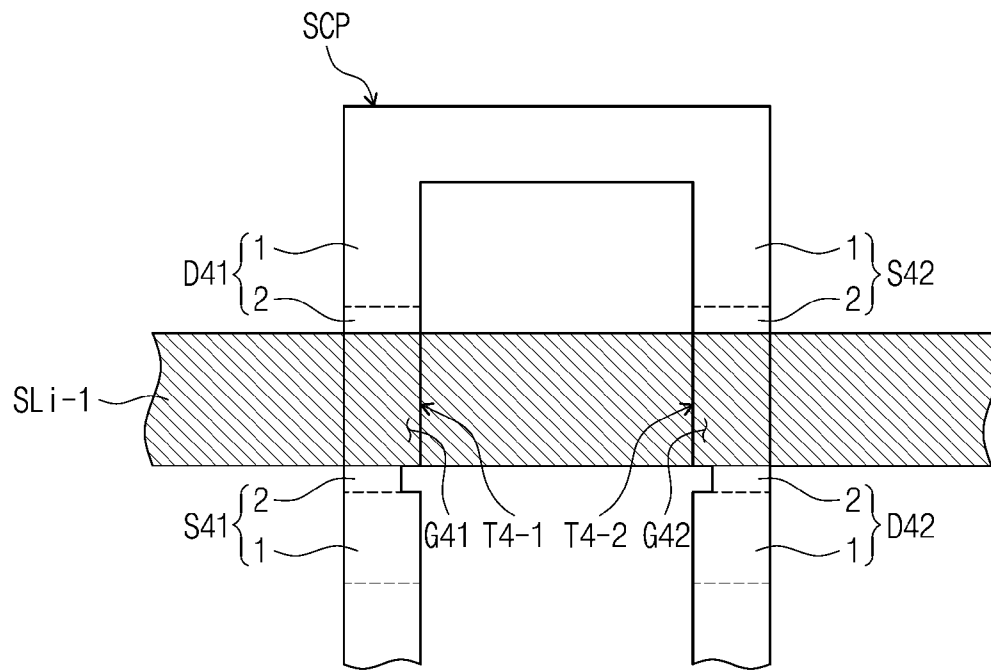
[도7c]



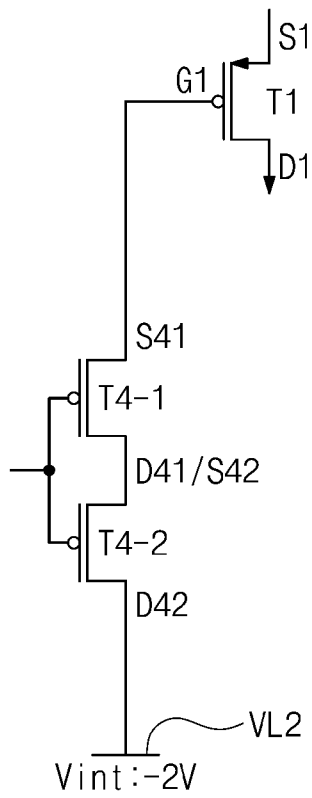
[도7d]



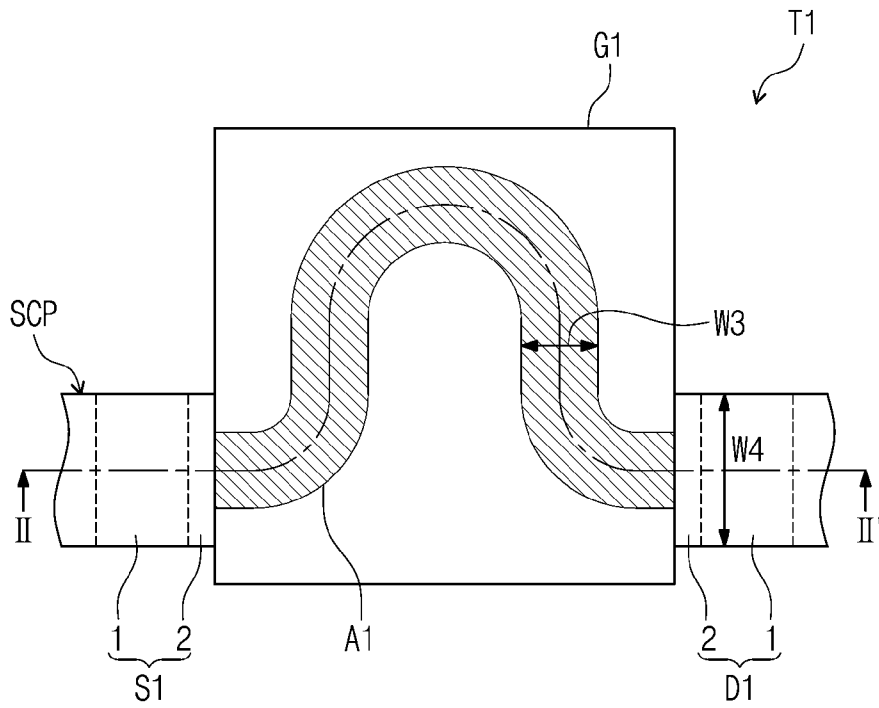
[도8a]



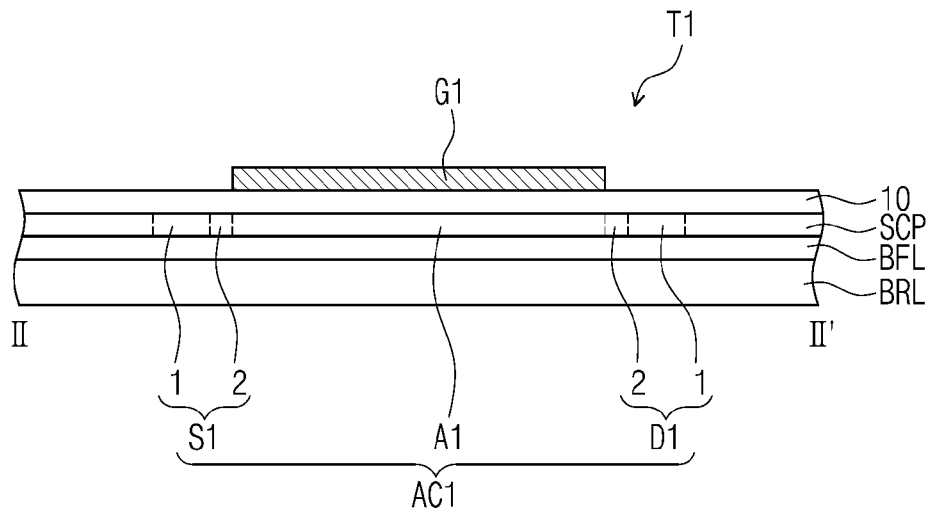
[도8b]



[도9a]



[도9b]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2022/009496

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/12**(2006.01)i; **H01L 27/32**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/12(2006.01); G02F 1/136(2006.01); G09G 3/3208(2016.01); H01L 21/336(2006.01); H01L 29/786(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 트랜지스터(transistor), 발광소자(light emitting element), 직렬(series), 도핑 농도(doping concentration), 너비(width)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2021-0022807 A (SAMSUNG DISPLAY CO., LTD.) 04 March 2021 (2021-03-04) See paragraphs [0055]-[0094], [0133] and [0184]-[0187]; and figure 2.	1-23
Y	JP 06-232152 A (MITSUBISHI ELECTRIC CORP.) 19 August 1994 (1994-08-19) See claim 1; and figure 1.	1-18
Y	KR 10-0992137 B1 (SAMSUNG ELECTRONICS CO., LTD.) 04 November 2010 (2010-11-04) See paragraphs [0038]-[0039] and [0047]-[0058]; and figures 1-2.	11-14,19-23
A	KR 10-0274546 B1 (SAMSUNG ELECTRONICS CO., LTD.) 15 December 2000 (2000-12-15) See paragraphs [0029]-[0036]; and figures 5-8.	1-23
A	KR 10-1999-0004943 A (HYUNDAI ELECTRONICS IND. CO., LTD.) 25 January 1999 (1999-01-25) See paragraphs [0014]-[0018]; and figures 2a-2d.	1-23



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 October 2022

Date of mailing of the international search report

07 October 2022

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2022/009496

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2021-0022807	A	04 March 2021	CN	112419972	A	26 February 2021
				US	2021-0057502	A1	25 February 2021
JP	06-232152	A	19 August 1994	None			
KR	10-0992137	B1	04 November 2010	KR	10-2005-0047885	A	23 May 2005
KR	10-0274546	B1	15 December 2000	KR	10-2000-0014518	A	15 March 2000
KR	10-1999-0004943	A	25 January 1999	None			

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/12(2006.01)i; H01L 27/32(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 27/12(2006.01); G02F 1/136(2006.01); G09G 3/3208(2016.01); H01L 21/336(2006.01); H01L 29/786(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 트랜지스터(transistor), 발광소자(light emitting element), 직렬(series), 도핑 농도(doping concentration), 너비(width)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2021-0022807 A (삼성디스플레이 주식회사) 2021.03.04 단락 [0055]-[0094], [0133], [0184]-[0187]; 및 도면 2	1-23
Y	JP 06-232152 A (MITSUBISHI ELECTRIC CORP.) 1994.08.19 청구항 1; 및 도면 1	1-18
Y	KR 10-0992137 B1 (삼성전자주식회사) 2010.11.04 단락 [0038]-[0039], [0047]-[0058]; 및 도면 1-2	11-14,19-23
A	KR 10-0274546 B1 (삼성전자 주식회사) 2000.12.15 단락 [0029]-[0036]; 및 도면 5-8	1-23
A	KR 10-1999-0004943 A (현대전자산업 주식회사) 1999.01.25 단락 [0014]-[0018]; 및 도면 2a-2d	1-23
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2022년10월07일(07.10.2022)		국제조사보고서 발송일 2022년10월07일(07.10.2022)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 박혜련 전화번호 +82-42-481-3463

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2021-0022807 A	2021/03/04	CN 112419972 A	2021/02/26
		US 2021-0057502 A1	2021/02/25
JP 06-232152 A	1994/08/19	없음	
KR 10-0992137 B1	2010/11/04	KR 10-2005-0047885 A	2005/05/23
KR 10-0274546 B1	2000/12/15	KR 10-2000-0014518 A	2000/03/15
KR 10-1999-0004943 A	1999/01/25	없음	