(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월11일
(11) 등록번호 10-0792772
(24) 등록일자 2008년01월02일

(51) Int. Cl.
H04L 12/58 (2006.01)
(21) 출원번호 10-2001-7012920
(22) 출원일자 2001년10월10일
심사청구일자 2005년04월11일
번역문제출일자 2001년10월10일
(65) 공개번호 10-2001-0111504
(43) 공개일자 2001년12월19일
(86) 국제출원번호 PCT/GB2000/001341
국제출원일자 2000년04월10일
(87) 국제공개번호 WO 2000/62486
국제공개일자 2000년10월19일
(30) 우선권주장
9908105.1 1999년04월10일 영국(GB)
(56) 선행기술조사문헌
US 5448561
WO 93/07569
EP 0790725
전체 청구항 수 : 총 32 항

(73) 특허권자
시커넥트 리미티드
영국, 레드헤드 케이티23 3비에스, 북햄, 매독스 레인, 리클덴
(72) 발명자
스트롱 피터
영국 롱호프 지엘 170알에프, 메이힐, 메이힐 러지
(74) 대리인
특허법인 씨엔에스 · 로고스

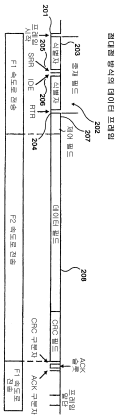
심사관 : 이정수

(54) 데이터 전송방법 및 장치

(57) 요 약

버스라인으로 상호연결된 복수의 스테이션 사이에서 데이터 메시지를 전송하기 위한 장치 및 방법이 개시된다. 상기 각각의 메시지는 프레임부와 데이터부를 포함하며, 상기 프레임부는 데이터메시지의 우선순위정보 및 콘텐츠를 나타내고, 상기 데이터부는 전송될 데이터를 나타낸다. 적어도 하나의 스테이션은 제1 데이터전송속도로 전송되는 프레임부와 제1 데이터 전송속도보다 늦지 않은 제2 전송속도로 전송되는 데이터부를 갖는 데이터 메시지를 전송한다. 상기 제1 및(또는) 제2 데이터 전송속도는 데이터 메시지의 전송을 위해 정해지는 신호품질에 따라서 조정가능하다.

대표도 - 도4



(81) 지정국

국내특허 : 아랍에미리트, 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그라나다, 그루지야, 가나, 감비아, 크로아티아, 헝가리, 인도네시아, 이스라엘, 인도, 아이슬랜드, 일본, 케냐, 키르키즈스탐, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 슬로베니아, 슬로바키아, 시에라리온, 타지키스탄, 투르크맨, 터어키, 트리니아드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 세르비아 앤 몬테네그로, 남아프리카, 짐바브웨

AP ARIPO특허 : 가나, 감비아, 케냐, 레소토, 말라위, 수단, 시에라리온, 스와질랜드, 탄자니아, 우간다, 짐바브웨

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탐, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 기니 비사우, 말리, 모리타니, 니제르, 세네갈, 차드, 토고

특허청구의 범위

청구항 1

버스라인으로 상호연결된 복수개의 스테이션 사이에서 데이터 메시지를 전송하기 위한 방법에 있어서,

상기 각각의 메시지는 그 데이터 메시지의 우선순위정보와 컨텐츠를 나타내는 프레임부와 전송될 데이터를 나타내는 데이터부를 포함하며,

상기 방법은,

상기 데이터 메시지의 프레임부가 제1 데이터 전송속도로 전송되고, 상기 데이터 메시지의 데이터부는 상기 제1 데이터 전송속도보다 느리지 않은 제2 데이터 전송속도로 전송되도록, 적어도 하나의 상기 스테이션이 데이터 메시지를 버스라인 상으로 전송하는 단계; 및

상기 버스라인 상에서 적어도 하나의 추가적인 스테이션으로 전송한 후에 정해지는 신호품질에 따라서, 제1 데이터 전송속도 및(또는) 제2 데이터 전송속도를 조정하는 단계를 포함하는 데이터 메시지 전송방법.

청구항 2

제1항에 있어서,

상기 적어도 하나의 추가적인 스테이션이 상기 버스라인 상으로 상기 데이터 메시지의 수신을 나타내는 확인신호를 전송하는 단계를 더 포함하는 데이터 메시지 전송방법.

청구항 3

제2항에 있어서,

상기 적어도 하나의 스테이션이 상기 확인신호의 전송에 응답하여 추가적인 상기 데이터 메시지를 전송하는 단계를 더 포함하는 데이터 메시지 전송방법.

청구항 4

제2항 또는 제3항에 있어서,

상기 확인신호가 수신되지 않으면, 상기 메시지를 재전송하는 단계를 더 포함하는 데이터 메시지 전송방법.

청구항 5

제4항에 있어서,

상기 메시지를 재전송하기 전에, 오류 메시지를 생성하는 단계를 더 포함하는 데이터 메시지 전송방법.

청구항 6

제5항에 있어서,

상기 오류메시지가 생성되는 빈도수에 따라서, 상기 제1 및(또는) 제2 데이터 전송속도를 조정하는 단계를 더 포함하는 데이터 메시지 전송방법.

청구항 7

제1항에 있어서,

오류를 포함하는 수신된 데이터 메시지의 빈도수를 판단하는 단계와, 상기 오류를 포함하는 수신된 데이터 메시지의 빈도수에 따라서, 상기 제1 및(또는) 제2 데이터 전송속도를 조정하는 단계를 더 포함하는 데이터 메시지 전송방법.

청구항 8

제7항에 있어서,

데이터 메시지에 대한 수신 신호강도를 판단하는 단계와, 상기 오류를 포함하는 수신된 데이터 메시지의 빈도수

와 함께 상기 수신 신호강도 판단에 따라서, 상기 제1 및(또는) 제2 데이터 전송 속도를 조정하는 단계를 더 포함하는 데이터 메시지 전송방법.

청구항 9

제1항에 있어서,

상기 프레임부는 상기 메시지의 목적지인 스테이션을 나타내는 정보를 갖는 데이터 메시지 전송방법.

청구항 10

제1항에 있어서,

상기 프레임부는 전송 노드 식별에 관련된 정보를 갖는 데이터 메시지 전송방법.

청구항 11

제1항에 있어서,

상기 프레임부는 해당 데이터부의 크기를 나타내는 정보를 갖는 데이터 메시지 전송방법.

청구항 12

제1항에 있어서,

상기 제2 데이터 전송속도는 상기 제1 데이터 전송속도의 정수배인 데이터 메시지 전송방법.

청구항 13

버스라인으로 상호연결된 복수개의 스테이션 사이에서 데이터 메시지를 전송하는 장치에 있어서,

상기 각각의 메시지는 그 데이터 메시지의 우선순위정보와 컨텐츠를 나타내는 프레임부와 전송될 데이터를 나타내는 데이터부를 포함하며,

상기 장치는,

상기 데이터 메시지의 프레임부가 제1 데이터 전송속도로 전송되고, 상기 데이터 메시지의 데이터부는 상기 제1 데이터 전송속도보다 느리지 않은 제2 데이터 전송속도로 전송되도록, 버스라인 상으로 데이터 메시지를 전송하기 위한 수단; 및

상기 버스라인 상에서 적어도 하나의 추가적인 스테이션으로 전송한 후에 정해지는 신호품질에 따라서, 제1 데이터 전송속도 및(또는) 제2 데이터 전송속도를 조정하는 수단을 포함하는 데이터 메시지 전송장치.

청구항 14

제13항에 있어서,

데이터 메시지 수신에 응답하여, 상기 버스라인 상에 확인신호를 전송하는 수단을 더 포함하는 데이터 메시지 전송장치.

청구항 15

제13항 또는 제14항에 있어서,

확인신호의 전송에 응답하여, 추가적인 상기 데이터 메시지를 전송하는 수단을 더 포함하는 데이터 메시지 전송장치.

청구항 16

제13항 또는 제14항에 있어서,

상기 확인신호가 수신되지 않으면, 상기 메시지를 재전송하는 수단을 더 포함하는 데이터 메시지 전송장치.

청구항 17

제16항에 있어서,

상기 메시지를 재전송하기 전에, 오류 메시지를 생성하는 수단을 더 포함하는 데이터 메시지 전송장치.

청구항 18

제17항에 있어서,

상기 오류 메시지가 생성되는 빈도수에 따라서, 상기 제1 및(또는) 제2 데이터 전송속도를 조정하는 수단를 더 포함하는 데이터 메시지 전송장치.

청구항 19

제13항에 있어서,

데이터 메시지가 오류를 포함하는지를 판단하는 수단을 더 포함하는 데이터 메시지 전송장치.

청구항 20

제19항에 있어서,

상기 데이터 메시지가 오류를 포함하는지를 판단하는 수단은 중복 순환 검사부(Cyclic Redundancy Checker)를 포함하는 데이터 메시지 전송장치.

청구항 21

제20항에 있어서,

오류를 포함하는 수신된 메시지의 레벨을 표시하는 값을 홀딩하기 위한 오류 레지스터와,

오류를 포함하지 않은 것으로 판단된 수신 메시지에 대해서는 상기 값을 감분하고, 오류를 포함한 것으로 판단된 수신 메시지에 대해서는 상기 값을 증분하는 수단을 더 포함하는 데이터 메시지 전송장치.

청구항 22

제13항에 있어서,

수신된 데이터 메시지의 신호강도를 측정하는 수신신호 강도측정부를 더 포함하는 데이터 메시지 전송장치.

청구항 23

제22항에 있어서,

수신 신호강도를 나타내는 값을 홀딩하기 위한 신호강도 레지스터를 더 포함하는 데이터 메시지 전송장치.

청구항 24

제21항에 있어서,

상기 오류 레지스터의 컨텐츠에 따라서, 상기 제1 및(또는) 제2 데이터 전송속도를 조정하기 위한 프로세싱 수단을 더 포함하는 데이터 메시지 전송장치.

청구항 25

제23항에 있어서,

상기 신호강도 레지스터의 컨텐츠에 따라서, 상기 제1 및(또는) 제2 데이터 전송속도를 조정하기 위한 프로세싱 수단을 더 포함하는 데이터 메시지 전송장치.

청구항 26

제24항에 있어서,

수신된 데이터 메시지의 신호강도를 측정하는 수신신호 강도측정부; 및

수신 신호강도를 나타내는 값을 홀딩하기 위한 신호강도 레지스터;

를 더 포함하고,

상기 프로세싱 수단은 상기 오류 레지스터 및 상기 신호강도 레지스터의 컨텐츠에 따라서, 상기 제1 및(또는) 제2 데이터 전송속도를 조정하기 위해 구성된 데이터 메시지 전송장치.

청구항 27

제13항에 있어서,

상기 프레임부는 상기 메시지의 목적지인 스테이션을 나타내는 정보를 포함하는 데이터 메시지 전송장치.

청구항 28

제13항에 있어서,

상기 프레임부는 전송 노드 식별에 관련된 정보를 갖는 데이터 메시지 전송장치.

청구항 29

제13항에 있어서,

상기 프레임부는 해당 데이터부의 크기를 나타내는 정보를 갖는 데이터 메시지 전송장치.

청구항 30

제13항에 있어서,

상기 제2 데이터 전송속도는 상기 제1 데이터 전송속도의 정수배인 데이터 메시지 전송장치.

청구항 31

삭제

청구항 32

버스라인으로 상호연결된 복수 개의 스테이션 사이에서 데이터 메시지를 전송하기 위한, 매체에 실제적으로 저장된 컴퓨터가 판독가능한 코드 수단을 갖는 컴퓨터에 사용가능한 저장 매체를 포함하는 제조물에 있어서,

상기 각각의 메시지는 그 데이터 메시지의 우선순위정보와 컨텐츠를 나타내는 프레임부와 전송될 데이터를 나타내는 데이터부를 포함하며,

상기 컴퓨터 판독가능 코드 수단은:

상기 데이터 메시지의 프레임부가 제1 데이터 전송속도로 전송되고, 상기 데이터 메시지의 데이터부는 상기 제1 데이터 전송속도보다 느리지 않은 제2 데이터 전송속도로 전송되도록, 적어도 하나의 상기 스테이션이 데이터 메시지를 버스라인 상으로 전송하는 컴퓨터 판독가능한 프로그램 코드 수단;

상기 버스라인의 신호품질에 관련된 정보를 수신하기 위한 컴퓨터 판독가능한 프로그램 코드 수단;

상기 버스라인 상에서 전송하기로 판단된 신호품질에 따라서 상기 제 1 전송속도 및 상기 제 2 전송 속도를 조정할 것인지를 컴퓨터가 판단하도록 하는 컴퓨터 판독가능한 프로그램 코드 수단; 및

상기 판단에 따라서, 제1 데이터 전송속도 또는 제2 데이터 전송속도 중에서 적어도 하나를 조정하는 컴퓨터 판독가능한 프로그램 코드 수단을 포함하는 것을 특징으로하는

컴퓨터에 사용가능한 저장 매체를 포함하는 제조물.

청구항 33

제32항에 있어서,

상기 컴퓨터 프로그램 기록매체는 자기저장매체, 광기록매체, 또는 고체 저장 매체로 이루어진 것을 특징으로 하는 컴퓨터에 사용가능한 저장 매체를 포함하는 제조물.

명 세 서

기 술 분 야

<1> 본 발명은, 버스라인으로 상호 연결된 복수개의 스테이션을 포함하는 데이터 네트워크에서 데이터 메시지를 전송하기 위한 방법 및 장치에 관한 것으로, 보다 상세하게는, 전력라인으로 상호연결된 컴퓨터 간에 데이터를 전송하기 위한 방법 및 장치에 관한 것이다.

배 경 기 술

<2> 미국 특허 등록 제5,001,642호와 미국 특허 등록 제 5,524,213호에는 자동차용 데이터 처리 구조에서 적어도 2개의 컴퓨터와 데이터 메시지 전송을 위해 상기 컴퓨터를 연결하는 버스라인을 포함하는 데이터 처리 구조 운영 방법이 개시되어 있다. 상기 미국 특허에 개시된 방법은 CAN(Controller Area Network)으로 알려진 프로토콜에 따라 작동한다. 상기 프로토콜의 상세한 설명은 ISO(국제 표준화 기구; Internation Standards Organization)의 규격 제 11898호에 기재되어 있다.

<3> 도1은 공지된 형태의 데이터 메시지를 도시한다. 상기 데이터 메시지는 메시지가 시작되었음을 데이터 네트워크에 지시하는 프레임의 시작부(1)와, 둘이상의 네트워크 노드가 데이터 버스를 얻기 위해 충돌할 때에 상기 메시지의 우선순위를 결정하는 중재 필드(arbitration field: 2)를 포함한다. 제1 형식에서는, 상기 중재 필드는 11비트의 식별자(3)와 4비트의 원격 전송요구 비트(RSR: 4)를 가지며, 데이터 프레임에 대해서는 도미넌트(dominant)이고 원격 프레임에 대해서는 리세시브(recessive)이다(이 중요성에 대해서는 아래에서 설명하기로 한다). 이와 달리, 제2 형식에서는, 식별자는 2비트의 치환 원격 요청(Substitute Remote Request: SRR)와 식별자 확장(IDE)을 포함하는 29비트의 식별자일 수 있다. 상기 두 형식의 메시지 모두를 전송하는 네트워크 상에서 두 메시지가 동일한 11비트의 식별자를 갖는 경우에, 상기 SSR 비트는 상기 설명된 형식에 우선순위를 부여한다. 상기 IDE 비트(6)는 29 비트 식별자와 11비트 식별자 간을 구분한다.

<4> 또한, 데이터 메시지는 상기 설명된 제1 형식에서 1 예약비트(reserved bit: r0)와 합해 둘다 도미넌트로 설정된 식별자 확장비트와, 메시지의 데이터 필드(8)의 바이트 수를 나타내는 4비트 데이터 길이 코드(DLC)를 갖는 제어필드(7)를 포함한다. 또한, 제2 형식에서는, 상기 제어 필드(7)는 도미넌트로 설정된 2 예약비트(r1 및 r0)와, 데이터 필드(8)의 바이트 수를 나타내는 4비트 데이터 길이코드를 포함한다. 상기 데이터 필드(8)은 0 내지 8 바이트의 데이터를 갖는다.

<5> 데이터 필드(8)에 이어, CRC(Cyclic Redundancy Check: 순환중복검사) 필드(9)는 메시지의 중요부분에 대해 연산된 15비트의 체크섬(checksum)을 가지며, 오류검출에 사용된다. CRC 필드(9) 다음으로, 확인슬롯(acknowledgement slot: 10) 이 있다. 데이터 메시지를 정확하게 수신할 수 있었던, 임의의 제어자는 상기 확인비트 타임 동안에 확인비트를 보내고, 상기 메시지를 전송한 장치는 확인비트의 존재에 대해 검사한다. 만약 확인비트가 탐지되면, 다음 데이터 프레임을 전송한다. 그러나, 탐지되지 않으면, 상기 장치는 해당 데이터 프레임을 재전송한다. 재전송에 앞서, 상기 노드는 오류 프레임을 전송하고 나서, 재전송 전에 상기 프레임 비트 속도 주기의 8 배 동안 대기한다.

<6> 도2는 도1에 도시된 CAN 데이터 프레임과 함께 사용하는 원격 프레임을 도시한다. 도2는 도1의 프레임과 공통된 부분을 가지며, 100이 더해진 참조부호로 지시된다. 상기 원격 프레임은 데이터 프레임과 유사하다. 즉, 프레임 시작(101), 식별자(103)을 갖는 중재 필드(102), 제어필드(107), CRC 필드(109) 및 확인슬롯(110)으로 이루어진다. 그러나, 원격 프레임은 데이터 필드가 없으며, 중재 필드의 RTR 비트는 원격프레임으로서 해당 프레임을 명시적으로 표시하기 위한 것으로 리세시브이다.

<7> 원격 프레임의 목적은 해당 데이터 프레임의 전송을 유도하는 것이다. 예를 들면, 노드A가 234로 설정된 중재 필드(102)와 함께 원격 프레임을 전송하다면, 정확하게 초기화된 경우에 노드B는 234로 설정된 중재 필드(2)를 갖는 데이터 프레임으로 응답할 것이다.

<8> 도3은 도1 및 도2의 프레임이 전송되는 네트워크에서 사용되는 오류 프레임을 도시한다. 상기 오류 프레임은 노드가 장애를 탐지할 때에 전송되고, 다른 모든 노드에서 장애를 탐지하게 하여 오류 프레임을 보내도록 한다. 이어, 상기 메시지 전송부는 자동적으로 그 메시지의 재전송을 시도하고, 오류 카운터의 영역은 오류 프레임을 반복적으로 전송함으로써 노드가 데이터 버스 상에서 트래픽을 파괴할 수 없도록 보장한다.

<9> 상기 오류 프레임은 동일한 값의 6비트로 구성된 오류 플래그(20)(이와 같이 당업자에게는 잘 알려진 바와 같이

비트-스터핑(bit-stuffing)방식을 파괴함)와, 8 리세시브 비트를 포함한 구분자(delimiter: 21)를 포함한다. 상기 오류 구분자는 버스 상의 다른 노드가 제1 오류 플래그를 탐지할 때에 자신의 오류 플래그를 전송할 수 있는 공간을 제공한다. 최종적으로, 오버로드(overload) 프레임(미도시)가 사용될 수 있으며, 상기 오류 프레임과 포맷이 유사하다. 상기 오버로드 프레임은 가장 바빠지는 노드에 의해 전송된다.

<10> 상기 설명된 종래 기술의 배열에서는, 신뢰할 정도로 네트워크 상에서 데이터를 전송할 수 있는 속도는 데이터가 이동해야하는 네트워크의 노드 사이의 거리에 의해 제한된다는 단점이 있다. 적은 양의 데이터를 갖는 메시지가 짧은 거리에서 전송될 때(예를 들어, 자동차에서 물리적 측정값을 나타내는 데이터가 그 자동차에 배치된 데이터 버스 근처로 전송될 때)에는 특별히 어려운 문제가 없다. 하지만, 대용량 데이터가 보다 먼 거리로 전송될 때(예를 들어, 상당한 거리로 떨어진 컴퓨터 사이에서 대용량 데이터가 전송될 때)에는, 앞서 설명된 종래기술의 배열은 실용화될 수 없을 정도로 데이터가 전송될 수 있는 속도가 문제된다. 특히, 종래 기술의 배열은 데이터 프레임 당 최대 8 바이트 만을 전송할 수 있을 뿐이며, 수 미터인 최대 거리에 의해 나뉘고 데이터 비트 속도를 곱한 데이터 프레임 당 데이터비트의 수 (페이로드(payload))는 1.6으로 제한된다.

발명의 상세한 설명

<11> 본 발명의 바람직한 실시형태는 종래 기술의 문제점을 극복하기 위한 것이다.

<12> 본 발명의 제1 태양에 따르면, 버스라인으로 상호연결된 복수개의 스테이션 사이에서 데이터 메시지를 전송하기 위한 방법에 있어서, 상기 각각의 메시지는 그 데이터 메시지의 우선순위정보와 컨텐츠를 나타내는 프레임부와 전송대상인 데이터를 나타내는 데이터부를 포함하며, 상기 방법은 상기 데이터 메시지의 프레임부가 제1 데이터 전송속도로 전송되고 상기 데이터 메시지의 데이터부는 상기 제1 데이터 전송속도보다 느리지 않은 제2 데이터 전송속도로 전송되도록, 적어도 하나의 상기 스테이션이 데이터 메시지를 버스라인 상으로 전송하는 단계; 및 상기 버스라인 상에서 적어도 하나의 추가적인 스테이션으로 전송한 후에 정해지는 신호품질에 따라서 제1 데이터 전송속도 및(또는) 제2 데이터 전송속도를 조정하는 단계를 포함하는 데이터 메시지 전송방법을 제공한다.

<13> 본 발명의 제2 태양에 따르면, 버스라인으로 상호연결된 복수개의 스테이션 사이에서 데이터 메시지를 전송하는 장치에 있어서, 상기 각각의 메시지는 그 데이터 메시지의 우선순위정보와 컨텐츠를 나타내는 프레임부와 전송대상인 데이터를 나타내는 데이터부를 포함하며, 상기 장치는 상기 데이터 메시지의 프레임부가 제1 데이터 전송속도로 전송되고 상기 데이터 메시지의 데이터부는 상기 제1 데이터 전송속도보다 느리지 않은 제2 데이터 전송속도로 전송되도록, 버스라인 상으로 데이터 메시지를 전송하기 위한 수단; 및 상기 버스라인 상에서 적어도 하나의 추가적인 스테이션으로 전송한 후에 정해지는 신호품질에 따라서 제1 데이터 전송속도 및(또는) 제2 데이터 전송속도를 조정하는 수단을 포함하는 데이터 메시지 전송장치를 제공한다.

<14> 본 발명은, 데이터 메시지의 데이터부를 그 메시지의 프레임부가 전송되는 제1 전송속도보다 빠른 제2 전송속도로 전송함으로써, 데이터가 신뢰성있게 전송가능한 거리를 크게 단축시키지 않고도(이는 전체 데이터 메시지가 제2 전송속도로 전송되는 경우에 해당됨), 데이터의 전송속도를 종래 기술과 비교하여 탁월하게 향상시킬 수 있다. 예를 들어, 공지된 배열에서의 페이로드가 1.6인데 반해, 본 발명을 구현한 배열에서의 페이로드는 102.4정도로 높다.

<15> 나아가, 조정가능한 데이터속도 전송은 네트워크에서 자동적으로 제1 및 제2 데이터 전송속도로 조정할 수 있는 잇점이 있다. 이는 전송속도 및 그 신뢰성 사이에서 가장 바람직한 균형을 제공한다.

<16> 바람직한 실시형태에서는, 적어도 하나의 추가적인 스테이션이 버스라인 상으로 상기 데이터 메시지의 수신을 지시하는 확인신호(acknowledgement signal)를 전송한다.

<17> 바람직하게는, 상기 적어도 하나의 스테이션은 상기 확인신호의 전송에 응답하여 상기 추가적인 데이터 메시지를 전송한다.

<18> 이는 선행 메시지가 정확하게 수신된 후에 추가적인 메시지를 네트워크 상으로 전송할 수 있는 장점을 제공한다.

<19> 보다 바람직하게는, 수신된 확인신호가 없으면, 상기 메시지를 재전송한다.

<20> 보다 더 바람직하게는, 상기 메시지의 재전송 전에, 오류메시지를 생성한다.

<21> 바람직한 실시형태에서는, 상기 오류 메시지 생성 빈도수에 응답하여, 상기 제1 및(또는) 제2 데이터 전송 속도를 조정한다. 이러한 실시형태에서는, 신호품질을 상기 오류 메시지의 생성 빈도수에 의해 결정될 수 있다.

<22> 다른 실시형태에서는, 오류를 포함한 수신 메시지(received message)의 빈도수가 결정되고, 그 빈도수에 따라서, 제1 및(또는) 제2 데이터 전송속도가 조정된다. 이와 같이, 신호품질은 수신메시지의 품질에 의해 결정된다.

<23> 바람직하게는, 수신 신호강도가 결정되고, 상기 수신신호강도 또는 그 수신강도와 상기 오류를 포함한 수신 메시지의 빈도수에 따라서, 상기 제1 및(또는) 제2 데이터 전송속도가 조정된다.

<24> 오류를 결정하기 위한 수단으로 중복 순회 검사기(Cyclic Redundancy Checker)가 적절하다. 프로세서는 상기 제1 및(또는) 제2 데이터 전송속도의 조정을 결정하도록 구성된다.

<25> 적절하게는, 상기 프로세서는 본 발명의 실시형태를 구현한 컴퓨터 프로그램에 의해 구성된다. 상기 컴퓨터 프로그램은 자기기록매체, 광기록매체, 고체기록매체 등의 적절한 임의의 기록매체 상에 제공되거나, 라디오 주파수 반송 또는 광 반송신호 등의 통신반송매체 상에 제공될 수 있다.

<26> 적절하게는, 상기 프레임부는 상기 메시지의 목적지인 스테이션을 나타내는 정보를 갖는다.

<27> 이는 어드레스된 노드(들)만이 특정 메시지에 응답하도록 네트워크를 배열할 수 있는 장점을 제공한다.

<28> 상기 프레임부는 해당 데이터부의 크기를 나타내는 정보를 가질 수 있다.

<29> 상기 제2 데이터 전송속도는 상기 제1 데이터 전송속도의 정수배일 수 있다.

실 시 예

<37> 이하, 도면을 참조하여, 본 발명의 바람직한 실시형태를 한정의 의도가 아닌 단지 예시의 목적으로 설명하기로 한다.

<38> 도4를 참조하면, 본 발명을 구현하는 방법에서 사용되는 데이터 프레임은 프레임 시작부(201)와, 식별자(203), RTR 비트(204), 치환용 원격 요청 필드(SSR: 205) 식별자 확장비트(IDE: 206)을 갖는 중재 필드(arbitration field: 202)를 포함하고 있다. 이 형태는 상기 중재 필드가 전송 및 수신노드의 식별, 데이터 필드(208)의 크기 및 그 데이터 필드(208)에 포함된 데이터의 전송속도에 관한 정보를 가질 수 있다는 것을 제외하고는, 도1의 종래 데이터 프레임의 대응하는 형태와 동일한 방식으로 작동한다.

<39> 또한, 상기 메시지는 데이터 길이 코드(DLC)를 포함한 제어필드(207)을 갖는다. 그 4번째 비트가 데이터 필드(208)의 크기에 관한 정보를 포함할 수 있다. 상기 데이터 필드는 종래의 8바이트의 데이터 비트 크기에서부터 2048 바이트의 크기로 증가시킬 수 있다. 데이터 필드의 데이터 전송속도 F2는 중재필드(203) 및 제어필드(208)의 데이터 전송속도의 정수배가 되면, 상기 배율은 제어필드(207)에서 사용되지 않는 r0 및 r1에 의해 설정될 수 있다. F1 비트 속도는 특정 네트워크로 구축함에 따라서 임의로 변할 수 있지만, 통상 10 Kbit 내지 1Mbit 범위이다.

<40> 상기 네트워크는 초기화되었을 때, 사용자는 F1 및 F2 비트 속도를 특정값으로 구성할 수 있다. 이어, 테스트 전송을 하는 동안에 오류 프레임이 발생되는 속도를 모니터링함으로써 가장 신뢰할 수 있는 F1 와 F2 비트속도를 결정하여 특정 네트워크에 맞게 설정할 수 있다. 초기 설정을 위한 가이드라인을 포함한 표를 제공할 수 있으며, 그 표는 네트워크 케이블 길이에 기반한다. 또한, F1 및 F2 를 설정작업을 자동화한 테스트 프로그램을 제공할 수도 있고, 상기 설정된 값을 비휘발성 메모리에 저장하며, 따라서, 상기 장치가 스위칭 온될 때마다 유용하게 재사용될 수 있다.

<41> 본 발명의 방법을 사용하여 작동하는 노드를 포함한 장치는 F1 및 F2의 설정작업을 자동하기 위해 로우레벨 장치 드라이버를 사용할 수 있다. 상기 로우레벨 장치 드라이버의 프로그램을 반복적으로 실행함으로써, 상기 노드는 그 시간에 물리적 네트워크의 시그널링 상태에 따라서, 상기 비휘발성 메모리에 유지된 F1 및 F2 비트속도를 보다 높은 값 또는 보다 낮은 값으로 업데이트시킬 수 있다. 이는 전송비트 속도가 신뢰성 및 속도에 적응되도록 최적화시키는 것을 보장할 수 있다.

<42> 상기 실시형태는 중재필드 내에 다수의 코드 비트(coded bit)를 포함하여 전송노드와 원하는 수신노드(들)를 식별한다. 모든 노드가 상기 데이터 프레임을 수신할 때에는, 상기 모든 노드는 중재필드(202)의 상기 비트를 자신의 메시지 어드레스 필터의 비트와 비교하여(이 사항은 당업자에게는 자명함), 상기 데이터 프레임이 자신에게 어드레스된 것인지 여부를 판단한다. 어드레스되지 않은 경우, 상기 노드는 패시브 모드(passive mode)로 스위칭하여, 오류없이 수신되면 메시지의 목적지에 해당하는 노드만이 그 메시지를 확인할 수 있도록 한다. 이어, 상기 전송부는 오류가 없다면 상기 메시지가 올바른 노드에 의해 수신된 것을 판단할 수 있고, 상기 네트워크 상의 단지 어떤 노드에 의해 수신되었는지는 판단하는 것은 간단하지 않다.

<43> 도1 내지 3으로 참조하여 설명된 종래기술에서는, 제어필드(207) 내에 있는 4비트 데이터 길이 코드는 7개의 사용되지 않는 값을 갖는다(9 내지 F (십육진수)). 본 발명에서는, 상기 사용되지 않는 값은 아래 표1과 같이 데이터 필드에 있는 다수의 바이트를 지시하는 것으로 사용될 수 있다.

표 1

<44>

DLC값 (십육진수)	데이터 필드 길이 (바이트)
0 내지 8	0 내지 8
9	32
A	64
B	128
C	256
D	512
E	1024
F	2048

<45> 데이터 필드(208)에 있는 바이트의 수를 지시하는 대체 방법은 소정의 방식으로 식별자(203)에서 사용가능한 29비트 중 일부를 사용하는 것이다.

<46> 상기 대체 방법은 사용자가 유용가능한 다른 데이터필드 바이트의 수를 증가시키기 위해 사용될 수 있다.

<47> 상기 지적한 바와 같이, 제어필드(207)의 2 예약비트를 사용하여 데이터 필드(208)의 데이터 전송속도 F2가 중재필드(202) 및 제어필드(207)의 데이터 전송속도 F1의 정수배가 되게 할 수 있다. 이는 아래 표2에 의해 실행될 수 있다.

표 2

<48>

제어필드 r1 r0	승산자	F2 비트속도
0 0	1	F1
0 1	2	2 ×F1
1 0	4	4 ×F1
1 1	8	8 ×F1

<49> 비트속도 F2를 지정하는 대체 방법으로 소정의 방식으로 식별자(203)에서 유용가능한 29비트 중 일부를 사용할 수도 있다.

<50> 도5a 및 5b를 참조하면, 데이터 전송속도 F1에서 F2로 스위칭하는 방법과 그 반대의 경우에 관한 흐름도가 도시되어 있다. 도4에 도시된 바와 같이, 프레임헤더 및 푸터(footer)는 F1 비트속도로 전송된다. 프레임을 전송하기 전에, 관련 전송부의 전송클럭은 현재의 F1 비트속도값을 갖는 비휘발성 메모리에서 레지스터를 검사하고,

전송클럭은 이 값으로 모든 프레임 비트에 대해 설정한다. 특히, 전송 시퀀스는 단계(501)에서 시작된다. 만약, 프레임부(201)의 시작은 단계(502)에서 시작되었으면, 카운터A를 단계(503)에서 시작하며, 그렇지 않으면, 전송부는 단계(502)로 복귀한다.

<51> 카운터A가 시작된 후에, 단계(504)에서 상기 카운터A가 제어필드(208)의 마지막 비트에 이르렀는지 여부를 판단한다. 상기 카운터A가 제어필드(208)의 마지막 비트가 전송된 것을 탐지한 경우, 상기 전송클럭은 현재 F2 비트 속도값을 포함하는 비휘발성 메모리에서 레지스터를 검사하고, 이어 단계(505)에서 전송클럭은 F2로 변경된다. 카운터 B는 단계(506)에서 시작되며, 그 카운터가 단계(507)에서 마지막 CRC비트가 전송된 것을 탐지한 경우, 상기 전송클럭은 단계(508)에서 프레임의 잔여분에 대해 F1으로 재설정한다.

<52> 단계(509)에서 확인비트가 수신되면, 단계(501)에서 상기 마지막 프레임부가 전송되며, 단계(511)에서 전송할 다른 프레임이 있는지를 판단한다. 다른 프레임을 전송해야 할 경우에, 단계(501)로 복귀한다. 이와 달리, 단계(509)에서 수신된 확인비트가 없으면, 단계(512)에서 오류 프레임을 전송하며, 단계(513)에서 F1 비트주기로 6회 대기한 후에 단계(501)로 복귀한다. 단계(511)에서 전송할 다른 프레임이 없다면, 상기 장치는 단계(514)에서 시작하는 다음 전송시퀀스를 위해 대기하며, 단계(515)에서 다음 전송시퀀스가 개시되면, 단계(501)로 복귀한다.

<53> 이하, 도6을 참조하여, 네트워크의 시그널링 상태에 따라서 비휘발성 메모리에서 유지되는 F1 및 F2 비트속도를 보다 높은 값 또는 낮은 값으로 업데이트할 수 있는 노드 또는 스테이션을 위한 장치의 일예를 설명하기로 한다.

<54> 본 발명의 실시형태에 따르면, 네트워크 노드 또는 스테이션은 도6과 같은 장치(600)으로 이루어진다. 상기 장치(600)는 네트워크 노드의 수신측에 위치한다.

<55> 장치(600)의 수신(RX)채널(602)입력은 각 네트워크 노드에 대한 복수의 수신채널(604_1,...604_n, ($RXCH_1$,...$RXCH_n$))네트워크를 포함한다. 예로서, 각 노드는 주파수 다이버시티(diversity)방식의 분리 멀티-톤 전송부(discrete multi-tone transmitter)를 포함한다. 복수의 수신신호 강도계(Received Signal Strength Indicator: 606_1....606_n, ($RSSI_1$,...$RSSI_n$))를 각각의 수신채널(604_1,...604_n)로부터 유도하며, 채널 디멀티플렉서(MUX: 608)에 입력한다. MUX(608)의 출력은 각 입력 의 컨버전 타임에 존재하는 변화하는 아날로그 전압을 8비트이상의 디지털영역으로 변환하는 아날로그-디지털 컨버터(ADC: 610)에 연결된다. N채널 MUX(608) 및 ADC(610)은 클럭신호(611)로 동기화된다.

<56> 각 RSSI(606_1....606_n)에 대한 ADC(610)출력은 판단부(612)와 RSSI 레지스터(614)로 보내진다. 상기 판단부(612)는 상기 채널이 최대 RSSI를 갖고 있는지를 판단하고 채널선택부(616)로 그 결과를 출력한다.

<57> 메시지 프레임을 가지며 각각의 수신채널(604_1....604_n)에 상응하는 복수의 직렬 데이터 비트 스트림(618_1....618_n)은 각각의 중복순회검사부(CRC: 620_1....620_n)에 입력된다. 각각의 채널에 대한 점대점(point to point) 데이터프레임인 CRC 필드에서 전송된 중복순회(CR) 비트는, 예를 들어, 그 전송된 데이터에 대한 상응하는 CRC(620_1....620_n)으로 계산된 CR비트와 비교된다.

<58> 각각의 CRC(620_1....620_n)에서 상기 CR 비교부는 "참(TRUE)"값을 출력할 때에, 누산기(622)에서 홀딩된 해당 값에서 1 이상만큼 감분하며, "거짓(FALSE)"값인 경우에는 상기 해당값을 증분한다. 특정 예로서, 증분 또는 감분을 나타내는 신호를 각각의 신호라인(624_1....624_n 및 626_1....626_n) 상으로 전송하고, 누산기(602)는 비트 오류 속도 카운터로서 작용한다.

<59> 누산기(622)의 출력은 채널선택부(616)로 보내지고, 다른 출력은 오류 레지스터(628)로 보내진다.

<60> 채널 선택부(616)는 채널스위치(630)와 연결된 출력을 갖는다. 채널선택부(616)로부터 수신된 값에 기초하여, 각 채널에 대한 하이 RSSI 및 로우 BER의 최적의 조합을 검색함으로써 채널 선택을 결정한다. 채널스위치(630)는 복수의 데이터 스트림(618_1....618_n) 중 하나를 그 출력(632)에 스위칭시킨다. 상기 출력데이터 스트림을 "최적의 데이터 비트 스트림(Best Data Bit Stream)"이라 하며, 노드 장치(600)의 베이스밴드 프로세서(636)로 입

력된다.

<61> 또한, 상기 장치(600)은 마이크로제어부, 마이크로 프로세서 등의 다른 프로그램가능한(지능형) 머신 또는 그 조합으로 이루어진 프로세서(638)을 포함한다. 프로세서(638)는, 종종 소프트웨어 또는 프로그램된 명령어에 의해 정해지는 바와 같이, RSSI 레지스터(614) 및 오류 레지스터(628)의 컨텐츠를 판독할 수 있다. 바람직하게는, 규칙적인 주기성에 따라 상기 레지스터 컨텐츠를 판독하여 상기 채널(606_1....606_n)에 대해 발생되는 오류 및(또는) 불량한 신호품질에서 빈도수를 결정한다. 상기 프로세서는 최적의 F1, F2 및 데이터 코드 길이(DLC)를 결정한다. 예를 들어, 레지스터(614,618)로부터 판독된 값에서 후속 프레임에서 전송될 바이트 수를 결정한다. 프로세서(638)는 최적의 데이터 페이로드 전송을 얻기 위해 F1,F2 및 DLC를 적합하게 구성한다.

<62> 프로세서(638)는 본 발명의 상기 실시형태의 방법에 따라 작동하기 위해 프로세서를 구성하는 컴퓨터 프로그램 제어 하에서 작동한다. 바람직한 실시형태에서는, 컴퓨터 프로그램은 프로세서와 관계있는 고체 메모리(640)에 저장된다. 하지만, 컴퓨터 프로그램은 자기 디스크나 테이프, 또는 광 디스크와 같은 적당한 매체에 저정될 수 있음은 물론, 라디오 주파수 또는 광신호 반송매체와 같은 통신 반송 매체 상에 프로세서(638)로 운송될 수도 있다.

<63> 이하, 도7을 참조하여, 본 발명의 실시형태에 따른 일예를 설명하기로 한다.

<64> IBM 호환가능 개인컴퓨터(미도시)의 PCI(652) 슬롯으로 플로그되는 퀵로직(quicklogic) PCI FPGA 보드를 설계하였다. 필드 프로그램머블 게이트 어레이(FPGA: 654)는 VHDL로 코드된 스태트 머신(state machine)을 포함하여, 애리조나 마이크로 칩 PCI6C73으로 구현된 베이스밴드 프로세서 및 마이크로제어부(656)와 함께 상기 설명된 기능을 구현할 수 있다. 상기 마이크로제어부(656)는 8 비트 ADC(610), RSSI 레지스터(614) 및 오류 레지스터(628)을 포함하며, 또한, PCI 카드(650)는 외부신호를 PCI(656) 및 FPGA(654)와 연결하는 접속부(658)을 포함한다.

<65> 적절하게는, 상기 형태는 0.35 미크론 CMOS ASIC 상에 구현될 수 있다.

산업상 이용 가능성

<66> 상기 실시형태는 본 발명의 예로 설명된 것에 불과하며 본 발명을 한정하고자 하는 의미로 설명된 것은 아니며, 첨부된 청구범위에 의해 정의되는, 본 발명의 범위를 벗어나지 않고 다양한 변형이나 개조가 가능하다는 것은 당업자에게는 자명할 것이다.

<67> 본 상세한 설명의 범위에는, 청구된 발명에 관련되는지 여부나 본 발명에서 제기된 문제의 일부를 해소하든 전부를 해소하든지에 관계 없이, 여기에 명시적 또는 암시적으로 개시되거나, 일반화되어 개시된 신규한 형태 또는 그 조합도 포함된다. 따라서, 본 출원인은 본 출원의 절차 또는 이로부터 기초한 임의의 다른 출원의 절차에서 그 형태를 새로운 청구항으로 작성할 수 있다는 것에 주목하고 있다. 특히, 첨부된 청구범위를 참조하면, 종속항에 따른 형태는 독립항의 종속항과 결합될 수 있으며, 각각의 독립항에 따른 형태는 본 청구범위에 열거된 특정 조합뿐만아니라 임의의 적절한 방식으로 조합될 수 있다.

<68> 삭제

도면의 간단한 설명

<30> 도1은 종래의 데이터 메시지이다.

<31> 도2는 도1의 데이터메시지와 함께 사용하기 위한 원격 프레임이다.

<32> 도3은 도1의 데이터메시지 및 도2의 원격 프레임과 함께 사용하기 위한 오류 프레임이다.

<33> 도4는 본 발명을 구현하는 메시지에서 사용되는 데이터 메시지이다.

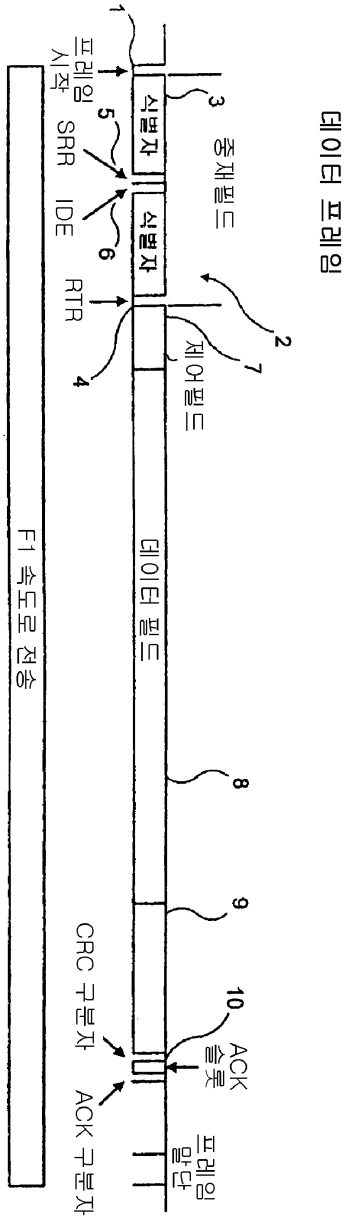
<34> 도5a 내지 5b는 본 발명을 구현하는 방법으로서 제1 및 제2 데이터 전송속도 간의 스위칭을 나타내는 흐름도이다.

<35> 도6은 본 발명을 구현한 장치의 블록도이다.

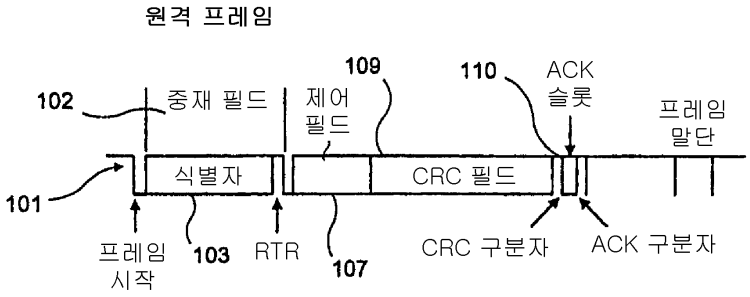
<36> 도7은 본 발명의 실시형태가 구현된 일예이다.

도면

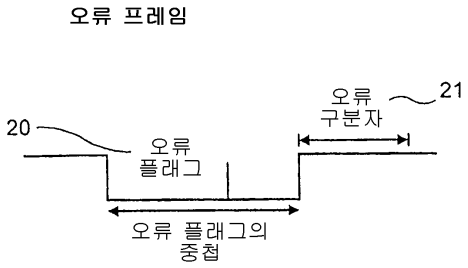
도면1



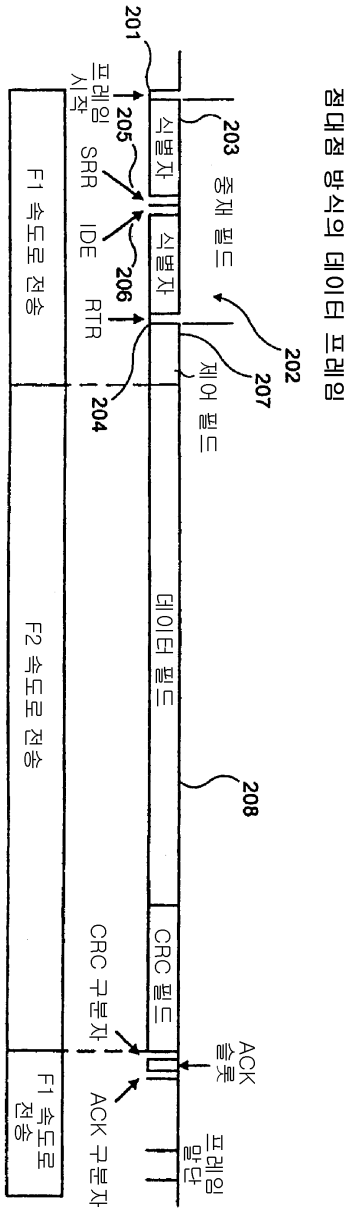
도면2


원격 프레임
102
중재 필드
109
제어 필드
110
ACK 슬롯
프레임 말단
101
식별자
CRC 필드
프레임 시작
103
RTR
107
CRC 구분자
ACK 구분자

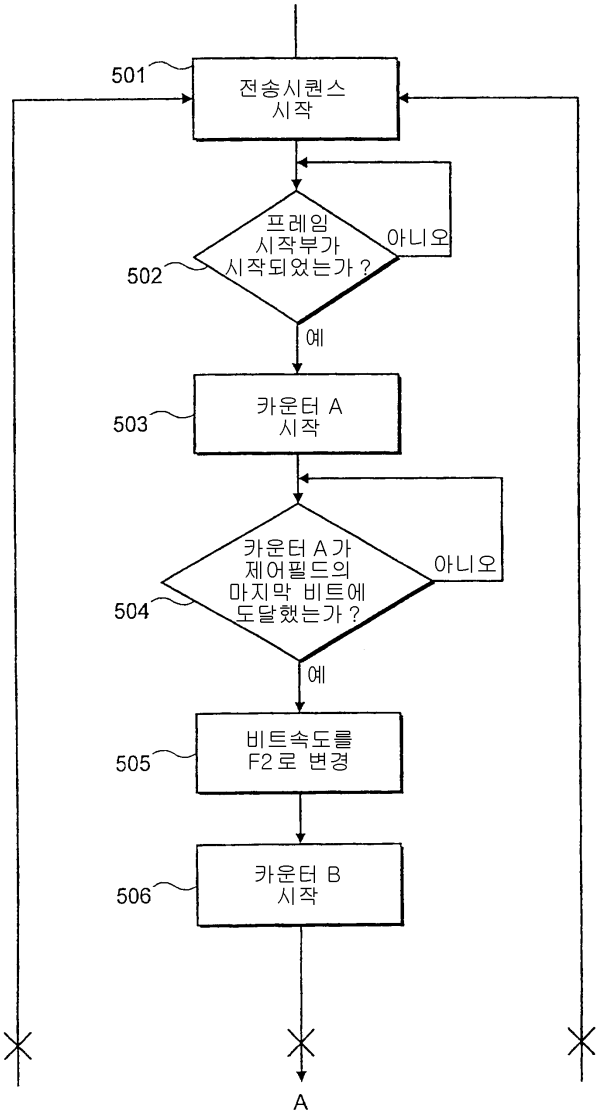
도면3


오류 프레임
20
오류 플래그
오류 구분자
21
오류 플래그의 중첩

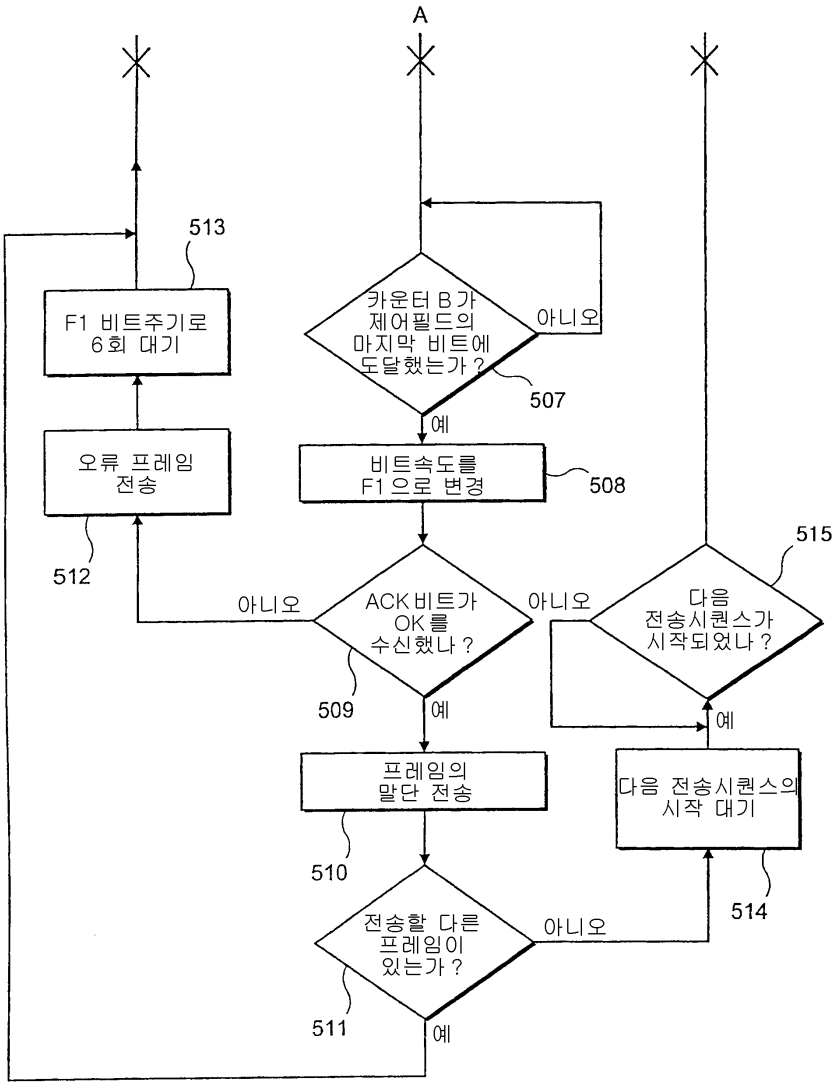
도면4


점대점 방식의 데이터 프레임
201
203
중재 필드
202
207
제어 필드
데이터 필드
208
CRC 필드
ACK 슬롯
프레임 말단
식별자
식별자
프레임 시작
205
SRR
IDE
206
RTR
204
CRC 구분자
ACK 구분자
F1 속도로 전송
F2 속도로 전송
F1 속도로 전송

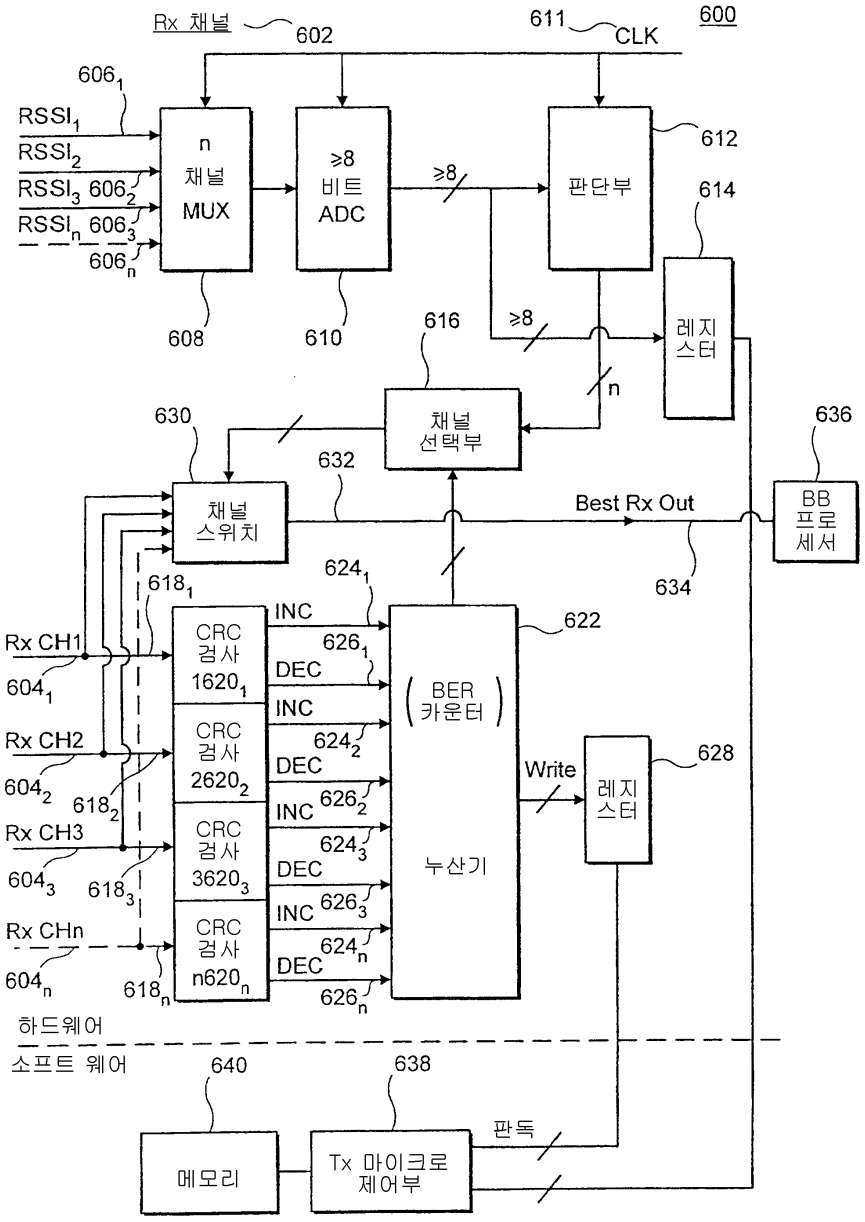
도면5a


501
전송시퀀스 시작
프레임 시작부가 시작되었는가?
502
아니오
예
503
카운터 A 시작
카운터 A가 제어필드의 마지막 비트에 도달했는가?
504
아니오
예
505
비트속도를 F2로 변경
506
카운터 B 시작
A

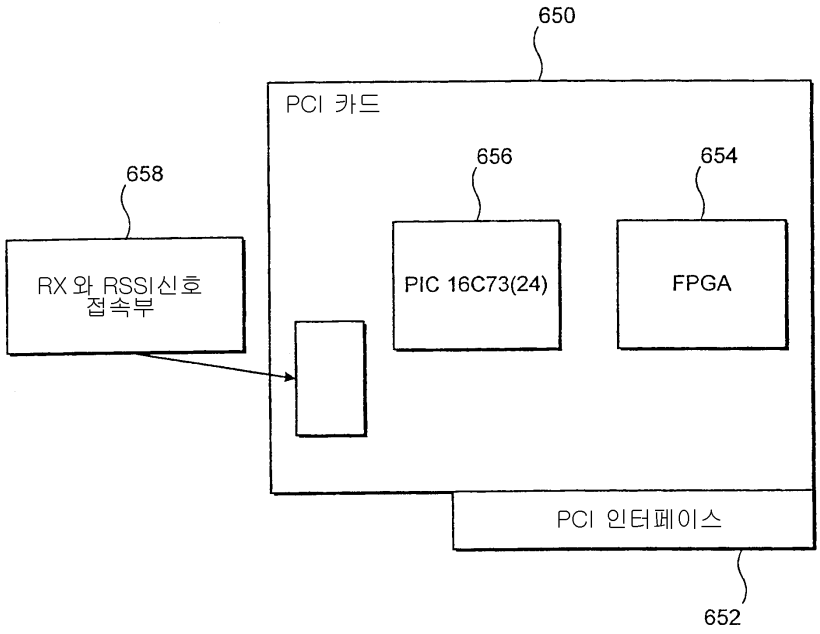
도면5b


A
513
F1 비트주기로
6회 대기
카운터 B가
제어필드의
마지막 비트에
도달했는가?
507
아니오
예
오류 프레임
전송
비트속도를
F1으로 변경
508
512
515
아니오
ACK비트가
OK를
수신했나?
아니오
다음
전송시퀀스가
시작되었나?
509
예
예
프레임의
말단 전송
다음 전송시퀀스의
시작 대기
510
514
전송할 다른
프레임이
있는가?
아니오
511
예

도면6


Rx 채널
602
611
CLK
600
606₁
RSSI₁
RSSI₂
RSSI₃ 606₂
RSSIn 606₃
606n
n 채널 MUX
≥8 비트 ADC
≥8
판단부
612
614
레지스터
608
610
616
≥8
n
630
채널 선택부
636
632
채널 스위치
Best Rx Out
BB 프로세서
634
624₁
618₁
INC
622
Rx CH1
604₁
CRC 검사 1620₁
626₁
DEC
BER 카운터
Rx CH2
604₂
618₂
CRC 검사 2620₂
INC
624₂
DEC
Write
628
Rx CH3
604₃
618₃
CRC 검사 3620₃
INC 626₂
624₃
DEC
누산기
Rx CHn
604n
618n
CRC 검사 n620n
INC 626₃
624n
DEC
626n
하드웨어
소프트 웨어
640
638
판독
메모리
Tx 마이크로 제어부

도면7


650
PCI 카드
658
RX 와 RSSI 신호
접속부
656
PIC 16C73(24)
654
FPGA
PCI 인터페이스
652