



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) . Int. Cl.  
H01L 21/20 (2006.01)

(11) 공개번호 10-2007-0006852  
(43) 공개일자 2007년01월11일

(21) 출원번호 10-2006-7021741  
(22) 출원일자 2006년10월19일  
    심사청구일자 없음  
    번역문 제출일자 2006년10월19일  
(86) 국제출원번호 PCT/US2005/013674  
    국제출원일자 2005년04월21일

(87) 국제공개번호 WO 2005/116304  
    국제공개일자 2005년12월08일

(30) 우선권주장 60/565,033 2004년04월23일 미국(US)  
                       60/565,909 2004년04월27일 미국(US)

(71) 출원인 에이에스엠 아메리카, 인코포레이티드  
                       미국 85034-7200 아리조나 피닉스 이스트 유니버시티 드라이브 3440

(72) 발명자 바우어, 마티아스  
                       독일 72585 리더리히 알베르트 슈바이처 슈트라쎄 7

(74) 대리인 특허법인아주

전체 청구항 수 : 총 39 항

(54) 인-시츄 도핑된 에피택셜 막

(57) 요약

폐던화된 기판을 수용하는 공정 챔버 내에 약 80torr보다 큰 압력을 유지하는 단계를 포함하는 인-시츄 도핑된 에피택셜 반도체 층을 증착하는 방법. 상기 방법은 상기 공정 챔버 내로 디클로로실란의 흐름을 제공하는 단계를 추가로 포함한다. 상기 방법은 또한 도펀트 수소화물을 상기 공정 챔버 내로 도펀트 수소화물의 흐름을 제공하는 단계를 추가로 포함한다. 또한, 상기 방법은 약 3nm/min보다 큰 속도로, 폐던화된 기판 위의 단결정 재료 위에 에피택셜 반도체 층을 선택적으로 증착하는 단계를 추가로 포함한다.

대표도

도 1

**특허청구의 범위**

청구항 1.

인-시츄 도핑된 에피택셜 반도체 층을 증착하는 방법에 있어서,

폐던화된 기판을 수용하는 공정 챔버 내를 약 80torr보다 큰 압력으로 유지시키는 단계;

디클로로실란의 흐름을 상기 공정 챔버 내로 제공하는 단계;

도편트 수소화물의 흐름을 상기 공정 챔버 내로 제공하는 단계; 및

폐던화된 기판 위의 단결정 재료 위에, 약 3nm/min 보다 큰 속도로 에피택셜 반도체 층을 선택적으로 증착하는 단계를 포함하는 증착 방법.

## 청구항 2.

제 1항에 있어서,

상기 에피택셜 반도체 층은 약  $10^{19}\text{cm}^{-3}$  보다 큰 도편트 농도를 갖는 증착 방법.

## 청구항 3.

제 1항에 있어서,

상기 에피택셜 반도체 층은 약  $10^{19}\text{cm}^{-3}$  내지 약  $2\times10^{21}\text{cm}^{-3}$ 의 도편트 농도를 갖는 증착 방법.

## 청구항 4.

제 1항에 있어서,

상기 폐던화된 기판은 노출된 실리콘 산화물 기재의 절연 재료를 포함하며, 상기 선택적으로 증착하는 단계는 약 5nm/min 보다 큰 속도로 증착하는 것을 포함하는 증착 방법.

## 청구항 5.

제 1항에 있어서,

상기 디클로로실란의 흐름은 약 200sccm보다 큰 증착 방법.

## 청구항 6.

제 1항에 있어서,

상기 디클로로실란의 흐름은 약 300sccm 내지 약 5slm인 증착 방법.

## 청구항 7.

제 1항에 있어서,

상기 도편트 수소화물(희석가스 내에서 1%로 희석된)의 흐름에 대한 디클로로실란의 흐름의 비는 약 4:1 내지 약 100:1이며, 또는 희석비가 다른 도편트 수소화물의 경우도 동일한 증착 방법.

#### 청구항 8.

제 1항에 있어서,

상기 도편트 수소화물(희석가스 내에서 1%로 희석된)의 흐름에 대한 디클로로실란의 흐름의 비는 약 50:1 내지 약 100:1이며, 또는 희석비가 다른 도편트 수소화물의 경우도 동일한 증착 방법.

#### 청구항 9.

제 1항에 있어서,

상기 도편트 수소화물(희석가스 내에서 1%로 희석된)의 흐름에 대한 디클로로실란의 흐름의 비는 약 4:1 내지 약 50:1이며, 또는 희석비가 다른 도편트 수소화물의 경우도 동일한 증착 방법.

#### 청구항 10.

제 1항에 있어서,

증착 동안, 공정 챔버 내를 약 100torr보다 큰 압력으로 유지시키는 단계를 추가로 포함하는 증착 방법.

#### 청구항 11.

제 1항에 있어서,

증착 동안, 공정 챔버 내를 약 대기압의 압력으로 유지시키는 단계를 추가로 포함하는 증착 방법.

#### 청구항 12.

제 1항에 있어서,

선택적으로 증착하는 동안, 에칭제(etchant)를 흘려주는 단계를 추가로 포함하는 증착 방법.

#### 청구항 13.

제 12항에 있어서,

상기 에칭제는 HCl을 포함하는 증착 방법.

#### 청구항 14.

제 1항에 있어서,

상기 선택적으로 증착하는 단계는,  $x \text{ cm}^2$ 의 원도에서의 평균 비균질성이  $(0.5)x \text{ cm}^2$ 의 원도에서의 평균 비균질성으로부터 약 5%의 편차를 보이는 로딩 효과보다 더 낮은 로딩 효과를 나타내는 증착 방법.

### 청구항 15.

제 1항에 있어서,

상기 선택적으로 증착하는 단계는, 기판 위의 소정의 반도체 원도 내에 20% 미만의 비균질성을 갖는 마이크로로딩 효과를 나타내는 증착 방법.

### 청구항 16.

제 1항에 있어서,

디클로로실란 및 도핀트 수소화물과 함께 탄소 전구체를 흘려주어 에피택셜 반도체 층 내로 탄소를 혼입하는 단계를 추가로 포함하는 증착 방법.

### 청구항 17.

제 16항에 있어서,

상기 탄소 전구체는 유기 실리콘 전구체를 포함하는 증착 방법.

### 청구항 18.

제 16항에 있어서,

상기 탄소 전구체는 메틸실란을 포함하는 증착 방법.

### 청구항 19.

제 1항에 있어서,

디클로로실란 및 도핀트 수소화물과 함께 게르마늄 전구체를 흘려주어 에피택셜 반도체 층 내로 게르마늄을 혼입하는 단계를 추가로 포함하는 증착 방법.

### 청구항 20.

제 19항에 있어서,

상기 게르마늄 전구체는 게르만(germane)을 포함하는 증착 방법.

### 청구항 21.

제 1항에 있어서,

상기 도편트 수소화물은 아르신(arsine)을 포함하는 증착 방법.

### 청구항 22.

제 21항에 있어서,

상기 도편트 수소화물의 흐름은 약 5 내지 약 200sccm의 아르신(희석가스 내에서 1%로 희석된)이며, 또는 희석비가 다른 아르신에 있어서도 동일한 증착 방법.

### 청구항 23.

제 1항에 있어서,

상기 도편트 수소화물은 포스핀(phosphine)을 포함하는 증착 방법.

### 청구항 24.

트랜지스터 구조를 위한 컨택을 형성하는 방법에 있어서,

규정된 소스 활성 영역 및 규정된 드레인 활성 영역을 갖는 기판을 제공하는 단계; 및

상기 소스 및 드레인 활성 영역을, 디클로로실란, 도편트 수소화물 및 에칭제 가스를 포함하는 전구체 혼합물에 노출시켜, 소스 및 드레인 활성 영역 위에 인-시츄 도핑된 에피택셜 반도체 층을 선택적으로 증착하는 단계

를 포함하는 형성 방법.

### 청구항 25.

제 24항에 있어서,

상기 증착하는 단계는 약 100torr보다 큰 증착 압력을 유지하는 단계를 포함하는 형성 방법.

### 청구항 26.

제 24항에 있어서,

상기 증착하는 단계는 단일 웨이퍼 증착 챔버로 약 200sccm보다 큰 디클로로실란을 제공하는 단계를 포함하는 형성 방법.

### 청구항 27.

제 24항에 있어서,

상기 에피택셜 반도체 층은 약  $1\text{m}\Omega\cdot\text{cm}$  미만의 증착후 저항률을 갖는 형성 방법.

### 청구항 28.

제 24항에 있어서,

상기 에피택셜 반도체 층은 약  $0.8\text{m}\Omega\cdot\text{cm}$  미만의 증착후 저항률을 갖는 형성 방법.

### 청구항 29.

제 24항에 있어서,

상기 활성 영역은 리세스(recess)를 포함하는 형성 방법.

### 청구항 30.

제 24항에 있어서,

상기 증착하는 단계는 약  $650^\circ\text{C}$  내지 약  $750^\circ\text{C}$ 의 증착 온도를 유지하는 단계를 포함하는 형성 방법.

### 청구항 31.

제 24항에 있어서,

상기 증착하는 단계는 약  $450^\circ\text{C}$  내지 약  $650^\circ\text{C}$ 의 증착 온도를 유지하는 단계를 포함하는 형성 방법.

### 청구항 32.

제 24항에 있어서,

상기 에칭제 가스는 HCl을 포함하는 형성 방법.

### 청구항 33.

층을 포함하는 실리콘 증착 공정에 있어서,

약 100torr보다 큰 압력에서의 챔버를 제공하는 단계;

챔버 내에 수용된 기판 위에 디클로로실란 및 도핀트 수소화물을 흘려주는 단계; 및

약  $25\text{nm}/\text{min}$ 보다 큰 속도로 기판 위에 층을 포함하는 실리콘을 에피택셜하게 증착하는 단계를 포함하는 증착 공정.

### 청구항 34.

제 33항에 있어서,

상기 도편트 수소화물은 n-형 도편트 수소화물인 증착 공정.

### 청구항 35.

제 33항에 있어서,

상기 층을 포함하는 실리콘은 약  $10^{19}\text{cm}^{-3}$ 보다 큰 도편트 농도를 갖는 증착 공정.

### 청구항 36.

제 33항에 있어서,

상기 층을 포함하는 실리콘은 약  $10^{19}\text{cm}^{-3}$  내지 약  $2\times 10^{21}\text{cm}^{-3}$ 의 도편트 농도를 갖는 증착 공정.

### 청구항 37.

제 33항에 있어서,

상기 에피택셜 증착은 선택적 증착인 증착 공정.

### 청구항 38.

제 33항에 있어서,

상기 층을 포함하는 실리콘은 약  $1\text{m}\Omega\cdot\text{cm}$  미만의 증착후 저항률을 갖는 증착 공정.

### 청구항 39.

제 33항에 있어서,

상기 층을 포함하는 실리콘은 약  $0.8\text{m}\Omega\cdot\text{cm}$  미만의 증착후 저항률을 갖는 증착 공정.

명세서

#### 기술분야

본 발명은 일반적으로 에피택셜 증착에 관한 것이며, 보다 구체적으로는 도핑된 반도체 층의 인-시츄(in situ) 급속 증착에 관한 것이다.

#### 배경기술

웨이퍼 처리량의 향상은 반도체 산업, 특히 단일 웨이퍼 공정에 있어서 지속적으로 요구되는 사항이다. 단일 웨이퍼 공정에 있어서, 개별적인 웨이퍼들은 단일 공정 툴 내에서 순차적으로 처리된다. 향상된 웨이퍼 처리량은 일반적으로 경비 감소 및 운영 수익의 향상을 가져온다.

증가된 웨이퍼 처리량이 유리한 하나의 적용은 접적 회로 장치를 형성하기 위한 반도체 재료-도핑된(비고유의) 및 도핑되지 않은(고유의)-의 에피택셜 증착이다. 특정 적용에서, 이러한 에피택셜 성장은, 필드 격리 구역(field isolation region)과 같은 다른 구조들이 이미 형성된 후에 일어난다. 패턴화된 웨이퍼 상의 블랭킷(blanket) 증착과 뒤이은 포토리소그래피 패터닝(photolithographic patterning) 및 에칭(etching)은 일반적으로 패턴화된 웨이퍼 상의 선택적인 증착에 비하여 고가의 추가적인 단계들을 요구한다. 구체적으로, 선택적 에피택셜 증착은, 주위 절연체들이 아주 약간 또는 전혀 증착을 받지 않는 상태에서, 패턴화된 웨이퍼 상의 노출된 단결정 반도체 재료에서만 일어나도록 구성될 수 있다. 따라서, 선택적 증착은 후속의 마스킹 및 에칭 단계들이 특정 적용에서 필요 없게 되도록 하여 처리량을 증가시킨다. 이처럼, 도핑된 반도체 재료의 증착을 위한 인-시츄 도핑의 사용은 후속의 도편트 주입, 확산 및/또는 활성화 단계들이 생략되도록 함으로써 특정 적용에 있어 처리량을 증가시킨다.

## 발명의 상세한 설명

### 보 발명의 요약

불리하게도, 많은 선택적 증착 화학작용들은 증착 속도를 느리게 만들어, 포토리소그래피 및 에칭 단계들을 생략함으로써 얻어진 처리량의 일부 또는 전부가 한층 느려진 증착 속도로 인하여 상쇄된다. 이와 같이, 많은 인-시츄 도핑 화학작용들도 증착 속도가 감소되도록 만들어, 인-시츄 도핑을 함으로써 얻어진 처리량의 일부 또는 전부가 더 느려진 증착 속도로 인하여 상쇄된다. 특히 문제가 되는 점은 고농도의 비소 또는 인과의 도핑과 같은 고농도 n-형 도핑이다. 통상적인 기술, 감소된 압력 화학 증기 증착(RPCVD) 및 저압 화학 증기 증착(LPCVD)의 압력 및 그보다 큰 압력에서 화학 증기 증착을 사용하여 수행된 선택적 에피택셜 성장에 있어서는 약  $10^{19} \text{ cm}^{-3}$  보다 큰 n-형 도핑 수준을 산출하기는 어렵거나 불가능했다. 따라서, 인-시츄 도핑된 반도체 재료를 포함하여, 반도체 재료의 선택적 에피택셜 증착을 수행하기 위한 개선된 방법이 개발되어 왔다.

본 발명의 일 실시예에 따르면, 인-시츄 도핑된 에피택셜 반도체 층을 증착하기 위한 방법은 패턴화된 기판을 수용하는 공정 챔버 내를 약 80torr 보다 큰 압력으로 유지하는 단계를 포함한다. 상기 방법은 또한 디클로로실란(dichlorosilane)의 흐름을 상기 처리 챔버 내로 공급하는 단계를 포함한다. 상기 방법은 또한 도편트 수소화물(dopant hydride)의 흐름을 상기 처리 챔버 내로 공급하는 단계를 포함한다. 상기 방법은 또한 약 3nm/min 보다 큰 속도로, 패턴화된 기판의 단결정 재료상에 에피택셜 반도체 층을 선택적으로 증착하는 단계를 포함한다.

본 발명의 다른 실시예에 따르면, 트랜지스터 구조를 위한 컨택(contact)을 형성하는 방법은, 규정된 소스 활성 영역 및 규정된 드레인 활성 영역을 갖는 기판을 제공하는 단계를 포함한다. 상기 방법은 또한 소스 및 드레인 활성 영역을, 디클로로실란, 도편트 수소화물 및 에칭제 가스를 포함하는 혼합 전구체에 노출시키는 단계를 포함한다. 이는 소스 및 드레인 활성 영역 상에 인-시츄 도핑된 에피택셜 반도체 층의 선택적 증착을 가져온다.

본 발명의 다른 실시예에 따르면, 층을 포함하는 실리콘 증착 방법은 약 100torr 보다 큰 압력의 챔버를 제공하는 단계를 포함한다. 상기 방법은 또한 상기 챔버 내에 수용된 기판 위로 디클로로실란 및 n-형 도편트 수소화물을 흘려주는 단계를 포함한다. 상기 방법은 또한 약 25nm/min 보다 큰 속도로, 기판 위에 층을 포함하는 실리콘을 에피택셜하게 증착하는 단계를 포함한다.

### 실시예

#### 바람직한 실시예의 상세한 설명

본 명세서에 개시된 것은 인-시츄 도핑된 반도체 재료들을 포함하여, 반도체 재료들의 선택적인 에피택셜 증착을 수행하기 위한 개선된 방법들의 전형적인 실시예들이다. 본 명세서에 개시된 특정 실시예들을 사용하여 증착된 전형적인 반도체 재료들은 실리콘 막 및 실리콘 게르마늄 막을 포함한다. 본 명세서에 개시된 특정 화학 증기 증착(CVD) 기술은, 향상된 결정 품질, 혼입된 도편트의 향상된 전기적 활성화 및 증가된 성장 속도를 갖는 반도체 막을 생산한다. 특정 실시예에서, 고도로 도핑된 선택적 증착은, 실리콘 전구체로서의 디클로로실란(DCS), 도편트 수소화물 및 임의로 선택도(selectivity)를 향상시키는 HCl을 사용하여 대기 조건들 하에서 가능하다. 게르만(germane) 또는 메틸실란과 같은 게르마늄 및/또는 탄소 전구체들은 게르마늄 및/또는 탄소를 포함하는 막을 형성하기 위하여 공정 가스 혼합물에 선택적으로 추가된다.

LPCVD 및 RPCVD 압력상태보다 높은 압력에서의 증착은 80torr보다 큰 것이 바람직하고, 100torr보다 큰 것이 보다 바람직하며, 대기압에서가 가장 바람직하고, 높은 도편트 혼입 및 높은 증착율 모두에 선택적일 수 있다. 도 7에 도시된 바와 같이, 활성 도편트 혼입은 압력과 함께 현저하게 증가한다. 도 7에 나타낸 데이터는 전형적인 실시예로부터 수득되었는데, 에피택셜 실리콘의 블랭킷 충이 약 700°C 및 실질적으로 HCl 흐름이 없는 상태에서 200mm 웨이퍼 위에 성장되었다. 도시된 바와 같이, 약 10torr 및 약 40torr 사이에서, 약 3.0mΩ·cm의 저항률(resistivity)을 가진 증착된 막이 얻어진 반면에, 다른 공정 조건들은 유사한 상태에서 약 100torr보다 큰 압력에서는 약 1.0mΩ·cm 이하의 저항률을 가진 증착된 막이 얻어졌다. 다른 실시예에서, 도 5에 도시된 바와 같이, 다른 공정 조건들은 유사하나 온도가 다른 상태에서 유사한 저항률을 가진 실리콘 막이 성장되었다. 구체적으로, 일 실시예에서 0.8mΩ·cm 저항률을 가진 실리콘 막이 700°C에서 성장되었으며, 다른 실시예에서 1.3mΩ·cm 저항률을 가진 실리콘 막이 750°C에서 성장되었다.

유사한 결과들이 도 11에 도시된 바와 같이 실리콘 게르마늄 증착에서도 얻어졌다. 도 11에 도시된 데이터는 전형적인 실시예로부터 얻어졌으며, 에피택셜 실리콘 게르마늄의 블랭킷 충은 약 730°C 및 실질적으로 HCl의 흐름이 없는 상태에서 200mm 웨이퍼 위에 성장되었다. 도 11에 나타낸 바와 같이, 약 3Ω·cm의 낮은 저항률을 가진 막에 있어서, 약 200torr보다 큰 압력에서는 막이 증착을 위해 성장되는 압력과 막 저항률은 거의 무관하다.

수정된 실시예에서, 도핑된 반도체 막의 저항률은 증착의 후속공정인 어닐(anneal)을 수행함으로써 더 감소된다. 예를 들어, 일 실시예에서, 약 900°C에서의 1분간의 어닐은 실리콘 막의 저항률을 약 1.1Ω·cm에서 약 0.88Ω·cm로 감소시킨다. 다른 실시예에서, 약 1000°C에서의 1분간의 어닐은 실리콘 막의 저항률을 약 1.1Ω·cm에서 약 0.85Ω·cm로 감소시킨다. 다른 실시예에서, 약 1050°C에서의 스파이크 어닐(spike anneal)은 실리콘 막의 저항률을 약 1.1Ω·cm에서 약 0.93Ω·cm로 감소시킨다. 다른 실시예에서, 약 1050°C에서의 3초간의 어닐은 실리콘 막의 저항률을 약 1.1Ω·cm에서 약 0.86Ω·cm로 감소시킨다. 특정 실시예에서 어닐은 인-시츄로 수행되며, 반면에 다른 실시예에서 어닐은 엑스-시츄(ex situ)로 수행된다.

통상적으로, 실란 전구체 가스의 유속에 대하여, n-형 도편트 전구체 가스의 유속을 증가시키는 것은 증착 속도를 감소시킨다고 알려져 있다. 그러나, 본 명세서에 개시된 특정 실시예에서, 반도체 전구체 가스의 유속에 대하여 도편트 전구체 가스의 유속이 증가한다고 하더라도 증착 속도가 증가할 수 있다. 또한 본 명세서에는 도편트 전구체 가스의 흐름에 대하여 반도체 전구체 가스의 증가된 흐름을 제공하는 동안 도편트 혼입을 향상시키는 기술을 개시한다. 전형적인 반도체 전구체 가스들은 DCS와 같은 실리콘 전구체 가스 및 게르만(GeH<sub>4</sub>)과 같은 게르마늄 전구체 가스를 포함한다.

전형적인 선택적 증착의 실시예에서, 실리콘 질화물 기재의 재료 또는 실리콘 산화물 기재의 재료와 같은 절연 재료에 대하여는 거의 증착이 일어나지 않거나 또는 전혀 증착이 일어나지 않는다. 특정 실시예에서, 선택적 증착은 HCl과 같은 에칭제를 사용하며, 따라서 선택적 증착 속도는 비선택적 증착 속도에 비하여 일반적으로 떨어진다. 예를 들어, 선택적 증착 속도는 일반적으로 약 50nm/min 미만이다. 한편, 비선택적 증착에 있어서는, 더 큰 전구체 유속이 제공되는 다른 실시예들에서는 증착 속도가 50nm/min 이상이지만, 특정 실시예에서는 비선택적 증착 경우의 증착 속도도 50nm/min 미만이다.

페던화된 웨이퍼 위에 선택적 증착이 수행되는 적용에 있어서, 증착 속도는 3nm/min보다 큰 것이 바람직하다. 실리콘만 및 실리콘 산화물 기재의 재료가 기판 위에 노출되는 특정 실시예에서, 선택도는 보다 높은 증착 속도에서 유지된다; 이러한 일 실시예에서, 증착 속도는 5nm/min 보다 큰 것이 바람직하다. 이러한 증착 속도를 달성하기 위하여 특정 실시예에서 사용되는 선택된 공정 조건들은 하기 표 A에 열거되어 있다. 더 낮은 확산 상수로 인하여 특정 실시예에서 비소와의 도핑이 유리하지만, 수정된 실시예에서 AsH<sub>3</sub> 대신에 PH<sub>3</sub> 또는 B<sub>2</sub>H<sub>6</sub>로 대체된다. 또한, 실리콘 게르마늄 막을 만들기 위하여 GeH<sub>4</sub>(H<sub>2</sub> 내에서 1%)가 공정 가스 혼합물에 선택적으로 추가되며/되거나 도핑된 Si:C 층을 만들기 위하여 모노메틸실란이 공정 가스 혼합물에 추가된다.

#### 표 A:

변수	전형값	바람직한 범위
온도(°C)	700	450 ~ 750
압력(torr)	대기압	80torr ~ 대기압
H <sub>2</sub> 흐름(slm)	10	5 ~ 30
DCS 흐름(sccm)	500	200 ~ 2000
AsH <sub>3</sub> 흐름(sccm)(0.1% in H <sub>2</sub> )	100	25 ~ 1000

HCl 흐름(sccm)	50	0 ~ 500
--------------	----	---------

도 8은 본 명세서에 개시된 특정 실시예에 따라 선택적으로 성장된 에피택셜 실리콘 게르마늄 막에 대한 성장 특성을 나타낸다. 이들 막은 750°C 및 10torr에서의 챔버 내에 성장된다. HCl의 유속은 선택도를 유지하기 위하여 다른 GeH<sub>4</sub> 유속에 대하여 변화하였다. 도시된 바와 같이, GeH<sub>4</sub> 유속이 증가할수록 게르마늄의 혼입 및 막 성장 속도가 증가한다. AsH<sub>3</sub>의 공정 가스 혼합물로의 첨가는 막 성장 속도를 감소시키며, 도 9에 도시된 바와 같이, 도핑되지 않은(AsH<sub>3</sub> 없는) 및 도핑된 (AsH<sub>3</sub> 있는) 막에 대한 GeH<sub>4</sub> 유속의 함수로서의 막의 성장 속도를 나타낸다. 상기 막은 700°C, 20torr의 챔버 내에서 어떠한 HCl 흐름 없이 성장되었다.

특정 실시예에서, 특히 높은 전기적 활성의 도편트 농도를 얻을 수 있다. 이러한 실시예들은 트랜지스터 구조를 위한 소스 및 드레인 컨택을 형성하는데 특히 유용하다. 이러한 적용례들은 리세스(recess)된 소스 및 드레인 구조뿐만 아니라 엘리베이트(elevate)된 소스 및 드레인 구조의 에피택셜 증착을 포함한다. 또한, 본 명세서에 개시된 특정 실시예들은 채널 구조를 형성하기 위함 및, 패턴화된 기판 위에 고도로 도핑된 구조를 형성하기 위함과 같은 다른 실시예들에 있어 특히 유용하다. 본 명세서에 개시된 특정 실시예들을 사용하여 형성될 수 있는 전형적인 고도로 도핑된 구조는 헤테로접합 쌍극자 트랜지스터(heterojunction bipolar transistor)를 위한 에피택셜 이미터(emitter)를 포함한다. 예를 들어, 일 실시예에서 높은 결정 품질, 혼입된 도편트의 높은 전기적 활성화, 및 높은 성장 속도를 갖는 에피택셜 이미터가 형성된다. 이러한 실시예에서, 소스 및 드레인 구조가 형성된 후에, 소스 및 드레인 위에 증착된 여분의 실리콘을 소비하는 금속 증착이 수행된다. 이와 같이, 여분의 실리콘 증착은 금속이 전체 소스 또는 드레인을 소비할 우려를 방지하거나 감소시킨다.

특정 실시예에서, DCS, 도편트 수소화물 및 선택도를 증가시키는 임의의 HCl을 사용하여 고도로 도핑된 선택적 증착이 대기압 하에서 수행된다. 선택적으로, 게르만 및/또는 메틸실란과 같은 게르마늄 및/또는 탄소 전구체가 전구체 가스들의 혼합물에 추가된다. 전형적인 실시예에서, 고도로 도핑된 선택적 증착이, RPCVD 압력상태보다 큰 압력, 즉 바람직하게 약 80torr보다 큰 압력에서 수행된다. 이러한 증착은 약 100torr 및 약 760torr 사이에서 수행되는 것이 보다 바람직하며, 약 대기압 하에서 이러한 증착이 수행되는 것이 가장 바람직하다.

본 명세서에 기술된 바와 같이, HCl과 같은 에칭제는 증착 동안 선택도를 유지하거나 향상시키는데 도움을 주기 위하여 전구체 가스의 혼합물에 첨가된다. HCl을 포함하는 공정 가스의 혼합물을 사용하여 선택적 증착이 수행되는 일 실시예에서, 약 7nm/min 내지 약 8nm/min의 성장 속도가 얻어졌으며, 약 2.5mΩ·cm의 막 저항률이 얻어졌다. 공정 가스 혼합물 내의 HCl에 의해 야기된 증착 속도의 감소를 보상하기 위하여, 비선택적 증착 실시예에 대하여 온도가 증가되었다. 그러나, 우수한 선택도를 유지하고 열 소비를 방지하기 위하여, 온도는 약 800°C 아래로 유지하는 것이 바람직하다. 수정된 실시예에서, 도 8에 도시된 바와 같이, 선택도 및 성장 속도를 향상시키기 위하여 GeH<sub>4</sub>가 공정 가스 혼합물에 첨가된다. 또한, 도편트 수소화물을 포함하는 공정 가스 혼합물에 GeH<sub>4</sub>가 첨가되는 실시예들에서, GeH<sub>4</sub>의 첨가에 따라 도편트 혼입이 증가하고, 저항률이 감소한다. 이러한 효과는 GeH<sub>4</sub> 유속의 함수로서의 저항률을 나타내는 도 10에서 명백하다. 그러나, 수정된 실시예에서, 게르마늄의 첨가없이 증가된 성장 속도가 얻어질 수 있다. 이러한 실시예들에서, 증착 압력이 증가되며, 어떠한 GeH<sub>4</sub>도 공정 챔버로 공급되지 않는다. 이는 막 성장 속도를 증가시키고, 도편트 혼입을 증가함으로써 막 저항률을 감소시킨다.

비소가 낮은 열확산율(diffusivity)을 나타내기 때문에, 높은 도핑 수준에서 낮은 도핑 수준으로의 기민한 전이가, DCS를 사용하여, 특히 본 명세서에 개시된 낮은 공정 온도에서 n-도핑에 대해 가능하다. 이들 낮은 온도에도 불구하고, 혼입된 도편트들의 큰 비율이 전기적으로 활성이며, 따라서 개별적인 도편트 활성화 단계, 이에 따른 열 소비, 도편트의 원치않는 확산 등을 제거한다. 따라서, 특정 실시예에서 매우 낮은 저항률(시트저항), 우수한 결정 품질 및 낮은 표면 거칠기를 얻을 수 있다.

특정 실시예에서, 도핑되지 않은(고유의) 막의 증착에 비하여, 도편트 수소화물은 DCS와 혼합되어 증착 속도를 증가시킨다. HCl은 한층 선택도를 향상시키기 위하여 전구체 가스들의 혼합물에 선택적으로 첨가된다. DCS 유속이 1slm까지는 성장 속도의 포화가 관찰되지 않는다. 일반적으로, 도편트 혼입은 더 높은 성장 속도 및 더 높은 DCS 유속에 따라 증가하지만, 도편트 수소화물 유속에 의해서는 영향받지 않는다. 도 4a에 도시된 바와 같이, 특정 실시예에서 도편트 수소화물 유속은 막 성장 속도를 최적화하도록 조정된다. 이러한 실시예에서, 도편트 수소화물 흐름은 막 성장 속도에 역 영향을 줄 정도로 높지 않은 상태에서 막 표면으로부터 수소의 충분한 제거를 제공한다. 놀랍게도, 도편트 수소화물의 일정 흐름에서, DCS와 같은 실리콘 전구체의 흐름을 증가시키는 것은 유리하게도 성장 속도 및 도편트 혼입을 증가시키도록 하였다. 이론에 한정됨 없이, 이는 성장 속도 의존성 도편트 분리 성향 및 온도 의존성 도편트 분리 영향에 기인하는 것으로 여겨진다.

수정된 실시예에서,  $\text{GeH}_4$ 는 도편트 수소화물을 포함하는 공정 가스 혼합물에 첨가되며, 이로써 성장 속도, 선택도, 파세팅(faceting) 및 저항률을 보다 향상시킨다. 다른 실시예에서,  $\text{GeH}_4$ 는 도편트 수소화물을 포함하지 않는 공정 가스 혼합물에 첨가된다; 이러한 실시예에서  $\text{GeH}_4$ 는 성장 속도(참조: 도 8), 선택도 및 파세팅을 향상시키며, 저항률은 낮춘다.

예를 들어, 일 실시예에서, 1slm DCS 및 10sccm  $\text{B}_2\text{H}_6$ ( $\text{H}_2$  내에서 1%)가 630°C 반응챔버에 공급되었다. 이들 처리 조건들은 표 B에 나타낸 성장 속도 및 저항률을 보였다.

표 B:

$\text{H}_2$ 유속 (slm)	성장속도 (nm/min)	저항률 ( $\text{m}\Omega \cdot \text{cm}$ )
40	50	6.5
30	64	5.1
20	125	2.4

본 명세서에 개시된 특정 도핑된 막은, 상보적 금속-산화물 반도체(CMOS) 장치에서의 채널 및 수직 트랜지스터 구조에 유용할 뿐만 아니라, 엘리베이트 및 리세스된 컨택을 포함하는 소스 및 드레인 컨택에 유용하다. 수직 트랜지스터 구조는 때때로, 이중-, 삼중- 및 Ω-형 트랜지스터로 불린다.

일반적으로, 본 명세서에 개시된 막은 약 450°C 내지 800°C 사이의 공정 온도로 증착된다. 200mm 웨이퍼 상에서 성장된 막의 선택된 성질을 보여주는 도 2a, 2b, 3a, 3b, 5 및 6은 성장 속도, 저항률 및 도편트 농도와 같은 특정 막 성질의 온도 의존성을 보여준다. 상기 데이터는, 적절한 공정 조건들이 사용될 때 높은 도편트 혼입을 갖는 선택적인 인-시츄 도핑된 에피택셜 증착이 저온에서도 이루어질 수 있음을 보여준다. 통상적으로, 선택적인 에피택시는 SiGe 증착을 위해 700°C보다 큰 온도에서 수행되며, 실리콘 증착을 위해서는 750°C보다 큰 온도에서 수행되고 있다. 불리하게도, 이러한 고온에서의 선택적 증착은 느리며, 때로는 추가적인 도편트 활성화 단계들을 요구한다.

본 명세서에 개시된 특정 실시예에 따라, 특히 약 650°C 및 약 750°C 사이의 온도에서 증착된 막은 향상된 활성 도편트 농도를 보인다. 특정 실시예에서, 약 650°C 미만의 온도에서, 다결정질 증착이 우위를 점하게 되어, 도 5에 도시된 바와 같이 저항률을 현저하게 증가시킨다. 바람직한 실시예에서, 약  $10^{19}\text{cm}^{-3}$  및 약  $2 \times 10^{21}\text{cm}^{-3}$  사이의 활성 도편트 농도를 갖는 막이 증착된다. 이는 바람직하게 약  $1\text{m}\Omega \cdot \text{cm}$ , 및 보다 바람직하게 약  $0.8\text{m}\Omega \cdot \text{cm}$ 의 증착후 저항률을 나타낸다. 상술한 약  $0.8\text{m}\Omega \cdot \text{cm}$ 의 증착후 저항률은 대략 약  $10^{20}\text{cm}^{-3}$ 의 활성 도핑 농도에 해당된다. 이들 값은 비소의 고체 용해도 한계에 근접하는 수치이다. 이러한 실시예에서, 전체 비소 농도는, 전기적 활성 도편트 농도와 대조적으로, 도편트 흐름이 조정되는 경우 포화하지 않는다. 선택된 공정 조건들을 사용하여 200mm 웨이퍼 상에 성장된 인-시츄 도핑된 막 증착에 대한 성장 속도, 저항률 및 도편트 농도를 보여주는 도 1을 또한 참조하라. 또한, 도 1은 보다 높은 성장 속도에서, 전기적으로 활성의 도편트 혼입이 증가함에 따라 막 저항률이 감소됨을 보여준다.

특정 실시예에서, 인-시츄 도핑된 반도체 막은, 100torr보다 큰 압력 및 약 450°C 및 약 600°C 사이의 온도에서 증착될 수 있다. 상기 저온 상태 내에서의 증착은 유리하게도 열 소비를 줄이고, 반도체 막에 혼입된 전기적 활성 도편트의 비율을 증가시킨다.

수정된 실시예에서, 탄소 도핑된 실리콘 에피택셜 층은 DCS와, 아르신( $\text{AsH}_3$ ) 또는 포스핀( $\text{PH}_3$ )과 같은 도편트 수소화물을 사용하여 증착된다. 더 작은 탄소 원자들이 큰 도편트 원자 또는 게르마늄 원자를 위한 공간을 더 형성한다. 예를 들어, 약 10% 게르마늄 함량을 가진 실리콘 게르마늄은, 단결정 실리콘 위에 헤테로에피택셜하게 증착될 때, 압착적으로 뒤틀리는 경향이 있다. 그러나, 1% 탄소의 추가는 전체  $\text{Si}_{0.89}\text{Ge}_{0.10}\text{C}_{0.01}$  층에 대한 격자 구조 내에서 충분한 공간을 형성하여 효과적으로 뒤틀리지 않게 할 것이다. 유사하게, 소정 수준의 장력 응축변형에서, 격자 구조 내로의 탄소의 혼입은 전기적 활성 도편트의 보다 큰 농도의 혼입을 가능하게 한다. 이러한 공정을 위하여, 모노메틸실란과 같은 적은 양의 유기 실리콘 전구체가 실리콘 및 탄소를 위한 소스로 DCS 흐름에 추가된다. 이러한 실시예를 사용하여 형성된, 도핑된 Si:C 층은 소스 및 드레인 컨택의 형성에서의 적용을 갖는다.

DCS 및, 인-시츄 도핑된 에피택셜 증착을 위한 전구체로서 아르신이나 포스핀 중 하나를 사용하고, 소정의 도편트 수소화물 유속에 대하여 더 높은 유속의 DCS를 사용하는 것은, 활성 도편트가 막 내로 혼입되는 속도를 증가시키는 경향이 있다.

이론에 국한되지 않고, 증가된 도편트 농도는 증착 속도에 기인한다고 여겨진다. 특히, 도편트는 성장하는 막의 표면에서의 확산에 의하여 분리될 시간이 없다고 여겨진다. 그러므로, 도편트는 실리콘 전구체의 높은 유속에 의하여 빠르게 묻히기 때문에 증착을 막거나 방해할 기회를 갖지 않는다. 따라서, 단일 웨이퍼 증착에 있어서, DCS 유속은 200sccm보다 큰 것이 바람직하고, 약 300sccm 및 약 5slm 사이인 것이 보다 바람직하다. 더 높은 유속은 다른 실시예에서 사용된다. 특정 실시예에서, 도편트 수소화물 유속에 대한 DCS 유속의 비( $R_{DCS:DH}$ )는 온도 범위에 따라 변한다. 바람직하게, 약 675°C 보다 낮은 온도에서 더 높은  $R_{DCS:DH}$ 가 사용되며(예를 들어, 약 50:1 및 약 100:1), 반면에 약 675°C 보다 높은 온도에서 더 낮은  $R_{DCS:DH}$ 가 사용된다(예를 들어, 약 4:1 및 약 50:1).

도 4a는 대기압에서 200mm 웨이퍼 상에 증착된 반도체 막을 위한 도편트 수소화물 유속의 함수로서의 성장 속도를 나타낸다. 도시된 바와 같이, 도편트 수소화물 유속을 증가시키면 어느 점까지는 성장 속도가 증가하고, 그 후 도편트 수소화물 유속의 증가는 전체 막 성장 속도를 감소시킨다. 최대 성장 속도는 일반적으로, 더 고온에서 더 높은 수준의 도편트 수소화물 유속의 경우에서 일어난다. 또한 최대 성장 속도는 일반적으로 온도와 함께 증가한다. 유사하게, DCS 유속을 증가시키는 것은 또한 최대 성장 속도를 증가시킨다. 도 4b는 도 4a와 동일 공정 조건 하에서 도편트 수소화물 유속의 함수로서의 도편트 농도를 나타낸다.

본 명세서에 개시된 특정 실시예에서, 기판은 에이에스эм 아메리카사(피닉스, 아리조나)에서 상업적으로 입수 가능한 200mm Epsilon® 단일 웨이퍼 에피택셜 증착 반응기와 같은 단일 웨이퍼 챔버 내에서 처리된다. 전형적인 실시예에서, 기판은 본 명세서에 개시된 증착 공정을 수행하기 전에 자연적인 산화물을 제거하도록 설정된다. 증착이 수행될 웨이퍼에 대한 세정 공정의 일례는 약 1050°C에서 인-시츄 베이크를 수행하는 단계를 포함한다. 선택적 증착이 수행될 패턴화된 웨이퍼에 대한 세정 공정의 일례는, HF에 담그고, 탈이온화 린스, 마란고니 건조(Marangoni dry)를 하고, 약 850°C 및 약 900°C 사이에서 인-시츄 베이크를 수행하는 단계를 포함한다.

일 실시예에서, 200mm 웨이퍼 상에 증착이 형성될 반응 챔버에는 약 10sccm 내지 약 100sccm 아르신(H<sub>2</sub> 내에서 1%)이 공급되는 반응 챔버에 약 200sccm 내지 약 3slm의 DCS가 공급된다. 다른 실시예에서, 다른 변수들은 반응물 유속에서의 동일 정도의 변화에 의해 상쇄될 수 있다. 예를 들어, 일반적으로 더 큰 유속들은 300mm 웨이퍼와 같은 더 큰 기판 위에서의 증착에 사용된다. 보다 일반적으로 말해서, 단일 웨이퍼 공정에 있어서, 희석제(예를 들어 H<sub>2</sub>) 내의 1% 도편트 수소화물의 약 5sccm 내지 약 200sccm이 바람직하며, 이는 실질적으로 H<sub>2</sub> 내의 0.1% 도편트 수소화물의 약 50sccm 내지 약 2000sccm과 동일하거나, 순수한 아르신의 약 0.05sccm 내지 약 2sccm과 동일하다.

본 명세서에 기술된 화학의 추가적인 장점은 로딩 효과(loader effect)가 없다는 것이다. 본 명세서에 개시된 특정 실시예들이 사용되는 경우, 웨이퍼 표면에 걸쳐 로딩 효과가 검출된다 하더라도 아주 적다. 윈도 크기의 차이에도 불구하고 웨이퍼 표면에 걸쳐 윈도마다 비균질성이 발견되었다. 따라서, x cm<sup>2</sup>의 윈도에 대한 평균 비균질성(average nonuniformity)은 약 (0.5)x cm<sup>2</sup>를 갖는 윈도의 평균 비균질성으로부터 약 5% 미만의 편차를 보인다.

또한, 본 명세서에 개시된 특정 실시예들이 사용되는 경우, 마이크로로딩 효과(micro-loading effect)도 감소된다. 패턴화된 웨이퍼 위의 선택적 증착을 논하는데 있어서, 마이크로로딩 효과란 웨이퍼 표면 위의 패턴화된 윈도 내에서의 성장 속도 및 막 조성의 국부적인 증착 패턴 비균질성을 말한다. 예를 들어, 파세팅은 선택적 증착 패턴의 가장자리 주위에 에피택셜 층을 희박하게 하는 마이크로로딩 효과이다. 파세팅은 불리하게도 에피택셜 증착 후에 수행되는 자가 배열 살리시데이션 즉 '살리시데이션(salicidation)' 단계를 어렵게 한다. 특정 실시예에서, 증착 압력을 줄이고/줄이거나 증착 온도를 줄이는 것은 마이크로로딩 효과를 줄이거나 없애는데 도움이 된다. 일 실시예에서, 하나의 윈도 내에 20% 미만의 비균질성이 어떠한 윈도 내에도 존재한다.

선택된 실시예들의 특정 목적 및 장점들은 본 발명 및, 종래 기술에 대해 달성된 장점들을 기술할 목적으로 상술되었다. 반드시 이러한 목적 또는 장점들이 어떠한 특정 실시예에 대하여 달성될 필요는 없다. 따라서, 예를 들어, 특정 실시예들은 다른 목적 또는 장점을 달성할 필요 없이, 하나의 장점 또는 장점들의 군을 달성하거나 최적화하는 방법으로 구체화되거나 수행될 수 있다.

## 도면의 간단한 설명

도 1은 전형적인 실시예에서 수소 유속의 함수로서 성장 속도, 저항률 및 도편트 농도를 나타내는 그래프이다.

도 2a는 증착 온도, AsH<sub>3</sub> 유속, 및 제 1 샘플 증착된 막에 대한 막 두께의 함수로서 비소 농도를 나타내는 그래프이다.

도 2b는 증착 온도, AsH<sub>3</sub> 유속, 및 제 2 샘플 증착된 막에 대한 막 두께의 함수로서 비소 농도를 나타내는 그래프이다.

도 3a는 전형적인 실시예에서 온도의 함수로서 성장 속도를 나타내는 그래프이다.

도 3b는 전형적인 실시예에서 온도의 함수로서 비소 농도를 나타내는 그래프이다.

도 4a는 전형적인 실시예에서 AsH<sub>3</sub> 유속의 함수로서 성장 속도를 나타내는 그래프이다.

도 4b는 전형적인 실시예에서 AsH<sub>3</sub> 유속의 함수로서 비소 농도를 나타내는 그래프이다.

도 5는 전형적인 실시예에서 다양한 AsH<sub>3</sub> 유속들에 대한 역 온도의 함수로서 성장 속도 및 저항률을 나타내는 그래프이다.

도 6은 전형적인 실시예에서 다양한 도펀트 및 도펀트 농도에 대한 역 온도의 함수로서 성장 속도를 나타내는 그래프이다.

도 7은 전형적인 실시예에서 압력의 함수로서 실리콘 막의 성장 속도 및 저항률을 나타내는 그래프이다.

도 8은 전형적인 실시예에서 GeH<sub>4</sub> 유속의 함수로서 성장 속도 및 게르마늄 혼입을 나타내는 그래프이다.

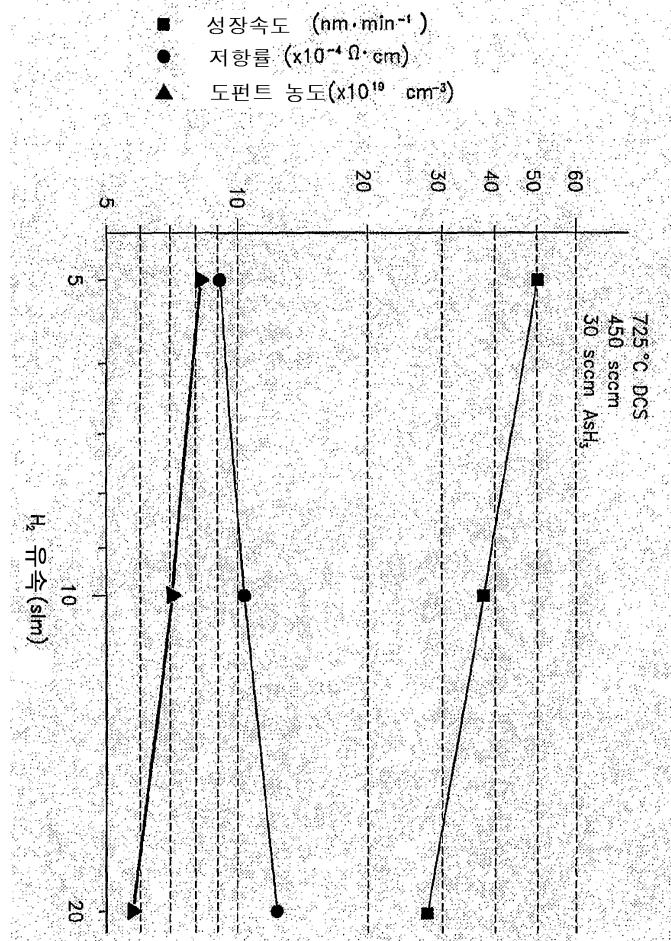
도 9는 전형적인 실시예에서 도핑되지 않은(AsH<sub>3</sub> 없는) 및 도핑된(AsH<sub>3</sub> 있는) 막에 대한 GeH<sub>4</sub> 유속의 함수로서 성장 속도를 나타내는 그래프이다.

도 10은 전형적인 실시예에서 GeH<sub>4</sub> 유속의 함수로서 저항률을 나타내는 그래프이다.

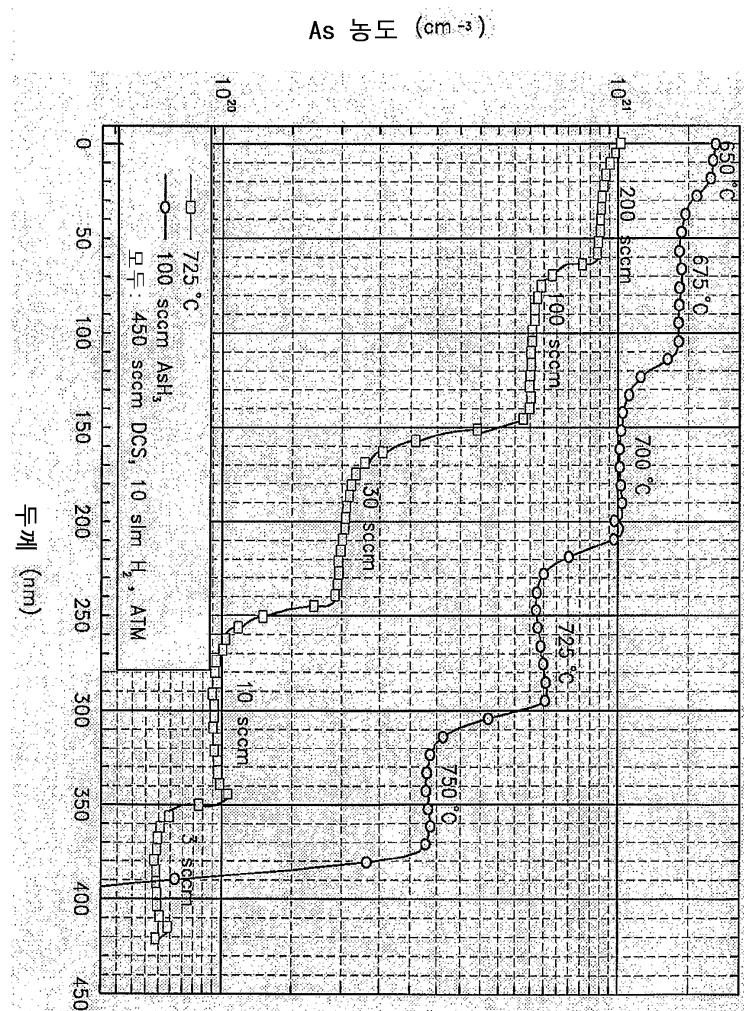
도 11은 전형적인 실시예에서 압력의 함수로서 실리콘 게르마늄 막의 성장 속도 및 저항률을 나타내는 그래프이다.

**도면**

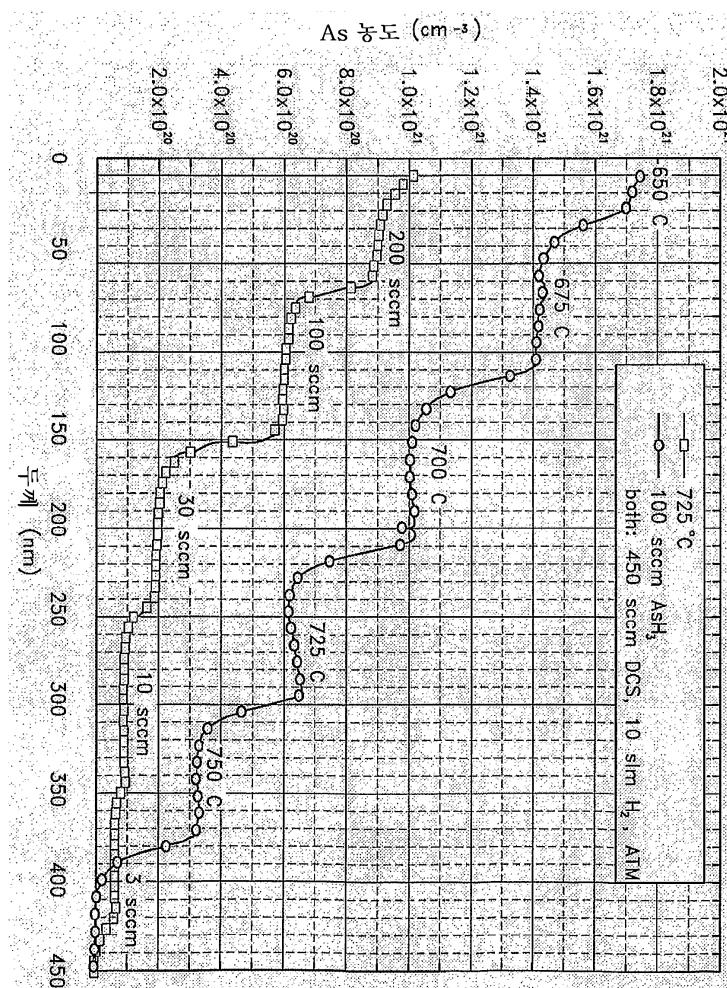
## 도면1



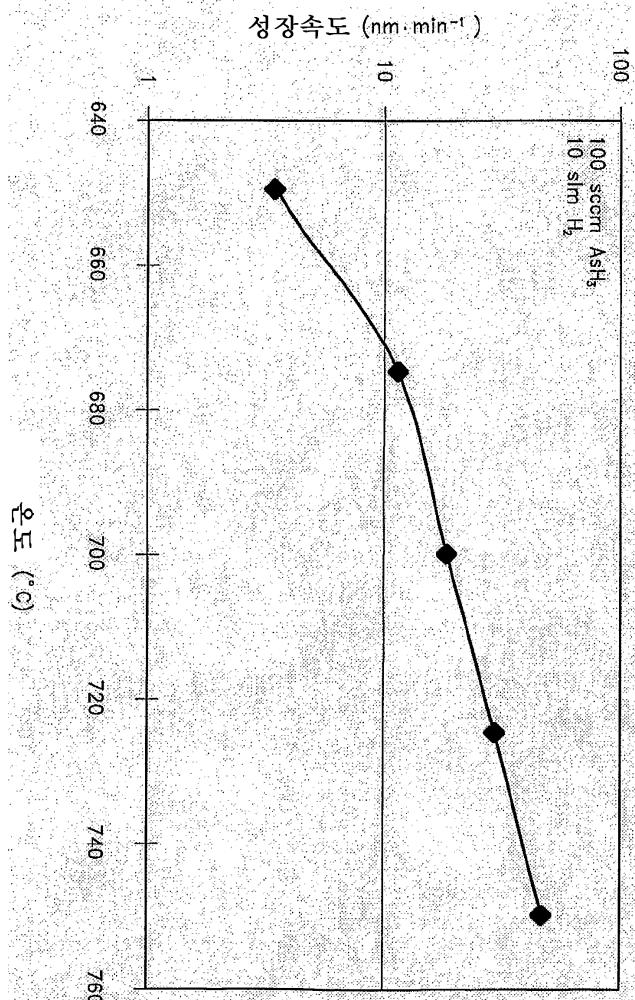
도면2a



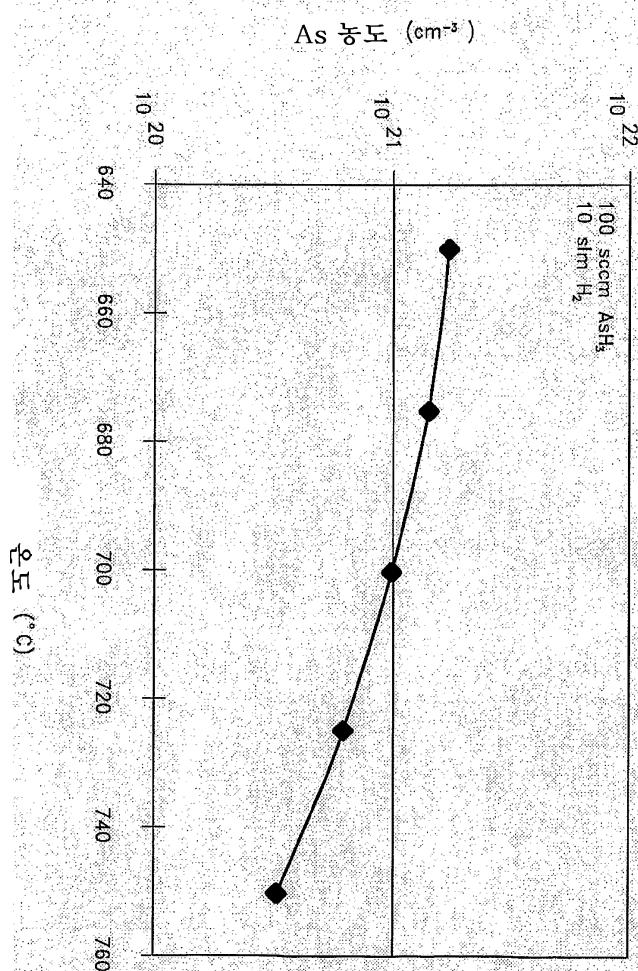
도면2b



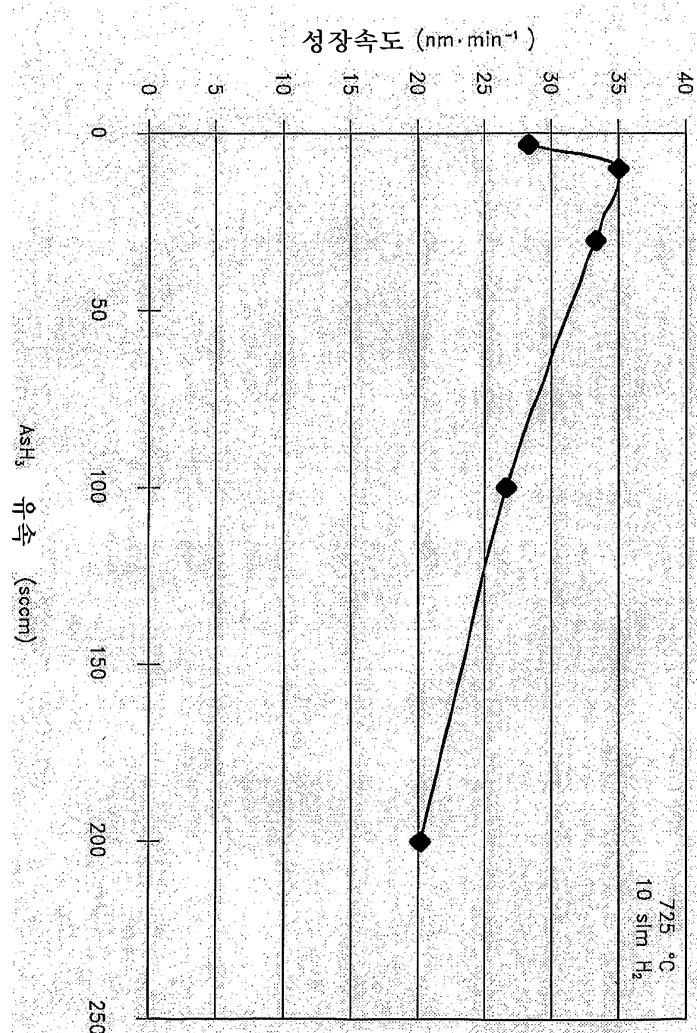
도면3a



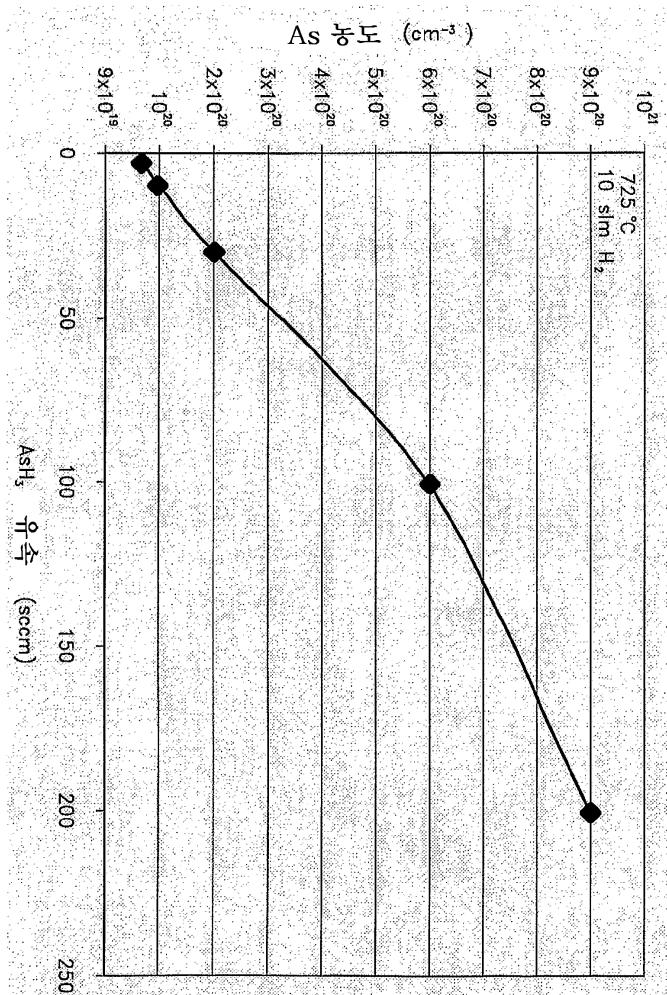
도면3b



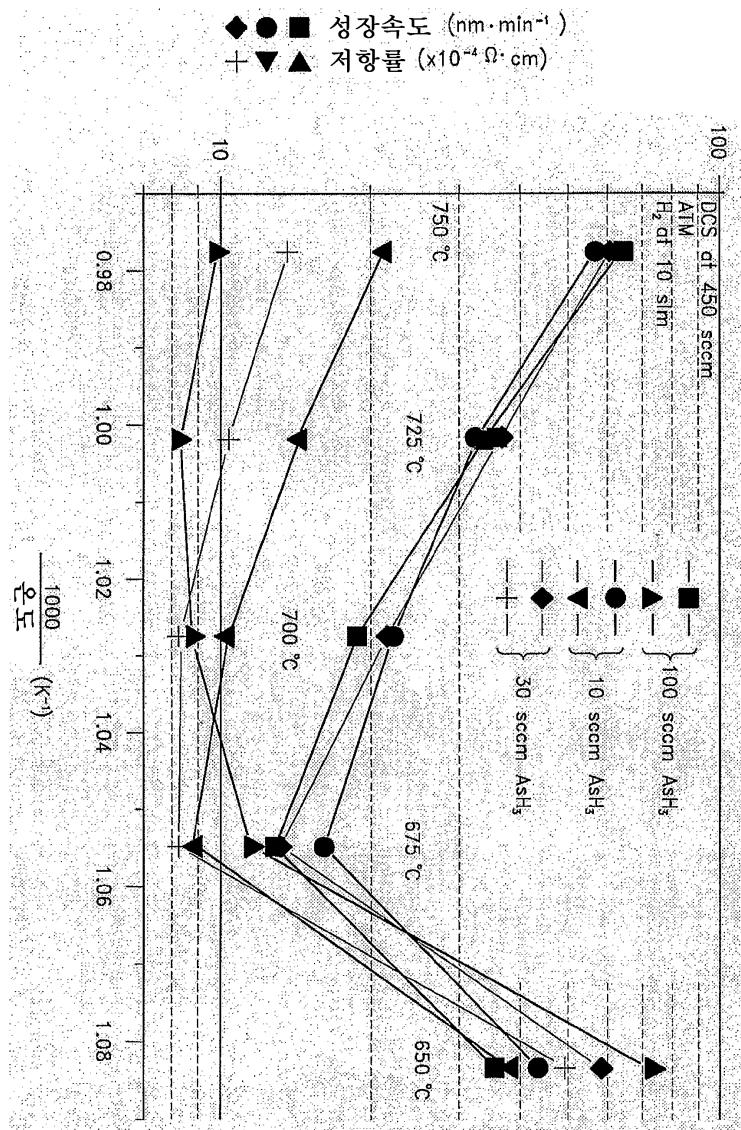
도면4a



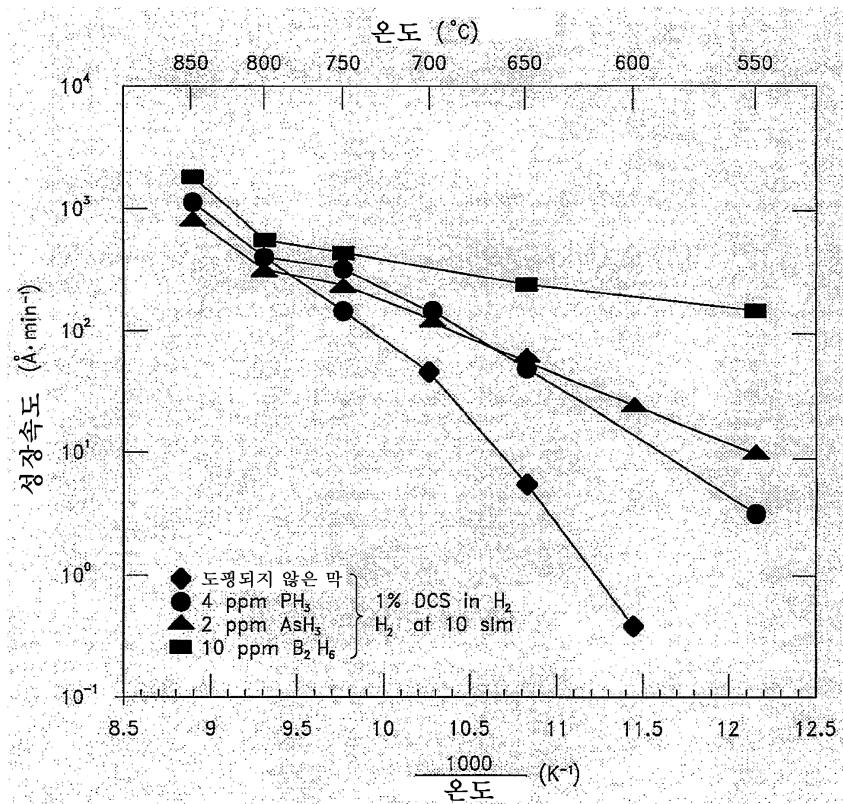
도면4b



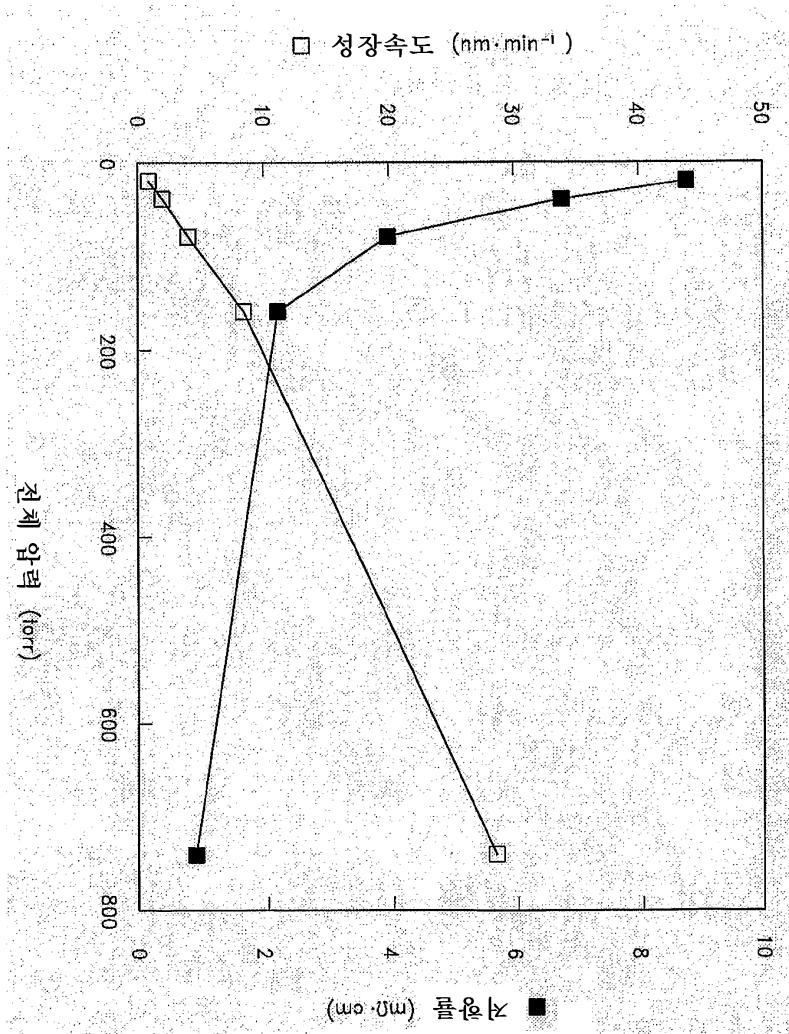
도면5



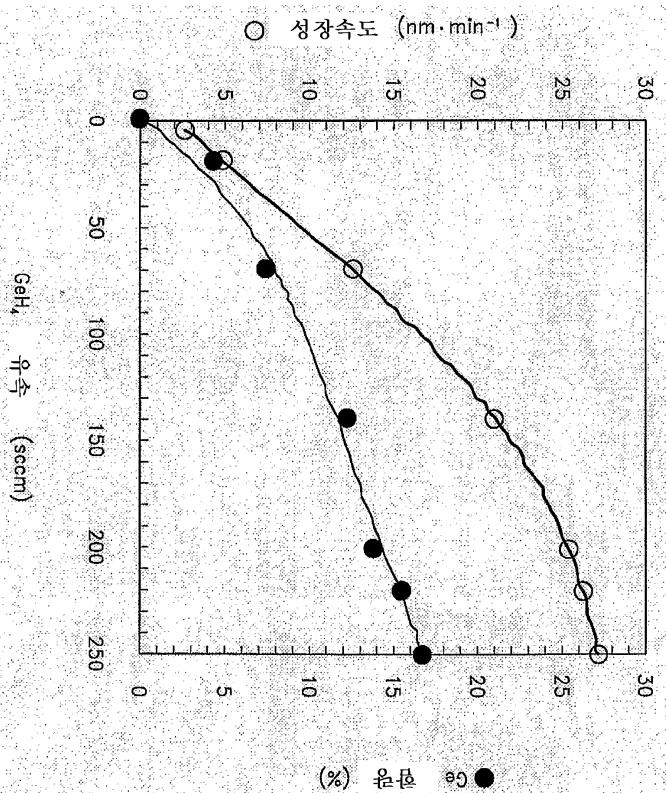
## 도면6



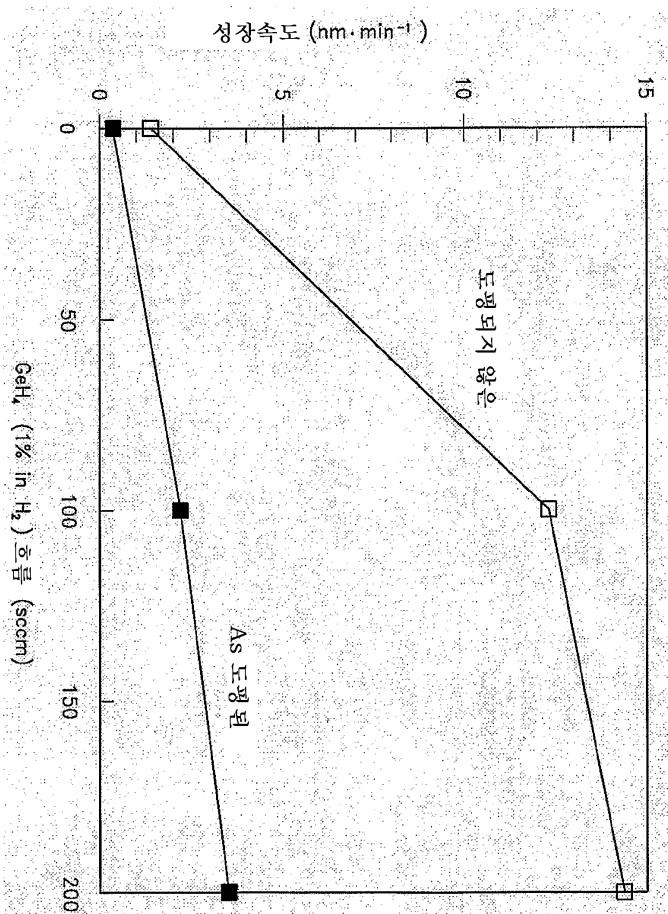
## 도면7



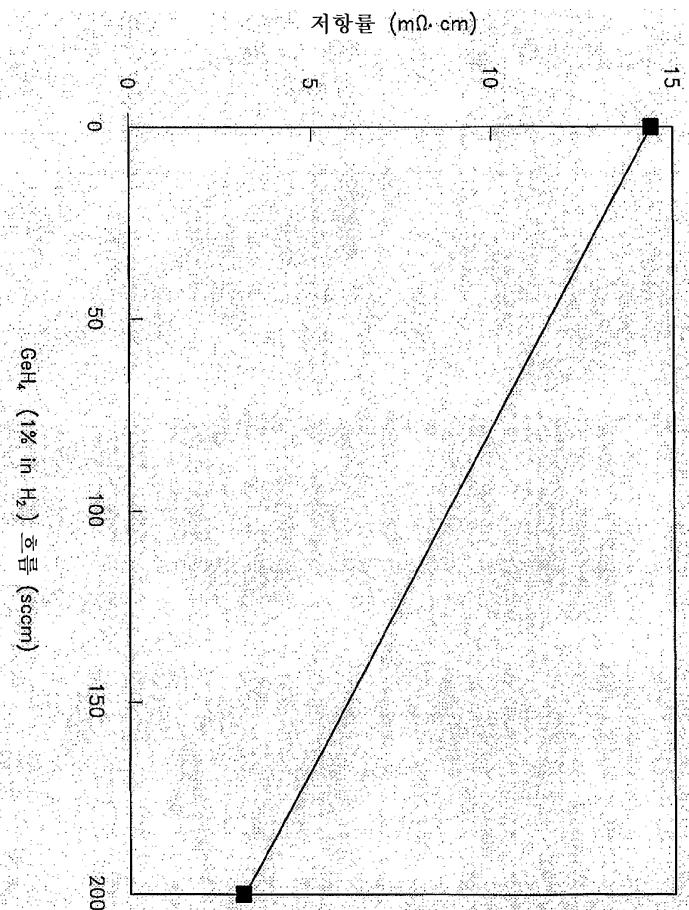
도면8



도면9



도면10



## 도면11

