



(21)申請案號：111103203

(22)申請日：中華民國 111 (2022) 年 01 月 25 日

(51)Int. Cl. : **H04L25/03 (2006.01)**

(71)申請人：瑞昱半導體股份有限公司(中華民國)REALTEK SEMICONDUCTOR CORP. (TW)
新竹科學園區創新二路二號

(72)發明人：王吳祺 WANG, WU-CHI (TW)；高子銘 KAO, TZU-MING (TW)；張元碩 CHANG, YUAN-SHUO (TW)

(74)代理人：吳豐任；戴俊彥；高銘良

(56)參考文獻：

TW I694697B

審查人員：林宥辰

申請專利範圍項數：8 項 圖式數：5 共 24 頁

(54)名稱

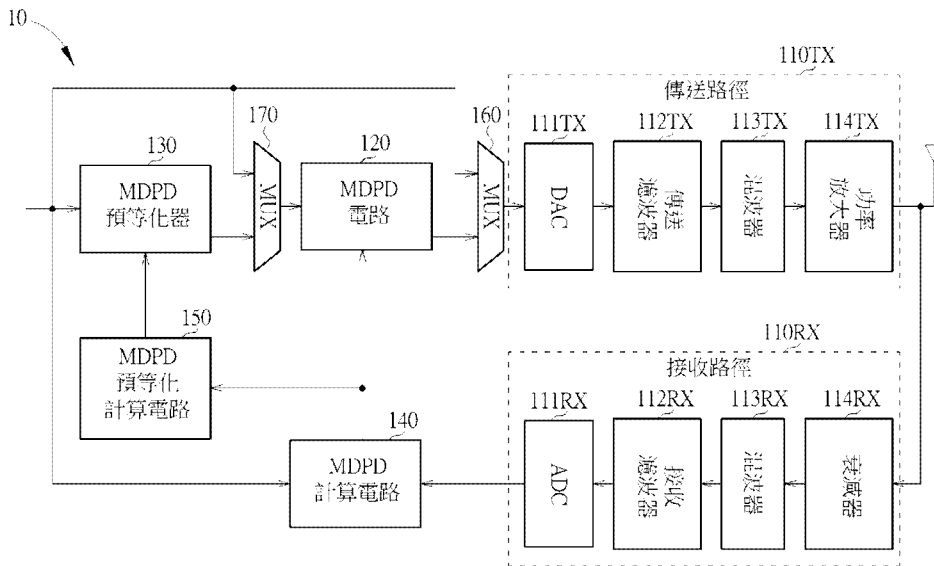
通訊裝置以及用於補償通訊裝置的頻率響應失真的方法

(57)摘要

本發明提供了一種通訊裝置以及用於補償該通訊裝置的頻率響應失真的方法。該通訊裝置包含一傳送路徑、一接收路徑、一記憶性預失真電路、一預等化器以及一預等化計算電路。該傳送路徑以及該接收路徑是用來依據預失真測試訊號產生反饋訊號，其中該記憶性預失真電路的一組預失真係數是依據該反饋訊號被校正。於該組預失真係數的校正完成後，該預等化計算電路對該組預失真係數進行計算以產生計算結果用於校正該預等化器。於該預等化器的校正完成後，傳輸訊號先被該預等化器以及該記憶性預失真電路處理後再由該傳送路徑輸出至該通訊裝置外部。

A communications device and a method for compensating frequency response distortion of the communication device are provided. The communications device includes a transmitting path, a receiving path, a memory pre-distortion circuit, a pre-equalizer and a pre-equalization calculation circuit. The transmitting path and the receiving path are configured to generate a feedback signal according to a pre-distortion test signal, where a set of pre-distortion coefficients of the memory pre-distortion circuit are calibrated according to the feedback signal. After calibration of the set of pre-distortion coefficients is finished, the pre-equalization calculation circuit performs calculation on the set of pre-distortion coefficients to generate a calculation result for calibrating the pre-equalizer. After calibration of the pre-equalizer is finished, a transmission signal is processed by the pre-equalizer and the memory pre-distortion circuit first, and then is output to outside of the communications device via the transmitting path.

指定代表圖：



第1圖

符號簡單說明：

10:收發器

110TX:傳送路徑

111TX:數位類比轉換器

112TX:傳送濾波器

113TX:混波器

114TX:功率放大器

110RX:接收路徑

111RX:類比數位轉換器

112RX:接收濾波器

113RX:混波器

114RX:衰減器

120:記憶性數位預失真電路

130:記憶性數位預失真預等化器

140:記憶性數位預失真計算電路

150:記憶性數位預失真預等化計算電路

160,170:多工器



公告本

I819476

【發明摘要】

【中文發明名稱】通訊裝置以及用於補償通訊裝置的頻率響應失真的方法

【英文發明名稱】COMMUNICATIONS DEVICE AND METHOD FOR
COMPENSATING FREQUENCY RESPONSE DISTORTION OF COMMUNICATION
DEVICE

【中文】

本發明提供了一種通訊裝置以及用於補償該通訊裝置的頻率響應失真的方法。該通訊裝置包含一傳送路徑、一接收路徑、一記憶性預失真電路、一預等化器以及一預等化計算電路。該傳送路徑以及該接收路徑是用來依據預失真測試訊號產生反饋訊號，其中該記憶性預失真電路的一組預失真係數是依據該反饋訊號被校正。於該組預失真係數的校正完成後，該預等化計算電路對該組預失真係數進行計算以產生計算結果用於校正該預等化器。於該預等化器的校正完成後，傳輸訊號先被該預等化器以及該記憶性預失真電路處理後再由該傳送路徑輸出至該通訊裝置外部。

【英文】

A communications device and a method for compensating frequency response distortion of the communication device are provided. The communications device includes a transmitting path, a receiving path, a memory pre-distortion circuit, a pre-equalizer and a pre-equalization calculation circuit. The transmitting path and the receiving path are configured to generate a feedback signal according to a pre-distortion test signal, where a set of pre-distortion coefficients of the memory pre-distortion circuit are calibrated according to the feedback signal. After calibration of the set of pre-distortion coefficients is finished, the pre-equalization calculation

circuit performs calculation on the set of pre-distortion coefficients to generate a calculation result for calibrating the pre-equalizer. After calibration of the pre-equalizer is finished, a transmission signal is processed by the pre-equalizer and the memory pre-distortion circuit first, and then is output to outside of the communications device via the transmitting path.

【指定代表圖】第(1)圖。

【代表圖之符號簡單說明】

10: 收發器

110TX: 傳送路徑

111TX: 數位類比轉換器

112TX: 傳送濾波器

113TX: 混波器

114TX: 功率放大器

110RX: 接收路徑

111RX: 類比數位轉換器

112RX: 接收濾波器

113RX: 混波器

114RX: 衰減器

120: 記憶性數位預失真電路

130: 記憶性數位預失真預等化器

140: 記憶性數位預失真計算電路

150: 記憶性數位預失真預等化計算電路

160, 170: 多工器

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 通訊裝置以及用於補償通訊裝置的頻率響應失真的方法

【英文發明名稱】 COMMUNICATIONS DEVICE AND METHOD FOR
COMPENSATING FREQUENCY RESPONSE DISTORTION OF
COMMUNICATION DEVICE

【技術領域】

【0001】 本發明是關於通訊裝置的訊號預處理，尤指一種通訊裝置以及用於補償該通訊裝置的頻率響應失真的方法。

【先前技術】

【0002】 在現有的無線寬頻通訊裝置中，使用了各種訊號處理方法以提升線性度。然而，這些訊號處理技術存在某些問題。例如，當這些訊號處理方法以改善線性度為目的去對一無線寬頻通訊裝置中的某一訊號進行預處理時，該無線寬頻通訊裝置的頻率響應卻會因為該預處理而失真。

【0003】 因此，需要一種新穎的方法及相關架構，以在沒有副作用或較不會帶來副作用的情況下解決相關技術的問題。

【發明內容】

【0004】 本發明的一目的在於提供一種通訊裝置以及用於補償該通訊裝置的頻率響應失真的方法，以在不造成或較不容易造成頻率響應失真的情況下提升該通訊裝置的線性度。

【0005】 本發明至少一實施例提供一種通訊裝置。該通訊裝置包含一傳送路徑、一接收路徑、一記憶性預失真(pre-distortion)電路、一預等化器(pre-equalizer)以及一預等化計算電路，其中該記憶性預失真電路以及該預等化器均位於該傳送路徑的前端，而該預等化計算電路耦接至該預等化器。該傳送路徑是用來依

據一預失真測試訊號產生一輸出測試訊號，而該接收路徑是用來依據該輸出測試訊號產生一反饋訊號，其中該記憶性預失真電路的一組預失真係數是依據該反饋訊號被校正。另外，於該記憶性預失真電路的該組預失真係數的校正完成後，該預等化計算電路接收該組預失真係數，以對該組預失真係數進行計算以產生一計算結果，以及該預等化器是依據該計算結果被校正，尤其於該預等化器的校正完成後，一傳輸訊號先被該預等化器以及該記憶性預失真電路處理後再接著透過該傳送路徑被輸出至該通訊裝置外部。

【0006】 本發明至少一實施例提供一種用於補償一通訊裝置的頻率響應失真的方法，其中該方法包含：利用該通訊裝置的一傳送路徑依據一預失真測試訊號產生一輸出測試訊號；利用該通訊裝置的一接收路徑依據該輸出測試訊號產生一反饋訊號；依據該反饋訊號校正該通訊裝置的一記憶性預失真電路的一組預失真係數；於該記憶性預失真電路的該組預失真係數的校正完成後，利用該通訊裝置的一預等化計算電路接收該組預失真係數，以對該組預失真係數進行計算以產生一計算結果；依據該計算結果校正該通訊裝置的一預等化器（pre-equalizer）。另外，於該預等化器的校正完成後，一傳輸訊號先被該預等化器以及該記憶性預失真電路處理後再接著透過該傳送路徑被輸出至該通訊裝置外部。

【0007】 依據本發明的實施例所提供的通訊裝置以及方法，該預等化器能補償因為針對包含有低通濾波器的路徑進行預失真處理而導致的頻率響應失真。另外，本發明的實施例不會大幅地增加額外成本。因此，本發明能在沒有副作用或較不會帶來副作用的情況下解決相關技術的問題。

【圖式簡單說明】

【0008】

第1圖為依據本發明一實施例之在一通訊裝置中估測記憶性數位預失真係數的示意圖。

第2圖為依據本發明一實施例之一種用於補償第1圖所示之通訊裝置的頻率響應失真的方法的工作流程。

第3圖為依據本發明一實施例之校正第1圖所示之通訊裝置內的一數位預失真電路的示意圖。

第4圖為依據本發明一實施例之校正第1圖所示之通訊裝置內的一數位預失真電路以及一數位預失真預等化器的校正完成後的運作。

第5圖為依據本發明一實施例之一數位預失真預等化計算電路的某些實施細節。

【實施方式】

【0009】 第1圖為依據本發明一實施例之在一通訊裝置諸如收發器10中估測記憶性數位預失真（memory digital pre-distortion，簡稱MDPD）係數的示意圖。如第1圖所示，收發器10可包含一傳送路徑110TX、一接收路徑110RX、一MDPD電路120、一MDPD預等化器（pre-equalizer）130。在本實施例中，傳送路徑110TX可包含一數位類比轉換器111TX（digital-to-analog converter，圖中標示為DAC）、一傳送濾波器112TX、一混波器113TX以及一功率放大器114TX，而接收路徑110RX可包含一類比數位轉換器111RX（analog-to-digital converter，圖中標示為ADC）、一接收濾波器112RX、一混波器113RX以及一衰減器114RX。在本實施例中，收發器10可另包含一MDPD計算電路140以及一MDPD預等化計算電路150，其中收發器10可先利用MDPD計算電路140校正MDPD電路120（例如校正MDPD電路120的一組預失真係數），再接著利用MDPD預等化計算電路150依據該組預失真係數校正MDPD預等化器130。具體來說，MDPD電路120在被校正完成後可用來補償傳送路徑110TX中的功率放大器114TX的非線性失真，以及

MDPD預等化器130在被校正完成後可用來補償於傳送路徑110TX以及接收路徑110RX的任一者包含一濾波器（例如傳送濾波器112TX及／或接收濾波器112RX）的情況下MDPD電路120於被校正後所產生的頻率響應失真。例如，當傳送路徑110TX及／或接收路徑110RX包含任一濾波器，MDPD電路120在被校正後會依據此濾波器的頻率響應產生頻率響應失真，而此頻率響應失真可被MDPD預等化器130的頻率響應補償／抵銷。另外，MDPD電路120以及MDPD預等化器130均位於該傳送路徑110TX的前端，而在MDPD電路120以及MDPD預等化器130的校正均完成後，一傳輸訊號可先被MDPD預等化器130以及MDPD電路120處理後再接著透過傳送路徑110TX（例如透過耦接至傳送路徑110TX的天線）被輸出至收發器10外部。在本實施例中，收發器10可利用其內的多工器（multiplexer）160及170（在圖中標示為「MUX」以求簡明）控制MDPD電路120與MDPD預等化器130的校正訊號路徑（例如利用其內的一控制器產生多個控制訊號以分別用於控制多工器160及170選擇致能其上方路徑及其下方路徑的其中一者），而關於校正MDPD電路120與MDPD預等化器130的細節將於後續段落說明。在某些實施例中，多工器170可予以省略，而MDPD電路120的輸入端可耦接至MDPD預等化器130的輸出端，但本發明不限於此。

【0010】 第2圖為依據本發明一實施例之一種用於補償一通訊裝置諸如第1圖所示之收發器10的頻率響應失真的方法的工作流程。需注意的是，第2圖所示之工作流程僅為了說明之目的，並非對本發明的限制。尤其，一或多個步驟可於第2圖所示之工作流程中被新增、刪除或修改。此外，只要不妨礙整體結果，這些步驟並非必須完全依照第2圖所示之順序執行。

【0011】 在步驟S210中，該通訊裝置利用其內的一傳送路徑依據一預失真測試訊號產生一輸出測試訊號。

【0012】 在步驟S220中，該通訊裝置利用其內的一接收路徑依據該輸出測試

訊號產生一反饋訊號。

【0013】 在步驟S230中，該通訊裝置依據該反饋訊號校正其內的一記憶性預失真電路的一組預失真係數。

【0014】 為便於理解步驟S210到S230的運作，請參考第3圖。收發器10（例如其內的控制器）可控制多工器160致能（enable）其上方路徑並且除能（disable）其下方路徑以旁通（bypass）MDPD預等化器130與MDPD電路120，使得一預失真測試訊號 $TEST_{MDPD}$ 在不進行MDPD預等化器130與MDPD電路120的預處理的情況下被輸入至傳送路徑110TX，並且依序經由數位類比轉換器111TX、傳送濾波器112TX、混波器113TX以及功率放大器114TX處理後產生一輸出測試訊號 $TEST_{OUT}$ 。輸出測試訊號 $TEST_{OUT}$ 可接著被傳送至接收路徑110RX，並且依序經由衰減器114RX、混波器113RX、接收濾波器112RX以及類比數位轉換器111RX處理後產生一反饋訊號FB1。MDPD計算電路140可將反饋訊號FB1與預失真測試訊號 $TEST_{MDPD}$ 進行比較以估測功率放大器114TX所造成的非線性失真，並據以計算出一組預失真係數 $\{a_{mp}\}$ 以作為MDPD電路120內的濾波器的係數，使得MDPD電路120能針對傳送訊號進行預失真處理以補償功率放大器114TX所造成的非線性失真。

【0015】 由於傳送路徑110TX包含有傳送濾波器112TX而接收路徑110RX包含有接收濾波器112RX，因此收發器10以第3圖的所示的訊號路徑校正MDPD電路120後，MDPD電路120的頻率響應會失真。例如，當傳送濾波器112TX與接收濾波器112RX均為低通濾波器時，由於低通濾波器的振幅響應在高頻帶會被往下抑制，因此經由校正後的MDPD電路120進行等化補償反而會使振幅響應在高頻帶被往上抬起。因此，本發明在後續的步驟可依據MDPD電路120於校正後的頻率響應進行預等化處理，以解決上述頻率響應失真的問題。

【0016】 在步驟S240中，於該記憶性預失真電路的該組預失真係數的校正完

第 5 頁，共 12 頁(發明說明書)

成後，該通訊裝置利用其內的一預等化計算電路接收該組預失真係數，以對該組預失真係數進行計算以產生一計算結果。

【0017】 在步驟S250中，該通訊裝置依據該計算結果校正其內的一預等化器。

【0018】 當MDPD電路120的一記憶深度為M，MDPD電路120可依據一當下時間點的輸入訊號諸如訊號 $x(n)$ （可代表MDPD電路120接收的第n個輸入樣本）、該當下時間點的前M個時間點的輸入訊號諸如訊號 $x(n-1)$ 、 $x(n-2)$ 、 $x(n-3)$ 、...及 $x(n-M)$ （可代表MDPD電路120接收的第(n-1)個輸入樣本、第(n-2)個輸入樣本、第(n-3)個輸入樣本、...及第(n-M)個輸入樣本）以及該組預失真係數（例如 $\{a_{mp}\}$ ）產生該當下時間點的一輸出訊號（例如第n個輸出樣本），其中M、n均為正整數。尤其，該組預失真係數（例如 $\{a_{mp}\}$ ）可包含(M+1)個一階項（first-order term）係數，以及該(M+1)個一階項係數分別對應於該當下時間點的輸入訊號以及該前M個時間點的輸入訊號的(M+1)個權值（weighting）。

【0019】 舉例來說，MDPD電路120的輸出訊號可用一通用型記憶多項式（Generalized Memory Polynomial, GMP）模型來描述，如下：

$$\begin{aligned}
 y_{\text{GMP}}(n) &= \sum_{m=0}^M \sum_{p=1}^P a_{mp} \cdot x(n-m) \cdot |x(n-m)|^{p-1} \\
 &+ \sum_{m=0}^M \sum_{p=1}^P \sum_{c=1}^{C_{\text{lag}}} b_{mpc} \cdot x(n-m) \cdot |x(n-m-c)|^{p-1} \\
 &+ \sum_{m=0}^M \sum_{p=1}^P \sum_{c=1}^{C_{\text{lead}}} c_{mpc} \cdot x(n-m) \cdot |x(n-m+c)|^{p-1}
 \end{aligned}$$

其中 $y_{\text{GMP}}(n)$ 表示MDPD電路120的第n個輸出樣本， C_{lead} 表示領先交互項（lead cross-term）的最大長度， C_{lag} 表示落後交互項（lag cross-term）的最大長度， $x(n-m)$ 則表示MDPD電路120的第(n-m)個輸入樣本。因此，於MDPD電路120的該組預失真係數（例如 $\{a_{mp}\}$ 、 $\{b_{mpc}\}$ 及 $\{c_{mpc}\}$ ）的校正完成後，MDPD預等化計算

電路150可對該組預失真係數(例如 $\{a_{mp}\}$ 、 $\{b_{mpc}\}$ 及 $\{c_{mpc}\}$)進行計算以取得MDPD電路120所產生的頻率響應失真,再據以校正MDPD預等化電路130使得MDPD預等化電路130的頻率響應能抵銷/補償MDPD電路120所產生的頻率響應失真。

【0020】 如第4圖所示,在MDPD電路120與MDPD預等化器130均被校正完成後,收發器10(例如其內的控制器)可控制多工器160致能其下方路徑並且除能其上方路徑、以及控制多工器170致能其下方路徑並且除能其上方路徑,以使一傳輸訊號TXDATA可先依序被MDPD預等化器130以及MDPD電路120處理後再接著透過傳送路徑110TX被輸出至收發器10外部。

【0021】 第5圖為依據本發明一實施例之MDPD預等化計算電路150的某些實施細節。如第5圖所示,MDPD預等化計算電路150可包含一時域對頻域轉換電路諸如離散傅立葉轉換(Discrete Fourier Transform, DFT)電路151(在第5圖中標示為「DFT」以求簡明)、一通道估測器(channel estimator)諸如一絕對值計算電路152(在第5圖中標示為「振幅 = |響應|」以便於理解)、一倒數計算電路153(在第5圖中標示為「1/振幅」以便於理解)以及一逆離散傅立葉轉換(Inverse Discrete Fourier Transform, IDFT)電路154(在第5圖中標示為「IDFT」以求簡明)。需注意的是,為簡化MDPD預等化計算電路150的設計以降低其硬體成本及計算時間,MDPD預等化計算電路150並非必須基於該組預失真係數(例如 $\{a_{mp}\}$ 、 $\{b_{mpc}\}$ 及 $\{c_{mpc}\}$)的全部來計算MDPD電路120的頻率響應。在本實施例中,上述領先交互項與落後交互項的係數 $\{b_{mpc}\}$ 及 $\{c_{mpc}\}$ 可予以忽略。另外,MDPD預等化計算電路150可另包含一選擇電路155(在第5圖中標示為「一階係數選擇」以便於理解),用來選擇預失真係數 $\{a_{mp}\}$ 中多個一階項係數並且捨棄這些一階項係數以外的預失真係數,藉此進一步降低後續處理的硬體成本及計算時間。

【0022】 舉例來說,假設MDPD電路120的輸出訊號 $y(n)$ 在校正完成後是以階數為5、記憶深度為3且落後交互項(lag cross-term)的最大長度為1的通用型記

憶多項式模型來描述如下：

$$\begin{aligned}
 y(n) = & w(1) \cdot x(n) & + w(2) \cdot x(n) \cdot |x(n)|^2 & + w(3) \cdot x(n) \cdot |x(n)|^4 \\
 & + w(4) \cdot x(n-1) & + w(5) \cdot x(n-1) \cdot |x(n-1)|^2 & + w(6) \cdot x(n-1) \cdot |x(n-1)|^4 \\
 & + w(7) \cdot x(n-2) & + w(8) \cdot x(n-2) \cdot |x(n-2)|^2 & + w(9) \cdot x(n-2) \cdot |x(n-2)|^4 \\
 & + w(10) \cdot x(n-3) & + w(11) \cdot x(n-3) \cdot |x(n-3)|^2 & + w(12) \cdot x(n-3) \cdot |x(n-3)|^4 \\
 & & + w(13) \cdot x(n) \cdot |x(n-1)|^2 & + w(14) \cdot x(n) \cdot |x(n-1)|^4 \\
 & & + w(15) \cdot x(n-1) \cdot |x(n-2)|^2 & + w(16) \cdot x(n-1) \cdot |x(n-2)|^4 \\
 & & + w(17) \cdot x(n-2) \cdot |x(n-3)|^2 & + w(18) \cdot x(n-2) \cdot |x(n-3)|^4 \\
 & & + w(19) \cdot x(n-3) \cdot |x(n-4)|^2 & + w(20) \cdot x(n-3) \cdot |x(n-4)|^4
 \end{aligned}$$

【0023】 其中 $w(13)$ 到 $w(20)$ 為落後交互項係數 $\{b_{mpc}\}$ 的例子， $w(2)$ 、 $w(5)$ 、 $w(8)$ 及 $w(11)$ 為預失真係數 $\{a_{mp}\}$ 中的三階項係數的例子，而 $w(3)$ 、 $w(6)$ 、 $w(9)$ 及 $w(12)$ 為預失真係數 $\{a_{mp}\}$ 中的五階項係數的例子。因此，選擇電路155可將預失真係數 $\{a_{mp}\}$ 中的多個一階項係數 $w(1)$ 、 $w(4)$ 、 $w(7)$ 及 $w(10)$ 以外的係數捨棄，以將輸出訊號 $y(n)$ 簡化為 $y_{SIMP}(n) = w(1) \cdot x(n) + w(4) \cdot x(n-1) + w(7) \cdot x(n-2) + w(10) \cdot x(n-3)$ ，但本發明不限於此。由於MDPD電路120的頻率響應典型地是由一階項係數主宰，因此即使本實施例大幅地簡化了對該組預失真係數的計算，但利用上述簡化後的計算來校正MDPD預等化器130依然能使MDPD預等化器130有效地補償／等化MDPD電路120的頻率響應。

【0024】 在本實施例中，選擇電路155可自該組預失真係數（例如 $\{a_{mp}\}$ ）中選擇其中的 $(M+1)$ 個一階項係數 $\{a_{01}, a_{11}, a_{21}, \dots, a_{M1}\}$ ，並且以各個一階項係數對應的記憶深度依序排列再輸出為 $\{d[0], d[1], d[2], \dots, d[M]\}$ ，如下：

$$\begin{bmatrix} d[0] \\ d[1] \\ d[2] \\ \vdots \\ d[M] \end{bmatrix} = \begin{bmatrix} a_{01} \\ a_{11} \\ a_{21} \\ \vdots \\ a_{M1} \end{bmatrix}$$

接著，離散傅立葉轉換電路151可對選擇電路155輸出的 $(M + 1)$ 個一階項係數 $\{d[0], d[1], d[2], \dots, d[M]\}$ 進行時域對頻域轉換諸如離散傅立葉轉換（其在實作上可用快速傅立葉轉換（Fast Fourier Transform, FFT）來實施）以取得分別對應於 $(M + 1)$ 個頻率的 $(M + 1)$ 個頻域轉換結果 $\{D[k]\}$ 如下：

$$\begin{bmatrix} D[0] \\ D[1] \\ D[2] \\ \vdots \\ D[M] \end{bmatrix} = \text{DFT} \begin{bmatrix} d[0] \\ d[1] \\ d[2] \\ \vdots \\ d[M] \end{bmatrix}$$

而該 $(M + 1)$ 個頻域轉換結果 $\{D[k]\}$ 中的任一頻域轉換結果 $D[k]$ 可表示如下：

$$D[k] = \sum_{m=0}^{M} d[m] \cdot e^{-j2\pi \frac{k \cdot m}{M+1}}$$

其中 $k = 0, 1, 2, \dots, M$ （分別對應於該 $(M + 1)$ 個頻率），「 e 」可代表尤拉數（Euler's number），「 π 」可代表圓周率，而「 j 」可代表 $\sqrt{-1}$ 。接著，絕對值計算電路152可分別對該 $(M + 1)$ 個頻域轉換結果 $\{D[k]\}$ 進行絕對值計算以取得分別對應於該 $(M + 1)$ 個頻率的 $(M + 1)$ 個振幅響應值 $\{|D[k]|\}$ 。由於經由離散傅立葉轉換得到的頻域轉換結果 $D[k]$ 為複數（complex number），因此該 $(M + 1)$ 個振幅響應值 $\{|D[k]|\}$ 的任一振幅響應值 $|D[k]|$ 的計算如下：

$$|D[k]| = \sqrt{\text{real}(D[k])^2 + \text{imag}(D[k])^2}$$

其中 $\text{real}(D[k])$ 代表頻域轉換結果 $D[k]$ 的實部（real part），而 $\text{imag}(D[k])$ 代表頻域轉換結果 $D[k]$ 的虛部（imaginary part）。接著，倒數計算電路153可分別對該 $(M + 1)$ 個振幅響應值 $\{|D[k]|\}$ 進行倒數計算以取得分別對應於該 $(M + 1)$ 個頻率的 $(M + 1)$ 個補償增益 $\{S_{\text{PreEQ_freq}}[k]\}$ ，而該 $(M + 1)$ 個補償增益 $\{S_{\text{PreEQ_freq}}[k]\}$ 的任一補償增益 $S_{\text{PreEQ_freq}}[k]$ 的計算如下：

$$S_{\text{PreEQ_freq}}[k] = \frac{1}{|D[k]|}$$

接著，逆離散傅立葉轉換電路154可分別對該 $(M + 1)$ 個補償增益 $\{S_{\text{PreEQ_freq}}[k]\}$ 進

行頻域對時域轉換諸如逆離散傅立葉轉換（在實作上可用逆快速傅立葉轉換（Inverse Fast Fourier Transform, IFFT）來實施）以取得 $(M + 1)$ 個預等化係數 $\{S_{\text{PreEQ_time}}[r]\}$ 作為該計算結果，其中該 $(M + 1)$ 個預等化係數 $\{S_{\text{PreEQ_time}}[r]\}$ 中的任一預等化係數 $S_{\text{PreEQ_time}}[r]$ 的計算如下：

$$S_{\text{PreEQ_time}}[r] = \frac{1}{M+1} \sum_{k=0}^M S_{\text{PreEQ_freq}}[k] \cdot e^{j2\pi \frac{rk}{M+1}}$$

其中 $r = 0, 1, 2, \dots, M$ ，而該 $(M + 1)$ 個預等化係數 $\{S_{\text{PreEQ_time}}[r]\}$ 能使得MDPD預等化器130的一頻率響應對應於該 $(M + 1)$ 個補償增益 $\{S_{\text{PreEQ_freq}}[k]\}$ 所構成的一頻率響應，從而達到抵銷／補償MDPD電路120所產生的頻率響應失真的效果。

【0025】 在某些實施例中，MDPD預等化器130可包含一濾波器（例如有限脈衝響應（finite impulse response, FIR）濾波器或無限脈衝響應（infinite impulse response, IIR）濾波器），而該 $(M + 1)$ 個預等化係數 $\{S_{\text{PreEQ_time}}[r]\}$ 可用來作為該濾波器的係數（例如在該濾波器中分別對應於 $(M + 1)$ 個分接頭（tap）的 $(M + 1)$ 個係數），以使得該濾波器的一頻率響應能符合該 $(M + 1)$ 個補償增益 $\{S_{\text{PreEQ_freq}}[k]\}$ 所構成的該頻率響應，但本發明不限於此。

【0026】 需注意的是，MDPD預等化計算電路150內的每個子電路（例如離散傅立葉轉換電路151、絕對值計算電路152、倒數計算電路153以及逆離散傅立葉轉換電路154）可分別以專用於上述計算的計算電路來實施。在某些實施例中，MDPD預等化計算電路150內某些較複雜的計算（例如離散傅立葉轉換電路及／或逆離散傅立葉轉換）可使用專屬的計算電路，而某些較簡易的計算（例如絕對值計算及／或倒數計算）可由離散傅立葉轉換電路151及／或逆離散傅立葉轉換電路154內部既有的計算電路來執行、或者由MDPD預等化計算電路150外部既有的計算電路來執行，但本發明不限於此。

【0027】 總結來說，本發明利用MDPD電路120對輸入訊號進行預失真處理以

補償功率放大器114TX的非線性失真。由於在校正MDPD電路120時訊號路徑上的濾波器特性會涉及其中，導致MDPD電路120在被校正後的頻率響應會失真(例如具有高通濾波特性)，因此本發明利用MDPD預等化器130提供一個和MDPD電路120的頻率響應失真相抵消的頻率響應(例如低通濾波特性)，以補償MDPD電路120所產生的頻率響應失真。另外，本發明的實施例不會大幅地增加額外成本。因此，本發明能在沒有副作用或較不會帶來副作用的情況下解決相關技術的問題。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0028】

10: 收發器

110TX: 傳送路徑

111TX: 數位類比轉換器

112TX: 傳送濾波器

113TX: 混波器

114TX: 功率放大器

110RX: 接收路徑

111RX: 類比數位轉換器

112RX: 接收濾波器

113RX: 混波器

114RX: 衰減器

- 120: 記憶性數位預失真電路
- 130: 記憶性數位預失真預等化器
- 140: 記憶性數位預失真計算電路
- 150: 記憶性數位預失真預等化計算電路
- 160, 170: 多工器
- S210~S250: 步驟
- TEST_{MDDP}: 預失真測試訊號
- FB1: 反饋訊號
- TXDATA: 傳輸訊號
- 151: 離散傅立葉轉換電路
- 152: 絕對值計算電路
- 153: 倒數計算電路
- 154: 逆離散傅立葉轉換電路
- 155: 選擇電路

【發明申請專利範圍】

【請求項1】 一種通訊裝置，包含：

一傳送路徑，用來依據一預失真（pre-distortion）測試訊號產生一輸出測試訊號；

一接收路徑，用來依據該輸出測試訊號產生一反饋訊號；

一記憶性預失真電路，位於該傳送路徑的前端，用來依據一當下時間點的輸入訊號、該當下時間點的前 M 個時間點的輸入訊號以及一組預失真係數產生該當下時間點的一預失真輸出訊號，其中 M 為正整數且代表該記憶性預失真電路的一記憶深度，該組預失真係數分別對應於該當下時間點的輸入訊號以及該前 M 個時間點的輸入訊號的 $(M + 1)$ 個權值（weighting），以及該組預失真係數是依據該反饋訊號被校正以補償該傳送路徑的非線性失真；

一預等化器（pre-equalizer），位於該傳送路徑的前端；以及

一預等化計算電路，耦接至該預等化器，其中於該記憶性預失真電路的該組預失真係數的校正完成後，該預等化計算電路接收該組預失真係數，以對該組預失真係數進行計算以產生一計算結果，以及該預等化器是依據該計算結果被校正以使該預等化器補償該記憶性預失真電路產生的頻率響應失真；

其中於該預等化器的校正完成後，一傳輸訊號先被該預等化器以及該記憶性預失真電路處理後再接著透過該傳送路徑被輸出至該通訊裝置外部。

【請求項2】 如申請專利範圍第1項所述之通訊裝置，其中該組預失真係數包含 $(M + 1)$ 個一階項（first-order term）係數，以及該 $(M + 1)$ 個一階項係數分

第1頁，共4頁(發明申請專利範圍)

別對應於該當下時間點的輸入訊號以及該前 M 個時間點的輸入訊號的該 $(M + 1)$ 個權值。

【請求項3】 如申請專利範圍第2項所述之通訊裝置，其中該預等化計算電路對該組預失真係數進行的計算包含：

該預等化計算電路對該 $(M + 1)$ 個一階項係數進行時域對頻域轉換以取得分別對應於 $(M + 1)$ 個頻率的 $(M + 1)$ 個頻域轉換結果；

該預等化計算電路分別對該 $(M + 1)$ 個頻域轉換結果進行絕對值計算以取得分別對應於該 $(M + 1)$ 個頻率的 $(M + 1)$ 個振幅響應值；

該預等化計算電路分別對該 $(M + 1)$ 個振幅響應值進行倒數計算以取得分別對應於該 $(M + 1)$ 個頻率的 $(M + 1)$ 個補償增益；以及

該預等化計算電路分別對該 $(M + 1)$ 個補償增益進行頻域對時域轉換以取得 $(M + 1)$ 個預等化係數作為該計算結果，其中該 $(M + 1)$ 個預等化係數使得該預等化器的一頻率響應對應於該 $(M + 1)$ 個補償增益所構成的一頻率響應。

【請求項4】 如申請專利範圍第1項所述之通訊裝置，其中該記憶性預失真電路是用來補償該傳送路徑中的一功率放大器的非線性失真。

【請求項5】 如申請專利範圍第1項所述之通訊裝置，其中該預等化器是用來補償於該傳送路徑以及該接收路徑的任一者包含一濾波器的情況下該記憶性預失真電路於被校正後所產生的頻率響應失真。

【請求項6】 一種用於補償一通訊裝置的頻率響應失真的方法，包含：

第 2 頁，共 4 頁(發明申請專利範圍)

利用該通訊裝置的一傳送路徑依據一預失真（pre-distortion）測試訊號產生一輸出測試訊號；

利用該通訊裝置的一接收路徑依據該輸出測試訊號產生一反饋訊號；

依據該反饋訊號校正該通訊裝置的一記憶性預失真電路的一組預失真係數以補償該傳送路徑的非線性失真，其中該記憶性預失真電路是依據一當下時間點的輸入訊號、該當下時間點的前 M 個時間點的輸入訊號以及該組預失真係數產生該當下時間點的一預失真輸出訊號， M 為正整數且代表該記憶性預失真電路的一記憶深度，以及該組預失真係數分別對應於該當下時間點的輸入訊號以及該前 M 個時間點的輸入訊號的 $(M + 1)$ 個權值（weighting）；

於該記憶性預失真電路的該組預失真係數的校正完成後，利用該通訊裝置的一預等化計算電路接收該組預失真係數，以對該組預失真係數進行計算以產生一計算結果；以及

依據該計算結果校正該通訊裝置的一預等化器（pre-equalizer）以使該預等化器補償該記憶性預失真電路產生的頻率響應失真；

其中於該預等化器的校正完成後，一傳輸訊號先被該預等化器以及該記憶性預失真電路處理後再接著透過該傳送路徑被輸出至該通訊裝置外部。

【請求項7】 如申請專利範圍第6項所述之方法，其中該組預失真係數包含 $(M + 1)$ 個一階項（first-order term）係數，以及該 $(M + 1)$ 個一階項係數分別對應於該當下時間點的輸入訊號以及該前 M 個時間點的輸入訊號的該 $(M + 1)$ 個權值。

【請求項8】 如申請專利範圍第7項所述之方法，其中對該組預失真係數進行計算以產生該計算結果包含：

對該 $(M + 1)$ 個一階項係數進行時域對頻域轉換以取得分別對應於 $(M + 1)$ 個頻率的 $(M + 1)$ 個頻域轉換結果；

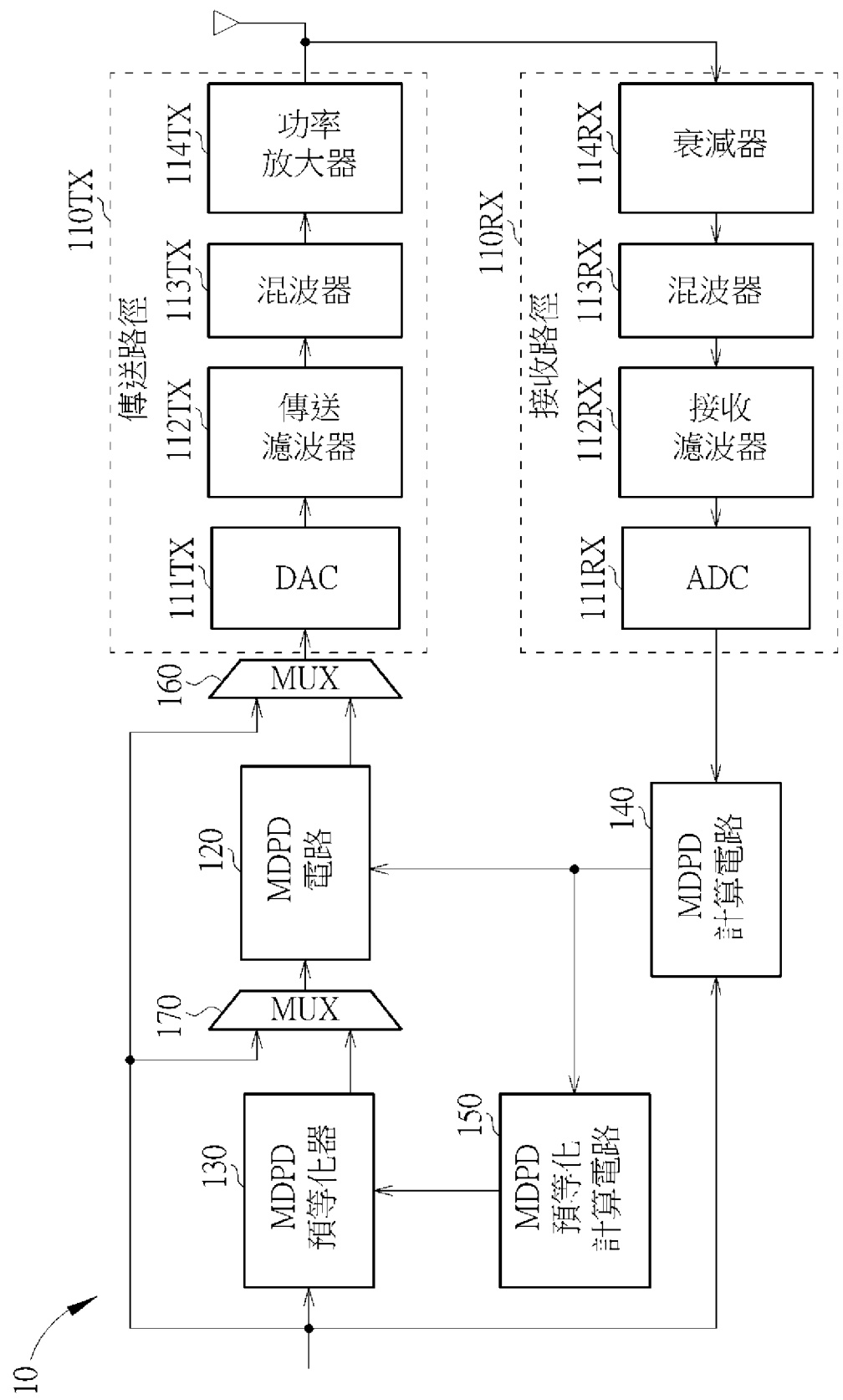
分別對該 $(M + 1)$ 個頻域轉換結果進行絕對值計算以取得分別對應於該 $(M + 1)$ 個頻率的 $(M + 1)$ 個振幅響應值；

分別對該 $(M + 1)$ 個振幅響應值進行倒數計算以取得分別對應於該 $(M + 1)$ 個頻率的 $(M + 1)$ 個補償增益；以及

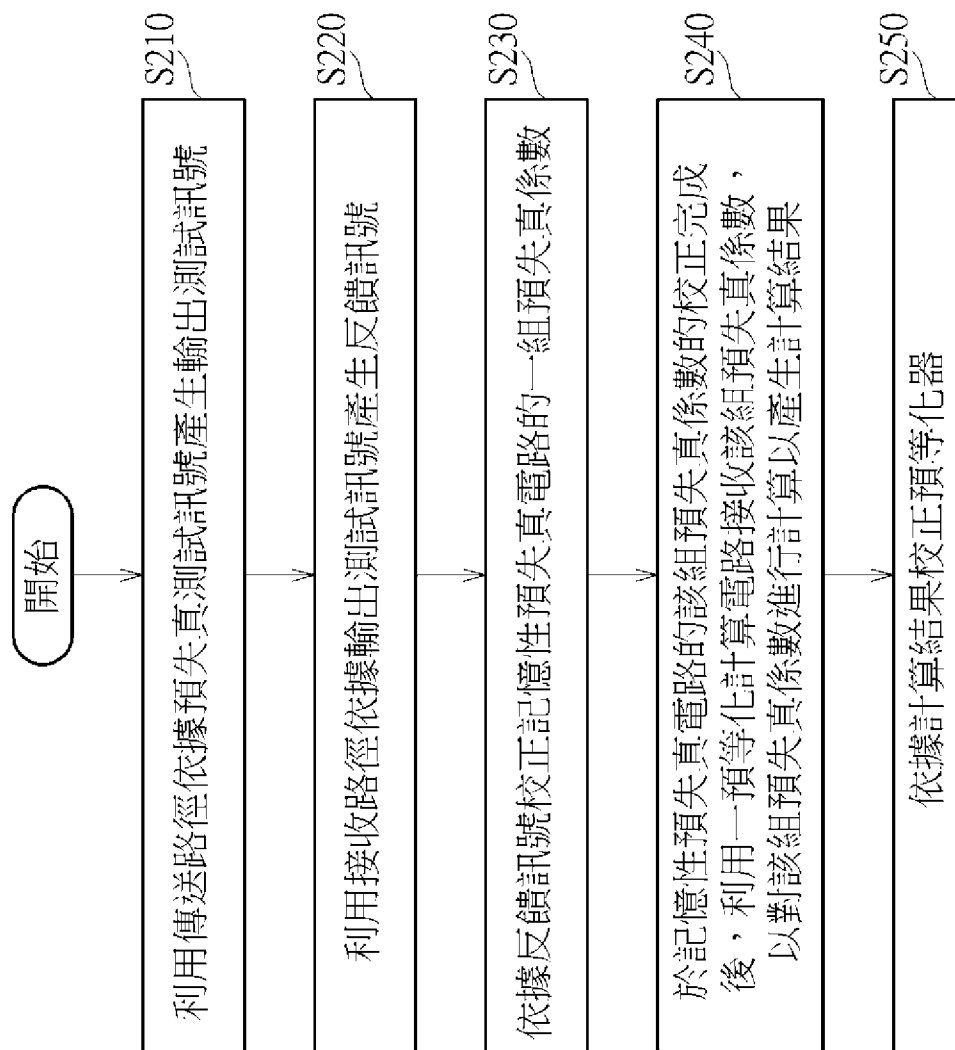
分別對該 $(M + 1)$ 個補償增益進行頻域對時域轉換以取得 $(M + 1)$ 個預等化係數作為該計算結果；

其中該 $(M + 1)$ 個預等化係數使得該預等化器的一頻率響應對應於該 $(M + 1)$ 個補償增益所構成的一頻率響應。

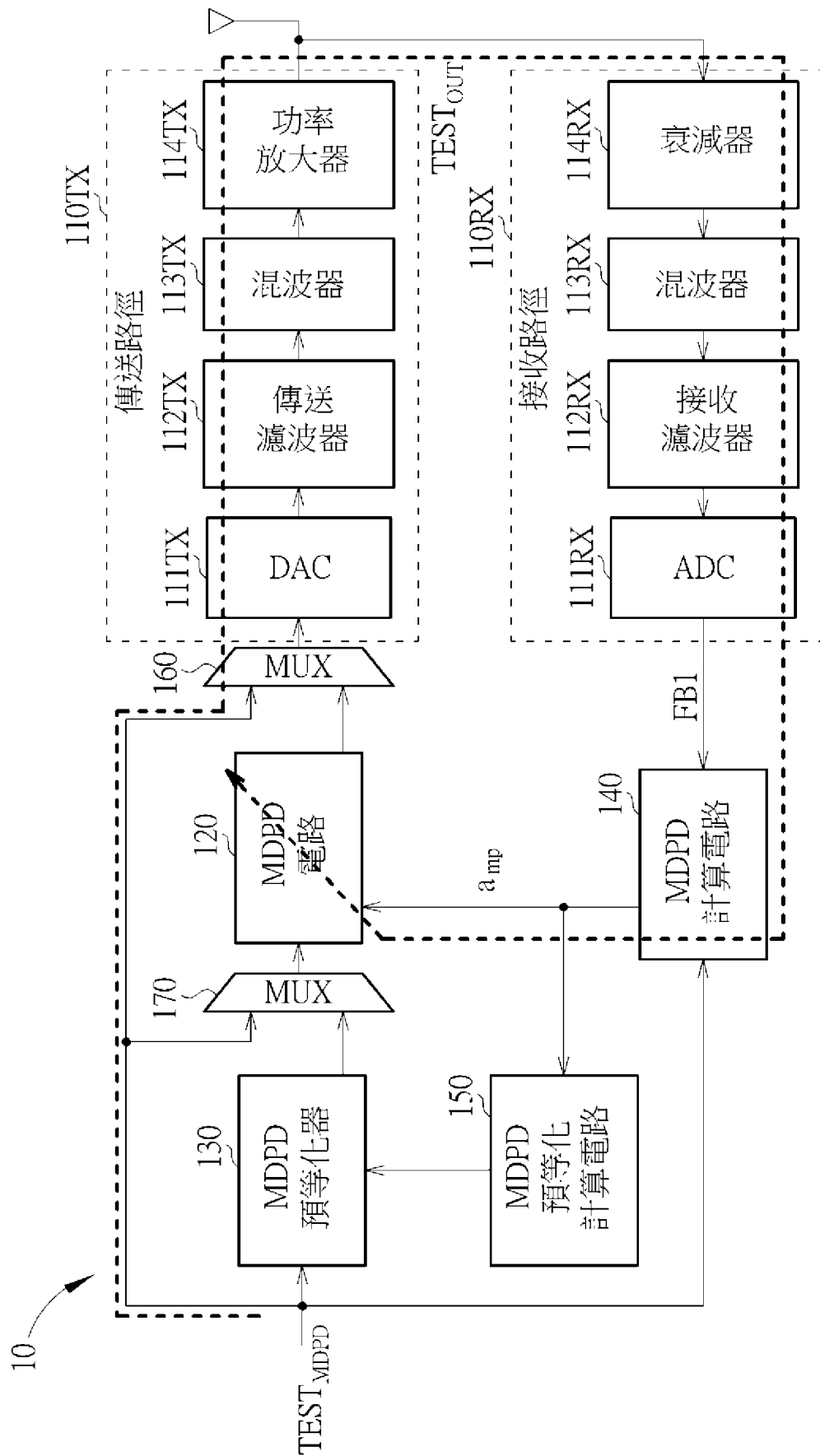
【發明圖式】



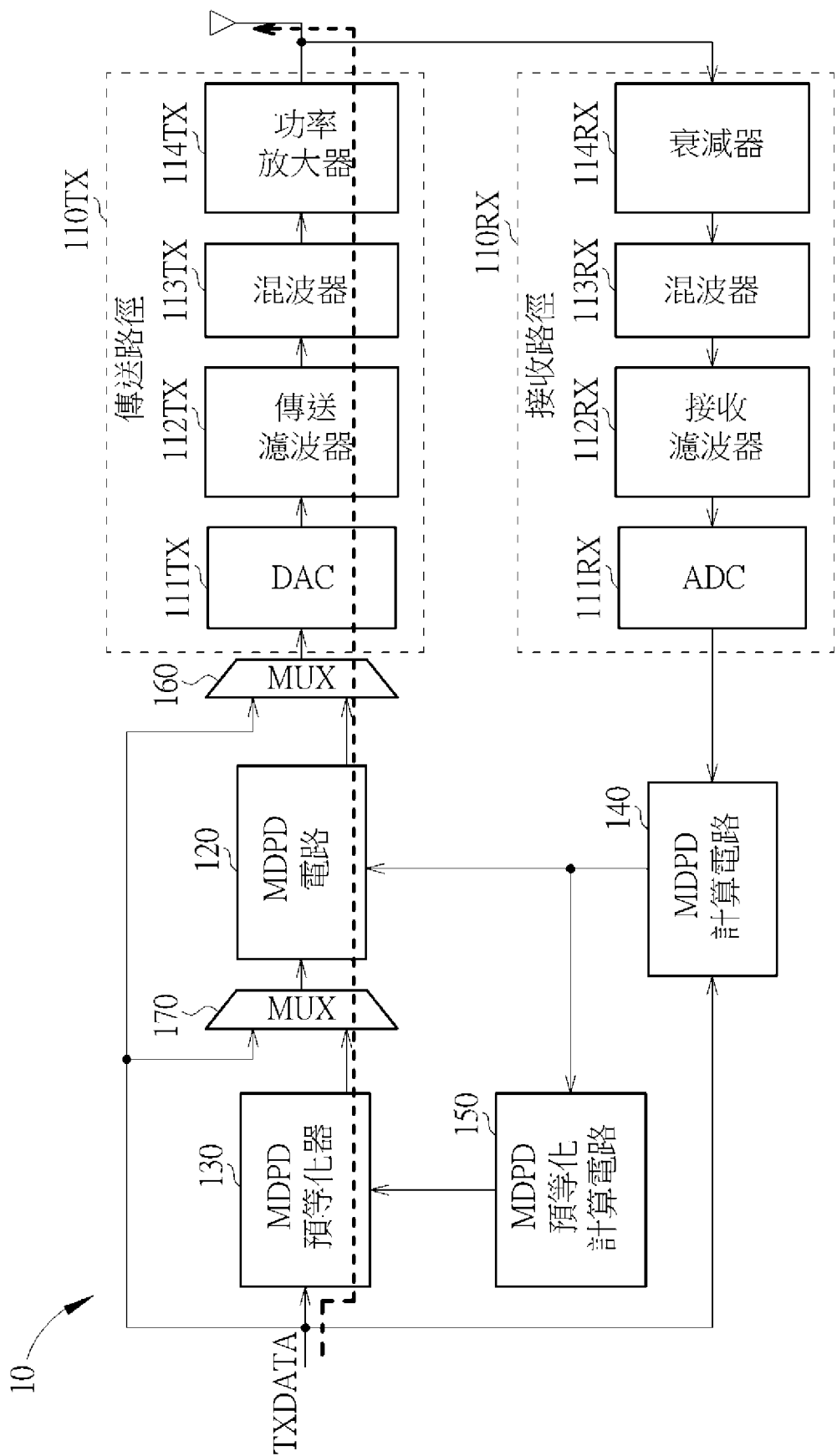
第1圖



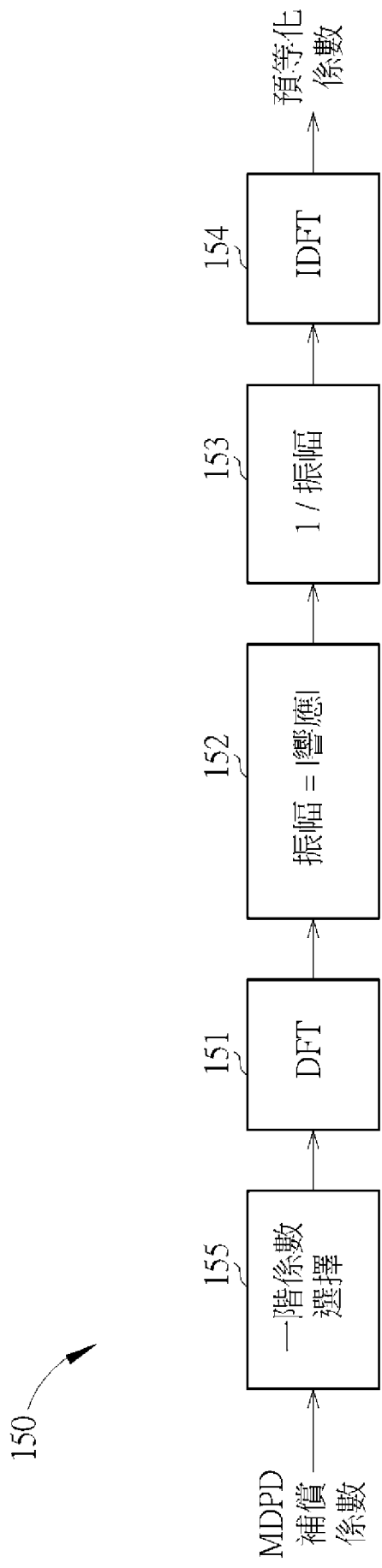
第2圖



第3圖



第4圖



第5圖