

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4238377号  
(P4238377)

(45) 発行日 平成21年3月18日(2009.3.18)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl.	F I
<b>HO 4 N 5/335 (2006.01)</b>	HO 4 N 5/335 E
<b>HO 1 L 27/146 (2006.01)</b>	HO 1 L 27/14 A

請求項の数 7 (全 15 頁)

(21) 出願番号	特願平10-22867	(73) 特許権者	000002185
(22) 出願日	平成10年2月4日(1998.2.4)		ソニー株式会社
(65) 公開番号	特開平11-122534		東京都港区港南1丁目7番1号
(43) 公開日	平成11年4月30日(1999.4.30)	(74) 代理人	100086298
審査請求日	平成17年1月14日(2005.1.14)		弁理士 船橋 國則
(31) 優先権主張番号	特願平9-220264	(72) 発明者	塩野 浩一
(32) 優先日	平成9年8月15日(1997.8.15)		東京都品川区北品川6丁目7番35号 ソニー株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	鈴木 亮司
前置審査			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	上野 貴久
			東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像素子およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する光電変換素子と、

デプレッション型トランジスタで構成され、前記光電変換素子をリセットするリセットスイッチと、

前記光電変換素子に蓄積された信号電荷を電気信号に変換する増幅素子と、

前記増幅素子からの信号を選択的に出力する選択スイッチと、

デプレッション型MOSトランジスタからなり、リセットパルスに応答して前記リセットスイッチをオン/オフ制御するリセット選択スイッチと

を有し、前記リセットスイッチによるリセット前の信号とリセット後の信号とを共通の垂直信号線を経由して出力する単位画素と、

前記単位画素から出力されたりセット前の信号とリセット後の信号のそれぞれの差分をとる差分回路とを備え、

前記リセットスイッチは前記光電変換素子と電源線の間に接続され、

前記リセット選択スイッチは前記リセットスイッチのゲート電極と前記リセットパルスが与えられるリセット線の間に接続されている

ことを特徴とする固体撮像素子。

【請求項2】

前記単位画素が行列状に2次元配置されてなる

10

20

ことを特徴とする請求項 1 記載の固体撮像素子。

【請求項 3】

前記垂直信号線と水平信号線との間に、前記垂直信号線に導出された前記リセットスイッチによるリセット前の信号とリセット後の信号とを共通に出力する水平選択スイッチを備えた

ことを特徴とする請求項 2 記載の固体撮像素子。

【請求項 4】

前記差分回路は、相関二重サンプリング回路である

ことを特徴とする請求項 1 記載の固体撮像素子。

【請求項 5】

前記単位画素が直線状に 1 次元配置されてなる

ことを特徴とする請求項 1 記載の固体撮像素子。

【請求項 6】

前記リセットスイッチは前記光電変換素子と電源線の間に接続されている

ことを特徴とする請求項 5 記載の固体撮像素子。

【請求項 7】

入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する光電変換素子と

、  
デプレッション型トランジスタで構成され、前記光電変換素子をリセットするリセットスイッチと、

前記光電変換素子に蓄積された信号電荷を電気信号に変換する増幅素子と、

前記増幅素子からの信号を選択的に出力する選択スイッチと、

デプレッション型 MOS トランジスタからなり、リセットパルスに応答して前記リセットスイッチをオン/オフ制御するリセット選択スイッチとを有し、

前記リセットスイッチは前記光電変換素子と電源線の間に接続され、

前記リセット選択スイッチは前記リセットスイッチのゲート電極と前記リセットパルスが与えられるリセット線の間に接続されている

単位画素を備えた固体撮像素子において、

単位画素の各々において画素信号を出力するごとに前記リセットスイッチによって前記光電変換素子をリセットし、

単位画素の各々から前記リセットスイッチによるリセット前の信号とリセット後の信号とを導出しかつ共通の伝送経路を経由して伝送し、

しかる後リセット前の信号とリセット後の信号のそれぞれの差分をとる

ことを特徴とする固体撮像素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、固体撮像素子およびその駆動方法に関し、特に単位画素ごとに増幅機能を持つ MOS 型イメージセンサなどの増幅型固体撮像素子およびその駆動方法に関する。

【0002】

【従来の技術】

従来、この種の増幅型固体撮像素子として、図 13 に示す構成の 2 次元固体撮像素子が知られている。すなわち、図 13 において、フォトダイオード 101、増幅用 MOS トランジスタ 102、リセット用 MOS トランジスタ 103 および垂直選択用 MOS トランジスタ 104 によって単位画素 105 が構成され、リセット用 MOS トランジスタ 103 のゲート電極が垂直リセット線 108 に、垂直選択用 MOS トランジスタ 104 のゲート電極が垂直選択線 109 に、垂直選択用 MOS トランジスタ 104 のソース電極が垂直信号線 110 にそれぞれ接続されている。

【0003】

また、垂直信号線 110 の一端と水平信号線 111 の間には、水平選択用 MOS トランジ

10

20

30

40

50

スタ 1 1 2 が接続されている。そして、行選択をする垂直走査回路 1 1 3 から出力される 2 種類の垂直走査パルス  $V_{Sn}$ ,  $V_{Rn}$  により各行ごとに画素の動作が制御され、列選択をする水平走査回路 1 1 4 から出力される水平走査パルス  $H_m$  により制御される水平選択用 MOS トランジスタ 1 1 2 を介して画素信号が水平信号線 1 1 1 に出力される。その際、光電変換によってフォトダイオード 1 0 1 に蓄積された信号電荷が、増幅用 MOS トランジスタ 1 0 2 によって信号電流に変換されて撮像素子の出力信号として導出される。

#### 【 0 0 0 4 】

##### 【 発明が解決しようとする課題 】

しかしながら、上記構成の従来の増幅型 2 次元固体撮像素子では、各画素を構成する能動素子、主に増幅用 MOS トランジスタ 1 0 2 の特性の画素ごとのバラツキ、特に MOS トランジスタの  $V_{th}$  (閾値) バラツキがそのまま撮像素子の出力信号に乗ってきてしまう。この特性のバラツキは、画素ごとに固定の値を持つため、画面上に固定パターンノイズ (FPN; Fixed Pattern Noise) として現れる。この固定パターンノイズを抑圧するためには、デバイスの外部にフレームメモリやラインメモリを用いたノイズ除去回路を設けて画素の特性のバラツキに起因するノイズ成分を除去する必要がある、したがって本固体撮像素子を撮像デバイスとして用いる例えばカメラシステムでは、ノイズ除去回路を外付けとする分だけ規模が大きくなってしまう。

#### 【 0 0 0 5 】

これに対し、固定パターンノイズをデバイスの内部で抑圧できるようにした増幅型固体撮像素子として、図 1 4 に示す構成のものが考えられる。この増幅型固体撮像素子においては、単位画素 1 0 5 の構成は図 1 3 と同じであるが、各画素 1 0 5 の特性のバラツキに起因する固定パターンノイズを抑圧するための水平出力回路 1 1 5 を設け、この水平出力回路 1 1 5 で画素 1 0 5 の読み出し前後 (リセット前後) の信号の差分をとる処理を行うようにしている点が違う。

#### 【 0 0 0 6 】

図 1 4 において、垂直信号線 1 1 0 とグランドとの間には、増幅用 MOS トランジスタ 1 0 2 のソースフォロワ動作の負荷として働く負荷用 MOS トランジスタ 1 1 6 が接続されている。また、垂直信号線 1 1 0 には、一対の信号スイッチ用 MOS トランジスタ 1 1 7, 1 1 7 の各一方の主電極が接続されている。この一対の信号スイッチ用 MOS トランジスタ 1 1 7, 1 1 7 の各他方の主電極とグランドとの間には、一対の信号保持用キャパシタ 1 1 8, 1 1 8 がそれぞれ接続されている。

#### 【 0 0 0 7 】

また、一対の信号スイッチ用 MOS トランジスタ 1 1 7, 1 1 7 の各他方の主電極と一対の水平信号線 1 1 1, 1 1 1 の間には、一対の水平選択用 MOS トランジスタ 1 1 2, 1 1 2 がそれぞれ接続されている。一対の水平信号線 1 1 1, 1 1 1 には、差動アンプ 1 1 9 の非反転 (+) 入力端および反転 (-) 入力端がそれぞれ接続されている。

#### 【 0 0 0 8 】

上記構成の増幅型固体撮像素子においては、画素リセット前とリセット後のそれぞれの信号が、信号スイッチ用 MOS トランジスタ 1 1 7, 1 1 7 を介して信号保持用キャパシタ 1 1 8, 1 1 8 に保持され、水平選択用 MOS トランジスタ 1 1 2, 1 1 2 および水平信号線 1 1 1, 1 1 1 を介して差動アンプ 1 1 9 に供給される。そして、差動アンプ 1 1 9 において、画素リセット前とリセット後のそれぞれの信号の差分がとられることにより、単位画素ごとの特性のバラツキに起因する固定パターンノイズが除去される。

#### 【 0 0 0 9 】

しかしながら、上記構成の増幅型固体撮像素子では、単位画素ごとの特性のバラツキに起因する固定パターンノイズについては抑圧することはできるものの、画素リセット前とリセット後のそれぞれの信号が別々の信号経路を通して差動アンプ 1 1 9 に至ることから、一対の信号スイッチ用 MOS トランジスタ 1 1 7, 1 1 7 や一対の水平選択用 MOS トランジスタ 1 1 2, 1 1 2 の特性のバラツキが、垂直に相関を持つ縦筋状の固定パター

10

20

30

40

50

ンノイズとして画面上に現れることになる。したがって、この構成の場合にも、縦筋状の固定パターンノイズを抑圧するための補正回路がデバイスの外部に必要となる。

【 0 0 1 0 】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、単位画素ごとの特性のバラツキに起因する固定パターンノイズのみならず、縦筋状の固定パターンノイズをもデバイス内部で抑圧可能な増幅型固体撮像素子およびその駆動方法を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

本発明による固体撮像素子は、

入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する光電変換素子と

、  
デプレッション型トランジスタで構成され、前記光電変換素子をリセットするリセットスイッチと、

前記光電変換素子に蓄積された信号電荷を電気信号に変換する増幅素子と、

前記増幅素子からの信号を選択的に出力する選択スイッチと、

デプレッション型MOSトランジスタからなり、リセットパルスに応答して前記リセットスイッチをオン/オフ制御するリセット選択スイッチと

を有し、前記リセットスイッチによるリセット前の信号とリセット後の信号とを共通の垂直信号線を経由して出力する単位画素と、

前記単位画素から出力されたりセット前の信号とリセット後の信号のそれぞれの差分をとる差分回路とを備え、

前記リセットスイッチは前記光電変換素子と電源線の間接続され、

前記リセット選択スイッチは前記リセットスイッチのゲート電極と前記リセットパルスが与えられるリセット線の間接続されている

構成となっている。

【 0 0 1 2 】

また、本発明による駆動方法は、上記構成の固体撮像素子において、単位画素の各々で画素信号を出力するごとに光電変換素子をリセットスイッチによってリセットし、単位画素の各々からリセットスイッチによるリセット前の信号とリセット後の信号とを導出しかつ共通の伝送経路を経由して伝送し、しかる後リセット前の信号とリセット後の信号のそれぞれの差分をとるようにする。

【 0 0 1 3 】

上記構成の固体撮像素子の単位画素の各々において、画素信号を出力するごとに光電変換素子をリセットすることで、各単位画素からはリセット前とリセット後の信号が1画素ごとに順次出力される。このとき、画素の特性のバラツキに起因する固定パターンノイズが、各画素の増幅素子からオフセット成分として発生することから、リセット前とリセット後の信号の差分をとることで、ノイズ成分をキャンセルできる。また、2次元固体撮像素子においては、リセット前とリセット後の信号を垂直信号線から水平信号線へ同一の信号経路を経由して出力することで、垂直に相関を持つ縦筋状のノイズ成分も原理的に発生しない。

【 0 0 1 4 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を用いて詳細に説明する。図1は、2次元固体撮像素子に適用された本発明の第1実施形態を示す構成図である。

【 0 0 1 5 】

図1において、破線で囲まれた領域が単位画素11を表している。この単位画素11は、光電変換素子であるフォトダイオード(PD)12と、増幅素子である増幅用MOSトランジスタ13と、選択スイッチである選択用MOSトランジスタ14と、リセットスイッチであるリセット用MOSトランジスタ15と、リセット選択用MOSトランジスタ16

10

20

30

40

50

とから構成され、行列状に２次元配置されている。なお、図面上においては、簡略化のため、 $m$ 列 $n$ 行目の単位画素１１のみを示している。

【００１６】

この単位画素１１において、フォトダイオード１２は入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する機能を持つ。このフォトダイオード１２のカソード電極には、増幅用ＭＯＳトランジスタ１３のゲート電極が接続されている。増幅用ＭＯＳトランジスタ１３のドレイン電極は、電源（ $VDD$ ）線１７に接続されている。増幅用ＭＯＳトランジスタ１３のソース電極と垂直信号線１８の間には、選択用ＭＯＳトランジスタ１４が接続されている。

【００１７】

また、フォトダイオード１２のカソード電極と電源線１７の間には、リセット用ＭＯＳトランジスタ１５が接続されている。リセット用ＭＯＳトランジスタ１５のゲート電極と水平リセット線１９の間には、リセット選択用ＭＯＳトランジスタ１６が接続されている。リセット用ＭＯＳトランジスタ１５およびリセット選択用ＭＯＳトランジスタ１６としては、デプレッション型トランジスタが用いられている。このリセット選択用ＭＯＳトランジスタ１６のゲート電極は、選択用ＭＯＳトランジスタ１４のゲート電極と共に、垂直選択線２０に接続されている。また、垂直信号線１８と水平信号線２１の間には、水平選択用ＭＯＳトランジスタ２２が接続されている。

【００１８】

また、行選択のための垂直走査回路２３および列選択のための水平走査回路２４が設けられている。そして、垂直走査回路２３から出力される垂直走査パルス  $V_n$  が垂直選択線２０に印加され、水平走査回路２４から出力される水平リセットパルス  $H_{Rm}$  が水平リセット線１９に、水平走査パルス  $H_{Sm}$  が水平選択用ＭＯＳトランジスタ２２のゲート電極にそれぞれ印加される。すなわち、水平走査回路２４が、水平リセットパルス  $H_{Rm}$  を発生するリセット回路を兼ねることにより、回路構成の簡略化を図っている。

【００１９】

水平信号線２１の出力端側には、画素リセット前とリセット後のそれぞれの信号の差分をとる差分回路として、例えば回路構成が簡単な相関二重サンプリング回路（以下、 $CDS$  (Correlated Double Sampling) 回路と称する）２５が設けられている。この $CDS$ 回路２５の具体的な回路構成およびその回路動作については、後で詳細に説明する。 $CDS$ 回路２５の出力端は、本撮像素子の出力端子２６に接続されている。

【００２０】

次に、上記構成の第１実施形態に係る増幅型固体撮像素子の動作について、図２のタイミングチャートを用いて説明する。

【００２１】

先ず、光電変換によってフォトダイオード１２に蓄積された信号電荷（電子）は、増幅用ＭＯＳトランジスタ１３によって電気信号に変換される。そして、水平映像期間に入ると、垂直走査回路２３から垂直走査パルス  $V_n$  が出力され、垂直選択線２０を介して選択用ＭＯＳトランジスタ１４およびリセット選択用ＭＯＳトランジスタ１６の各ゲート電極に印加される。これにより、両ＭＯＳトランジスタ１４、１６が導通状態になり、選択用ＭＯＳトランジスタ１４を通して信号電流が垂直信号線１８に現れる。

【００２２】

この水平映像期間中に、水平走査回路２４から水平走査パルス  $H_{Sm}$  が出力され、水平選択用ＭＯＳトランジスタ２２のゲート電極に印加されることによって当該ＭＯＳトランジスタ２２が導通状態になる。これにより、垂直信号線２０に現れた信号電流は、水平選択用ＭＯＳトランジスタ２２を通して水平信号線２１に流れ、この水平信号線２１を経て $CDS$ 回路２５に供給される。

【００２３】

その後すぐに、信号電流を出力したその同一画素に対し、水平走査回路２４から水平リセットパルス  $H_{Rm}$  が水平リセット線１９に対して出力される。このとき、リセット選択

10

20

30

40

50

用M O S トランジスタ16が導通状態にあることから、水平リセットパルス H R mはこのリセット選択用M O S トランジスタ16を通してリセット用M O S トランジスタ15のゲート電極に印加される。これにより、リセット用M O S トランジスタ15が導通状態になるため、フォトダイオード12はV D Dレベルにリセットされる。

【0024】

この水平リセットパルス H R mは、図2のタイミングチャートから明らかなように、水平走査パルス H S mの発生期間のほぼ中間で発生される。したがって、水平リセットパルス H R mの消滅後、即ちリセット後のフォトダイオード12の電荷（ノイズ成分）が増幅用M O S トランジスタ13で電流に変換され、そのリセット電流が導通状態にある選択用M O S トランジスタ14、垂直信号線18および導通状態にある水平選択用M O S トランジスタ22を通して水平信号線21に流れ、この水平信号線21を経てC D S回路25に供給される。

10

【0025】

以上の一連の動作により、1つの画素11について信号出力 P Dリセット ノイズ出力という形で信号出力とリセット出力が順次得られる。これを垂直走査回路23で選択された画素行に対して、水平走査回路24によって順次画素選択を行うことにより、m列n行（信号出力 P Dリセット ノイズ出力）、m+1列n行（信号出力 P Dリセット ノイズ出力）、……という順番で水平信号線21に出力され、C D S回路25に供給される。そして、このC D S回路25において、リセット前の信号出力とリセット後のノイズ出力を使って相関二重サンプリングを行うことにより、主に増幅用M O S トランジスタ13の特性のバラツキ成分を除去することができる。

20

【0026】

図3に、C D S回路25の具体的な回路構成の一例を示す。このC D S回路25は、入力端子31に入力端が接続された電流電圧変換回路32と、この電流電圧変換回路32の出力端に一端が接続されたクランプキャパシタ33と、このクランプキャパシタ33の他端に一方の主電極が接続されたクランプM O S トランジスタ34と、クランプキャパシタ33の他端に一方の主電極が接続されたサンプルホールドM O S トランジスタ35と、このサンプルホールドM O S トランジスタ35の他方の主電極とグランドとの間に接続されたサンプルホールドキャパシタ36と、サンプルホールドM O S トランジスタ35の他方の主電極と出力端子38との間に接続されたバッファアンプ37とから構成されている。

30

【0027】

このC D S回路25において、電流電圧変換回路32は、入力端子31を介して供給される信号電流を反転（-）入力とし、所定のバイアス電圧V bを非反転（+）入力とする差動アンプ39と、この差動アンプ39の反転入力端と出力端間に接続された帰還抵抗40とからなり、信号電流を信号電圧に変換する。クランプM O S トランジスタ34の他方の主電極にはクランプ電圧V c lが、そのゲート電極にはクランプパルス C Lがそれぞれ印加される。また、サンプルホールドM O S トランジスタ35のゲート電極には、サンプルホールドパルス S Hが印加される。

【0028】

上記構成のC D S回路25を差分回路として用い、リセット前の信号出力とリセット後のノイズ出力を使って相関二重サンプリングを行うことにより、増幅用M O S トランジスタ13の特性の画素ごとのバラツキ、特にM O S トランジスタのV t hバラツキを除去することができる。

40

【0029】

上述したように、各単位画素11のフォトダイオード12のリセットを、1画素の信号が出力されるごとに行うようにするとともに、リセット前の信号出力とリセット後のノイズ出力を使って相関二重サンプリングを行うようにしたことにより、画素の特性のバラツキに起因する固定パターンノイズおよび垂直信号線18に接続されたスイッチ素子（水平選択用M O S トランジスタ22）の特性のバラツキに起因する縦筋状の固定パターンノイズを抑圧できる。

50

## 【 0 0 3 0 】

すなわち、画素の特性のバラツキに起因する固定パターンノイズについては、単位画素 1 の増幅用 MOS トランジスタ 1 3 からオフセット成分として発生するが、原理的に、画素リセット前とリセット後の信号を相関二重サンプリングすることによって除去できる。また、垂直信号線 1 8 に接続されたスイッチ素子の特性のバラツキに起因する縦筋状の固定パターンノイズについては、画素リセット前とリセット後の信号が同一の信号経路を通る構成となっており、別々のスイッチ素子（水平選択用 MOS トランジスタなど）を通ることがないため、これも原理的に発生することがない。

## 【 0 0 3 1 】

ここで、フォトダイオード 1 2 のリセット動作についてさらに詳しく述べる。なお、図 1 から明らかなように、リセット用 MOS トランジスタ 1 5 およびリセット選択用 MOS トランジスタ 1 6 として、デプレッション型トランジスタが用いられている。

10

## 【 0 0 3 2 】

フォトダイオード 1 2 を VDD レベルにリセットする際に、リセット選択用 MOS トランジスタ 1 6 にエンハンスメント型トランジスタを使った場合には、垂直走査パルス  $V_n$  によって選択された状態において、水平リセットパルス  $H_{Rm}$  がリセット選択用 MOS トランジスタ 1 6 のドレイン電極に印加されても、図 4 (A) に示すように、飽和領域の動作となるために、ソース側の電位はドレイン側の電位よりも落ちてしまうことになる。

## 【 0 0 3 3 】

これに対し、リセット選択用 MOS トランジスタ 1 6 としてデプレッション型トランジスタを使うことにより、図 4 (B) に示すように、線型領域での動作となり、ソース側の電位がほぼドレイン側の電位まで達する。同様に、リセット用 MOS トランジスタ 1 5 にもエンハンスメント型トランジスタを用いると、飽和領域でのリセット動作となり、リセットの時間が短いと電荷の取り残しが生じ、残像の原因となる。これに対し、デプレッション型トランジスタを用いて線型領域でリセットすることにより、電荷の取り残しの無い、完全なリセット動作が可能となる。

20

## 【 0 0 3 4 】

次に、上記構成の第 1 実施形態に係る増幅型固体撮像素子の動作について、図 2 のタイミングチャートに基づいて図 5 のポテンシャル図を用いて説明する。

## 【 0 0 3 5 】

選択画素の信号読み出し時（図 2 のタイミング a）には、垂直走査パルス  $V_n$  によってリセット選択用 MOS トランジスタ 1 6 が導通状態となり、ソース側の電位である水平リセットパルス  $H_{Rm}$  の “L” レベルの電位がリセット用 MOS トランジスタ 1 5 のゲート電極に印加される。このとき、リセット用 MOS トランジスタ 1 5 は導通状態にならないので、フォトダイオード 1 2 に蓄積された信号電荷が増幅用 MOS トランジスタ 1 3 で信号電流に変換される。

30

## 【 0 0 3 6 】

選択画素のリセット時（図 2 のタイミング b）には、“H” レベルの水平リセットパルス  $H_{Rm}$  が導通状態のリセット選択用 MOS トランジスタ 1 6 を経てリセット用 MOS トランジスタ 1 5 のゲート電極に印加され、これによりリセット用 MOS トランジスタ 1 5 が導通状態となるため、フォトダイオード 1 2 が VDD レベルにリニア領域で完全リセットされる。

40

## 【 0 0 3 7 】

選択画素のノイズレベル読み出し時（図 2 のタイミング c）には、水平リセットパルス  $H_{Rm}$  が “L” レベルの状態にあり、この “L” レベルが導通状態のリセット選択用 MOS トランジスタ 1 6 を経てリセット用 MOS トランジスタ 1 5 のゲート電極に印加されることによってリセット用 MOS トランジスタ 1 5 が非導通状態になる。これにより、リセットのレベルが増幅用 MOS トランジスタ 1 3 でノイズ電流に変換される。また、この時点より次のフレーム蓄積が開始される。

## 【 0 0 3 8 】

50

信号電荷の蓄積時（図2のタイミングd）、即ち他の行の他の列の読み出し時には、垂直走査パルス  $V_m$  が“L”レベルに遷移するが、リセット選択用MOSトランジスタ16がデプレッション型であるために、リセット用MOSトランジスタ15のゲート電極はフローティング状態にはならず、“L”レベルに保たれる。

#### 【0039】

非選択画素のリセット時（図2のタイミングe）には、“H”レベルの水平リセットパルス  $H_{Rm}$  によりリセット選択用MOSトランジスタ16のドレインがVDDレベルになると、リセット選択用MOSトランジスタ16のゲート電極の“L”レベルのポテンシャルに応じた電位が、リセット用MOSトランジスタ15のゲート電極に印加される。なお、フォトダイオード12は、デプレッションのリセットゲートがそのまま横型オーバーフローバリアになっていて、このレベルを超える電荷は電源へと捨てられるようになっているが、この時点でオーバーフローバリアが下がり、ここでオーバーフローレベルが決まる。

10

#### 【0040】

ところで、単位画素の構成を考えた場合に、図6又は図7に示すように、リセット用MOSトランジスタ15とリセット選択用MOSトランジスタ16を、フォトダイオード12のカソード電極と電源線17の間に直列に接続し、リセット用MOSトランジスタ15のゲート電極に水平リセットパルス  $H_{Rm}$  又は垂直走査パルス  $V_n$  を、リセット選択用MOSトランジスタ16のゲート電極に垂直走査パルス  $V_n$  又は水平リセットパルス  $H_{Rm}$  を印加する構成が一般的に考えられる。

20

#### 【0041】

しかしながら、これらの構成の場合には、リセット用MOSトランジスタ15とリセット選択用MOSトランジスタ16によるフィードスルーが、信号レベルを読み出す際とノイズレベルを読み出す際に異なってしまう、これが画素ごとのバラツキの原因となる。その理由について、図6の構成に対応した図8のポテンシャル図を用いて以下に説明する。

#### 【0042】

先ず、垂直走査パルス  $V_n$  の発生によって画素が選択され、水平リセットパルス  $H_{Rm}$  の発生によってリセットされているときを状態1.とする。この状態1.では、フォトダイオード12はVDDレベルにリセットされている。そして、状態2.では、水平リセットパルス  $H_{Rm}$  が消滅し、リセット用MOSトランジスタ15がオフする際のフィードスルーの影響で、フォトダイオード12のポテンシャルはVDDレベルよりも僅かに浅くなる。この状態でノイズレベルの読み出しとなる。

30

#### 【0043】

状態3.では、垂直走査パルス  $V_n$  が消滅することで非選択状態となる。リセット選択用MOSトランジスタ16がオフする際のフィードスルーの影響で、リセット用MOSトランジスタ15とリセット選択用MOSトランジスタ16の間の拡散領域のポテンシャルはVDDレベルよりも僅かに浅くなる。

#### 【0044】

状態4.は電荷の蓄積状態であり、フォトダイオード12のポテンシャルが蓄積された電荷により浅くなっていく。状態5.は、非選択のリセット状態、即ち他の行の同じ列がリセットされている状態であり、水平リセットパルス  $H_{Rm}$  の発生により、リセット用MOSトランジスタ15が導通状態となり、信号電荷とリセットゲートのフィードスルーおよびリセット選択ゲートのフィードスルーが合わされる。

40

#### 【0045】

状態6.で水平リセットパルス  $H_{Rm}$  が消滅するときに、さらにフォトダイオード12にリセットゲートのフィードスルーが加わる。他の行を読み出している期間中、状態5.状態6.を繰り返す。状態7.で、垂直走査パルス  $V_n$  の発生により、リセット選択用MOSトランジスタ16が導通状態となり、この状態で信号レベルが読み出される。この後、状態1.に戻る。

#### 【0046】

50



図 8 のポテンシャル図において、状態 2 . と状態 7 . の比較から明らかなように、状態 7 . の信号レベルの読み出し時と、状態 2 . のノイズレベルの読み出し時では、フォトダイオード 1 2 に蓄えられているフィードスルーによる電荷の量が異なる。フィードスルーの量は、 $V_{th}$  バラツキと同様に個々のトランジスタによって異なるので、信号レベルの読み出しとノイズレベルの読み出しのフィードスルーの違いは、画素バラツキを抑圧するための CDS 回路 2 5 ではキャンセルすることができず、そのまま画素バラツキとして残ってしまう。

【 0 0 4 7 】

リセット用 MOS トランジスタ 1 5 とリセット選択用 MOS トランジスタ 1 6 の接続関係を逆にした図 7 の構成の場合にも、図 9 のポテンシャル図から明らかなように、図 6 の構成の場合と同様のことが言える。

【 0 0 4 8 】

これに対し、本実施形態においては、リセット用 MOS トランジスタ 1 5 のゲート電極に、リセット選択用 MOS トランジスタ 1 6 のソース電極を接続し、リセット選択用 MOS トランジスタ 1 6 のドレイン電極、ソース電極を介してリセット用 MOS トランジスタ 1 5 のゲート電極に水平リセットパルス  $H_{Rm}$  を印加する構成としたことで、ノイズ読み出し時、信号読み出し時のいずれにおいても、リセット選択ゲートによるフィードスルーの影響がないので、各画素ごとのリセットゲートによるフィードスルーのバラツキは後段の CDS 回路 2 5 で抑圧することができる。

【 0 0 4 9 】

図 1 0 は、1 次元固体撮像素子に適用された本発明の第 2 実施形態を示す構成図である。

【 0 0 5 0 】

図 1 0 において、破線で囲まれた領域が単位画素 5 1 を表している。この単位画素 5 1 は、光電変換素子であるフォトダイオード (PD) 5 2 と、増幅素子である増幅用 MOS トランジスタ 5 3 と、選択スイッチである選択用 MOS トランジスタ 5 4 と、リセットスイッチであるリセット用 MOS トランジスタ 5 5 とから構成され、直線状に 1 次元配置されている。

【 0 0 5 1 】

この単位画素 5 1 において、フォトダイオード 5 2 は入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する機能を持つ。このフォトダイオード 5 2 のカソード電極には、増幅用 MOS トランジスタ 5 3 のゲート電極が接続されている。増幅用 MOS トランジスタ 5 3 のドレイン電極は、電源 ( $V_{DD}$ ) 線 5 6 に接続されている。

【 0 0 5 2 】

増幅用 MOS トランジスタ 5 3 のソース電極と信号線 5 7 の間には、選択用 MOS トランジスタ 5 4 が接続されている。また、フォトダイオード 5 2 のカソード電極と電源線 5 6 の間には、リセット用 MOS トランジスタ 5 5 が接続されている。このリセット用 MOS トランジスタ 5 5 としては、デプレッション型トランジスタが用いられている。

【 0 0 5 3 】

また、1 次元配列された単位画素 5 1 を順に選択するための走査回路 5 8 が設けられている。そして、この走査回路 5 8 から出力される走査パルス  $H_{Sm}$  が選択用 MOS トランジスタ 5 4 のゲート電極に、リセットパルス  $H_{Rm}$  がリセット用 MOS トランジスタ 5 5 のゲート電極にそれぞれそれぞれ印加される。すなわち、走査回路 5 8 が、リセットパルス  $H_{Rm}$  を発生するリセット回路を兼ねることにより、回路構成の簡略化を図っている。

【 0 0 5 4 】

信号線 5 7 の出力端側には、画素リセット前とリセット後のそれぞれの信号の差分をとる差分回路として、例えば回路構成が簡単な CDS 回路 5 9 が設けられている。この CDS 回路 5 9 としては、先の実施形態の場合と同様に、図 3 に示す回路構成のものが用いられる。

【 0 0 5 5 】

10

20

30

40

50

次に、上記構成の第2実施形態に係る増幅型固体撮像素子の動作について、図11のタイミングチャートを用いて説明する。

【0056】

先ず、光電変換によってフォトダイオード52に蓄積された信号電荷（電子）は、増幅用MOSトランジスタ53によって電荷信号に変換される。そして、走査回路58から走査パルスHSmが出力されると、選択用MOSトランジスタ54が導通状態になり、この選択用MOSトランジスタ54を通して信号電流が信号線57を経てCDS回路59に供給される。

【0057】

その後すぐに、信号電流を出力した同一画素に対し、走査回路58からリセットパルスHRmが出力され、リセット用MOSトランジスタ55のゲート電極に印加される。これにより、リセット用MOSトランジスタ55が導通状態となるため、フォトダイオード52はVDDレベルにリセットされる。

10

【0058】

このリセットパルスHRmは、図11のタイミングチャートから明らかなように、走査パルスHSmの発生期間（“H”レベルの期間）内で発生される。したがって、リセットパルスHRmの消滅後、即ちリセット後のフォトダイオード52の電荷（ノイズ成分）が増幅用MOSトランジスタ53で電流に変換され、そのリセット電流が導通状態にある選択用MOSトランジスタ54を通して信号線57に流れ、この信号線57を経てCDS回路59に供給される。

20

【0059】

以上の一連の動作により、1つの画素51について信号出力PDリセットノイズ出力という形で信号出力とリセット出力が順次得られ、CDS回路59に供給される。そして、CDS回路59において、リセット前の信号出力とリセット後のノイズ出力を使って相関二重サンプリングを行うことにより、主に増幅用MOSトランジスタ53の特性のバラツキ成分を抑圧することができる。

【0060】

ここで、フォトダイオード52のリセット動作についてさらに詳しく述べる。なお、図10から明らかなように、リセット用MOSトランジスタ55として、デプレッション型トランジスタが用いられている。

30

【0061】

フォトダイオード52をVDDレベルにリセットする際に、リセット用MOSトランジスタ55にエンハンスメント型トランジスタを使った場合には、リセットパルスHRmによって選択された状態でリセット用MOSトランジスタ55のドレイン電極に電源VDDが印加されても、図4（A）に示すように、飽和領域の動作となるため、ソース側の電位はドレイン側の電位よりも落ちてしまい、リセットの時間が短いと電荷の取り残しが生じ、残像の原因となる。

【0062】

これに対して、リセット用MOSトランジスタ55としてデプレッション型トランジスタを使うことにより、図4（B）に示すように、線型領域での動作となり、ソース側の電位がほぼドレイン側の電位まで達するため、電荷の取り残しの無い、完全なリセット動作が可能となる。

40

【0063】

続いて、上記構成の第2実施形態に係る増幅型固体撮像素子の動作について、図11のタイミングチャートに基づいて図12のポテンシャル図を用いて説明する。

【0064】

信号読み出し時（図11のタイミングa）には、リセット用MOSトランジスタ55は導通状態にはならないので、フォトダイオード52に蓄積された信号電荷が増幅用MOSトランジスタ53で信号電流に変換される。

【0065】

50

リセット時（図 1 1 のタイミング b）には、“H”レベルのリセットパルス H R m がリセット用 M O S トランジスタ 5 5 のゲート電極に印加され、これによりリセット用 M O S トランジスタ 5 5 が導通状態となるため、フォトダイオード 5 2 が V D D レベルにリニア領域で完全リセットされる。

#### 【 0 0 6 6 】

ノイズレベル読み出し時（図 1 1 のタイミング c）には、リセットパルス H R m が“L”レベルの状態にあり、リセット用 M O S トランジスタ 5 5 が非導通状態になる。これにより、リセットのレベルが増幅用 M O S トランジスタ 5 3 でノイズ電流に変換される。また、この時点（図 1 1 のタイミング d）より次のフレーム蓄積が開始される。

#### 【 0 0 6 7 】

なお、フォトダイオード 5 2 は、デプレッションのリセットゲートがそのまま横型オーバーフローバリアになっていて、このレベルを超える電荷は電源へと捨てられるようになっている。オーバーフローレベルは、リセット用 M O S トランジスタ 5 5 のゲート電位の“L”レベルのポテンシャルである。

#### 【 0 0 6 8 】

#### 【発明の効果】

以上説明したように、本発明によれば、単位画素ごとに増幅機能を持つ固体撮像素子において、単位画素の各々で画素信号を出力するごとに光電変換素子を完全リセットする構成としたことにより、各画素より信号成分とノイズ成分を順次出力することができるので、リセット前後の差分をとることによって固定パターンノイズを抑圧することができる。また、各画素を完全リセットしているので残像の発生もなく、さらに 2 次元固体撮像素子においては、信号成分とノイズ成分が垂直信号線から水平信号線へ同一の経路を経由して出力されるので、縦筋状の固定パターンノイズの発生も抑えることができる。

#### 【図面の簡単な説明】

【図 1】本発明の第 1 実施形態を示す構成図である。

【図 2】第 1 実施形態の動作説明のためのタイミングチャートである。

【図 3】C D S 回路の回路構成の一例を示す回路図である。

【図 4】エンハンスメント型 M O S トランジスタ（A）とデプレッション型 M O S トランジスタ（B）の I d - V d 特性図である。

【図 5】第 1 実施形態に係るリセット部の動作説明のためのポテンシャル図である。

【図 6】単位画素の他の構成例を示す回路図である。

【図 7】単位画素のさらに他の構成例を示す回路図である。

【図 8】図 5 の構成に対応したポテンシャル図である。

【図 9】図 6 の構成に対応したポテンシャル図である。

【図 1 0】本発明の第 2 実施形態を示す構成図である。

【図 1 1】第 2 実施形態の動作説明のためのタイミングチャートである。

【図 1 2】第 2 実施形態に係るリセット部の動作説明のためのポテンシャル図である。

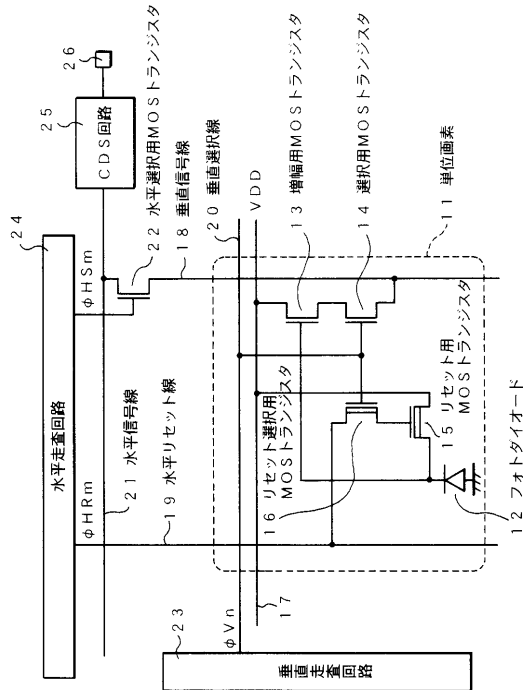
【図 1 3】従来例を示す構成図である。

【図 1 4】課題を説明するための構成図である。

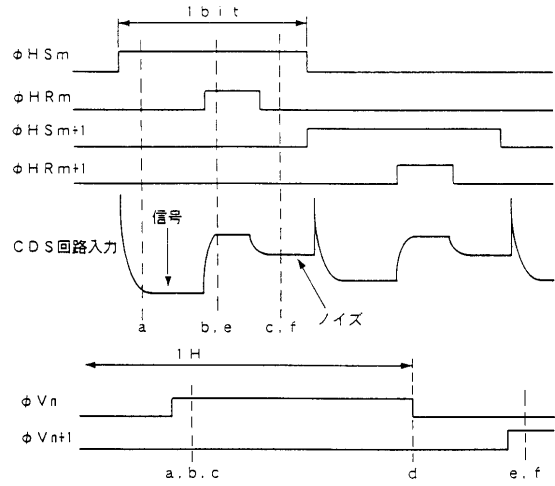
#### 【符号の説明】

1 1 , 5 1 ... 単位画素、1 2 , 5 2 ... フォトダイオード（光電変換素子）、1 3 , 5 3 ... 増幅用 M O S トランジスタ、1 4 , 5 4 ... 選択用 M O S トランジスタ、1 5 , 5 5 ... リセット用 M O S トランジスタ、1 6 ... リセット選択用 M O S トランジスタ、1 7 , 5 6 ... 電源（V D D）線、1 8 ... 垂直信号線、1 9 ... 水平リセット線、2 0 ... 垂直選択線、2 1 ... 水平信号線、2 2 ... 水平選択用 M O S トランジスタ、2 3 ... 垂直走査回路、2 4 ... 水平走査回路、2 5 , 5 9 ... C D S（相関二重サンプリング）回路、5 7 ... 信号線、5 8 ... 走査回路

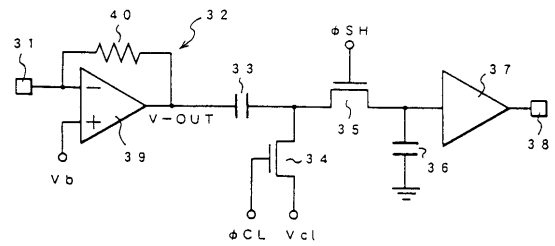
【図1】



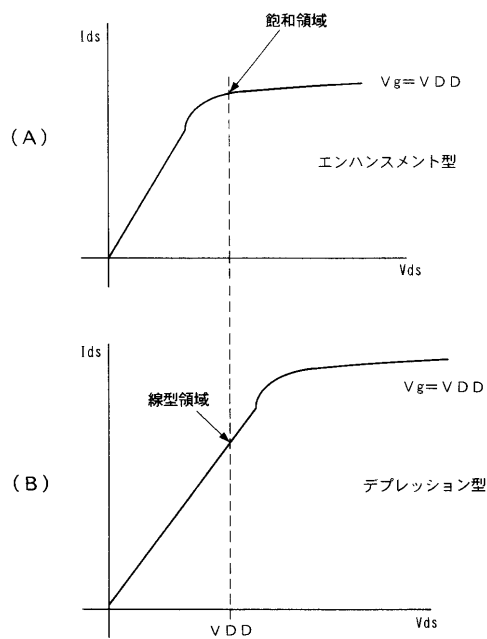
【図2】



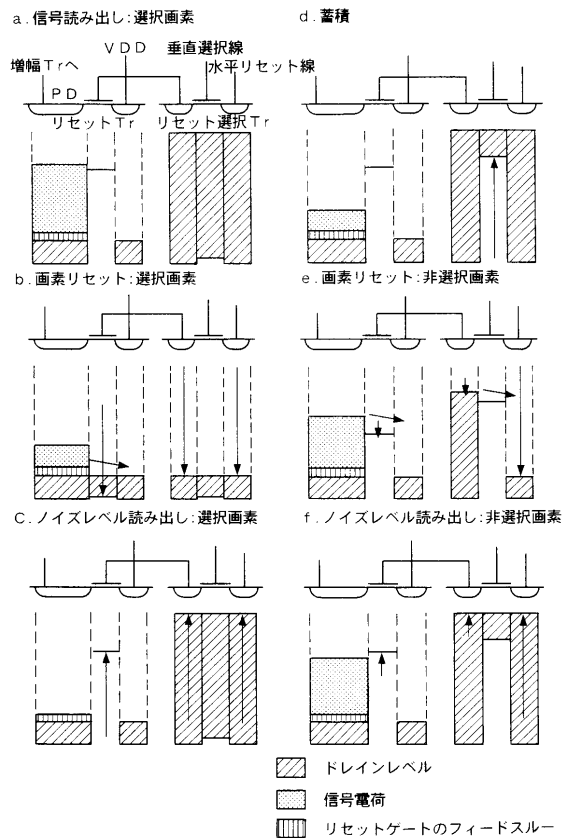
【図3】



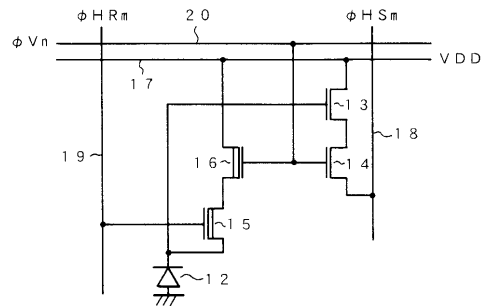
【図4】



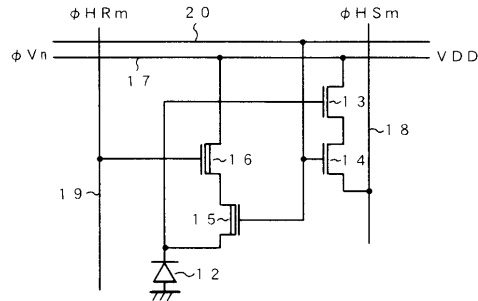
【図5】



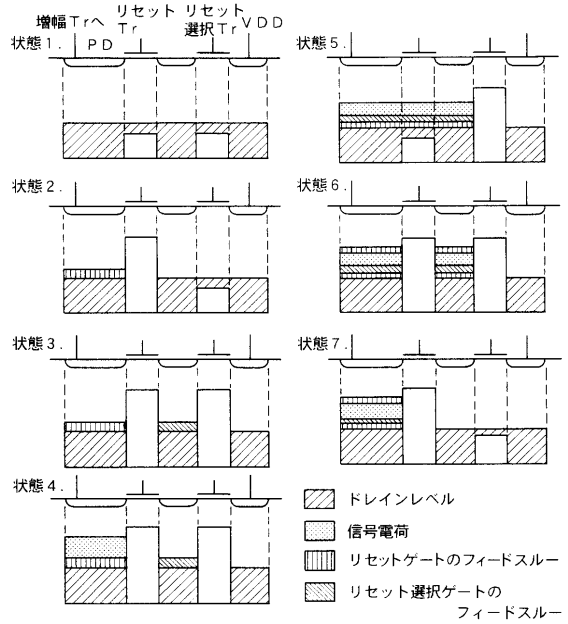
【図 6】



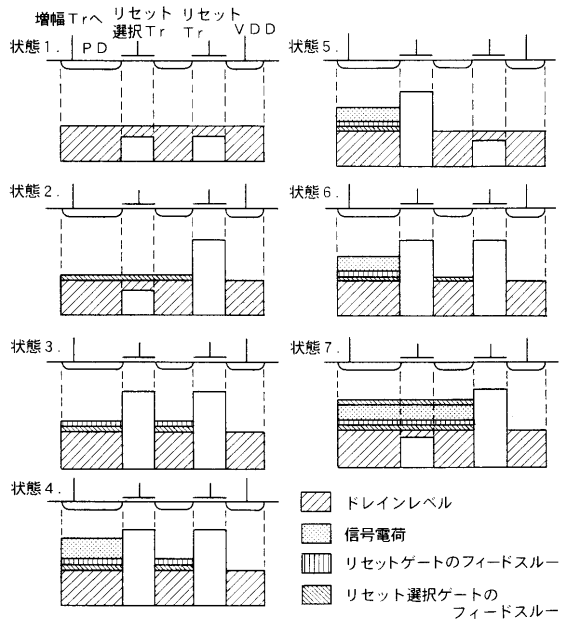
【図 7】



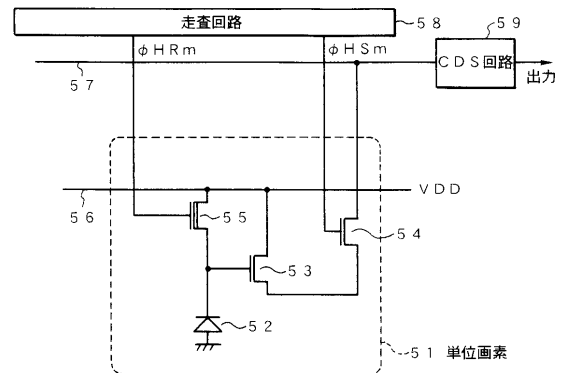
【図 8】



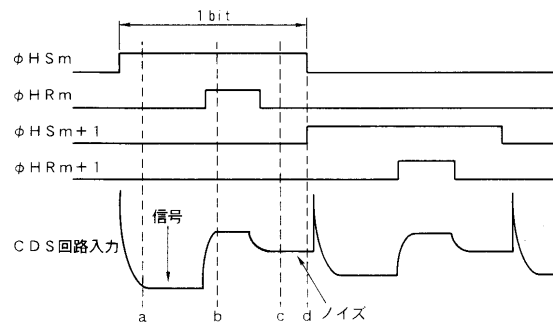
【図 9】



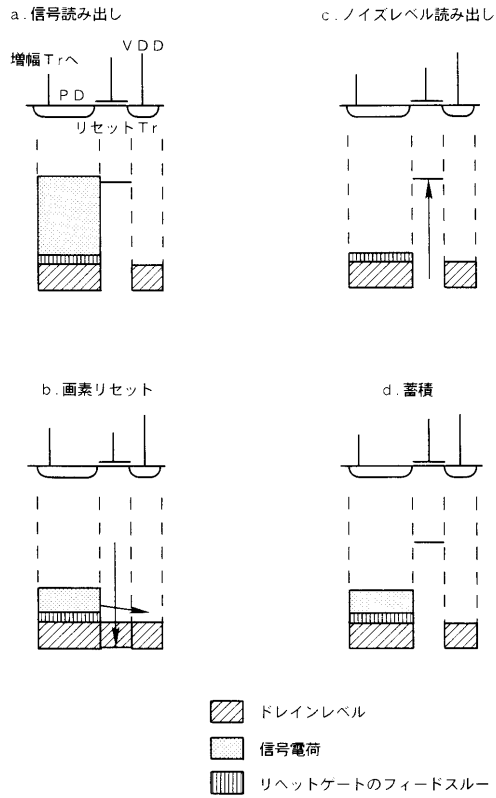
【図 10】



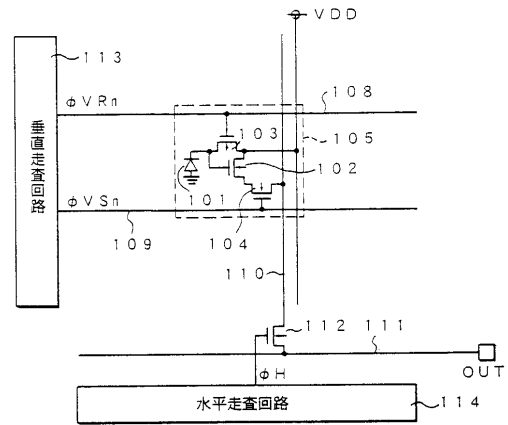
【図 11】



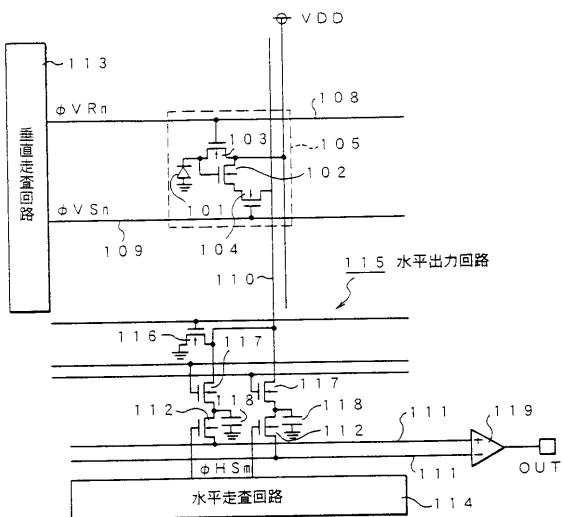
【図 12】



【図 13】



【図 14】



---

フロントページの続き

(72)発明者 米本 和也  
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 内田 勝久

(56)参考文献 特開平02-171088(JP,A)  
特開平07-284024(JP,A)  
特開平01-117485(JP,A)  
特開平04-000880(JP,A)  
特開平04-241586(JP,A)  
特開平11-122532(JP,A)  
特開平11-112018(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H04N 5/30 ~ 5/335