

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-347325

(P2005-347325A)

(43) 公開日 平成17年12月15日(2005.12.15)

| | | |
|----------------------------|--------------|-------------|
| (51) Int. Cl. ⁷ | F I | テーマコード (参考) |
| HO 1 L 27/146 | HO 1 L 27/14 | 4 M 1 1 8 |
| HO 4 N 5/335 | HO 4 N 5/335 | 5 C O 2 4 |
| | HO 4 N 5/335 | U |

審査請求 未請求 請求項の数 7 O L (全 16 頁)

| | | | |
|-----------|------------------------------|----------|--|
| (21) 出願番号 | 特願2004-162035 (P2004-162035) | (71) 出願人 | 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号 |
| (22) 出願日 | 平成16年5月31日 (2004.5.31) | (74) 代理人 | 100122884 弁理士 角田 芳末 |
| | | (74) 代理人 | 100113516 弁理士 磯山 弘信 |
| | | (72) 発明者 | 吉原 郁夫 東京都品川区北品川6丁目7番35号 ソニー株式会社内 |
| | | Fターム(参考) | 4M118 AB01 BA14 CA03 CA04 FA06 FA25 FA27 FA28 5C024 BX01 CX32 CY47 GX03 GX16 GY31 |

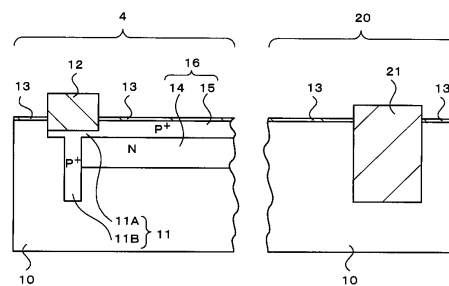
(54) 【発明の名称】 固体撮像素子及びその製造方法

(57) 【要約】

【課題】 画像信号に対するノイズを抑制することができ、かつ周辺回路形成領域において微細化を図ることができる構造の固体撮像素子を提供する。

【解決手段】 画素形成領域4と周辺回路形成領域20とが同一の半導体基体に形成され、周辺回路形成領域20では、半導体基体10に絶縁層が埋め込まれた素子分離層21により第1の素子分離部が形成され、画素形成領域4では、半導体基体内10に形成された素子分離領域11と半導体基体10から上方に突出した素子分離層12とから成る第2の素子分離部が形成され、光電変換素子16(14, 15)が第2の素子分離部の素子分離層12の下まで延在して形成されている固体撮像素子を構成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

光電変換素子から成る画素及び前記光電変換素子から信号電荷を読み出す選択トランジスタとを有して構成される画素形成領域と、周辺回路形成領域とが、同一の半導体基体に形成され、

前記周辺回路形成領域においては、前記半導体基体に絶縁層が埋め込まれて成る素子分離層により、第 1 の素子分離部が形成され、

前記画素形成領域においては、前記半導体基体内に形成された素子分離領域と、前記半導体基体から上方に突出した素子分離層とから成る第 2 の素子分離部が形成され、

前記光電変換素子が、前記第 2 の素子分離部の前記素子分離層の下まで延在して形成されている

10

ことを特徴とする固体撮像素子。

【請求項 2】

前記第 2 の素子分離部の前記素子分離層は、絶縁層から成り、前記半導体基体内の深さが 50 nm 以下であり、かつ厚さが 50 nm ~ 150 nm であることを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 3】

前記第 1 の素子分離部の最小分離幅が、前記第 2 の素子分離部の最小分離幅よりも小さいことを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 4】

前記第 2 の素子分離部の前記素子分離層は、導電層とその上の絶縁層の積層膜から成り、前記半導体基体内の深さが 50 nm 以下であり、かつ厚さが 30 nm ~ 150 nm であることを特徴とする請求項 1 に記載の固体撮像素子。

20

【請求項 5】

前記第 2 の素子分離部の前記素子分離領域は、前記素子分離層の前記積層膜と自己整合して形成されていることを特徴とする請求項 4 に記載の固体撮像素子。

【請求項 6】

光電変換素子から成る画素及び前記光電変換素子から信号電荷を読み出す選択トランジスタとを有して構成される画素形成領域と、周辺回路形成領域とが、同一の半導体基体に形成された固体撮像素子を製造する方法であって、

30

前記半導体基体上にストッパー層を形成する工程と、

前記周辺回路形成領域となる部分に、前記ストッパー層から前記半導体基体内まで達する溝を形成する工程と、

前記溝の内部に絶縁層を埋め込み、平坦化する工程と、

前記画素形成領域となる部分に、前記ストッパー層から前記溝よりも浅い開口を形成する工程と、

前記開口の内部に絶縁層を埋め込み、平坦化する工程とを有する

ことを特徴とする固体撮像素子の製造方法。

【請求項 7】

前記開口を形成する工程の後に、前記開口の内部に導電層及び絶縁層を埋め込み、平坦化する工程を行うことを特徴とする請求項 6 に記載の固体撮像素子の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ビデオカメラやデジタルスチルカメラ等に使用される固体撮像素子（イメージセンサ）及びその製造方法に関するものである。

【背景技術】

【0002】

固体撮像素子（イメージセンサ）は、光電変換手段である複数の画素と、その画素の信号を選択読み出しする MOS トランジスタとを用いて、画素の信号を読み出す構成の半導

50

体デバイスであり、例えば、ビデオカメラやデジタルスチルカメラ等に使用されている。

このうち、特に、CMOS（相補型MOS）プロセスで製造される、いわゆるCMOS型固体撮像素子（CMOSイメージセンサ）は、低電圧・低消費電力、多機能であり、かつ周辺回路とワン・チップ化できるSOC（システムオンチップ）というメリットを有する。

従って、携帯電話用のカメラや、デジタルスチルカメラやデジタルビデオカメラの撮像素子として注目されている。

【0003】

CMOS型固体撮像素子（CMOSイメージセンサ）の構成の一例の概略構成図（回路構成図）を図14に示す。

10

このCMOSイメージセンサは、同一の半導体基板上に、光電変換を行う複数のフォトダイオード2とフォトダイオード2を選択読み出しするMOSトランジスタ3からなる画素1を二次元状に配列された画素形成領域4と、画素選択と信号出力のための周辺回路5、6とを備えている。

以下、画素形成領域4以外の領域、即ち画素選択のための回路5と出力回路6とを含む領域を、「周辺回路形成領域」と呼ぶこととする。

画素形成領域4においては、各画素1が、フォトダイオード2と、転送用トランジスタ3、リセット用トランジスタ7、アンプトランジスタ8の3個のMOSトランジスタとにより構成されている。また、周辺回路形成領域においては、画素選択のための回路5と出力回路6とがCMOSトランジスタを用いて構成されている。

20

【0004】

従来のCMOSイメージセンサは、周辺回路形成領域の各回路が、CMOSトランジスタで形成されている。

一方、画素形成領域においては、各画素を構成するMOSトランジスタはすべてNMOSトランジスタである。

この画素を構成するNMOSトランジスタは、通常、周辺回路形成領域で使用されるNMOSトランジスタと同一の素子分離構造とされる（例えば、特許文献1参照）。

【0005】

ここで、従来のCMOSイメージセンサにおいて、周辺回路形成領域に用いられる素子分離構造の断面図を図13に示す。

30

半導体基板51内に、N型半導体ウェル領域52及びP型半導体ウェル領域53が形成されている。N型半導体ウェル領域内52にPMOSトランジスタ54が、P型半導体ウェル領域53内にNMOSトランジスタ55がそれぞれ形成されている。

そして、このトランジスタ54、55同士間は、半導体基板51内に形成された溝内に素子分離層が埋め込まれた、いわゆるSTI（Shallow Trench Isolation）から成る素子分離部56により電氣的に分離されている。この素子分離部56は、素子分離層として、例えば酸化膜が埋め込まれている。

【0006】

さらに、従来のCMOSイメージセンサでは、画素を構成するNMOSトランジスタが、周辺回路形成領域で使用されるNMOSトランジスタと同一構造の素子分離部56で分離されているため、図14の画素形成領域4においても、同様に、図13に示した、半導体基板51内に素子分離層が埋め込まれた素子分離層56が形成されて、隣接する画素セル1と分離されている。

40

また、画素形成領域4の各画素セル1に形成されている、例えば転送用トランジスタ3、アンプトランジスタ8、リセットトランジスタ7等のトランジスタのソース/ドレイン拡散層も、それぞれ同様の構成の素子分離部56によって分離されている。

【特許文献1】特開2003-142674号公報（図9）

【発明の開示】

【発明が解決しようとする課題】

【0007】

50

しかしながら、従来のCMOSイメージセンサでは、上述したように、半導体基板51内に形成された溝内に素子分離層を埋め込んで素子分離部56を形成しているため、半導体基板51に溝を形成する際のダメージや、さらに製造中の熱処理工程において半導体基板51と埋め込まれた絶縁層(素子分離層)56との熱膨張係数の違いから発生する応力等によって、半導体基板51に歪や結晶欠陥が発生することがある。

この歪や結晶欠陥により、不要な電荷(リーク電流、暗電流)が発生して、フォトダイオード2に侵入する。

フォトダイオード2に蓄積された電荷は、転送用トランジスタ3を介して転送されるため、歪や結晶欠陥により発生した電荷が、そのまま画素信号に対するノイズ信号となってしまふ。

10

【0008】

さらに、シリコン基板のような単結晶基板に溝を形成すると、基板の表面だけでなく、溝の側壁にも単結晶の終端部が形成されることになるため、この終端部に形成された界面準位も、画像信号に対するノイズ信号の要因となる。

【0009】

また、従来は、画素を構成するNMOSTランジスタが、周辺回路形成領域で使用されるNMOSTランジスタと同一構造の素子分離部56で分離されていたが、周辺回路形成領域に用いられるCMOSTランジスタは、微細化技術の最先端プロセスを採用しているケースが多く、さらには高速化、低消費電力、省スペースを主眼として設計されているために電源電圧も低電圧化しているケースも多い。

20

このため、素子分離部56を周辺回路形成領域のCMOSTランジスタの設計に合わせて最適化すると、画素形成領域4の素子分離部56が、上述の不要な電荷を発生しやすい構成となってしまうこともある。

【0010】

上述した問題の解決のために、本発明においては、画像信号に対するノイズを抑制することができ、かつ周辺回路形成領域において微細化を図ることができる構造の固体撮像素子及びその製造方法を提供するものである。

【課題を解決するための手段】

【0011】

本発明の固体撮像素子は、光電変換素子から成る画素及び光電変換素子から信号電荷を読み出す選択トランジスタとを有して構成される画素形成領域と、周辺回路形成領域とが、同一の半導体基体に形成され、周辺回路形成領域においては、半導体基体に絶縁層が埋め込まれて成る素子分離層により第1の素子分離部が形成され、画素形成領域においては、半導体基体内に形成された素子分離領域と半導体基体から上方に突出した素子分離層とから成る第2の素子分離部が形成され、光電変換素子が第2の素子分離部の素子分離層の下まで延在して形成されているものである。

30

【0012】

本発明の固体撮像素子の製造方法は、光電変換素子から成る画素及び光電変換素子から信号電荷を読み出す選択トランジスタとを有して構成される画素形成領域と、周辺回路形成領域とが、同一の半導体基体に形成された固体撮像素子を製造する方法であって、半導体基体上にストッパー層を形成する工程と、周辺回路形成領域となる部分にストッパー層から半導体基体内まで達する溝を形成する工程と、この溝の内部に絶縁層を埋め込み、平坦化する工程と、画素形成領域となる部分にストッパー層から溝よりも浅い開口を形成する工程と、開口の内部に絶縁層を埋め込み、平坦化する工程とを有するものである。

40

【0013】

上述の本発明の固体撮像素子の構成によれば、画素形成領域においては、半導体基体内に形成された素子分離領域と半導体基体から上方に突出した素子分離層とから成る第2の素子分離部が形成されているため、半導体基体内に形成された素子分離領域(不純物領域)により接合分離を行うことができる。そして、第2の素子分離部では、絶縁層を半導体基体内に深く埋め込んでいないので、素子分離部の周囲の半導体基体に結晶欠陥、ダメー

50

ジ、界面準位が発生することを抑制し、これら結晶欠陥、ダメージ、界面準位に起因するノイズを低減することができる。

また、周辺回路形成領域においては、半導体基体に絶縁層が埋め込まれて成る素子分離層（STI構造）により第1の素子分離部が形成されているため、周辺回路の高速化、低消費電力化、省スペース化を同時に実現することが可能になる。

さらに、光電変換素子が第2の素子分離部の素子分離層の下まで延在して形成されていることにより、飽和電荷量を最大限に得ることができる。これにより、固体撮像素子の解像度等の特性を向上することが可能になる。

【0014】

上述の本発明の固体撮像素子の製造方法によれば、半導体基体上にストッパー層を形成し、このストッパー層から形成した溝や開口の内部に絶縁層を埋め込み、平坦化を行うことにより、平坦化によってストッパー層よりも上の絶縁層を除去して、溝の内部や開口の内部のみに絶縁層が残る。

そして、周辺回路形成領域となる部分では、ストッパー層から半導体基体内に達する溝を形成し、その内部に絶縁層を埋め込むので、半導体基体内に絶縁層が埋め込まれたSTI構造を形成することができ、このSTI構造の素子分離層から成る素子分離部を形成することができる。

また、画素形成領域となる部分では、ストッパー層から溝よりも浅い開口を形成し、その内部に絶縁層を埋め込むので、半導体基体内の深さが浅く、半導体基体から突出した絶縁層からなる素子分離層を形成することができる。半導体基体内の深さが浅いので、前述したノイズの発生を抑制することが可能になる。

【0015】

上記本発明の固体撮像素子において、好ましくは、第2の素子分離部の素子分離層が、絶縁層から成り、半導体基体内の深さが50nm以下であり、かつ厚さが50nm～150nmである構成とする。

このように構成したことにより、半導体基体内の深さが50nm以下であることから、ノイズの発生を十分に少なくすることができ、厚さが50nm～150nmであることから、寄生MOSトランジスタのリーク電流を抑制すると共に、素子分離層上に形成されるゲート電極の加工が容易になる。

【0016】

上記本発明の固体撮像素子において、好ましくは、第1の素子分離部の最小分離幅が、第2の素子分離部の最小分離幅よりも小さい構成とする。

このように構成したことにより、最小分離幅が小さい第1の素子分離部により、周辺回路形成領域において、さらなる微細化を図り、高速化、低消費電力化、省スペース化を図ることができる。また、最小分離幅が大きい第2の素子分離部により、画素形成領域においては、ノイズの発生やリーク電流を十分に抑制することができる。

【0017】

また、上記本発明の固体撮像素子において、第2の素子分離部の素子分離層が、導電層とその上の絶縁層の積層膜から成り、半導体基体内の深さが50nm以下であり、かつ厚さが30nm～150nmである構成とすることも可能である。

このように構成したことにより、導電層によりシールド効果を持たせて、寄生MOSトランジスタのリーク電流を抑制することができるため、絶縁層のみで素子分離層を構成した場合よりも、素子分離層を薄く、例えば30nmとすることが可能になる。

【0018】

また、上記本発明の固体撮像素子において、さらに第2の素子分離部の素子分離領域が、素子分離層の積層膜と自己整合して形成されている構成とすることも可能である。

【発明の効果】

【0019】

上述の本発明によれば、画素形成領域においては、素子分離領域部の結晶欠陥、ダメージ、界面準位に起因するノイズを低減することができる。また、固体撮像素子の解像度等

10

20

30

40

50

の特性を向上することが可能である。

さらに、周辺回路形成領域では、周辺回路の高速化、低消費電力化、省スペース化が同時に実現できる。また、固体撮像素子の微細化を図ることが可能になる。

【発明を実施するための最良の形態】

【0020】

本発明の一実施の形態として、固体撮像素子の概略構成図（断面図）を図1に示す。

また、本実施の形態の固体撮像素子の回路構成図を図2に示す。本実施の形態の固体撮像素子は、先に図14に示した回路構成と同様の回路構成となっている。

【0021】

この固体撮像素子は、例えばN型のシリコン基板から成る、同一の半導体基板10に、フォトダイオード2を有する画素セル1が多数形成された画素形成領域4と、周辺回路形成領域20とが形成されている。

10

【0022】

図1に示すように、周辺回路形成領域20においては、図13に示した従来の素子分離部56の構成と同様に、半導体基板10に、シリコン酸化膜等の素子分離層21が埋め込まれた素子分離部が形成されている。即ち、この素子分離部は、いわゆるトレンチ素子分離（STI）構造となっている。図中13は、基板10の表面の薄い絶縁膜（例えばシリコン酸化膜）を示している。

【0023】

画素形成領域4においては、半導体基板10内に形成されたN型の電荷蓄積領域14と、半導体基板10の表面付近に形成されたP型（ P^+ ）の正電荷蓄積領域15とによりセンサ部16が構成されている。

20

【0024】

なお、図示しないが、画素形成領域4や周辺回路形成領域20において、それぞれ半導体基板10内にトランジスタのソース/ドレイン領域が形成され、半導体基板10上に絶縁膜13を介してトランジスタのゲート電極等が形成されている。また、画素形成領域4においては、さらに上方に、必要に応じて、カラーフィルタやオンチップレンズが形成されている。

【0025】

このCMOSイメージセンサの回路構成は、図2に示すように、同一の半導体基板上に、光電変換を行う複数のフォトダイオード2とフォトダイオード2を選択読み出しするMOSトランジスタ3からなる画素1を二次元状に配列された画素形成領域4と、画素選択と信号出力のための周辺回路5, 6とを備えている。

30

画素形成領域4においては、各画素1が、フォトダイオード2と、転送用トランジスタ3、リセット用トランジスタ7、アンプトランジスタ8の3個のMOSトランジスタとにより構成されている。また、周辺回路形成領域においては、画素選択のための回路5と出力回路6とがCMOSトランジスタを用いて構成されている。

【0026】

本実施の形態の固体撮像素子においては、特に、画素形成領域4において、各画素セル1間及び各画素セル1内のトランジスタ3, 7, 8（図2の回路構成図参照）をそれぞれ分離する素子分離部の構成が、周辺回路形成領域20の素子分離部とは異なっている。

40

即ち、図1の断面図に示すように、画素形成領域4においては、半導体基板10内に、P型（ P^+ ）の不純物拡散層からなる素子分離領域11を形成すると共に、このP型の素子分離領域11の上方に、半導体基板10から突出した凸状の素子分離層（カバー層）12を形成して、これら素子分離領域11及び素子分離層（カバー層）12により素子分離部を構成している。

この凸状の素子分離層（カバー層）12は、例えばシリコン酸化膜等の絶縁層により形成することができる。

【0027】

P型の素子分離領域11は、上部の幅の広い部分11Aと、下部の幅の狭い部分11B

50

とを有し、断面略T字状に形成されている。

【0028】

このように、P型の素子分離領域11を形成したことにより、接合分離による素子分離を行うことが可能になっている。

また、素子分離層(カバー層)12を形成したことにより、寄生MOSによるリーク電流を抑制することができる。

【0029】

また、本実施の形態の固体撮像素子では、センサ部16の表面のP型の正電荷蓄積領域15が、素子分離領域11の上部11Aと接続して形成されていると共に、センサ部16のN型の電荷蓄積領域14が素子分離層(カバー層)12の下まで延在して、素子分離領域11の下部11Bと接する部分まで形成されている。

10

従来の画素形成領域の素子分離部にSTIを採用した構成においては、例えば前記特許文献1にも記載されているように、ノイズ低減を目的としてSTI構造の絶縁層の周囲に、P型の領域を形成していた。このP型の領域があるために、センサ部のN型の電荷蓄積領域を広く形成することができなかつた。

これに対して、本実施の形態では、画素形成領域4において、STIによる素子分離の代わりに、素子分離領域11により素子分離を行うように構成したので、半導体基板10内の素子分離部の幅をSTIよりも狭めることが可能になり、これにより、センサ部16のN型の電荷蓄積領域14を広く形成して、素子分離層(カバー層)12の下まで延在して形成することができる。

20

このように素子分離層(カバー層)12の下まで延在して形成することにより、飽和電荷量 Q_s を増やすことができる。

【0030】

画素形成領域4の素子分離層(カバー層)12は、半導体基板10内の深さを50nm以下とし、かつ厚さを50nmから150nmの範囲とすることが望ましい。

また、図1では、素子分離層(カバー層)12が、半導体基板10内に一部入り込んで形成されているが、半導体基板10上のみ素子分離層(カバー層)12が形成されている構成としてもよい。

【0031】

ここで、画素形成領域4において、シリコン酸化膜から成る素子分離層(カバー層)12のシリコン基板10内に形成された深さ(シリコン基板10の掘れ量)と、出力異常(ノイズ)を発生した画素の個数との関係を図3Aに示す。

30

【0032】

図3Aに示すように、深さが50nmを超えると、出力異常を発生した画素の個数が増大する。これは、埋め込んだ素子分離層(シリコン酸化膜)12とシリコン基板10の間に生じる熱膨張係数の違いに起因する、ストレスや応力が無視できないレベルに達することを意味する。そして、深さをさらに増大させると、シリコン基板10の界面準位が増大して、制御不能なトラップ電荷が増大することも意味している。

なお、図中に示す「通常STI」は通常のSTI構造の素子分離層の厚さ350nmを示している。本実施の形態の構成により、通常のSTI構造の素子分離層よりも出力異常を発生した画素の個数を大幅に低減することができる。ことがわかる。

40

【0033】

また、画素形成領域4の素子分離層(シリコン酸化膜)12の厚さと、素子分離能力(リーク電流の臨界値)及びゲートショート(短絡)の発生数との関係を図3Bに示す。実線が素子分離能力を示し、破線がゲートショートの発生数を示している。

図3Bに示すように、素子分離層12の厚さが50nm未満になると、素子分離能力を示す寄生MOSトランジスタのリーク電流が増大し、一方、厚さが150nmを超えるとゲート電極が著しくショートしやすくなり、歩留を著しく低下させる。これは、素子分離層12を厚くすると、素子分離層12の上に形成されるゲート電極の加工が難しくなるために、ゲートショートの発生数が増大するためである。

50

【0034】

従って、画素形成領域4に形成される素子分離層(カバー層)12は、半導体基板10内の深さが50nm以下であり、かつ厚さが50nm~150nmの範囲であることが望ましい。

【0035】

また、好ましくは、周辺回路形成領域20の素子分離部の最小分離幅が、画素形成領域4の素子分離部の最小分離幅よりも小さい構成とする。

このように構成することにより、周辺回路形成領域20では、素子分離部の最小分離幅が小さいため、固体撮像素子のさらなる微細化を図り、高速化、低消費電力化、省スペース化を図ることができる。また、画素形成領域4では、素子分離部の最小分離幅が大きい

10

【0036】

本実施の形態の固体撮像素子は、例えば次のようにして製造することができる。

まず、半導体基板10、例えばシリコン基板の表面を酸化して、シリコン酸化膜31を形成する。このシリコン酸化膜31の厚さは、例えば5nm~20nmとする。

次に、シリコン酸化膜31上に、CVD(化学的気相成長)法により、シリコン窒化膜32を、例えば膜厚100nm~200nmで形成する(以上、図4A参照)。なお、このシリコン窒化膜32は、後に形成するシリコン酸化膜をCMP(化学的機械的研磨)法により研磨する工程において、研磨ストッパーとなるものである。

【0037】

20

次に、周辺回路形成領域20において、通常の方法により、シリコン窒化膜32、シリコン酸化膜31、シリコン基板10をエッチングして、シリコン基板10に溝(トレンチ)34を形成した後に、さらに溝34の表面を酸化して酸化膜35を形成する(以上、図4B参照)。この酸化膜35の厚さは、例えば5nm~20nmとする。

【0038】

さらに、HDP(高密度プラズマ)法により、シリコン酸化膜36を形成する。これにより、溝34内を埋めてシリコン酸化膜36が形成される。

その後、CMP法等により表面の平坦化を行い、溝34内のみにシリコン酸化膜36を残す。これにより、周辺回路形成領域20に、シリコン酸化膜36から成る素子分離層21が形成される(以上図4C参照)。なお、図1の素子分離部21は、溝34の内壁のシリコン酸化膜35を含むので、以下の図では、シリコン酸化膜35とシリコン酸化膜36とを合わせて素子分離層21とする。

30

【0039】

次に、図5Dに示すように、表面に、シリコン窒化膜37を、例えば30nm~150nmの厚さで形成する。

なお、後の工程において、画素形成領域4の素子分離部(11,12)を形成した後に、シリコン窒化膜32,37の積層膜をホット燐酸液により除去することを考慮して、シリコン窒化膜37を形成する前に、フッ酸による前処理を施して、溝34内以外に残ったシリコン酸化膜36を除去することが望ましい。

【0040】

40

次に、図5Eに示すように、画素形成領域4の素子分離部に対応する部分のシリコン窒化膜32,37の積層膜に開口38を形成する。

この開口38を形成する際の、シリコン基板10の掘れ量はできるだけ少なくすることが望ましく、深さ50nm以下に抑える。

【0041】

続いて、開口38により露出したシリコン基板10の表面を酸化して、厚さ5nm~20nmのシリコン酸化膜39を形成する。

さらに、P型不純物例えばボロンを、 $1 \times 10^{12} \sim 5 \times 10^{13}$ 個/cm²の濃度でイオン注入することにより、素子分離領域(チャンネルストップ層)11の上部11Aを形成する(以上図5F参照)。

50

【0042】

次に、表面を覆って、CVD法によりシリコン酸化膜41を形成する。このシリコン酸化膜41は、シリコン窒化膜32, 37の積層膜よりも薄く形成する。これにより、開口38の内壁に沿ってシリコン酸化膜41が形成され、開口38の中心部に空間が残る。

このシリコン酸化膜41は、HTO (High Temperature Oxide) が望ましい (以上図6G参照)。

【0043】

次に、レジストマスク (図示せず) を形成し、このレジストマスクを用いて、シリコン基板10内に、P型不純物例えば、ボロンを $5 \times 10^{12} \sim 1 \times 10^{14}$ 個/cm² の濃度でイオン注入することにより、素子分離領域11の下部11Bを形成する。ここで、開口38内のシリコン酸化膜41がイオン注入に対するマスクとして作用し、素子分離領域11の下部11Bの幅が、開口38の中心部の空間に対応する狭い幅となる。これにより、素子分離領域11の下部11Bは、上部11Aより狭い幅に形成され、断面がT字形状の素子分離領域11が形成される (以上図6H参照)。

10

【0044】

次に、シリコン酸化膜42を、HDP法により、例えば100nm~200nmの厚さに形成する。これにより、開口38の中心部の空間がシリコン酸化膜42で埋められる。

続いて、CMP (化学的機械的研磨) 法やエッチバック法を用いて、表面を平坦化することにより、シリコン窒化膜37上のシリコン酸化膜42を除去する。このとき、シリコン窒化膜37が、CMP又はエッチングのストッパー層として作用する。これにより、開口38内のシリコン酸化膜42のみが残る (以上図6I参照)。

20

【0045】

次に、ホット燐酸液を用いて、シリコン窒化膜37, 32を除去する。

これにより、図7Jに示すように、画素形成領域4には、半導体基板10に凸状の絶縁膜 (シリコン酸化膜39、シリコン酸化膜41、並びにシリコン酸化膜42) により素子分離層 (カバー層) 12が形成され、素子分離層 (カバー層) 12の下には、素子分離領域 (チャネルストップ拡散層) 11が形成される。

一方、同一のシリコン基板10の周辺回路形成領域20には、STIとして素子分離層21が形成される。

【0046】

その後は、図7Kに示すように、センサ部16のN型の電荷蓄積領域14や正電荷蓄積領域15、トランジスタのソース/ドレイン領域等を、半導体基板10へのイオン注入により順次形成する。

30

そして、半導体基板10の表面のシリコン酸化膜31上に、ゲート電極等を形成した後、必要に応じて、画素形成領域4にカラーフィルタやオンチップレンズ等を形成して、固体撮像素子を製造することができる。

【0047】

上述の製造方法によれば、従来のSTI形成工程に対して、必要最小限の工程を付加することにより、周辺回路形成領域20にはSTIとして素子分離層21を形成し、画素形成領域4には素子分離層 (カバー層) 12と接合分離の素子分離領域11とを形成することができる。

40

【0048】

上述の本実施の形態の固体撮像素子によれば、センサ部16のN型の電荷蓄積領域14が、素子分離層 (カバー層) 12の下まで延在して形成されていることにより、センサ部16即ち光電変換素子が素子分離層 (カバー層) 12の下まで延在しており、飽和電荷量を最大限に得ることができる。

これにより、固体撮像素子の解像度等の特性を向上することが可能になる。

【0049】

また、画素形成領域4においては、半導体基板10内の素子分離領域11と素子分離層 (カバー層) 12とにより素子分離部が構成されている。

50

これにより、STI構造の素子分離部を構成した場合と比較して、素子分離部付近の結晶欠陥、ダメージ、界面準位に起因するノイズを低減することが可能である。

【0050】

さらに、周辺回路形成領域20では、従来のCMOSセンサの素子分離部と同様に、STI構造の素子分離層21が形成されているため、周辺回路の高速化や、消費電力の低減、並びに省スペース化を同時に実現することができる。

【0051】

続いて、本発明の他の実施の形態として、固体撮像素子の概略構成図(断面図)を図8に示す。

本実施の形態の固体撮像素子においては、特に、図8に示すように、画素形成領域4の素子分離部の素子分離層(カバー層)12を、多結晶シリコン層17とシリコン酸化膜18との積層膜と、この積層膜の側壁に形成されたサイドウォール絶縁層19と、多結晶シリコン層17の下のシリコン酸化膜39とにより構成している。周辺回路形成領域は、図示しないが、図1に示した先の実施の形態と同様に、STIにより素子分離部を形成している。

【0052】

また、画素形成領域4の素子分離部の素子分離領域11の下部11Bは、多結晶シリコン層17とシリコン酸化膜18との積層膜に対して、自己整合して形成されており、積層膜と同じ幅に形成されている。

【0053】

さらに、先の実施の形態の固体撮像素子と同様に、センサ部16のN型の電荷蓄積領域14が、素子分離層(カバー層)12の下に延在して、素子分離領域11の下部11Bに接続して形成されている。

なお、画素形成領域4のその他の構成は、図1に示した先の形態と同様であるので、同一符号を付して重複説明を省略する。

【0054】

多結晶シリコン層17とシリコン酸化膜18との積層膜を用いて、素子分離層(カバー層)12を構成したことにより、導電層である多結晶シリコン層17によって、シールド効果を持たせることができる。このシールド効果により、寄生MOSによるリーク電流をさらに抑制することができるため、素子分離層12をシリコン酸化膜だけで形成した場合よりも、素子分離層12の厚さを薄く(例えば30nm程度)しても、リーク電流を抑制することが可能になる。

【0055】

画素形成領域4の素子分離層(カバー層)12は、半導体基板10内の深さを50nm以下とし、かつ厚さを30nmから150nmの範囲とすることが望ましい。

また、図8では、素子分離層12が、半導体基板10内に一部入り込んで形成されているが、半導体基板10上のみ素子分離層12が形成されている構成としてもよい。

【0056】

本実施の形態の固体撮像素子は、例えば次のようにして製造することができる。

なお、以下の製造工程図において、周辺回路形成領域は、図示を省略する。

【0057】

まず、先の実施の形態の図5Dの状態から、図5E~図5Fと同様の工程を経て、図9Aに示す状態にする。

【0058】

次に、図9Bに示すように、多結晶シリコン層17を、シリコン窒化膜32及びシリコン窒化膜37の積層膜よりも薄く、例えば10nm~70nmの厚さに形成する。

これにより、開口38の内壁に沿って多結晶シリコン層17が形成され、開口38の中心部に空間が残る。

【0059】

次に、図9Cに示すように、多結晶シリコン層17とセルフアラインさせて、シリコン

基板 10 内に、P 型不純物例えばボロンを $5 \times 10^{12} \sim 1 \times 10^{14}$ 個 / cm^2 の濃度でイオン注入することにより、素子分離領域 11 の下部 11 B を形成する。ここで、開口 38 内の多結晶シリコン層 17 がイオン注入に対するマスクとして作用し、素子分離領域 11 の下部 11 B の幅が、開口 38 の中心部の空間に対応する狭い幅となる。これにより、素子分離領域 11 の下部 11 B は、上部 11 A より狭い幅に形成され、断面が T 字形の素子分離領域 11 が形成される。

【0060】

次に、シリコン酸化膜 18 を、HDP 法により、例えば $100 \text{ nm} \sim 200 \text{ nm}$ の厚さに形成する。これにより、開口 38 の中心部の空間がシリコン酸化膜 18 で埋められる。

続いて、CMP 法やエッチバック法を用いて、表面を平坦化することにより、多結晶シリコン層 17 上のシリコン酸化膜 18 を除去する。このとき、多結晶シリコン層 17 が、CMP 又はエッチングのストッパー層として作用する。これにより、開口 38 内のシリコン酸化膜 18 のみが残る（以上図 10 D 参照）。

【0061】

次に、図 10 E に示すように、ドライエッチングまたはフッ硝酸液を用いて、多結晶シリコン層 17 の露出した部分を、エッチング除去する。これにより、シリコン酸化膜 18 とその下の多結晶シリコン層 17 が残る。

【0062】

次に、図示しないが、多結晶シリコン層 17 の側壁を、約 $10 \text{ nm} \sim 20 \text{ nm}$ の厚さで酸化する。

続いて、図 10 F に示すように、シリコン酸化膜 43 を、HDP 法により、 $100 \text{ nm} \sim 200 \text{ nm}$ の厚さに形成する。

【0063】

次に、CMP 法やエッチバック法を用いて、シリコン酸化膜 43 に対して平坦化を行うことにより、図 11 G に示すように、多結晶シリコン層 17 及びシリコン酸化膜 18 の積層膜の側壁に、シリコン酸化膜 43 から成るサイドウォール絶縁層 19 を形成する。このとき、シリコン窒化膜 32, 37 が CMP やエッチングのストッパー層になる。なお、シリコン酸化膜 18 は、この工程により、図 10 F の状態よりも薄くなっている。

【0064】

続いて、 $600 \sim 1000$ の温度でアニールを行い、シリコン酸化膜 18, 19 を緻密化する。

【0065】

次に、ホットリン酸液を用いて、シリコン窒化膜 37, 32 を除去する。

これにより、図 11 H に示すように、半導体基板 10 に、シリコン酸化膜 39・多結晶シリコン層 17・シリコン酸化膜 18・サイドウォール絶縁層 19 により素子分離層（カバー層）12 が形成され、素子分離層（カバー層）12 の下には、素子分離領域（チャンネルストップ拡散層）11 が形成される。

一方、同一のシリコン基板 10 の周辺回路形成領域には、STI から成る素子分離部が形成される。

【0066】

その後は、センサ部 16 の N 型の電荷蓄積領域 14 や正電荷蓄積領域 15、トランジスタのソース/ドレイン領域等を、半導体基板 10 へのイオン注入により順次形成する。

そして、半導体基板 10 の表面のシリコン酸化膜 31 上に、ゲート電極等を形成した後、必要に応じて、画素形成領域 4 にカラーフィルタやオンチップレンズ等を形成して、固体撮像素子を製造することができる。

【0067】

上述の実施の形態によれば、素子分離層（カバー層）12 が多結晶シリコン層 17 とその上のシリコン酸化膜 18 との積層膜を用いて形成されていることにより、導電層である多結晶シリコン層 17 により、素子分離層 12 の上に形成されるゲート電極の電界の影響をシールドして、リーク電流を抑制することができる。

10

20

30

40

50

これにより、シリコン酸化膜等の絶縁層のみにより素子分離層 1 2 を形成した場合と比較して、素子分離層 1 2 の厚さを薄くすることが可能になる。

【0068】

ここで、図 8 に示す本実施の形態において、画素形成領域 4 の素子分離層（カバー層）1 2 のシリコン基板 1 0 内に形成された深さ（シリコン基板 1 0 の掘れ量）と、出力異常（ノイズ）を発生した画素の個数との関係を図 1 2 A に示し、画素形成領域 4 の素子分離層 1 2 の厚さと、素子分離能力（リーク電流の臨界値）及びゲートショート（短絡）の発生数との関係を図 1 2 B に示す。

図 1 2 A に示すように、図 3 A と同様に、深さが 5 0 n m を超えると、出力異常を発生した画素の個数が増大する。

また、図 1 2 B に示すように、図 3 B と同様に、素子分離層 1 2 の厚さが 1 5 0 n m を超えるとゲート電極が著しくショートしやすくなり、歩留を著しく低下させる。

さらに、図 1 2 B に示すように、素子分離能力を示す寄生 MOS トランジスタのリーク電流が増大する素子分離層 1 2 の厚さは、図 3 B の 5 0 n m 未満から 3 0 n m 未満に減少している。即ち、多結晶シリコン層 1 7 等の導電層を素子分離層 1 2 に設けることにより、素子分離層 1 2 の厚さの範囲を 3 0 n m 以上と薄くすることができることがわかる。

【0069】

このように、素子分離層 1 2 は、最低 3 0 n m の厚さがあれば素子分離が可能となり、即ち素子分離層の厚さを約 2 0 n m 薄くしても必要な性能を確保することが可能になる。

つまり、素子分離層 1 2 を絶縁膜のみで構成するよりも、素子分離層 1 2 を薄くすることが可能になるので、上層に形成するゲート電極の加工が容易になる。

【0070】

また、上述の実施の形態によれば、先の実施の形態と同様に、センサ部 1 6 の N 型の電荷蓄積領域 1 4 が、素子分離層（カバー層）1 2 の下に延在して形成されていることにより、飽和電荷量を大きくすることが可能になる。

これにより、固体撮像素子の解像度等の特性を向上することが可能になる。

【0071】

上述の実施の形態では、半導体基体として、シリコン基板等の半導体基板 1 0 を用いた場合を説明したが、その他にも、例えば半導体基板とその上の半導体エピタキシャル層とにより半導体基体を構成してもよい。

【0072】

本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【図面の簡単な説明】

【0073】

【図 1】本発明の固体撮像素子の一実施の形態の概略構成図（断面図）である。

【図 2】図 1 の固体撮像素子の回路構成図である。

【図 3】A 図 1 の固体撮像素子の素子分離層の基板内の深さと出力異常を発生した画素の個数との関係を示す図である。 B 図 1 の固体撮像素子の素子分離層の厚さと、素子分離能力及びゲートショートの発生数との関係を示す図である。

【図 4】A ~ C 図 1 の固体撮像素子の製造方法を示す工程図である。

【図 5】D ~ F 図 1 の固体撮像素子の製造方法を示す工程図である。

【図 6】G ~ I 図 1 の固体撮像素子の製造方法を示す工程図である。

【図 7】J、K 図 1 の固体撮像素子の製造方法を示す工程図である。

【図 8】本発明の固体撮像素子の他の実施の形態の概略構成図（断面図）である。

【図 9】A ~ C 図 8 の固体撮像素子の製造方法を示す工程図である。

【図 10】D ~ F 図 8 の固体撮像素子の製造方法を示す工程図である。

【図 11】G、H 図 8 の固体撮像素子の製造方法を示す工程図である。

【図 12】A 図 8 の固体撮像素子の素子分離層の基板内の深さと出力異常を発生した画素の個数との関係を示す図である。 B 図 8 の固体撮像素子の素子分離層の厚さと、素

10

20

30

40

50

子分離能力及ゲートショートが発生数との関係を示す図である。

【図13】従来のCMOSセンサの周辺回路形成領域の断面図である。

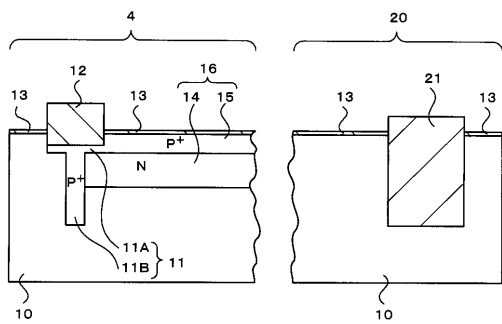
【図14】従来の固体撮像素子の回路構成図である。

【符号の説明】

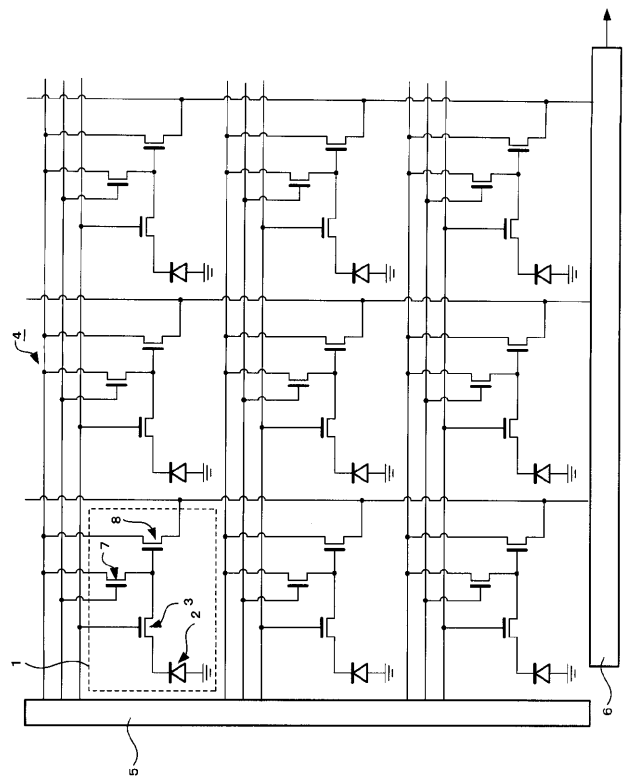
【0074】

1 画素、2 フォトダイオード、4 画素形成領域、10 シリコン基板、11 素子分離領域、12 素子分離層(カバー層)、14 電荷蓄積領域、15 正電荷蓄積領域、16 センサ部、20 周辺回路形成領域、21 素子分離層

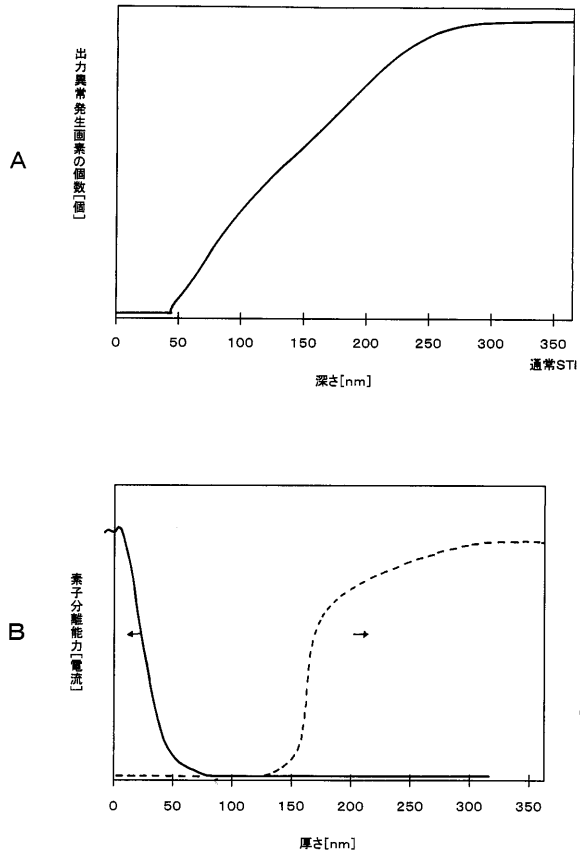
【図1】



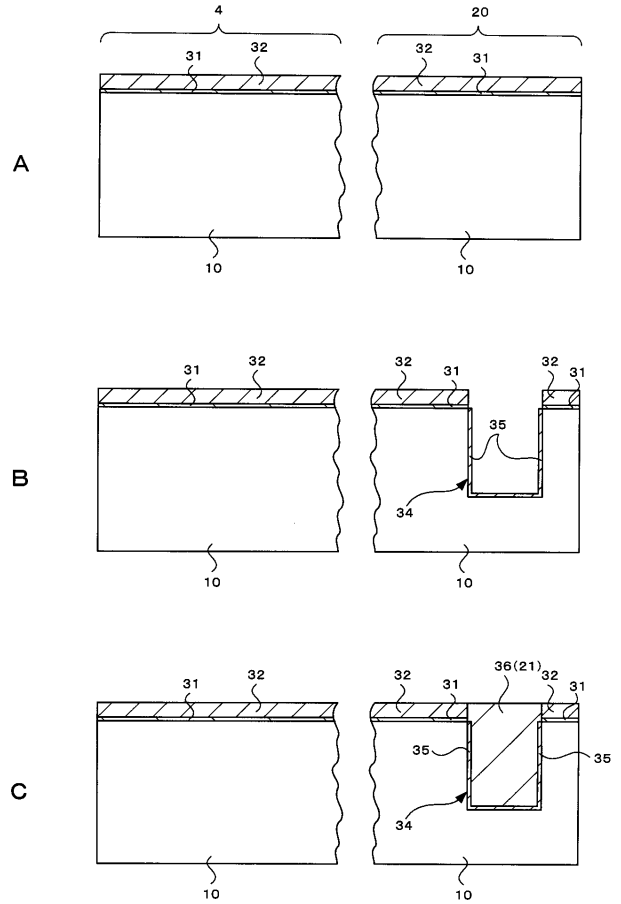
【図2】



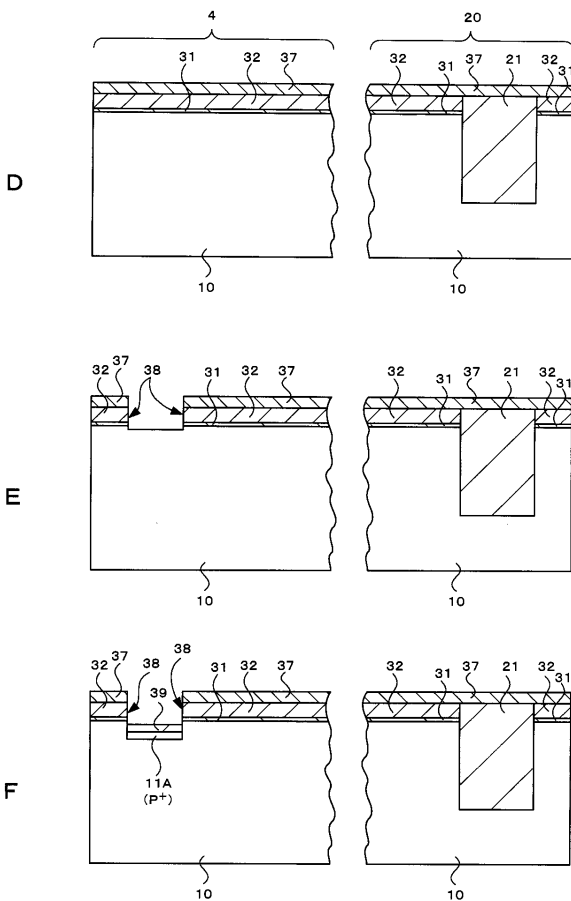
【図3】



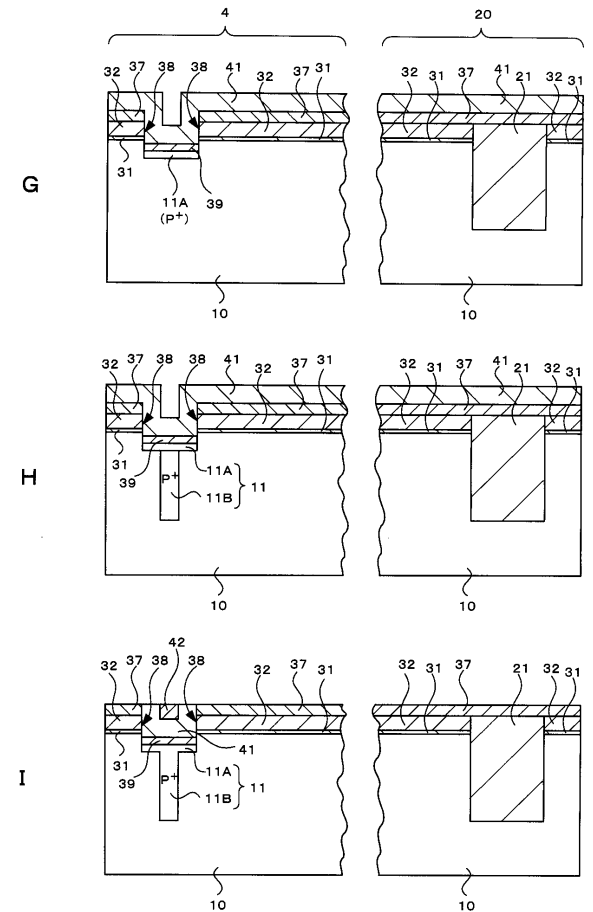
【図4】



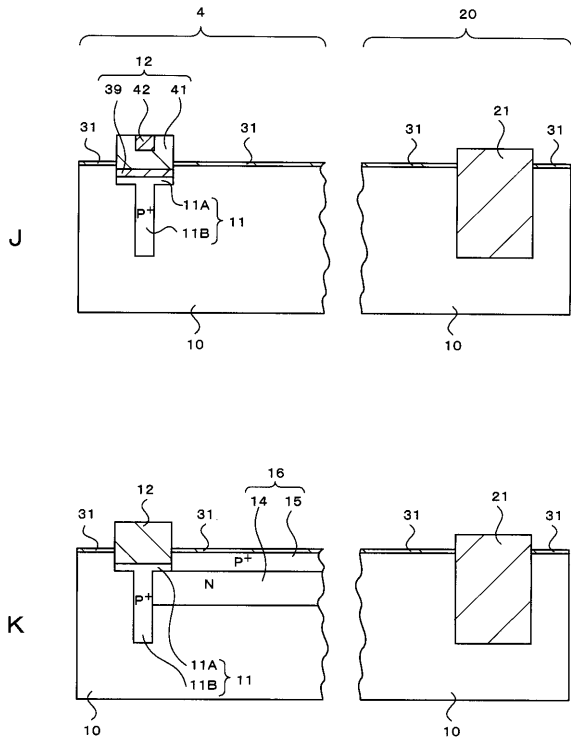
【図5】



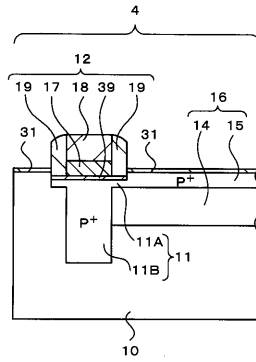
【図6】



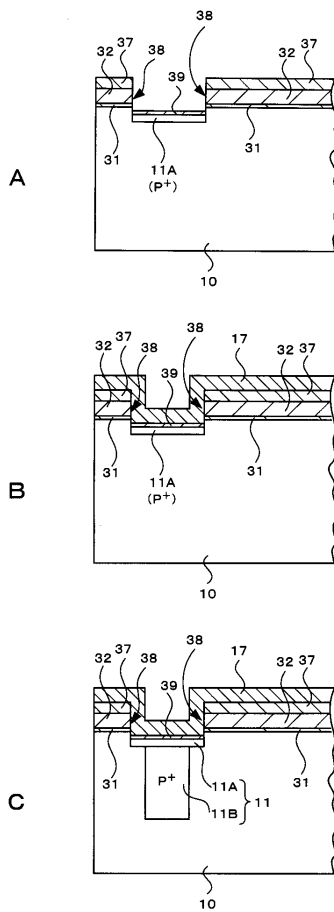
【 図 7 】



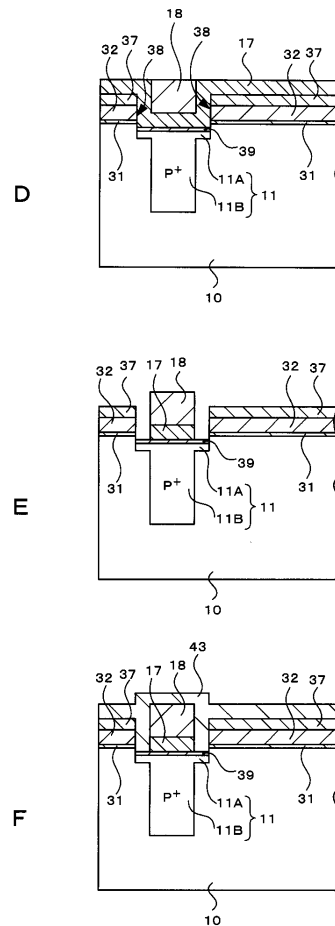
【 図 8 】



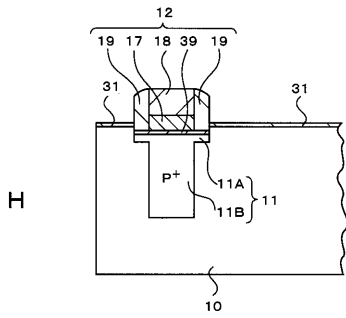
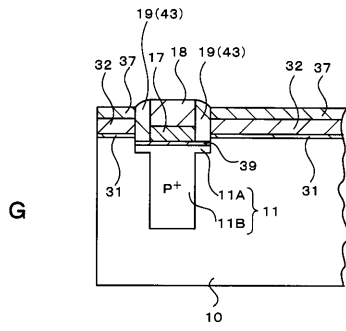
【 図 9 】



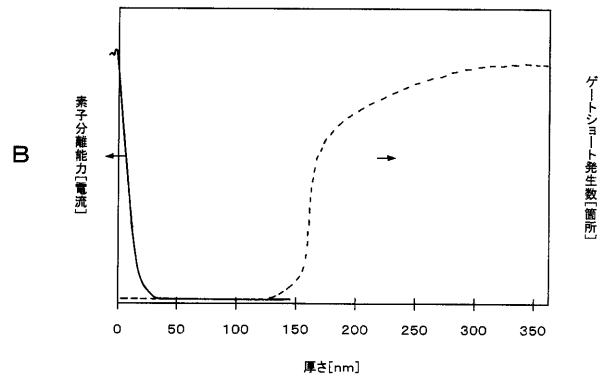
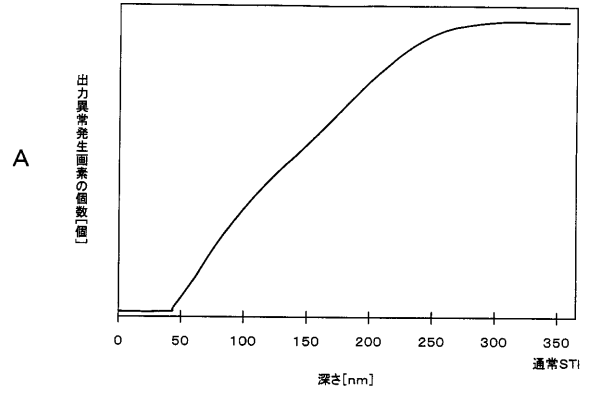
【 図 10 】



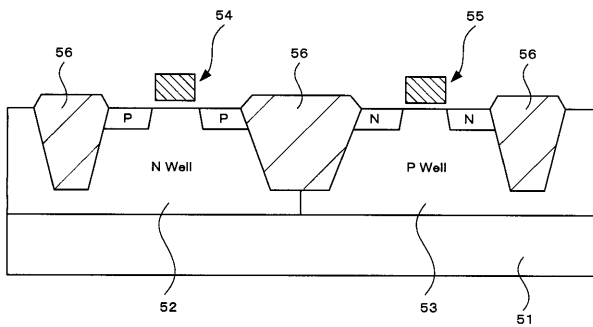
【図11】



【図12】



【図13】



【図14】

