

(由本局填寫)

| |
|--------|
| 承辦人代碼： |
| 大類： |
| IPC分類： |

A6

B6

本案已向：

美 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

2000年2月23日 09/511,395

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明領域

大致地，本發明有關電晶體及包含許多電晶體之積體電路裝置的製造方法；尤其，本發明有關 p 型金屬氧化物半導體 (PMOS) 裝置及此裝置之製造方法；更特別地，本發明含有 PMOSFET 裝置之場效電晶體 (FET) 裝置及此裝置之製造方法，本發明包含分立之 PMOS 裝置，或包含在積體電路裝置中之 PMOS 裝置。

發明背景

在兩種主要形式之 FET 裝置，金屬氧化物半導體場效電晶體或 PMOSFET (亦稱為絕緣閘極 FET 或 IGFET)，及接面閘極 FET 或 JFET。FET 具有控制閘極，以及形成於基板中之源極及汲極區，控制閘極形成在沈積於源極與汲極區間之區域上方，當電壓施加於控制閘極時，在基板中遷移之帶電粒子會形成導電通道於源極與汲極間的地區中，一旦該通道形成時，電晶體會導通且電流會在源極與汲極之間流動。

在電子電路中電晶體係使用為放大或切換裝置，在前者之應用中，電晶體作用於放大小的 ac (交流) 信號；在後者之應用中，則利用小電流來切換電晶體於 "導通" 狀態及 "關閉" 狀態之間。

近年來，電腦產業在各方面均經歷極快速之成長，包含製造之單元數目，應用之寬度，操作功率及速度，以及計算機器之複雜性。此成長可歸因於許多因素，含有包含在電腦中所使用之積體電路裝置中之主動裝置 (典型地，電晶體) 數目上之顯著增加。藉增加積體電路裝置中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

之電晶體數目，可降低電腦大小，或可製成更複雜之電腦於特定的電腦外殼大小之內；此外，藉增加積體電路裝置中之電晶體數目，可減少諸如實際毗鄰導體間之交叉失真以及電腦之不同部分間的信號傳送延遲。進一步地，積體電路裝置係典型地比分立組件所製造之對等物更不昂貴且更可靠。基於該等及許多其他理由，增加大小及複雜性之積體電路已成為電腦產業之標準。

朝向更複雜積體電路裝置之趨勢已產生漸增密度之個別裝置於積體電路裝置之內。為了增加積體電路內之個別裝置的數目，必須降低各個個別裝置之大小，但個別裝置之大小無法隨意地降低，對於大小的降低有些限制，包含與裝置之實際尺寸相關連之製造過程及不同的電性現象相結合之尺寸容許度的能力。此外，用於高可靠性之積體電路裝置的本質需要會在縮減該等裝置之大小上有所限制，識別該等限制及其他限制以及發現用於改良該等限制之技術已使積體電路裝置的漸增複雜性呈可行。

在 PMOS 裝置之製造領域中的習知技術具有許多識別發生在此裝置及隨後使用期間之問題的實例，該技術亦具有提出對所識別問題之解決方法的實例，若干相關專利技術之簡略概述將提供於下文。

准予 Soledad de Zaldivar 之美國專利第 4420872 號教示氮離子布植之使用以產生含有氮化矽之層而當作製造期間遮罩 FET 裝置之機制以抵擋所不希求之矽氧化。准予 Haddad 等人之美國專利第 4774197 號教示使用氮離子布植

五、發明說明 (3)

於 FET 之多晶矽閘極之內而在隨後之高溫處理期間造成氮化矽形成於閘極與下方之閘極絕緣物的介面處以及在閘極絕緣物與下方之矽基板的介面處，此結構使閘極絕緣幾乎更無缺陷且在操作服務上更為可靠。

准予 Soleimani 等人之美國專利第 5330920 號專利教示使用氮離子布植當作控制閘極氧化物厚度之機制，該專利教示成長犧牲氧化物層於矽基板之表面上，透過該犧牲層布植氮於該基板內，去除該犧牲層，然後成長閘極氧化物層。當已先前地布植氮於基板之內時，會降低閘極氧化物層成長之速率。

准予 Hsu 之美國專利第 5468657 號及准予 Meyyappan 等人之美國專利第 5589407 號，各教示使用結合有包含製造互補型金屬氧化物半導體 (CMOS) 裝置中所使用之矽在絕緣物上 (SOI) 之埋入氧化物層成長的氮離子布植。准予 Cheung 等人之美國專利第 5908312 號教示在成長氧化物層閘極絕緣層之前布植氮原子於矽基板之內。該專利特定地敘述著相對於氮分子，則氮原子係用於此目的之較佳種類。

五個讓渡於共同受讓人之最新專利已教示臨限電壓在 MOS 電晶體裝置中之重要性，且已描述控制該電壓之方式，該五個專利係美國專利第 5674788，5893739，5909622，5851893 及 5861335 號。在該等專利之第一個專利中，Wrusters 等人教示氮氧化物層閘極絕緣層會減少從閘極擴散進入位於該閘極下方之通道區的可行性，該氮氧化物層亦減少在閘極絕緣物中電子之捕獲；Wrusters 等人亦

五、發明說明（⁴）

教示該氮氧化物係有利於藉使用含有氧化亞氮，氧化氮，或兩者皆是之成長氛圍而成長於原處。

下兩個專利描述可累積於閘極氧化物層中及升高 PMOSFET 裝置臨限電壓之不論是電洞或電子之熱載子的有害效應。根據該兩專利之揭示所製造之電晶體含有非對稱結構之特性而具有比閘極與源極間之阻障更寬之阻障於閘極與汲極之間。Gardner 等人教示藉注入阻障原子於閘極邊緣下方接近汲極之矽內來控制熱載子效應之機制；Haue 等人教示布植氮於通道區之各側邊上之矽基板之內，其中此布植係完成於源極及汲極區之摻雜的同時或之後。

臨限電壓之存在係 MOSFET 之固有特徵。在 MOSFET 之例中，高臨限電壓表示該裝置準備導通，意謂著電洞從源極流到汲極，高臨限電壓之實際結果會具有較大的電流驅動能力，其給予較高速度的邏輯位準變遷，所以在 PMOSFET 裝置中之高臨限電壓可企望於增加數位電路之操作速度。相反地，當閘極電壓小於臨限電壓時，亦即，當該裝置操作於次臨限狀態中之時，高臨限電壓會增加該裝置對於源極與汲極間電流流動的敏感性。同時，具有高臨限電壓之 PMOSFET 典型地對於電性雜訊具有較少的抗擾性，而對於產生自通道"關閉電流"中增加的晶片備用電流具有較高的促成。

該等效應係更詳細地由 Wristers 等人描述於美國專利第 5674788 號之第一欄第 13 至 54 行之處，其揭示將結合

五、發明說明 (5)

於本文中供參考；幸運地，PMOSFET 之臨限電壓可藉該裝置之物理設計中之選擇且可藉製造過程之參數的選擇予以控制。原則上，PMOSFET 典型地係設計及製造具有高的臨限電壓，根據有關該裝置之意圖應用的限制而定。

發明概述

創造本發明之研究已指出 PMOSFET 裝置可具有相異於兩側壁間閘極主要部分(示於第 1 圖中 68 處)中臨限電壓之通道的側壁轉角區(示於第 1 圖中 64 及 66 處)之臨限電壓特徵，該通道之側壁轉角區係識別於沿著該通道之裝置隔離物質與單晶矽間之介面處，該等區對於次臨限導通之促成可方便地視為扮演著與至 PMOSFET 裝置並列之寄生性側壁轉角 PMOSFET 之促成，可存在有其中主要部分之臨限電壓充分地使得實際上並不會促成通道"關閉電流"來自此區，而側壁轉角 PMOSFET 裝置卻足夠地高而允許有效的"關閉電流"。在極端例之中，穿過側壁轉角裝置之"關閉電流"可足夠地大供解讀為"導通"用，即使從閘極之輸入信號來看，該電性輸出應為"關閉"。側壁轉角區在控制"關閉電流"行爲中之角色在本發明之前尚未熟知。

創造本發明之研究亦顯示出 PMOSFET 之通道"關閉電流"會受到裝置之操作條件所影響，尤其是稱為"熱載子劣化"之現象會產生位於裝置之閘極-汲極區中之電子捕獲，此現象造成了裝置之臨限電壓增大，且因而造成通道"關閉電流"增大。雖然此效應可發生於沿著閘極與汲極間之接面的任何處，但會在閘極-汲極一側壁轉角區之中最尖銳

五、發明說明 (6)

。因此，熱載子劣化會造成在寄生性側壁轉角裝置之激活中，增大了"關閉電流"通道之促成。熱載子劣化可為暫時性或永久性，其將影響裝置之操作特性，約束了用於有效強化使用範圍之方法，以及限制了裝置之靈活使用。

理解了具有高臨限電壓於其側壁轉角區之 PMOSFET 之主要可能發生之問題後，本發明之目的在於提供此種裝置，其在其側壁轉角區之操作及強化期間對於臨限電壓之增加具有降低之靈敏度，同時，本發明之目的在於提供一種製造此等裝置之方法；本發明之另一目的在於提供 PMOSFET 裝置，其對於可發生於強化及使用情況之期間的寄生性側壁轉角激活及熱載子劣化具有降低之靈敏度。

本發明進一步之目的在於提供用於埋入通道及表面通道 MOSFET 裝置之此等技術；本發明之又一目的在於提供用於具有厚或薄閘極氧化物層，或甚至雙閘極氧化物層厚度之 MOSFET 裝置之此等技術。本發明之其他目的及優點將呈明顯於提供在本規格中之本發明的詳細說明。

如下文所示，本發明之製造方法透過設計觀念及該等觀念之實施例的組合來完成該等及其他的，該方法可應用於分立裝置及結合在積體電路內兩者皆是之 PMOSFET 裝置的製造，同樣地，根據本發明教旨所製造之裝置亦將完成上述目的及其他目的。

本發明之本質係在成長閘極氧化物層絕緣物之前布植低能量劑量之氮於沿著矽基板與隔離物質間之通道區的介面處，此製造方法降低了寄生性側壁轉角 PMOSFET 裝置

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明（ 7 ）

之熱載子感應之激活。此改善之達成並未受限於沿著側壁轉角區之局部的氮布植，而是亦可在成長閘極氧化物絕緣物之前藉均勻之氮布植於 PMOSFET 裝置之矽基板表面之內而達成。在該 PMOSFET 之製造方法中之其他步驟實質地相似於一般使用於該產業中之慣例，藉此方法所製造之 PMOSFET 裝置亦係部分之本發明，因為對於所製造之裝置而言，若干其操作特徵係唯一的。

創造本發明之研究已指出該方法可應用於單閘極及雙閘極兩技術，亦可應用於具有薄的或厚的閘極氧化物絕緣物或具有薄的及厚的兩部分之閘極氧化物絕緣物。因此，本發明所打算的是，發明說明及附錄之申請專利範圍應解讀為特定地包含此節中所含之裝置形式，以及其他相關裝置。

應理解的是，本發明之上文概述及下文詳細說明係代表本發明而非限制本發明。

圖式簡單說明

當結合附圖閱讀時，本發明將最佳地理解自下文詳細說明，將注意的是，根據常識，該等圖示之種種形態並未按尺寸描繪，相反地，該等圖示中所示之種種形態之尺寸已為清楚起見而隨意地放大或縮小，含於該等圖示係下列諸圖：

第 1 圖以示意形式描繪個別 PMOSFET 裝置之透視圖（積體電路可由許多此等個別裝置巷所組成）；

第 2 圖以示意形式描繪穿過如第 1 圖中之 2-2 所示之截

五、發明說明(8)

面的橫截面視圖，其大致地垂直於該裝置之表面及該裝置之閘極部份；

第 3 圖以示意形式描繪穿過如第 1 圖中之 3-3 所示之截面的部分橫截面視圖，其大致地垂直於該裝置之表面及切過該裝置之閘極區的中心部分(描繪於此圖中之地區包含 PMOSFET 裝置之側壁轉角區)；

第 4 圖描繪可在閘極氧化物成長之前藉布植氮分子於矽基板中所達成之埋入通道 PMOSFET 裝置之側壁臨限電壓 (V_{th}) 中之降低；

第 5 圖描繪可在閘極氧化物成長之前藉布植氮於矽基板中所達成之側壁臨限電壓 (V_{th}) 偏移中之降低。

發明詳細說明

現參閱該等圖示，其中相同符號代表各相同之元件，第 1 圖描繪代表性之 PMOSFET 裝置 10，其可為分立裝置或部分之積體電路。穿過該裝置 10 之橫截面係示意地顯示於第 2 及 3 圖之中。在此特定實施例之 PMOSFET 裝置之中，該裝置 10 已建構在隔離氧化物 20 所圍繞之單晶矽 12 件之表面上，此形式之設計及建構常稱為淺溝渠隔離 (STI) 或局部矽氧化 (LOCOS)。

在裝置 10 之製造期間，單晶矽 12 之表面摻雜有諸如磷，砷或銻之元素而產生 n 型矽 14 之區(參閱第 2 及 3 圖)，代表本發明較佳實施例之典型地為二氧化矽之非導電性物質係使用為隔離氧化物 20 以提供電性隔離於相同之矽基板上所製造之其他主動裝置，典型地為二氧化矽或氧化矽之

五、發明說明(9)

薄的絕緣層 30 施加於單晶矽 12 之頂部；接著，剝離部分此氧化物絕緣層 30 以分別地暴露該裝置之源極及汲極區 40 及 50，該絕緣層 30 之剩餘部分可稱為閘極氧化物層，多晶矽層則可施加於閘極氧化物層上方而形成閘極 60，積體電路之其他組件與源極 40，汲極 50 及閘極 60 間之電性連接係示意地分別顯示於 42，52 及 62 處。實際上，該等連接可為沈積在積體電路之所選擇部分上之金屬材料層以互連該電路之不同元件，視電路設定之所需而定。

典型地，源極 40 及汲極 50 係藉矽之擴散予以摻雜而形成 p 型半導體，位於源極 40 與汲極 50 間以及在閘極絕緣層 30 下方之單晶矽之區係切實地維持為 n 型材料且形成通道 45，當十分小的負電壓施加於閘極時電流可在源極與汲極間流過 PMOSFET，此係 FET 之基本功能。

由本發明所提出之特定問題存在於第 1 圖中所示之側壁轉角介面 64 及 66 處(側壁轉角介面 64 顯示於第 3 圖之橫剖面中)，該等側壁轉角介面 64 及 66 位於閘極 60 之兩端且可區分自該兩側壁間之閘極 60 的主要部分 68，各側壁具有大致垂直的定向，而該定向加上側壁轉角區域中之材料的結構性特徵將造成相異於該裝置 10 之中央部分中的性能。

PMOSFET 裝置具有特徵上之臨限電壓，當此一電壓施加於閘極時，該裝置會轉移為激活或導通狀態。少量的負臨限電壓意指該裝置馬上要導通，若裝置之操作條件准許不經意地激活，則該裝置無法根據其設計意圖而作

五、發明說明 (10)

用。尤其，對於可激活之 PMOSFET 裝置而言(亦即，允許電洞從閘極流到汲極)，儘管正常高壓施加於其閘極，但有效之寄生電流或"關閉電流"會流過該裝置，該"關閉電流"代表裝置本身之特徵而非使用於該裝置上之操作參數。所以，若具有高的"關閉電流"之裝置為部分之電腦記憶體晶片時，則該裝置將一直提供表示高閘極電壓之輸出而無視於由電腦操作者或電腦作業系統所儲存於該處之任何資訊。明顯地，此情勢係無法接受的。

對於 PMOSFET 側壁轉角介面熱載子所感應之不穩定性的解決方法係利用沿著該裝置 10 之活化通道 45 局部布植氮於隔離氧化物 20 與單晶矽 12 間之介面區域內而達成，此將造成升高之氮含量於最接近側壁之部分 70 通道 45 內(參閱第 3 圖)，此布植至少必須局部地沿著該介面來完成。當沿著該介面來布植於通道區之中時，需遮罩罩幕來保護該通道區以免遭受氮布植，此遮斷罩幕會確保該等主要裝置之臨限電壓免於受到氮佈植所擾亂。

在利用均勻之氮布植來成長薄的閘極之技術中，所利用成長該氧化物之相同的氮布植可使用來布植側壁轉角介面以減少寄生性側壁轉角 PMOSFET 之不穩定性。若選擇之用於均勻布植氮來成長閘極氧化物之劑量及能量並不足以降低對於寄生性 PMOSFET 側壁轉角激活的靈敏度，則需要額外之沿著側壁轉角及矽介面之局部的氮布植，此程序在該過程中代表第二附屬步驟。

雖一般使用於業內之製造過程比下文之要點更為複雜

五、發明說明 (11)

，但本發明之製程過程中之關鍵性製造步驟則包括下列步驟：

- 遮罩及蝕刻矽晶圓以產生串列之開口於該晶圓之上；
- 以絕緣材料來充填該等開口而提供電性隔離於該矽晶圓之毗鄰暴露區之間；
- 成長犧牲氧化物層於該矽晶圓之該等暴露區之上；
- 利用諸如磷，砷或銻之摻雜劑來摻雜該單晶矽晶圓之暴露區以產生 n 型材料於該等區之中；
- 沿著該裝置之活化通道來布植於該絕緣材料與單晶矽間之介面區之內；
- 剝離至少一部分之犧牲氧化物層；
- 成長閘極氧化物絕緣物於該矽晶圓之上；
- 沈積多晶矽之圖案以形成閘極；以及
- 摻雜毗鄰於該閘極氧化物絕緣物之區以產生 p 型材料 (硼係典型地使用來取得 p 型材料之摻雜劑)。

如上述，額外的製造步驟係典型地使用來生產 PMOSFET，須注意的是，相同的過程亦可使用來製造分立裝置或積體電路裝置，在本發明之文中，名稱"裝置"包含由單一電晶體所構成之分立裝置或含有許多電晶體之積體電路裝置，尤其本發明可應用於積體電路裝置，及此等裝置之製造，且該應用建構了本發明的較佳實施例。在本發明之最佳形式中，布植在 PMOSFET 裝置 10 中之氮較佳地係以分子形式 (N₂) 供應於布植裝置。

實例

五、發明說明 (¹²)

下一實例係包含以更清楚地顯示本發明的整個特性，此實例係代表本發明而非限制本發明。

為測試本發明之原理，製造及測試若干 MOSFET 裝置，該等裝置為埋入式通道動態隨機存取記憶體 (DRAM) 裝置，DRAM 單元可僅暫時地保持資訊於微秒之大小，即使是電源係持續地施加著。因此，該等單元必須以週期性之時距予以讀取及再新。雖然該儲存時間呈現短，但實際上卻足夠地長而使許多記憶體操作發生於再新循環之間。每位元之代價，裝置密度及使用之彈性 (亦即，讀取及寫入操作均可行) 的優點已使 DRAM 為目前最廣為使用之的半導體記憶體，最早的 DRAM 為 3 個電晶體單元，但現已實施僅含一個電晶體及一個電容器之 DRAM。

4 個裝置之控制組群係利用慣用之生產線技術製造。含有 5 個及 9 個裝置之兩個組群接受每平方公分 1.0×10^{14} 及 1.5×10^{14} 離子之氮分子布植劑量，所有布植完成於 12keV 之能量準位處，測量各裝置之臨限電壓，該等資料顯示於第 4 圖中，將注意的是，當氮離子布植之劑量增加時，在側壁臨限電壓 V_{th} (側壁) 中會有明顯的降低。

此外，測量臨限電壓側壁偏移 $V_{th}(SW)SHIFT$ ，該等資料顯示於第 5 圖中，當增加氮布植作用時，在臨限電壓側壁偏移中會有明顯的降低，該等資料係解讀為確認該原理之正確性及建立可作業之離子布植劑量的範圍。

根據本發明研發期間所執行之實驗的結果，可結論出每平方公分 1.0 至 1.5×10^{14} 離子之氮分子的離子布植劑

五、發明說明 (¹³)

量，在大約 10 與大約 15keV 間之能量準位處顯示本發明的較佳實施例，然而該等實驗並未指出該等值代表最大及最小的可允許值，符合要求之結果可推定地取得於此實例中所確定之數值範圍之外而視為在本發明範疇之內。

雖然參閱若干特定實施例及實例來描繪及說明於上文，但本發明並不欲受限於所示之細節，而是，種種修正可完成於申請專利範圍之等效者的範疇及範圍內的細節中而不會背離本發明之精神。

符號之說明

10.....PMOSFET 裝置

12.....單晶矽

14.....n 型矽

20.....隔離氧化物

30.....薄絕緣層

40.....源極

42,52,62....電氣連接

45.....通道

50.....汲極

60.....閘極

64,66...側壁轉角介面

68.....側壁

70.....部分

裝

訂

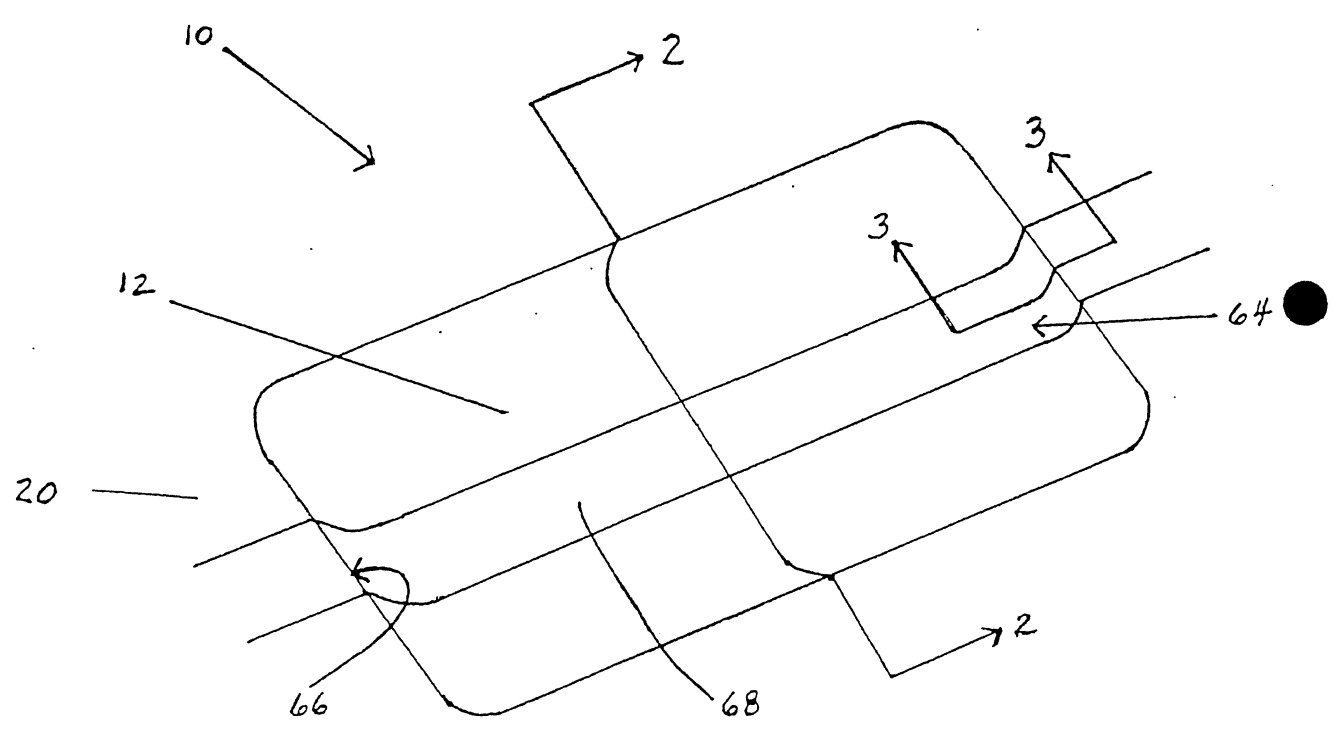
線

四、中文發明摘要(發明之名稱：藉局部化氮離子布植來降低 PMOSFET) 裝置中熱載子感應之寄生性側壁轉角激活之方法及藉該方法所製造之裝置

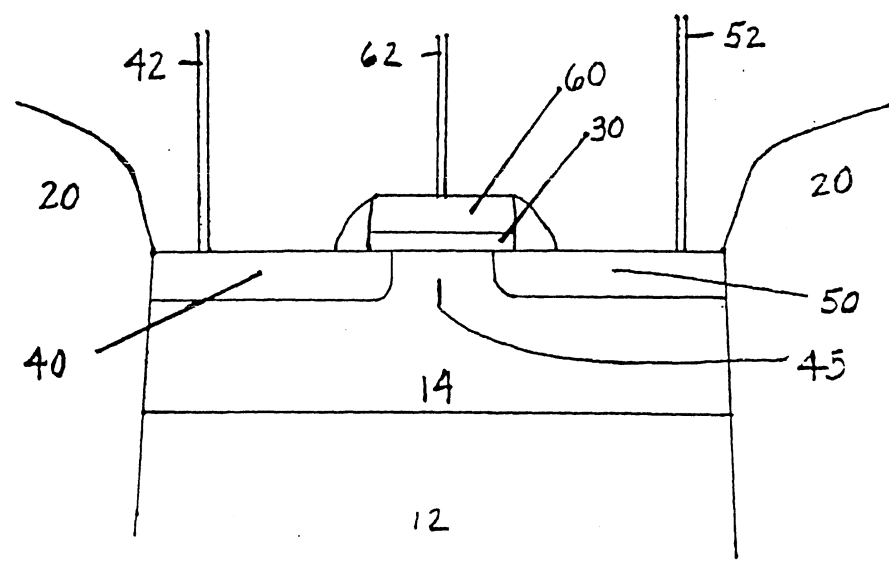
p 型金屬氧化物半導體場效電晶體 (PMOSFET) 裝置具有熟知為臨限電壓之特徵上的性質，此臨限電壓可由分別相關連於該裝置之閘極區的主要部分與相關連於該裝置之側壁轉角的臨限電壓所組成。若干情況下，該裝置之側壁轉角區中之臨限行為可支配該裝置之性能而不會以該裝置之設計者所意圖之方式來支配。描述一種臨限電壓行為之控制方法，尤其離子布植氮於該裝置之閘極側壁區中可提供此控制。亦描述藉此方法所製成之裝置。

英文發明摘要(發明之名稱：))
METHOD TO REDUCE HOT CARRIER INDUCED
PARASITIC SIDEWALL CORNER ACTIVATION
IN PMOSFET DEVICES BY LOCALIZED NITROGEN ION
IMPLANTATION AND DEVICES PRODUCED THEREBY

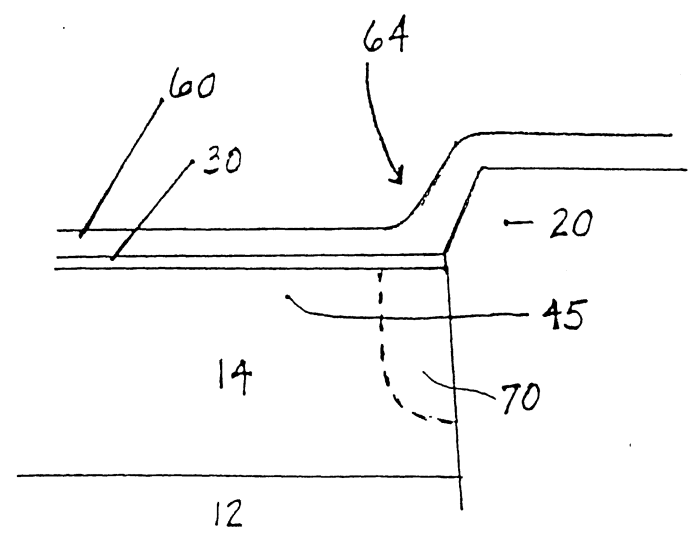
P-type metal-oxide semiconductor field effect transistor (PMOSFET) devices have a characteristic property known as threshold voltage. This threshold voltage may consist of separate threshold voltages associated with the main portion of the gate region of the device and with the sidewall corner of the device. Under some conditions, the threshold behavior in the sidewall corner region of the device may dominate the performance of the device, not necessarily in the manner intended by the designer of the device. A method of controlling threshold voltage behavior is described. In particular, ion implantation of nitrogen in the gate sidewall region of the device can provide such control. Devices made by this method are also described.



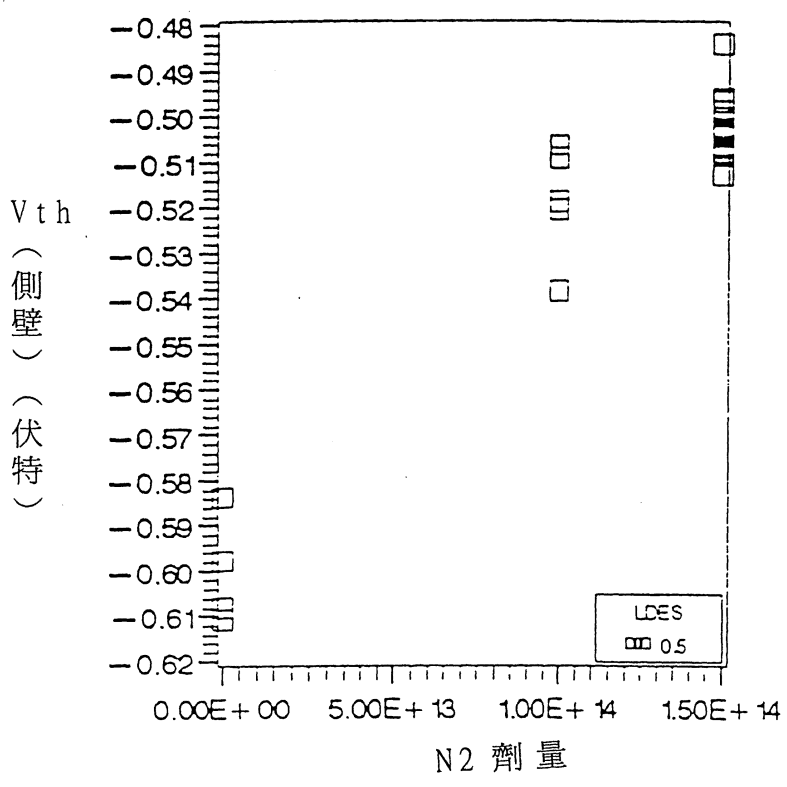
第 1 圖



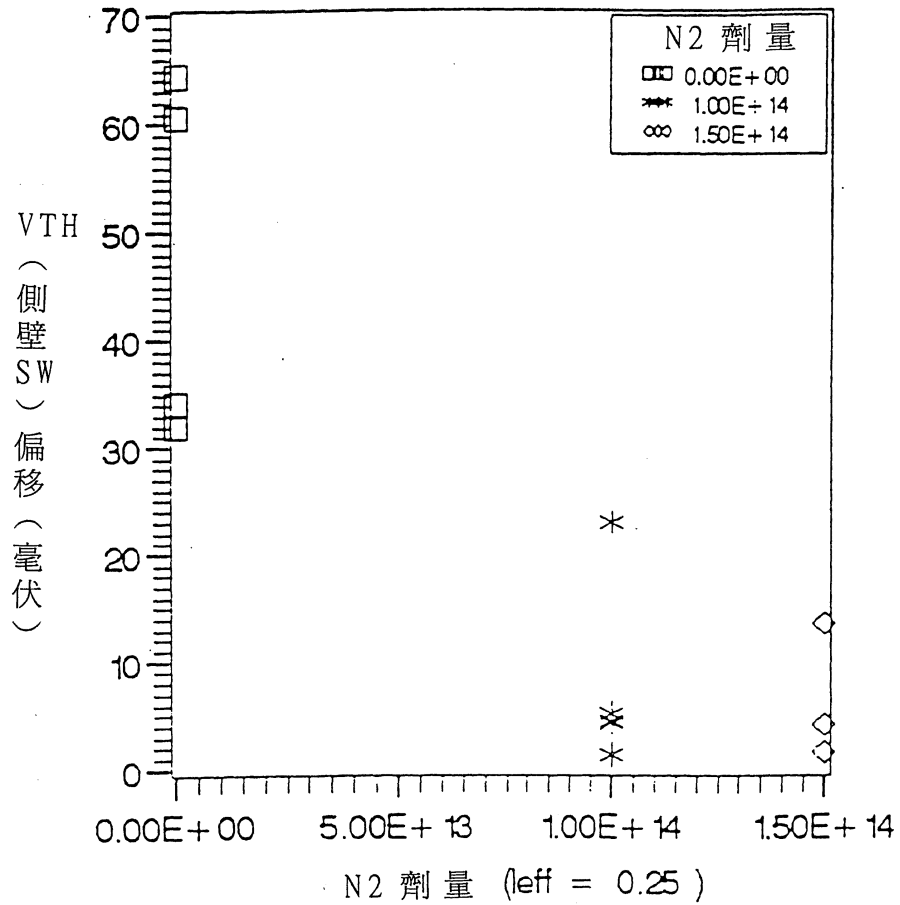
第 2 圖



第 3 圖



第 4 圖



第5圖

90.6.5

公告本

| | |
|------|------------------|
| 申請日期 | 90.6.22 |
| 案號 | 90104049 |
| 類別 | H01L 1/22 21/762 |

A4
C4

503577

(以上各欄由本局填註)

發明專利說明書

| | | |
|------------|------------|---|
| 一、發明 名稱 | 中文 | 藉局部化氮離子布植來降低 PMOSFET 裝置中熱載子感應之寄生性側壁轉角激活之方法及藉該方法所製造之裝置 |
| | 英文 | Method to Reduce Hot Carrier Induced Parasitic Sidewall Corner Activation in PMOSFET Devices by Localized Nitrogen Ion Implantation and Devices Produced Thereby |
| 二、發明 人 | 姓名 | 1. 迪貝卡魯尼雷馬 (DIVAKAPUNL, Rama) 2. 拉羅薩古瑟普 (LA ROSA, Giuseppe) 3. 威布萊特瑪莉 E. (WEYBRIGHT, Mary E.) 4. 良田勝又 (KATSUMATA, Ryota) 5. 藍加雷賈雷傑西 (RENGARAJAN, Rajesh) |
| | 國籍 | 1. 美國 2. 義大利 3. 美國 4. 日本 5. 印度 |
| 住、居所 | 住、居所 | 1. 美國紐約州 10589 桑姆爾斯比赫塔基山 131 號 2. 美國紐約州 12524 費斯基山頂圓環 2 號 3. 美國紐約州 12569 歡樂谷布蘭納里基路 7 號 4. 美國紐約州 12603 包基普塞史萬街 145 號 5. 美國紐約州 12590 瓦賓格斯瀑布蘇力街 29F 號 |
| | 姓名 (名稱) | 1. 印芬龍科技北美股份有限公司 (Infineon Technologies North America Corporation) 2. 國際商業機器股份有限公司 (International Business Machines Corporation) 3. 東芝股份有限公司 (KABUSHIKI KAISHA TOSHIBA) |
| 三、申請人 | 國籍 | 1.-2 皆屬美國 3. 日本 |
| | 住、居所 (事務所) | 1. 美國加州 95112-5000 聖荷西北一街 1730 號 2. 美國紐約州 10504 艾蒙克新橡樹路 3. 日本神奈川縣川崎市幸區堀川町 72 番地 |
| 代表姓名 | 代表姓名 | 1. 馬利 C. 加芬 (Mary C. Garfein) 2. 傑佛瑞 L. 霍曼 (Jeffrey L. Forman) 3. 中山高司 (Takashi, NAKAYAMA) |

領會委員明示 90年6月7日所提之第一發明人修正申請書
修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

裝

訂

線

六、申請專利範圍

第 90104049 號「藉局部化氮離子布植來降低 PMOSFET 裝置中熱載子感應之寄生性側壁轉角激活之方法及藉該方法所製造之裝置」專利案
(91 年 8 月修正)

六申請專利範圍

1. 一種 p 型金屬氧化物半導體場效電晶體 (PMOSFET) 裝置之製造方法，包含下列步驟：
 - a) 遮罩及蝕刻單晶矽晶圓以產生串列之開口於該矽晶圓之中及產生矽之暴露區於該等開口之間；
 - b) 以絕緣材料充填該等開口而提供電性隔離於該矽晶圓之毗鄰暴露區之間；
 - c) 成長犧牲氧化物層於該矽晶圓之該等暴露區之上；
 - d) 摻雜該單晶矽之該等暴露區之產生 n 型材料於該等暴露區之中；
 - e) 沿著該裝置之活化通道來布植氮於該絕緣材料與該單晶矽間之介面區之內；
 - f) 剝離至少一部分之該犧牲氧化物層；
 - g) 成長閘極氧化物絕緣物於該矽晶圓之上；
 - h) 沈積多晶矽層於該閘極氧化物絕緣物之上；
 - i) 製作該多晶矽之圖案以形成至少一閘極；以及
 - j) 摻雜毗鄰於該閘極氧化物絕緣物之區以產生 n 型材料於該等區之中。
2. 如申請專利範圍第 1 項之製造方法，其中摻雜該單晶矽之步驟使用選擇自含有磷，銻，及砷之組群的材料當作摻雜劑。

六、申請專利範圍

3. 如申請專利範圍第 1 項之製造方法，其中摻雜矽之該等暴露區係使用硼當作摻雜劑。
4. 如申請專利範圍第 1 項之製造方法，其中該絕緣材料為二氧化矽。
5. 如申請專利範圍第 1 項之製造方法，其中該布植步驟係使用選擇自含有氮分子及氮原子之組群的物質。
6. 如申請專利範圍第 1 項之製造方法，其中該布植步驟含有僅局部性地布植氮於該單晶矽與該絕緣材料間之介面處。
7. 如申請專利範圍第 1 項之製造方法，其中至少若干在該單晶矽晶圓中之該等開口係互連的，且其中充填該等互連開口之步驟使用充分的絕緣材料而過充填該等開口，藉此產生串列之淺溝渠，各淺溝渠具有絕緣材料之側壁及單晶矽之底部。
8. 如申請專利範圍第 7 項之製造方法，其中所布植之氮劑量係在每平方公分 1.0×10^{14} 與 1.5×10^{14} 離子之間。
9. 如申請專利範圍第 7 項之製造方法，其中該氮係布植於 10 與 15keV 間之能量準位處。
10. 如申請專利範圍第 7 項之製造方法，其中布植氮之該步驟係由兩個附屬步驟所組成，一含有布植氮於各淺溝渠之底部與側壁間之介面處，而另一含有布植氮於各淺溝渠之底部上。
11. 如申請專利範圍第 10 項之製造方法，其中在該兩附屬步驟期間係布植不同的氮劑量。

六、申請專利範圍

12. 一種 p 型金屬氧化物半導體場效電晶體 (PMOSFET) 裝置，其係製造於單晶矽晶圓之上，該裝置包含：源極，閘極及汲極，且以適當之電氣隔離設計來建構而具有包圍該源極，閘極及汲極之絕緣材料的側壁以及活化通道於該矽晶圓之內，其中該裝置之特徵為第一臨限電壓，相關連於該裝置之該等側壁；及第二臨限電壓，相關連於該活化通道，且其中該第一及第二臨限電壓係十分接近於相等，使得穿過該裝置之關閉電流無法不經意地僅藉高的第一臨限電壓來造成。
13. 如申請專利範圍第 12 項之 PMOSFET 裝置，其中在製造期間，氮係布植於接近於該裝置之閘極及側壁之區中。
14. 一種 p 型金屬氧化物半導體場效電晶體 (PMOSFET) 裝置，其係製造於單晶矽晶圓之上，該裝置包含：源極，閘極及汲極，且以適當之電氣隔離設計來建構而具有包圍該源極，閘極及汲極之側壁以及活化通道於該矽晶圓之內，其中該裝置係實質地免除側壁轉角介面熱載子所感應之不穩定性。
15. 如申請專利範圍第 14 項之 PMOSFET 裝置，其中在製造期間，氮係布植於接近於該裝置之閘極及側之區中。