



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201013953 A1

(43)公開日：中華民國 99 (2010) 年 04 月 01 日

(21)申請案號：098129125

(22)申請日：中華民國 98 (2009) 年 08 月 28 日

(51)Int. Cl.：

*H01L31/08 (2006.01)*

*H01L31/04 (2006.01)*

*H01L21/82 (2006.01)*

(30)優先權：2008/08/29

美國

61/093,292

2009/08/25

美國

12/547,463

(71)申請人：陶曼徹克斯公司 (美國) TAU-METRIX, INC. (US)

美國

(72)發明人：史坦布律克 蓋瑞 L STEINBRUECK, GARY L. (US)；維克斯 詹姆士 S

VICKERS, JAMES S. (US)；比利羅 馬利歐 M PELELLA, MARIO M. (US)；阿迦

巴巴澤德 馬吉德 AGHABABAZADEH, MAJID (IR)；柏達曼 納德 PAKDAMAN,

NADER (IR)

(74)代理人：林鼎鈞

申請實體審查：有 申請專利範圍項數：22 項 圖式數：15 共 70 頁

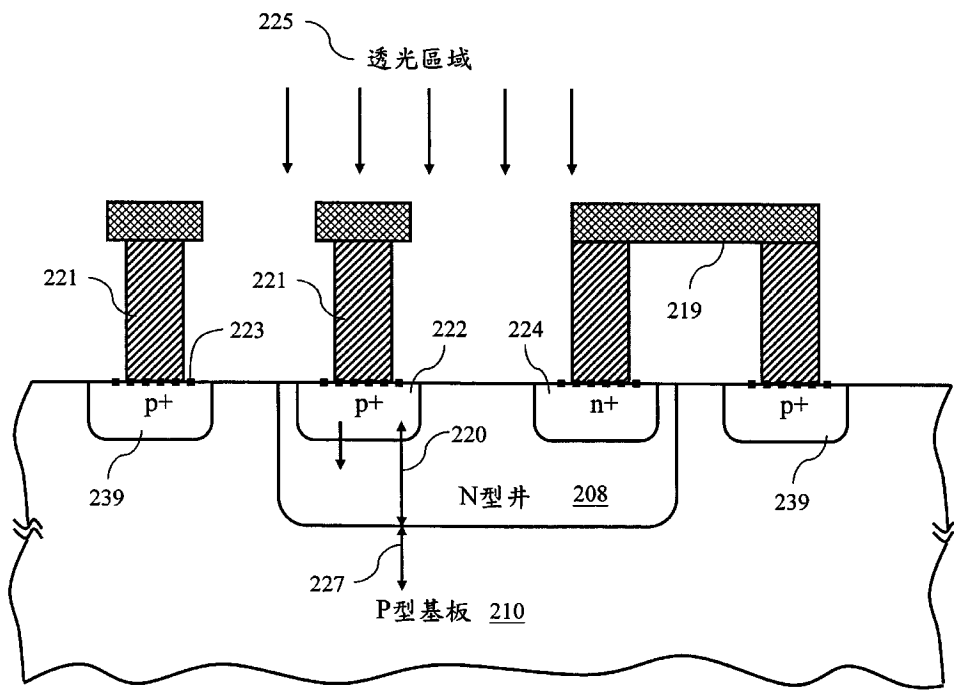
(54)名稱

用於半導體基板的整合光電二極體

INTEGRATED PHOTODIODE FOR SEMICONDUCTOR SUBSTRATES

(57)摘要

一種用於半導體基板的整合光電二極體，基板部至少部份組成包含電性接點及材質，此基板部包含摻雜區域，其具有彼此相鄰的重摻雜 N 型區域及重摻雜 P 型區域，基板部的外部表面具有表面形貌，此表面形貌包含透光區域，使來自光源的光線能夠達到基板部的表面，光線應用在透光區域足以引起電位以形成穿過摻雜區域的接面，基板部更可包含一個或多個電性接點置於此基板部，用以於光線應用在透光區域產生電位後，引導電流至半導體基板上的電路。



- 208 : N 型井
- 210 : P 型基板
- 219 : 電性連接
- 220 : PN 接面
- 221 : 電性接點
- 222 : P 型區域
- 224 : N 型區域
- 225 : 透光區域
- 227 : 第二 PN 接面
- 239 : P 型區域



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201013953 A1

(43)公開日：中華民國 99 (2010) 年 04 月 01 日

(21)申請案號：098129125

(22)申請日：中華民國 98 (2009) 年 08 月 28 日

(51)Int. Cl.：

*H01L31/08 (2006.01)*

*H01L31/04 (2006.01)*

*H01L21/82 (2006.01)*

(30)優先權：2008/08/29

美國

61/093,292

2009/08/25

美國

12/547,463

(71)申請人：陶曼徹克斯公司 (美國) TAU-METRIX, INC. (US)

美國

(72)發明人：史坦布律克 蓋瑞 L STEINBRUECK, GARY L. (US)；維克斯 詹姆士 S

VICKERS, JAMES S. (US)；比利羅 馬利歐 M PELELLA, MARIO M. (US)；阿迦

巴巴澤德 馬吉德 AGHABABAZADEH, MAJID (IR)；柏達曼 納德 PAKDAMAN,

NADER (IR)

(74)代理人：林鼎鈞

申請實體審查：有 申請專利範圍項數：22 項 圖式數：15 共 70 頁

(54)名稱

用於半導體基板的整合光電二極體

INTEGRATED PHOTODIODE FOR SEMICONDUCTOR SUBSTRATES

(57)摘要

一種用於半導體基板的整合光電二極體，基板部至少部份組成包含電性接點及材質，此基板部包含摻雜區域，其具有彼此相鄰的重摻雜 N 型區域及重摻雜 P 型區域，基板部的外部表面具有表面形貌，此表面形貌包含透光區域，使來自光源的光線能夠達到基板部的表面，光線應用在透光區域足以引起電位以形成穿過摻雜區域的接面，基板部更可包含一個或多個電性接點置於此基板部，用以於光線應用在透光區域產生電位後，引導電流至半導體基板上的電路。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明為有關一種光電二極體結構，特別係指一種應用於半導體基板的整合光電二極體結構。

### 【先前技術】

傳統上，使用半導體裝置將光能轉變為電能是透過光電裝置 (photovoltaic device) 或光導裝置 (photoconductive device) 來實現，雖然上述兩裝置的物理過程相同，但光電裝置一般是指從一個光輸入產生有效的電能，例如：太陽能板將陽光轉換成電能；而光導裝置則是被使用於檢測光信號，例如：光檢測器將光信號轉換為電信號。這兩種類型的裝置需要足夠的光子能量以在半導體中產生「電子－電洞對 (electron-hole pair)」，電子將被半導體中的 N 型區域 (N-type region) 捕獲，且電洞通過相應的 P 型區域 (P-type region)。光電裝置及光導裝置的操作差異在於是否有外部逆向偏壓 (external reverse bias) 應用於裝置。舉例來說，在光電裝置中光所產生的電子及電洞會自然地分散於存在有電場 (electrical field) 的空間電荷區 (space-charge region)，其介於 N 摻雜區域 (N-doped region) 及 P 摻雜區域 (P-doped region) 之間；而在光導裝置中，半導體是典型的負偏壓 (negatively biased)，且光所產生的電子及電洞是分散在應用逆向偏壓的電場。因此，光電裝置能夠在照明時產生有效的電流及電壓從而產生電能。而光導裝置產生光電流 (photocurrent)，但在這個過程中會消耗電能，因為光導裝置透過外部的電位成為負偏壓。

任何半導體材質均可製成光電裝置或光導裝置，然而，一些

半導體材質比其他半導體材質更適合製作，一個廣泛的半導體劃分涉及到他們是否具有直接能隙(direct energy bandgap)或間接能隙(indirect energy bandgap)，直接能隙半導體轉換光能至電能的效率比間接能隙半導體更高。以間接能隙半導體為例，其半導體材質為 IV 族元素的矽(silicon)，其可行的理由為製造方便及可靠性，並且幾乎已經成為現代積體電路的基礎。直接能隙半導體是 III-V 族化合物，如：砷化鎵(GaAs)。其中 III 族元素(鎵)結合相同數目的 V 族元素(砷)，這種 III-V 族化合物大大優於矽的光電特性。

光通訊領域需要整合有處理電子能力的光檢測器，現行的高效裝置，如：電信收發系統，以矽製程整合 III-V 族的光檢測器(或光發射器)。然而，為了純粹的實際理由，最好將光檢測器及積體電路結合在同一半導體基板上，其需要光檢測器使用相同的製造步驟以使用矽製程，如：塊狀矽(bulk silicon)及絕緣層覆矽(Silicon-On-Insulator, SOI)的製程。許多研究已經集中在設計最佳的光接收器，其製造限制可能在於大規模的晶圓生產技術。此外，光電子學的分支往往集中在逆向偏壓的光導裝置，因為這些裝置與不帶有偏壓的光檢測器相比具有更快的光響應時間。較少研究在光檢測器於標準矽製程上產生電能的使用，大多數的光電裝置研究集中在提高太陽能電池的應用，例如：提高轉換效率或是尋找新的方法使製造標準的太陽能電池更為便宜，而不是與其他積體電路做整合。

### 【發明內容】

有鑒於先前技術存在的問題，本發明遂揭露一種用於半導體基板的整合光電二極體。

本發明所揭露之用於半導體基板的整合光電二極體，包含：基板部。其中，基板部的部分組成包含電性接點及材質，基板部具有摻雜區域，此摻雜區域包含彼此相鄰的重摻雜 N 型區域及重摻雜 P 型區域，基板部的外部表面具有表面形貌，此表面形貌包含透光區域，使來自光源的光線能夠達到基板部的表面。其中，光線應用在透光區域足以產生電位以形成穿過摻雜區域的接面；一個或多個電性接點置於基板部，用以於光線應用在透光區域產生電位後，引導電流至半導體基板上的電路。

另外，本發明所揭露之半導體基板，包含：電路、透光區域及光電二極體。其中，電路用以形成在基板之上；透光區域用以形成在基板之上；光電二極體用以形成在基板的表面上，此表面與透光區域重疊以提供電路電力，光電二極體由摻雜區域組所組成，包含至少二相對的摻雜區域以光線應用產生光電伏。

除此之外，本發明所揭露之用於半導體基板的整合光電二極體，亦可包含：基板區域及雷射透光區域。其中，基板區域包含摻雜到電子及電洞擴散的接面之相鄰部分；雷射透光區域用以曝光形成在基板表面以覆蓋基板區域，曝光後的總面積小於公釐。

### 【實施方式】

以下將配合圖式及實施例來詳細說明本發明之實施方式，藉此對本發明如何應用技術手段來解決技術問題並達成技術功效的實現過程能充分理解並據以實施。

許多實施例描述有關於光電二極體的設計與構造，用以最佳化電能、效率及穩定性，其能相容於標準矽製程以及積體電路在製造上的實現、限制及考量。此標準矽製程可能包含塊狀矽(bulk

silicon)及絕緣層覆矽(SOI)的製程及設計，根據一個或多個實施例，光電裝置是被用於將光源(optical source)轉換成電能，並利用所產生的電能來運行電路及測試結構，以及確定矽晶圓的原始用途用以在設計光電裝置的製造限制中進行製造。

更進一步來說，一些實施例提出光電二極體包含的特性及性質以滿足製造過程的限制。一個或多個實施例包含光電二極體的構造，其集中在建立一個最佳化及改進過的光電裝置，且受到設計及製造過程的限制。具體而言，文中所述的實施例包含光電二極體，其在設計與製程的限制及最佳化的選擇應用中被構成。使用一個或多個實施例說明包含設計及製造分析、晶圓製造與設計流程的控制、電路效能、設計流程的整合及裝置製程及設計的特性描述。

一個或多個實施例提出：(i)有效地啟動已配置的測試結構(考量飽和或光電裝置的物理損害)或以其他方式整合於晶圓(在兩者皆已製造及部分地製造狀態)；(ii)匹配光電裝置的電性特徵(即阻抗匹配)到已整合的電路及裝置，其光電裝置以電力啟動；(iii)於相鄰的電路及裝置建立電氣與光學隔離的光電裝置；(iv)按光電裝置的尺寸製作以滿足需求和特定用途的限制；及/或(v)執行設計及製程提供光存取於光電裝置。

文中所述的一些實施例提及基板部(substrate section)，其至少部份包含電性接點及材質，此基板部包含摻雜區域，其具有彼此相鄰的重摻雜 N 型區域及重摻雜 P 型區域，基板部的外部表面具有表面形貌(topography)，此表面形貌包含透光區域，使來自光源的光線能夠達到基板部的表面，光線應用在透光區域足以引起電

位以形成穿過摻雜區域的接面，基板部更可包含一個或多個電性接點置於此基板部，用以於光線應用在透光區域產生電位後，引導電流至半導體基板上的電路。

文中許多實施例提及透過摻雜不同型態的半導體區域來產生接面(junction)，特別是實施例提及光電二極體的形成是使用“P”型及“N”型的區域，包含重摻雜 P 型區域及重摻雜區域 N 型區域。半導體基板的 P 型區域相當於一個具有多數電洞的區域，同樣地，半導體基板的 N 型區域則相當於一個具有多數電子的區域。

此外，文中所述實施例提及光電二極體的形成是使用重(或高度)摻雜的基板之區域。重摻雜區域意味著此區域比相鄰的同摻雜區域具有更多摻雜物。更具體來說，重摻雜區域可假設具有數量至少為“ $1E18 \text{ atoms/cm}^3$ ”的摻雜物。

文中所使用的術語“不透光”或“透光”是相對於被使用的光之波長。一般的情況下，實施例以雷射作為光源，且更特別的是為可見光之雷射。因此，“不透光”或“透光”這樣的描述適用於可見光，而不透光材質則可由矽化物或相似材質所提供。然而，不透光是更窄的光波長。

請參閱「第 1A 圖」，「第 1A 圖」為以一個或多個實施例說明具有整合光電二極體所組成的供電電路及裝置，如：測試結構及裝置的基板裝置之剖面圖。如許多實施例說述，光電二極體的形成可能對應有光電 PN 接面，在「第 1A 圖」的實施例中，基板裝置(或稱 P 型基板 110)內包含有 N 型井 108(即第一摻雜區域)。所述 P 型基板 110 具有形貌(topography)的特徵，其包含透光區域能夠使光電二極體在該 P 型基板 110 上產生電能，此 P 型基板 110

是典型地在電路製造及相關處理之前摻雜半導體晶圓的一部份，在此實施例中，淺層的 N 型區域 124(即第二摻雜區域)形成在 N 型井 108 之中，以及淺層的 P 型區域 122 形成在 N 型井 108 之外的 P 型基板 110。電性接點 121(即金屬接點)是各自形成在重摻雜 P 型區域 122 及 N 型區域 124 之上。其電性接點 121 可形成在矽化物 123 材質(例如：形成一個不透光層)之上。每一 P 型區域 122 及 N 型區域 124 的橫跨範圍可超出矽化物 123 橫跨範圍，如上所述，重摻雜的 P 型區域 122 及 N 型區域 124 直接接收在對應的透光區域 125 上之光線，其透光區域 125 形成在基板裝置(即 P 型基板 110)的表面。一般來說，透光區域 125 是在基板表面的指定區域使不透光材質(例如：像是矽化物及金屬接點)以非封閉的方式來形成。舉例來說，下述實施例的透光區域 125 是由製作電性接點 121 及/或阻止矽化物 123 沉積來形成，或在電性接點 121 之間移除矽化物 123。

如「第 1A 圖」所示，透光區域 125 是形成在 P 型基板 110 的外表，用以覆蓋在所形成的光電 PN 接面 120 的部份區域。例如：電性接點 121 可以選擇性沉積及形成以便形成形狀及尺寸，使得裸露區(相應於透光區域 125)能夠形成在 N 型井 108 之上。當受到適當的雷射照射時，透光區域 125 能夠讓足夠的光線穿過 P 型基板 110 及重摻雜 P 型區域 122 導致「電子—電洞對(electron-hole pairs)」產生。如上所述，光電接面效應被觸發(即產生光電 PN 接面 120)以產生電流，以及使電流經由一個或多個電性接點 121 延伸至電路或裝置(例如：測試結構、受測裝置)。

光電接面效應通常伴隨產生電子與電洞的產生及傳導(無論

是透過擴散或其他方式)。在一些實施例中，光電接面效應如下所述，假設入射光完全被吸收，則電子及電洞將擴散在 N 型區域內，直到電洞遭遇到在空乏區(也就是所謂的空間電荷區)中的內建電場，此時，電洞將穿越至基板而電子仍然被留在 N 型區域。這一個過程將在 N 型區域(因為電子的積聚)建立起一個負電位，以及在相鄰的 P 型區域(因為電洞的積聚)建立起一個正電位，此結構能夠使光電二極體用於許多應用類型。

所示 N 型區域(即重摻雜 N 型區域 124 及 N 型井 108)的配置會遭遇到一個光電接面效應的問題，其透過典型矽製程植入(或擴散)到 P 型基板 110 通常與入射光的光吸收深度(optical absorption depth)相比是非常地淺。這意味著在 N 型區域中被吸收的光功率只有一小部份，而其餘的將被 P 型基板 110 所吸收。在此例中所示，「電子—電洞對」是產生在 N 型區域及 P 型區域，上述電子在 N 型區域中將被困住，而電洞將逃逸至 P 型基板。也就是說，所產生的電洞將在 P 型基板中被困住，但電子將會擴散直到(i)接近 PN 接面及透過空乏區的電場掃到 N 型區域，或是(ii)在 P 型基板中與電洞重組。電洞在 P 型基板 110 會擴散相當長的距離(相對於所述 P 型基板的尺寸)，因此，可能無法透過光電 PN 接面 120 的 N 型區域來收集。例如，假設有多個重摻雜 N 型區域 124 植入 P 型基板 110，但是光能只照射一個區域，由於光能可被任何 N 型區域收集，將在 P 型基板中產生雜散電子(stray electrons)。因此，以光能照明單一 N 型區域(例如：重摻雜 N 型區域 124)的方式為例，可能導致在同一基板上所有 N 型區域負帶電。發生這種情況可能產生負面的後果，例如：非光電區域及裝置的雜散帶電載子可能

在產品的測試過程中或測試晶圓製造流程，影響和改變電氣響應及裝置與電路的特性。

因此，實施例指出許多應用可能需要採取隔離措施，當光電接面效應發生時，光致載子(photo-induced carriers)產生自非光電結構及裝置。文中以一個或多個實施例描述互相隔離光檢測器及裝置以減輕或排除串擾(crosstalk)問題及多餘電荷。

請參閱「第 1B 圖」，「第 1B 圖」為所述「第 1A 圖」之俯視圖。透光區域(照射光線)所產生的電源可傳送至電路元件，如：經由電性接點 112 至測試結構(即環形振盪器)，如「第 1B 圖」所示，電性接點 121(或稱金屬接點)的組合形成在摻雜區域上，其可使用任一種可能的配置延伸在基板部 140 上，此基板部 140 可與部分的半導體晶圓之主動元件相應。在「第 1B 圖」中，摻雜區域是同軸的且為矩形，並具有金屬接點形成於其上，光線應用在基板(在透光區域上)產生電源以傳送至電路元件，如：經由電性接點 121 傳送至測試結構(即環形振盪器)。

在所述的配置中，整合透光區域 125 以便在 P 型基板 110 上形成一個超小覆蓋區。在此實施例中，透光區域 125 的尺寸為“10x20”微米，雖然更大的尺寸及小於此尺寸是可行的。舉例來說，透光區域 125 的尺寸可小於“100x100”微米，此透光區域 125 的大小可受限於基板電路元件的電源需求及功能，透光區域 125 的範圍越小，能夠被產生的電源也越小。

對於所示的不同剖面圖，可利用不同的佈局，例如：結構的佈局包含或對應光電二極體，可相應於同軸的多邊形或框之佈局。另外，一個「圓圈配置」可實現於佈局，在一些應用中，此

圓圈配置提供由接面所形成的低電阻之光電二極體。

請參閱「第 1C 圖」，「第 1C 圖」為以「第 1A 圖」所述之實施例說明整合光電二極體之電路示意圖。如「第 1A 圖」所述的實施例，光電二極體 150 包含各自對應於摻雜的 P 型區域及 N 型區域之末端(152、154)，並匹配電流流動的方向。一個或多個線路 144(可能對應延伸自 N 型區域的電性接點)可延伸或接觸光電二極體 150 用以提供如：測試結構及裝置在測試過程中所需之電源。

請參閱「第 2A 圖」，「第 2A 圖」為根據另一實施例說明具有整合光電二極體基板裝置之剖面圖。在「第 2A 圖」的實施例中，N 型區域(或稱 N 型井 208)是形成在 P 型基板 201 內部。P 型區域 222(即第二摻雜區域)及 N 型區域 224 是被包含在 N 型井 208(即第一摻雜區域)中，並且在基板表面以便受到光線影響以引導於基板上。透光區域 225 與 N 型井 208 的非阻塞部份一致，其中包含 P 型區域 222 及 N 型區域 224 的部分，在先前的例子中，所提及的電性接點 221 是在基板的不透光區域。舉例來說，電性接點 221 可形成在矽化物 223 或其他材質上。在「第 2A 圖」的實施例中，光電 PN 接面 220 是形成在重摻雜的 P 型區域 222 及 N 型井 208(包含重摻雜 N 型區域 224)之間。重摻雜的 P 型區域 229(不包含在 N 型井 208 之中)是形成在具有厚度的 P 型基板 210 上，其達到或接近基板表面，以便直接置於電性接點 221 之下。

在所述的實施例中，第二 PN 接面 227 是形成在 N 型井 208 及 P 型基板 210 之間，其電性隔離的重摻雜 N 型區域 224 透過使用電性接點 221 以「短路」該區域，用以電性連接至重摻雜 P 型區域 229，其短路的存在促進正電壓在相對於 P 型基板 210 的 P

型區域 222 位置，並具有光線應用在 P 型基板 210 的透光區域上。此電性接點 221 為延伸至另一 P 型子區域 239(不包含在 N 型井 208 之中)，並形成在 P 型基板 210 中，其結果是接面介於 P 型基板 210 的 P 型子區域 222 及 N 型井 208 之間，第二 PN 接面 227 的效應則緩和。

如「第 1A 圖」的實施例所述，透光區域 225 是由排除或消除不透光材質(即電性接點及矽化物)以便形成在指定區域，重摻雜 P 型區域 222 及 N 型區域 224 可暴露在 N 型井 208 及相應於透光區域 225 的位置。光線應用在透光區域 225 將導致載子的傳導及激發，進而導致產生如上所述的光電接面效應。更具體而言，輸入電源可被任一 P 型子區域 222、N 型井 204 或 P 型基板 210 所接收。導致產生的電洞被包含在這些區域內，以及產生的電子被包含在 N 型井 208 內，這是由於電場在空乏區(空間電荷區)的緣故，而產生在 P 型子區域 222 中的電子會掃進 N 型井 208，其將容納龐大的數量。如實施例所提及的光電裝置，其捕獲的載子(carrier)產生在 P 型區域 222 中、約一半載子產生在 N 型井 208 中，且沒有載子產生在 P 型基板 210 中。因此，這一類型的光電裝置除了在感光區域(在 N 型井 208 中的 P 型子區域 222)之外，光線照射在矽晶圓任一處均不感光。

如「第 2B 圖」所示，「第 2B 圖」為以「第 2A 圖」所述之實施例說明光電二極體之電路示意圖。光電二極體 242(相應於 PN 接面 220)延伸在重摻雜 P 型區域 222 及 N 型井 208 之間，另一光電二極體 243(相應於 P 型基板 210 及 N 型井 208 之間的 PN 接面 227)透過 217 短路。

請參閱「第 2C 圖」，「第 2C 圖」為以下述另一實施例說明「第 2A 圖」之實施例的變化之剖面圖。更具體來說，如同「第 2A 圖」的實施例，其 N 型區域(或稱 N 型井 274)是形成在 P 型基板 280 的內部，且重摻雜子區域形成在 P 型基板 280 之上，並在其上提供電性接點 282。N 型井 274 含有重摻雜子區域，其包含：(i)重摻雜 P 型區域 293，其位於矽化物 295 之下，且對應電性接點 282；(ii)一個延伸的高摻雜 P 型區域 292，其延伸於重摻雜 P 型子區域 293 之間；及(iii)重摻雜 N 型區域 298。重摻雜 P 型區域(292、293)的存在減少由「第 2B 圖」結構之 PN 接面所組成的光電二極體之阻抗。

其延伸的 P 型子區域 292 是在淺層或厚度表面的透光區域 262(即矽化物被阻隔)以便受到至少部份的光線影響。光電二極體形成自相應於延伸的 P 型子區域 292 之光電 PN 接面及 N 型井 274。如同「第 2A 圖」之實施例，光電二極體是被實際隔離，因為 N 型子區域 298 被電性接點 282 及短路，其延伸出 N 型井 274 區域。如「第 2B 圖」的實施例所示，光存取可能被限制在表面，其表面實際覆蓋所延伸的 P 型區域 292，透過如遮蔽處理(masking process)的方式以阻塞不透光材質或結構形成在此區域上。舉例來說，此實施例所述的遮蔽處理可被用於阻隔矽化物形成及產生雷射透光區域 262，用以覆蓋在至少部份的延伸 P 型子區域 292，其提供接面給整合光電二極體。

請參閱「第 2D 圖」，「第 2D 圖」為以下述另一實施例說明「第 2C 圖」之實施例的變化之剖面圖。並且搭配參閱「第 2E 圖」，「第 2E 圖」為說明「第 2D 圖」的佈局俯視圖。「第 2C 圖」、「第 2D

圖」及「第 2E 圖」的實施例說明 N 型區域(即 N 型井 274)，其形成在 P 型基板 280 內部，重摻雜子區域形成在 P 型基板 280 之上，並在其上提供電性接點 282。N 型井 274 含有重摻雜子區域，包含：(i)重摻雜 P 型區域 293，其位於矽化物 295 之下且相應於電性接點 282；(ii)一個延伸的高摻雜 P 型區域 292，其延伸於重摻雜 P 型子區域 293 之間；(iii)重摻雜 N 型區域 298；及(iv)一個淺溝槽隔離(STI)區域 290 隔離重摻雜子區域。其淺溝槽隔離區域的存在代表填滿有二氧化矽絕緣材質，用以提供近乎理想的結構及鄰近的矽區域之電性隔離，以及使鄰近的被分隔區域能夠在產品晶片(product die)上減少一個小型的覆蓋區(二維平面視圖)。

「第 2F 圖」為以下述另一實施例說明「第 2D 圖」之實施例的變化之剖面圖。請搭配參考「第 2G 圖」，「第 2G 圖」為說明「第 2F 圖」的佈局俯視圖。如同「第 2D 圖」的實施例，N 型區域(N 型井 274)形成在 P 型基板 280 內部，且重摻雜子區域形成在 P 型基板 280 之上，並在其上提供電性接點 282。N 型井 274 含有重摻雜子區域，其包含：(i)重摻雜 P 型區域 293，其位於矽化物 295 之下，且對應電性接點 282；(ii)一個延伸的高摻雜 P 型區域 292，其延伸於重摻雜 P 型子區域 293 之間；(iii)重摻雜 N 型區域 298；(iv)一個淺溝槽隔離(STI)區域 290 隔離重摻雜子區域；以及(v)一個淺溝槽隔離區域設置有雷射透光區域。其淺溝槽隔離區域存在於雷射透光區域內部，使其結構能夠在生產流程中無須金屬矽化物阻隔遮罩(Salicide Blocking Mask)。這可以簡化並減少處理費用，並且無須金屬矽化物阻隔遮罩的成本。

請參閱「第 2H 圖」，「第 2H 圖」為以下述另一實施例說明「第

2E 圖」之實施例的變化之剖面圖。請搭配參閱「第 2I 圖」，「第 2I 圖」為說明「第 2H 圖」的佈局俯視圖。更具體而言，透過將接觸的區域限制在一個小型的矩形，該矩形只在 STI 雷射透光區域的一側之上，其光電二極體成為小型的覆蓋區配置，用以提供更有效地利用產品晶片上的實際面積(real estate)，同時權衡增加接面區域的阻抗。

### 在 SOI 中產生光電伏(Photovoltaic)

請參閱「第 3 圖」，「第 3 圖」為以一實施例說明 SOI 橫向薄膜光電二極體之剖面圖。與基體裝置(bulk devices)(請參閱「第 1 圖」、「第 2A 圖」及「第 2B 圖」)相比，其接面有垂直的走向，絕緣層上覆矽裝置(SOI devices)通常是在絕緣(通常為氧化物)層 320 之上，水平地產生一個很薄(即小於“1000 埃”)的單晶矽膜層 310。就此絕緣層上覆矽裝置而言，N 型區域及 P 型區域均形成在淺薄的單晶矽膜層 310，並且通常往下埋置至絕緣層 320。因此，光電 PN 接面 325 形成水平而不是垂直，且任何用於產生光能的裝置，在佈局時必須考量此點。

根據一個或多個實施例，光能產生在絕緣層上覆矽基板裝置可包含以下部份或全部的特色及考量。在一個具體實施例中，一個指狀排列(兩手手指叉合狀)的摻雜區域之設置是形成包含 N 型區域 312 及 P 型區域 314 的狹長交替帶，P 型區域 312 與正極電性連接，且 N 型區域 314 亦與負極電性連接。經由多晶矽 316 或在標準處理流程中的其他層(layers)散播或埋置傳統的自對準(self-aligned)，而考慮到覆蓋準確度下降，還可透過單獨的遮罩來界定。在「第 3 圖」所述的實施例，沒有提及矽化物阻隔區域，

除了間隔介於矽化物 303 及電性接點 321 的組成之間。其 PN 接面 324 是水平的，從重摻雜 P 型區域 314(帶)延伸至相鄰的 N 型區域 312 及 N 型井 318。

接著，如「第 4 圖」所示，「第 4 圖」為說明「第 3 圖」之實施例的變化之剖面圖。光電半導體裝置包含(i)摻雜區域的設置是形成在包含 P 型區域 412 及 N 型區域 428 的狹長交替帶，P 型區域 412 與正極電性連接，且 N 型區域 428 亦與負極電性連接；及(ii)淺薄的 P 型延伸區域 420 與 P 型井整合以提供大型的收集區域，用以收集電子—電洞對(由於光線應用)。光電二極體 405 是形成水平的，用以自狹窄帶的 P 型區域 412 延伸至相鄰的狹窄帶之 N 型區域 428。在此例中所示，淺薄的 P 型延伸區域 420 是重摻雜且與 P 型井整合。一個雷射透光區域 430 形成(i)覆蓋在 P 型延伸區域 420 及(ii)部份覆蓋在相鄰的 P 型區域 412 之上，其形成光電二極體 405 的正極。大部分的 P 型區域 412 是經由電性接點 421 及/或矽化物 403 阻隔光線。其他金屬接點(即電性接點 421)是沉積(在矽化物 403 之上)以各自形成重摻雜 P 型區域 412 及 N 型區域 428 的末端接點。其它實施例如電性接點 421 延伸在 N 型區域 428 之上，可透過延伸電性接點到另一 P 型區域(圖中未示)來建立電性隔離。

如「第 4 圖」的實施例所示，P 型區域 412 及 N 型區域 428 的鏡像排列可形成在相鄰的 P 型延伸區域 420 之末端，用以在相對的方向形成光電二極體 405。

在「第 4 圖」所示的實施例之變化中，經由多晶矽 416 或在標準處理流程中的其他層來擴散或埋置傳統的自對準，而考慮到

覆蓋準確度下降，可透過單獨的遮罩來界定。

關於「第 3 圖」及「第 4 圖」所述的實施例，以及文中的別處描述，選擇主動的 P 型區域 412 及 N 型區域 428 之尺寸，這樣光電二極體 405 輸出阻抗將被增強或最佳化。增強/最佳化的考量包含(i)散佈的層之電阻、(ii)收集效率、(iii)載子擴散及(iv)消耗區域特性。此外，在含有高傳導金屬層中的該區域，透過選擇及形成多路的金屬接點，減少 P 型區域 412 及 N 型區域 428 的有效阻抗。這種金屬層減少電荷必須流經相對較高的阻抗(摻雜矽)之距離。一個以光線應用改善載子收集效率之例子，這可透過減少穿過必須散佈的少數載子之距離來改善，且透過將相對地電荷載子降至最少，從而減少多餘的電子-電洞再結合(如透過在埋置 P 型井 427 中減少摻雜濃度)。

更進一步，一個或多個實施例能夠使 PN 接面的電流容量，透過控制任一相鄰的 P 型及 N 型指寬(fingers)或透過控制在相鄰的 P 型區域及 N 型區域內的摻雜物來進行調節。例如：一個輕微摻雜 PN 水平接面將比一個重摻雜 PN 水平接面具有大的空乏區寬度(depletion width)，因此，重摻雜結構的電流容量會更大。此實施例可被用於控制該結構的交流電輸出阻抗，為了交流電測試結構的最佳化電源。

此外，一個或多個實施例可涉及一個標準程序的使用，如同在非標準或非典型方式中用以製造產品。

請參閱「第 5 圖」，「第 5 圖」為以另一個實施例說明光電二極體形成在 SOI 基板上之剖面示意圖。在「第 5 圖」中的實施例，光電 PN 接面 505 包含垂直部，而不是如「第 3 圖」及「第 4 圖」

的實施例所示的水平。在此實施例中，SOI 基板 510 包含 N 型井 508，其具有重摻雜的指寬 P 型區域 512 及 N 型區域 514。SOI 基板可具有厚度尺寸，其範圍依序在“500”至“1000”埃。指寬的 P 型區域 512 為 N 型井 508 的邊界，亦為 P 型延伸 522 的邊界。每個指寬的 P 型區域 512 及 N 型區域 514 包含電性接點 521(形成在如矽化物 523 的材質上)。

根據此實施例所述，形成的 P 型延伸 522 與一個覆蓋在基板上的雷射透光區域 532 對齊。指寬的 P 型區域 512 及 P 型延伸 522 的組合形成一個邊緣元件，其提供光電二極體(或稱光電 PN 接面 505)的一個節點。在此方法中，光電二極體(或稱光電 PN 接面 505)包含垂直及水平元件，由於光線應用，產生的電流從邊緣元件以水平及垂直的流向流至 N 型井 508，其邊緣元件由指寬的 P 型區域 512 及 P 型延伸 522 所組成。

指寬的 P 型區域 512 及 N 型區域 514 是被開放區域 540 所分隔，在實際實施上，透過自對準(self-alignment)結構 550 隨意分隔。所述自對準結構 550 包含多晶矽 552、矽化物 554 及閘極氧化層 556。矽化物 554 可為了降低區域的傳導性而應用於基板。這種組合提供一個虛擬結構(dummy structure)，使關鍵尺寸(critical dimensions)能夠超過該組合，其將由微影製程(lithographic processes)的不同方式來達成。如此一來，透過自對準結構 550 在表面形成虛擬區域，該區域必定是由微影來實現，所具有的關鍵尺寸大於那些所提及的自對準結構 550。

第二雷射透光區域 535 可形成在重摻雜 N 型延伸 526 之上，其重摻雜 N 型延伸 526 延伸至指寬的 N 型區域 514，因此接觸到

一個附加區域(addition area)，並以光線應用產生電性載子於該區域中。此重摻雜 N 型區域的組合提供負極末端用以自光線應用收集電流。

請參閱「第 6 圖」，「第 6 圖」為以下述另一實施例說明嵌入有 PN 接面的整合光電二極體之基板，形成在透光區域下方以便埋沒深埋氧化層於基板中之剖面圖。如上所述，其基板 610 包含數個層，這些層包含矽晶層 612(即 SOI 或 STI 薄膜)，以及深埋氧化(buried oxide, BOX)層 614。電性接點 621 至少部分形成在矽化物 623(或其他適合的材質)之上，矽化物 623 採用不透光，而矽晶層 612 及深埋氧化層 614 至少對雷射而言為透光。其基板 610 包含一個 N 型井 608 提供在 P 型基板 610 之上。

PN 接面 620 分別形成在重摻雜 P 型區域 622 及 N 型區域 624，透光(例如：雷射)區域 625 可形成在基板的區域，並介於 P 型區域 622 及 N 型區域 624 之間。其透光區域 625 與矽晶層 612 及深埋氧化層 614 的結構重疊，以及與部分的重摻雜 P 型區域 622、N 型區域 624 及 N 型井 608 重疊。每一重摻雜 P 型區域 622 及 N 型區域 624 只有部分地透過相應的矽化物 623 阻隔光線。如上所述「第 2A 圖」的實施例，由於適當的光線應用將從 PN 接面開始產生電子電洞，其 PN 接面是由重摻雜 P 型區域 622、N 型井 608 及重摻雜 N 型區域 624 所形成。該 PN 接面具有垂直部以提供一個光電二極體，其可以供給電路(例如：請參閱「第 14 圖」)所需電源。或者，所述一些其他實施例，其電性接點 621 可自重摻雜 N 型區域延伸至另一高摻雜 P 型區域，用以電性隔離光線應用的 PN 接面。

另外，有關於「第 6 圖」的實施例，所形成的結構之特殊類型，在矽晶層的部份可能會有所不同，特別是在幾何形狀和大小。不過，正如所述，合適的雷射透光區域可能會透過不使用不透光材料來佈局，如：矽化物 623 及電性接點 621。基板 610 特定的厚度及/或形貌可被視為一個設計限制因素，其產生的光電二極體可提供電路元件(例如：測試結構)所需的電源。

如「第 7 圖」所示意，「第 7 圖」為以下述另一實施例說明「第 6 圖」之實施例的變化之剖面圖。基板 710 包含數個層，這些層包含一個矽晶層 712(即 SOI 或 STI 薄膜)，以及深埋氧化層 714。電性接點 721 至少部分形成在矽化物 723(或其他適合的材質)之上。矽化物 723 採用不透光，而矽晶層 712 及深埋氧化層 714 至少對雷射而言為透光。其基板 710 為 P 型。

相較於「第 6 圖」的實施例而言，N 型井 708 包含重摻雜 N 型區域 724，且在其上延伸有電性接點 721。重摻雜 P 型區域是在 N 型井之外部。一個或多個高摻雜 P 型區域 722 是位於未被矽化物 723 或電性接點 721 所阻擋的位置用以接收光線。在此方式中，一個或多個透光區域是覆蓋在 P 型的基板 710 之上，並與至少一個或多個高摻雜 P 型區域 722 的一些部分重疊。在此實施例中，所形成的至少兩個高摻雜 P 型區域 722 與部分透光區域 725 重疊。一旦電子電洞開始隨光線產生，電子-電洞對將移動穿過 N 型井 708 的邊界，此移動與 PN 接面 720 相應。實際上，其 PN 接面橫跨 N 型井 708 的邊界。

請參閱「第 8 圖」，「第 8 圖」為以下述另一實施例說明「第 6 圖」及「第 7 圖」之實施例的變化，其中基板包含埋設或嵌入光

電 PN 接面之剖面圖。基板 810 包含矽晶層 812(即 SOI 或 STI 薄膜)及深埋氧化層 814。電性接點 821 至少部分形成在矽化物 823(或其他適合的材質)之上。矽化物 823 採用不透光，而矽晶層 812 及深埋氧化層 814 至少對雷射而言為透光。其基板 810 包含一個 N 型井 808，用以提供在 P 型基板 806 之上。與「第 7 圖」的實施例相較，N 型井 808 包含高摻雜 P 型區域 822。此外，高摻雜 N 型區域 824 也被包含在 N 型井 808 內部。正如其他一些實施例，每一高摻雜 P 型區域及高摻雜 N 型區域可部份覆蓋上矽化物 823，所以各區域的有些部份為曝露在不透光材質之外。在此方式中，至少一透光區域 825 是覆蓋在基板與高摻雜 P 型區域 822(在所述配置中)部分重疊。

兩個重摻雜 P 型區域 822 在 N 型井 808 產生一個光電二極體接面 820。如所述改善所產生的電子—電洞對之收集效率的實施例，與使用如單一個重摻雜 P 型區域相較，其重摻雜 N 型區域 824 圍繞在電子電洞產生區域，用以提供一些電性隔離以減少阻抗效應。

請參閱「第 9 圖」，「第 9 圖」為根據另一實施例說明「第 6 圖」至「第 8 圖」的實施例之另一變化，其中基板包含埋設或嵌入光電 PN 接面之剖面圖。基板 910 包含矽晶層 912(即 SOI 或 STI 薄膜)，以及深埋氧化層 914。電性接點 921 至少部分形成在矽化物 923 之上。矽化物 923 採用不透光，而矽晶層 912 及深埋氧化層 914 至少對雷射而言為透光。其基板 910 假定為 P 型。與「第 7 圖」的實施例相較，N 型井 908 包含高摻雜 P 型區域 922，與「第 8 圖」的實施例相較，P 型區域 922 包含一個 P 型延伸區域 926，

其延伸有相應於透光區域 925 的長度。重摻雜 P 型區域 922 及 P 型延伸區域 926 在 N 型井 908 的內部形成 PN 接面 920。如「第 2B 圖」所述實施例，重摻雜 P 型區域的延伸(即 P 型延伸區域 926)，提高所產生的電子—電洞對之收集效率。如同「第 8 圖」所述，高摻雜 N 型區域 924 可包含在 N 型井 908 內部，用以隔離產生區域。

正如一些實施例所提及，每個高摻雜 P 型區域及 N 型區域(不包含在 P 型延伸區域 926 中)可部分覆蓋有矽化物 923，所以各區域有些部分暴露在不透光材質之外。透光區域 925 可覆蓋在基板 910 上，並與部分的高摻雜 P 型區域 922(在所述的配置中)及 P 型延伸區域 926 重疊。在其他的好處中，使用 P 型延伸區域 926 改善阻抗及增加收集效率。P 型延伸區域 926 也擴展 PN 接面 920 以便進一步增加光電二極體的效率。

如一些其餘的實施例所述，重摻雜 N 型區域 924 形成收集區域於光電二極體，可能因電性接點 921 延伸至重摻雜 P 型區域 928 而形成短路。如前所述，其短路電性隔離光電二極體。

### 在基板上底端照明光電二極體

文中許多別處所述的實施例，提及光電二極體使用頂端光線產生。如上所述，至少有一些實施例提及使用雷射透光區域，相應於在基板裝置或半導體上的一個佈局區域。其為清除結構或不透光材質(如矽化物)。

作為一種替代方式，一個或多個實施例提出使用底端光線應用或照明。如「第 10 圖」所示意，「第 10 圖」為說明底端光線照明配置的原理可被用於提供光電二極體及相應的測試結構所需電

力之示意圖。一個晶圓 1000 包含頂面 1001，其上形成有主動電路 (active circuitry)，以及與頂面 1001 相對的底面 1003，並包含非主動電路 (no active circuitry)。測試結構或裝置在測試光電二極體 1010 下可提供在頂面 1001 之上。

在矽的具體實施例中，如：光線可以產生載子，最終可穿越基板厚度被對側或基板厚度上的適當摻雜區域所收集。因此，在此實施例中，雷射自晶圓 1000 的背部(即底面 1003)進行照明。

更詳細地說，晶圓代表有輕微摻雜 P 型單晶矽 (mono-crystalline silicon)，其厚度約“750”微米(介於頂面 1001 及底面 1003 之間)。照明 1014 可應用在晶圓 1000 的背面，在底下如：埋設 N 型井，其包含光電二極體。隨著光線應用，產生電子及電洞載子。其載子能夠透過晶圓的厚度移動，且可在相鄰或接近頂面 1001 的散佈位置被捕獲。

如「第 11 圖」所示，「第 11 圖」為以下述實施例更詳細地說明在晶圓中構成整合光電二極體以支持背部照明之剖面圖。在此實施例，光電二極體 1010 是經由埋設重摻雜 N 型區域 1011 及重摻雜 P 型區域 1021 於晶圓的輕微摻雜 P 型基板所組成。電子透過照明 1014(即光能漫射)在 N 型區域 1011 所產生，相對於經由 P 型區域 1021 接觸基板從而降低其電位。合理的佈局且以足夠光載子，其電位在 N 型區域 1011 內部可下降約“-0.7”伏特，且電位可被使用於提供主動電路 1012 所需電源。

實施例可使用埋置一個“N+”到摻雜 P 型的基板(或稱晶圓 100)來實現，在此情況下，電壓產生在相對於晶圓 1000 的 N 型區域內部，具有負電位(約“-0.7V”)。此實施例亦可埋置一個 P 型

到摻雜 N 型的晶圓 1000，在此情況下，電壓產生在相對於晶圓 1000 的重摻雜 P 型區域內部，具有正電位(約 “+0.7V” )。

請參閱「第 12 圖」，「第 12 圖」為以下述實施例說明「第 11 圖」之實施例的另一種變化之剖面圖。其實施在 SOI 基板裝置 1110 上，在此實施例中，一個重摻雜 N 型子區域材質(N 型區域 1124)形成在 P 型基板 1122 中，且位於深埋氧化層 1121 之下。接觸 N 型區域 1124 可使用基板的接觸通孔 1123 穿透深埋氧化層 1121。一個分接頭(tap)必須利用植入 P 型區域 1126 及穿透深埋氧化層 1121 的第二接觸通孔 1125 以連接至 P 型基板 1122。電子透過背面照明 1114 產生在 P 型基板 1122 中，其電子漂移穿過 P 型基板 1122 直到被重摻雜 N 型區域 1124 捕獲為止。約 “+0.7V” 的電位可產生在第二接觸通孔 1125 和 P 型區域 1126 以及接觸通孔 1123 和 N 型區域 1124 之間，且此電位可被用於設置在 SOI 材質 1120 之上的主動電路。

由於矽厚度為 “750”微米(microns)，電子在重組之前必須擴散相當長的距離。因此，最好使用比較長的波長照明 1114，這樣光載子可在 P 型基板 1122 內部充足地產生(盡可能接近吸收區域，即 N 型區域 1124)。其適當的波長是相對長的，但是在矽能隙波長(Silicon bandgap wavelength)之下。以矽為例，一個好的波長需要 “1064”毫微米(nm)，在矽的內部具有相對長的吸收距離。相反地，“300”毫微米(nm)光波長在所述情況下，將幾乎被底面 1102 直接吸收。

文中所述實施例包含半導體基板(即包含晶圓切片或部分)，其包含整合光電二極體用以提供電路或其他元件電源，特別是當半

導體基板只在部份生產狀態時測試結構或電路。美國專利號 7,220,990、7,339,388 及 7,423,288(合併參考其所有目的)分別描述測試結構或電路的使用，其可提供位於其上的晶片所需之電源，用以當半導體基板只在部分地製造狀態時，達成非觸碰、非破壞的目的來測試信號產生(及隨後的分析)。文中所述的許多實施例提及整合光電二極體的形成，其可使用光線(例如：雷射)應用提供電路及結構所需電源。

請參閱「第 13 圖」，「第 13 圖」為根據一個或多個實施例說明整合光電二極體的應用之方塊圖。在「第 13 圖」中，一個增強的整合光電二極體 1310 是用以提供一個或多個在半導體基板裝置 1330 之上的測試結構 1320 所需電源。光電二極體 1310 可如上所述的任一實施例來形成。以此方式，光電二極體 1310 可對應(高)摻雜且相鄰的 P 型區域及 N 型區域，提供在基板裝置 1330 之上與透光區域相符。

此基板裝置 1330 具體實施上可為所述類型(例如：塊狀矽、絕緣層上覆矽.....等等)，在實際應用上，基板裝置 1330 可應用在部份完成狀態或全部完成狀態其中之一。在此實施例中，基板裝置 1330 為半導體晶圓的部分，其處於部分地製造狀態中。在這樣的實施例中，光電二極體可在測試情況下，被使用於提供一個或多個測試結構、電路或裝置的所需電源。許多的安排及配置是考量能夠使用一個或多個增強光電二極體，用以提供測試結構所需電源。其中，(i)一個整合光電二極體 1310 可被用於提供多個測試結構 1320 所需電源；(ii)光電二極體及/或測試結構 1320 可位在半導體基板(例如：在晶片中)的作用區域 1332，或選擇在線中或作

用區域的外部；(iii)光電二極體 1310 鄰近測試結構 1320 亦可進行變化。

在形成有效的整合光電二極體 1310，其具體實施的考量包含：(i)光電二極體供給足夠電源的能力；(ii)光電二極體的效率；及(iii)穩定性，其能夠考慮到整合光電二極體的標準製程及佈局實現、限制及考量。標準矽製程可包含塊狀矽及絕緣層上覆矽(SOI)的製程及設計。

根據一個或多個實施例，光電二極體 1310 形成在半導體基板 1330 之上，具有以下能力：(i)自光源(例如：雷射)轉換電源；(ii)從應用的光線 1326 提供電源以運行電路及測試結構。一個或多個線路(即電性接點)可自光電二極體 1310 延伸到測試結構 1320 及/或其他結構或裝置，並由光電二極體提供電源。在至少一些實施例中，整合光電二極體 1310 是製造於半導體基板(即基板裝置 1330)的部分，且在裝置設計製造限制內，確定半導體基板(例如：矽晶圓)的最初目的。

更進一步，一個或多個實施例提及光電二極體 1310 其包含性能或特性考量到晶圓製造過程的限制。一個或多個實施例提及所構成的光電二極體 1310 最佳化(或至少落於範圍內)參數及設計的考量，以及半導體基板的製造過程。特別是一些文中所述的實施例包含光電二極體，其構成在設計及加工限制及最佳化選擇應用的範圍內進行操作。一個或多個實施例的應用包含設計及製程分析、晶圓製造的控制及設計程序、電路效能、設計流程的整合及裝置製程與設計特性。

以整合光電二極體製造/設計半導體基板

如「第 14 圖」所示，「第 14 圖」為根據一個或多個實施例說明將整合光電二極體形成在半導體基板中的方法之流程圖。所述的技術可用以實現形成上述「第 1 圖」至「第 9 圖」的一些或所有的整合光電二極體結構。

在步驟 1410 中，透光區域的尺寸，以及元件其包含光電二極體(例如：重摻雜 P 型區域、N 型區域.....等等)將被確定。其尺寸可基於至少部分的考量因素，包含電源產生及製造限制。光電二極體產生(例如：以測試電路的類型及數量進行最佳化)的電源總量、使用光源(例如：雷射的類型)及先天上的製造或基板限制(如：有效存取間距)等因素，將被用以作為光電二極體的尺寸考量。光電二極體的應用或使用可能進一步影響尺寸的要求。

一旦確認尺寸，步驟 1420 實行設計及處理步驟用以為光電裝置提供光存取(optical access)。因此，半導體基板的製程引導光電二極體及測試電路兩者的形成。為了實現有效利用光電二極體 1310，一些實施例體現有利於構成光電二極體 1310 以適應半導體基板的製程變化或其他變數。特別是一些實施例提及光電二極體 1310 及驅動電性測試結構 1320 為協同設計，同樣地受到半導體製造的標準程序變化所影響。在此實施例中，光電二極體 1310 及測試結構 1320 為協同設計，在提供測試結構的電流連同光電來源的變化中，導致設計限制在光電電壓輸出上。例如：假設測試結構 1320 是製造在半導體基板 1330 之上，且預計有“10%”的變化在於晶圓製造變化，於是一些實施例提及光電二極體 1310 是設計為輸出電壓變化小於所稱的數量，以考慮到測試結構的電流變化。

在步驟 1430 中，電性和光學隔離是提高光電二極體的效能及

效率所必需的。關於「第 2A 圖」或「第 9 圖」的實施例，其電性隔離是採用電性短路的形式延伸自“N+”區域(即 N 型區域)，該區域所產生的電子電洞將被收集。

一旦光電二極體形成在基板上，步驟 1440 一個或多個實施例提及有效地啟動測試結構，並考量到電源啟動整合光電二極體的飽和或自然損失。測試電路的啟動使用光電二極體可能發生於基板裝置在製造及部分製造狀態其中之一。許多提高或最佳化的選擇可被實現，用以達成更有效地啟動測試結構。

在此實施例中，光電二極體可被設計為接收非常明亮地光源而無飽和的反應，其與傳統的光導檢測裝置相較，能夠最佳化接收微弱的光信號。

在另一實施例中，光電二極體可被配置用以提供規範的光電流、持續及穩定的輸出電壓。所述設計與傳統的光導檢測裝置相較，其在外提供固定的負偏壓時，能夠提供與微弱光信號輸入所相稱的光電流。

更進一步，另一實施例提及輸出線路 1344(請參閱「第 13 圖」)或整合光電二極體的電路元件被設計有一個阻抗，該阻抗與驅動電性測試結構的電路輸入阻抗相匹配。

甚至，一些實施例提及光電二極體 1320 的使用及最佳化，透過設計光電二極體具有小於在測試結構 1320 的操作頻率之輸出阻抗的設計限制。例如：假設測試結構 1320 為一個使用“1GHz”的環形震盪器(ring oscillator)，其可有助於光電二極體 1310 在此高頻率出現交流電短路，實際上，所產生的光電輸出電壓用以持續驅動環形震盪器。此實施可使光電二極體 1310 達成增加電容及/

或減少電阻：(a)增加 PN 接面區域(步驟 1320)以超出需要提供足夠電源，透過增加區域(水平及/或垂直)及/或使用深的(在垂直方向)結構，及/或使用垂直結構；(b)使用薄氧化物電容，如：

“poly-to-well 電容”、“poly-to-substrate 電容”或

“metal-to-metal 電容”或“metal-to-substrate 電容”……等等；(c)

降低阻抗：使用適當的水平或垂直幾何，在串聯或並聯中變化，或附加層以形成低阻抗於相鄰或光學地作用區域內部；(d)建立電容，以(b)中所列的任一類型整合光電二極體；(e)提供旁路電容，以(b)中所列的任一類型於測試結構內部的關鍵節點。

更進一步，另一實施例提出光電二極體 1310 透過特殊的矽製程(塊狀及/或 SOI)用以改善光線收集易受限制。儘管 P 型/N 型接面可能在某些情況下為最佳，但這樣的設計在一些應用中可能無法實現，例如：當 P 型區域及 N 型區域為透過光學地不透光材質，如：矽化物或金屬，並應用於製程中。因此，光電二極體 1310 可被配置，此裝置的光收集效率為限制的最大化，其會導致光線收集。

此外，一個額外或替代的另一實施例，在光電二極體 1310 的形成中，包含設計(或最佳化)光電二極體 1310 使其具有足夠的電壓調節和電流產生功能於任一存在的金屬接點，其反射的光能照射裝置，或者一個處理步驟，如：矽化物阻隔。而入射的光能可能減弱。甚至，光電二極體 1310 可被構成不敏感的，在規定的限制範圍之內，光能來源的照射位於感光區域上，其規定的限制可能在範圍內變化(例如：範圍可能呈現“10%”、“5%”、“3%”或“1%”的不同)。

另一實施例則涉及設計光電二極體 1310，其操作不影響電性測試結構。光電裝置可以實施在如晶圓之上為條件，避免發生電力和光學在裝置及導電元件間串擾。

另一實施例用於實現足夠的光學效率，以設計光電二極體 1310 的 N 型區域及 P 型區域，使得它們小到足以使光生少數載子 (photogenerated minority carriers) 逸出。其設計限制應該是光生少數載子的數量應小於它們的相對物 “10%”、“1%” 或 “0.1%”。例如：假設少數光生載子在一定速率產生(電子或電洞每時的量)，那麼這些載子擴散到它們少數區域之外的平均時間應該小於 “0.1”、“0.01” 或 “0.001” (取決於所用的實施或配置)，大多數載子密度在相同區域。

另一個實施例提出一個建立 PN 光電裝置的方法，其使用重摻雜及高導電多晶矽區域。例如：一個邊界介於被照明的 P 型及 N 型多晶矽區域，還能夠產生光電伏。其他變化包括接面介於 P 型多晶矽層及矽的 N 型區域之間，或介於 N 型多晶矽層及矽的 P 型區域之間。

一個更進一步的實施例允許雷射照射晶圓的背面。通常晶圓為 P 摻雜單晶矽，其厚度約 “750” 微米(microns)。由於照明應用在晶圓背面，下方的光電二極體將產生電子及電洞載子。其載子是自由擴散在整個矽晶圓，且於擴散至晶圓的頂面上時被捕獲。

最後，請參閱「第 15 圖」，「第 15 圖」為以一些實施例說明光電二極體的最佳化佈局方法之流程圖。在步驟 1510 中，為了提供積體電路所需電源，光電二極體的屬性已決定。特別是與下列屬性有關的值：(i)面積大小，以需要穿過二極體的最大電壓來平

衡佈局效率；(ii)盡量減少外在的寄生電阻(parasitic resistance)；(iii)開放式照明(避免金屬/矽化物)；(iv)良好的二極體理想性能(例如：低洩漏、低缺陷等級)；(v)接近載子產生區域於本身的接面；(vi)能夠短路 N 型井於基板區域以建立一個正相關(由於 PN 接面被 N 型井隔離)。

在步驟 1520 中，光電二極體大小及佈局被確定。可在陡峭的負載線(load line)區域中進行操作，以降低電路的電壓變化敏感度。

在步驟 1530 中，確定以最小的二極體可提供足夠的電源來運作具有最小電壓變化的敏感度之積體電路。

### 堆疊式光電二極體

在先前如「第 12 圖」所述的實施例中提到，當透過雷射照射時，為了提升產生的電源以供應單一光電二極體結構，以及連接如「第 15 圖」所示的積體電路，可透過堆疊光電二極體成為串聯，如「第 16 圖」所示，其生成的電源可提供兩倍於單一光電二極體的電壓。「第 17 圖」所示，為了進一步提高供電能力，透過堆疊三個光電二極體成為串聯，可產生三倍於單一光電二極體的電壓。「第 18 圖」為連接兩倍堆疊的光電二極體配置之電路圖，以及「第 19 圖」為描述整合光電二極體裝置結構的實施例之剖面圖，其末端連接特定電路以提供適當的電源。堆疊光電二極體的配置之隔離對抑制不必要的寄生洩漏組件而言是重要的，其可能在末端損害電位。「第 19 圖」顯示一個附加的 P 型井(P-well)摻雜區域及 STI 絕緣區域於兩堆疊光電二極體之間，用以透過降低寄生 NPN 型的測試板及傳輸電流來緩和或消除不良洩漏組件。此外，透過特意調整介於兩光電二極體的間距，以提供添加劑緩和寄生

NPN 型的洩漏組件。

所述實施例可能會有不同的變化，實際上取決於光電裝置設置在塊狀矽或 SOI 基板。SOI 裝置結構由於設於絕緣體上，而且具有將其封裝在絕緣內壁的能力，故可防止一個區域影響另一個獨立的區域。在塊狀矽的情況下，常見的基板連接所有電路於相同的晶圓上，因此有可能使得一個區域的電光活動影響到另一區域的活動。

雖然本發明所揭露之實施方式如上，惟所述之內容並非用以直接限定本發明之專利保護範圍。任何本發明所屬技術領域中具有通常知識者，在不脫離本發明所揭露之精神和範圍的前提下，可以在實施的形式上及細節上作些許之更動，然本發明之專利保護範圍，仍須以所附之申請專利範圍所界定者為準。此外，無論是以一實施例個別提出或是作為實施例之一部分的獨有特徵，可與其它個別提出或是作為其它實施例一部份的特徵相結合，縱然那些獨有特徵未被其它特徵或實施例所提及，因此，那些未描述到的組合特徵不應被排除於本發明之權利保護範圍之外。

#### 【圖式簡單說明】

第 1A 圖為以一個或多個實施例說明具有整合光電二極體所組成的供電電路及裝置，如：測試結構及裝置的基板裝置之剖面圖。

第 1B 圖為所述第 1A 圖之俯視圖。

第 1C 圖為以第 1A 圖所述之實施例說明整合光電二極體之電路示意圖。

第 2A 圖為根據另一實施例說明具有整合光電二極體基板裝

置之剖面圖。

第 2B 圖為以第 2A 圖所述之實施例說明光電二極體之電路示意圖。

第 2C 圖為以下述另一實施例說明第 2A 圖之實施例的變化之剖面圖。

第 2D 圖為以下述另一實施例說明第 2C 圖之實施例的變化之剖面圖。

第 2E 圖為說明第 2D 圖的佈局俯視圖。

第 2F 圖為以下述另一實施例說明第 2D 圖之實施例的變化之剖面圖。

第 2G 圖為說明第 2F 圖的佈局俯視圖。

第 2H 圖為以下述另一實施例說明第 2E 圖之實施例的變化之剖面圖。

第 2I 圖為說明第 2H 圖的佈局俯視圖。

第 3 圖為以一實施例說明 SOI 橫向薄膜光電二極體之剖面圖。

第 4 圖為說明第 3 圖之實施例的變化之剖面圖。

第 5 圖為以另一個實施例說明光電二極體形成在 SOI 基板上之剖面示意圖。

第 6 圖為以下述另一實施例說明嵌入有 PN 接面的整合光電二極體之基板，形成在透光區域下方以便埋沒深埋氧化層於基板中之剖面圖。

第 7 圖為以下述另一實施例說明第 6 圖之實施例的變化之剖面圖。

第 8 圖為以下述另一實施例說明第 6 圖及第 7 圖之實施例的

變化，其中基板包含埋設或嵌入光電 PN 接面之剖面圖。

第 9 圖為根據另一實施例說明第 6 圖至第 8 圖的實施例之另一變化，其中基板包含埋設或嵌入光電 PN 接面之剖面圖。

第 10 圖為說明底端光線照明配置的原理可被用於提供光電二極體及相應的測試結構所需電力之示意圖。

第 11 圖為以下述實施例更詳細地說明在晶圓中構成整合光電二極體以支持背部照明之剖面圖。

第 12 圖為以下述實施例說明第 11 圖之實施例的另一種變化之剖面圖。

第 13 圖為根據一個或多個實施例說明整合光電二極體的應用之方塊圖。

第 14 圖為根據一個或多個實施例說明將整合光電二極體形成在半導體基板中的方法之流程圖。

第 15 圖為以一些實施例說明光電二極體的最佳化佈局方法之流程圖。

#### 【主要元件符號說明】

|     |       |
|-----|-------|
| 104 | N 型井  |
| 108 | N 型井  |
| 110 | P 型基板 |
| 120 | PN 接面 |
| 121 | 電性接點  |
| 122 | P 型區域 |
| 123 | 矽化物   |
| 124 | N 型區域 |

|     |         |
|-----|---------|
| 125 | 透光區域    |
| 144 | 線路      |
| 150 | 光電二極體   |
| 152 | 末端      |
| 154 | 末端      |
| 208 | N 型井    |
| 210 | P 型基板   |
| 220 | PN 接面   |
| 221 | 電性接點    |
| 222 | P 型區域   |
| 223 | 矽化物     |
| 224 | N 型區域   |
| 225 | 透光區域    |
| 242 | 光電二極體   |
| 262 | 透光區域    |
| 274 | N 型井    |
| 280 | P 型基板   |
| 282 | 電性接點    |
| 290 | 淺溝槽隔離區域 |
| 292 | P 型區域   |
| 293 | P 型子區域  |
| 295 | 矽化物     |
| 298 | N 型區域   |
| 303 | 矽化物     |

|     |         |
|-----|---------|
| 310 | 單晶矽膜層   |
| 312 | N 型區域   |
| 314 | P 型區域   |
| 316 | 多晶矽     |
| 318 | N 型井    |
| 320 | 絕緣層     |
| 321 | 電性接點    |
| 325 | PN 接面   |
| 405 | 光電二極體   |
| 412 | P 型區域   |
| 420 | P 型延伸區域 |
| 421 | 電性接點    |
| 428 | N 型區域   |
| 430 | 雷射透光區域  |
| 505 | PN 接面   |
| 508 | N 型井    |
| 510 | SOI 基板  |
| 512 | P 型區域   |
| 514 | N 型區域   |
| 521 | 電性接點    |
| 522 | P 型延伸   |
| 526 | N 型延伸   |
| 532 | 雷射透光區域  |
| 540 | 開放區域    |

|     |       |
|-----|-------|
| 550 | 自對準結構 |
| 552 | 多晶矽   |
| 554 | 矽化物   |
| 556 | 閘極氧化層 |
| 608 | N 型井  |
| 610 | 基板    |
| 612 | 矽晶層   |
| 614 | 深埋氧化層 |
| 621 | 電性接點  |
| 622 | P 型區域 |
| 623 | 矽化物   |
| 624 | N 型區域 |
| 708 | N 型井  |
| 710 | 基板    |
| 712 | 矽晶層   |
| 714 | 深埋氧化層 |
| 721 | 電性接點  |
| 722 | P 型區域 |
| 723 | 矽化物   |
| 724 | N 型區域 |
| 725 | 透光區域  |
| 808 | N 型井  |
| 810 | 基板    |
| 812 | 矽晶層   |

|      |          |
|------|----------|
| 814  | 深埋氧化層    |
| 821  | 電性接點     |
| 822  | P 型區域    |
| 823  | 矽化物      |
| 824  | N 型區域    |
| 825  | 透光區域     |
| 908  | N 型井     |
| 910  | 基板       |
| 912  | 矽晶層      |
| 914  | 深埋氧化層    |
| 922  | P 型區域    |
| 923  | 矽化物      |
| 924  | N 型區域    |
| 925  | 透光區域     |
| 926  | P 型延伸區域  |
| 928  | P 型區域    |
| 1000 | 晶圓       |
| 1001 | 頂面       |
| 1003 | 底面       |
| 1014 | 照明       |
| 1010 | 光電二極體    |
| 1011 | N 型區域    |
| 1012 | P 型區域    |
| 1110 | SOI 基板裝置 |

- 1114 照明
- 1121 深埋氧化層
- 1122 P 型基板
- 1123 接觸通孔
- 1124 N 型區域
- 1125 第二接觸通孔
- 1126 P 型區域
- 1310 光電二極體
- 1320 測試結構
- 1326 光線
- 1330 基板裝置
- 1332 作用區域
- 1344 線路
- 步驟 1410 確定尺寸
- 步驟 1420 實行設計及處理以提供光電二極體進行光存取
- 步驟 1430 建立電性存取
- 步驟 1510 確定光電二極體的特性
- 步驟 1520 確定光電二極體尺寸及佈局
- 步驟 1530 確定光電二極體(例如：最小電源)

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98129125

※ 申請日：98.8.28

※IPC 分類：H01L 31/08 (2006.01),  
H01L 31/04 (2006.01),  
H01L 21/82 (2006.01)

## 一、發明名稱：(中文/英文)

用於半導體基板的整合光電二極體

INTEGRATED PHOTODIODE FOR SEMICONDUCTOR  
SUBSTRATES

## 二、中文發明摘要：

一種用於半導體基板的整合光電二極體，基板部至少部份組成包含電性接點及材質，此基板部包含摻雜區域，其具有彼此相鄰的重摻雜 N 型區域及重摻雜 P 型區域，基板部的外部表面具有表面形貌，此表面形貌包含透光區域，使來自光源的光線能夠達到基板部的表面，光線應用在透光區域足以引起電位以形成穿過摻雜區域的接面，基板部更可包含一個或多個電性接點置於此基板部，用以於光線應用在透光區域產生電位後，引導電流至半導體基板上的電路。

## 三、英文發明摘要：

A substrate section that is at least partially fabricated to include contact elements and materials. The substrate section includes doped regions that have a heavily doped N-type region and a heavily doped P-type region adjacent to one another. An exterior surface of the substrate has a topography that includes a light-transparent region in

which light, from a light source, is able to reach a surface of the substrate. An application of light onto the light transparent region is sufficient to cause a voltage potential to form across a junction of the heavily doped regions. The substrate section may further comprise one or more electrical contacts, positioned on the substrate section to conduct current, resulting from the voltage potential created with application of light onto the light transparent region, to a circuit on the semiconductor substrate.

## 七、申請專利範圍：

### 1. 一種半導體基板，包含：

一基板部，其部份組成包含電性接點及材質，該基板部具有一摻雜區域，該摻雜區域包含彼此相鄰的重摻雜 N 型區域及重摻雜 P 型區域，該基板部的一外部表面具有一表面形貌，該表面形貌包含一透光區域，使來自一光源的光線能夠達到該基板部的一表面；

其中，一光線應用在該透光區域足以產生一電位以形成穿過該摻雜區域的一接面；

一個或多個電性接點置於該基板部，用以於該光線應用在該透光區域產生該電位後，引導電流至該半導體基板上的一電路。

2. 如申請專利範圍第 1 項所述之半導體基板，其中該摻雜區域包含一第一摻雜區域，該第一摻雜區域包含一第二摻雜區域，其中，該第一摻雜區域或該第二摻雜區域至少其中之一係暴露於光線被應用在該透光區域。
3. 如申請專利範圍第 2 項所述之半導體基板，其中當該基板部為 P 型摻雜(P-doped)時，該第一摻雜區域為一 N 型井(N-well)及該第二摻雜區域為一 P 型區域，或是當該基板部為 N 型摻雜(N-doped)時，該第一摻雜區域為一 P 型井(P-well)及該第二摻雜區域為一 N 型區域。
4. 如申請專利範圍第 3 項所述之半導體基板，其中該第二摻雜區域位於一電性接點之下，且面積延伸至受到該光線應用影響的部份該透光區域。

5. 如申請專利範圍第 2 項所述之半導體基板，其中該第一摻雜區域包含一 N 型井(N-well)及一或多個重摻雜 N 型子區域，該至少一重摻雜 N 型子區域為淺層，以便在相應的該至少一電性接點之下，且該第二摻雜區域重摻雜包括一重摻雜 P 型子區域，用以在該光線應用的該第一摻雜區域及該第二摻雜區域之間產生一電位。
6. 如申請專利範圍第 3 項所述之半導體基板，其中該第一摻雜區域包含一重摻雜 N 型子區域，該重摻雜 N 型子區域在一電性接點之下延伸至該第一摻雜區域外部的一或多個重摻雜 P 型子區域。
7. 如申請專利範圍第 1 項所述之半導體基板，其中該至少一電性接點使該摻雜區域接近該透光區域的一周邊範圍。
8. 如申請專利範圍第 2 項所述之半導體基板，其中該第一摻雜區域包含多個重摻雜子區域，該些重摻雜子區域為淺層以便能夠電性連接至該第一摻雜區域，以及其中該第二摻雜區域包含重摻雜淺層的(i)二重摻雜子區域或多個重摻雜子區域，以便能夠電性連接至該透光區域的一周邊範圍之附近，及(ii)一延伸的重摻雜區域，該延伸的重摻雜區域實際連接該二重摻雜子區域或該些重摻雜子區域，以該光線應用來電性連接至該第一摻雜區域及該第二摻雜區域之間形成該電位。
9. 如申請專利範圍第 1 項所述之半導體基板，其中該摻雜區域包含：

一或多個 N 型井(N-wells)，其位於部份的該透光區域

之下；及

一或多個重摻雜子區域，其包含一重摻雜 P 型子區域；

其中，該至少一 N 型井及該至少一重摻雜子區域由內延伸至該基板部的一外部表面形成一指狀排列；

其中，至少一水平的接面至少由該重摻雜 P 型子區域及該 N 型井所形成。

10. 如申請專利範圍第 9 項所述之半導體基板，其中該半導體基板為絕緣層上覆矽(Silicon-On-Insulator, SOI)之類型的基板。
11. 如申請專利範圍第 1 項所述之半導體基板，其中該摻雜區域包含一 N 型井(N-well)及多個重摻雜子區域，該些重摻雜子區域包含一延伸的重摻雜 P 型子區域，用以由下方的該電性接點穿過該透光區域到另一該電性接點。
12. 如申請專利範圍第 1 項所述之半導體基板，其中更包含一或多個測試電路，該至少一測試電路由一或多個電性接點所接收的電壓進行觸發。
13. 一種半導體基板，包含：
  - 一電路，用以形成在該半導體基板之上；
  - 一透光區域，用以形成在該該半導體基板之上；及
  - 一光電二極體，用以形成在該半導體基板的一表面之上，該表面與該透光區域重疊以提供該電路電力，該光電二極體由一摻雜區域組所組成，包含至少二相對的摻雜區域以光線應用產生一光電伏。
14. 如申請專利範圍第 13 項所述之半導體基板，其中該摻雜區

域組形成該光電二極體包含一重摻雜 P 型區域，該重摻雜 P 型區域與一 N 型井(N-well)合併。

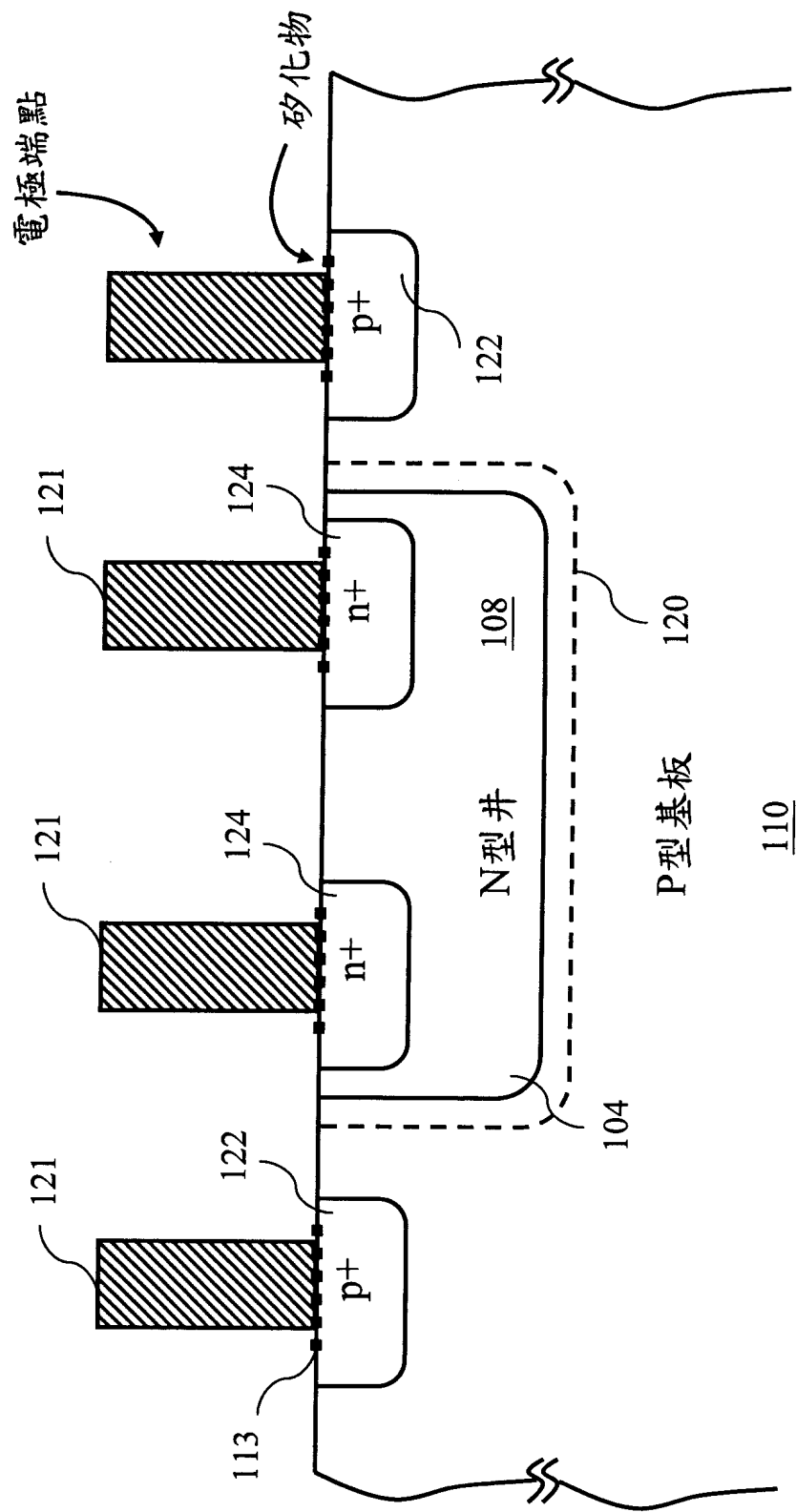
15. 如申請專利範圍第 14 項所述之半導體基板，其中該重摻雜 P 型區域包含一延伸在該 N 型井內的淺層。
16. 如申請專利範圍第 14 項所述之半導體基板，其中該光電二極體更包含一重摻雜 N 型區域形成在該 N 型井內。
17. 如申請專利範圍第 14 項所述之半導體基板，其中該光電二極體在該 N 型井的該重摻雜 N 型區域電性隔離。
18. 如申請專利範圍第 13 項所述之半導體基板，其中該半導體基板為絕緣層上覆矽(Silicon-On-Insulator, SOI)之類型，以及其中該摻雜區域組所形成的該光電二極體包含一重摻雜 P 型區域，該重摻雜 P 型區域相鄰於一重摻雜 N 型區域以便形成一指狀排列。
19. 如申請專利範圍第 13 項所述之半導體基板，其中該光電二極體的接面為垂直方向。
20. 如申請專利範圍第 13 項所述之半導體基板，其中該光電二極體的接面為平行方向。
21. 如申請專利範圍第 1 項所述之半導體基板，其中該透光區域的光線來自一光源，能夠達到該半導體基板的一表面，該表面位於半導體晶圓的背面，其相對於包含該摻雜區域的面。

如申請專利範圍第 13 項所述之半導體基板，其中該半導體基板可在該光電二極體的一表面下被照明，用以提供觸發該光電二極體以引導電流至該半導體基板上。

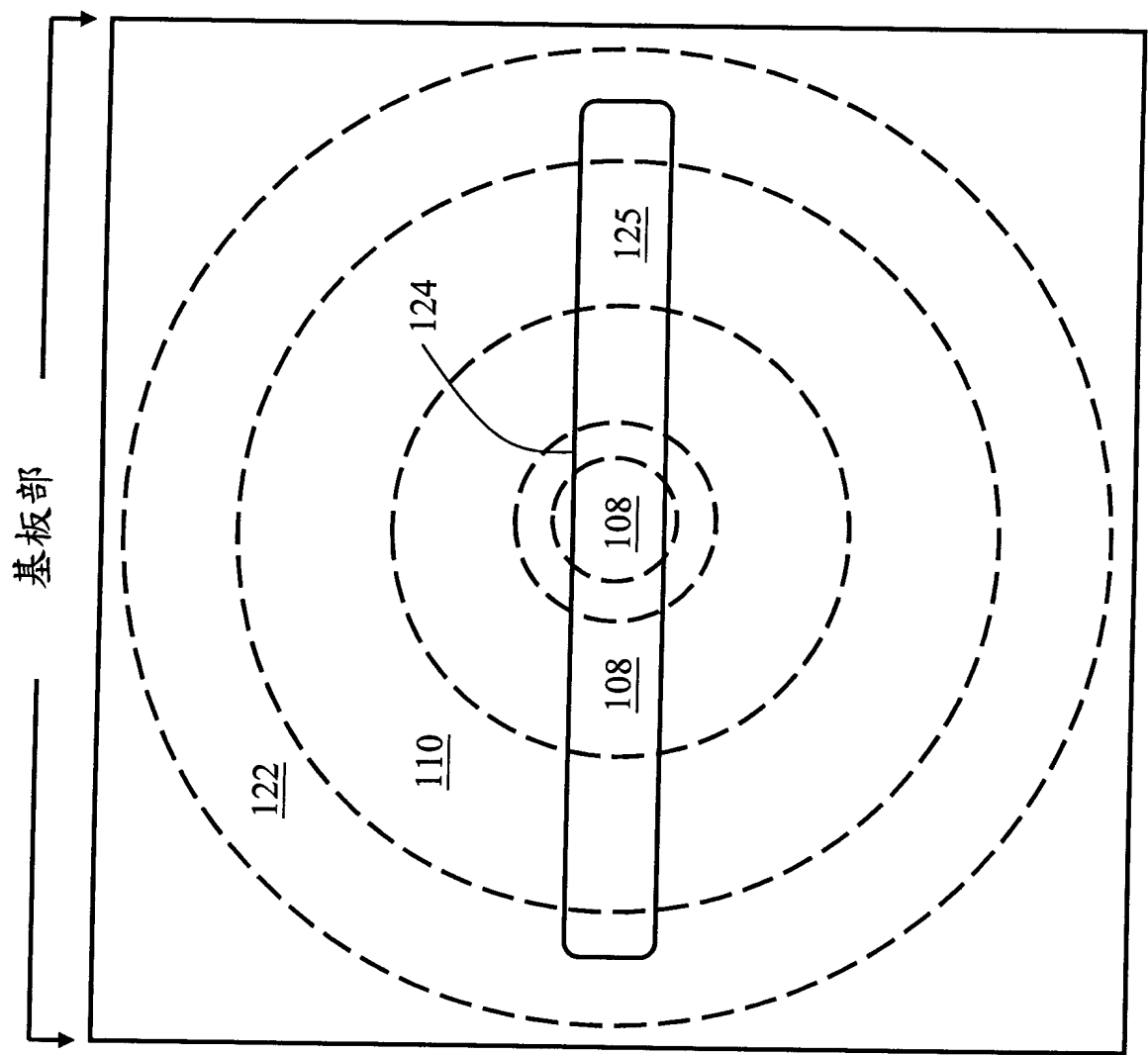
22. 一種形成在半導體基板上之光電二極體，該光電二極體包含：

一基板區域，該基板區域包含摻雜到電子及電洞擴散的一接面之相鄰部分；及

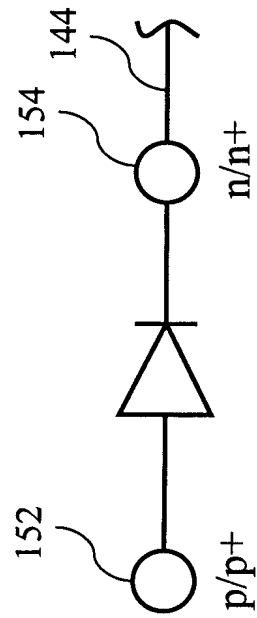
一雷射透光區域，用以曝光形成在該半導體基板的一表面以覆蓋該基板區域，曝光後的總面積小於公釐。



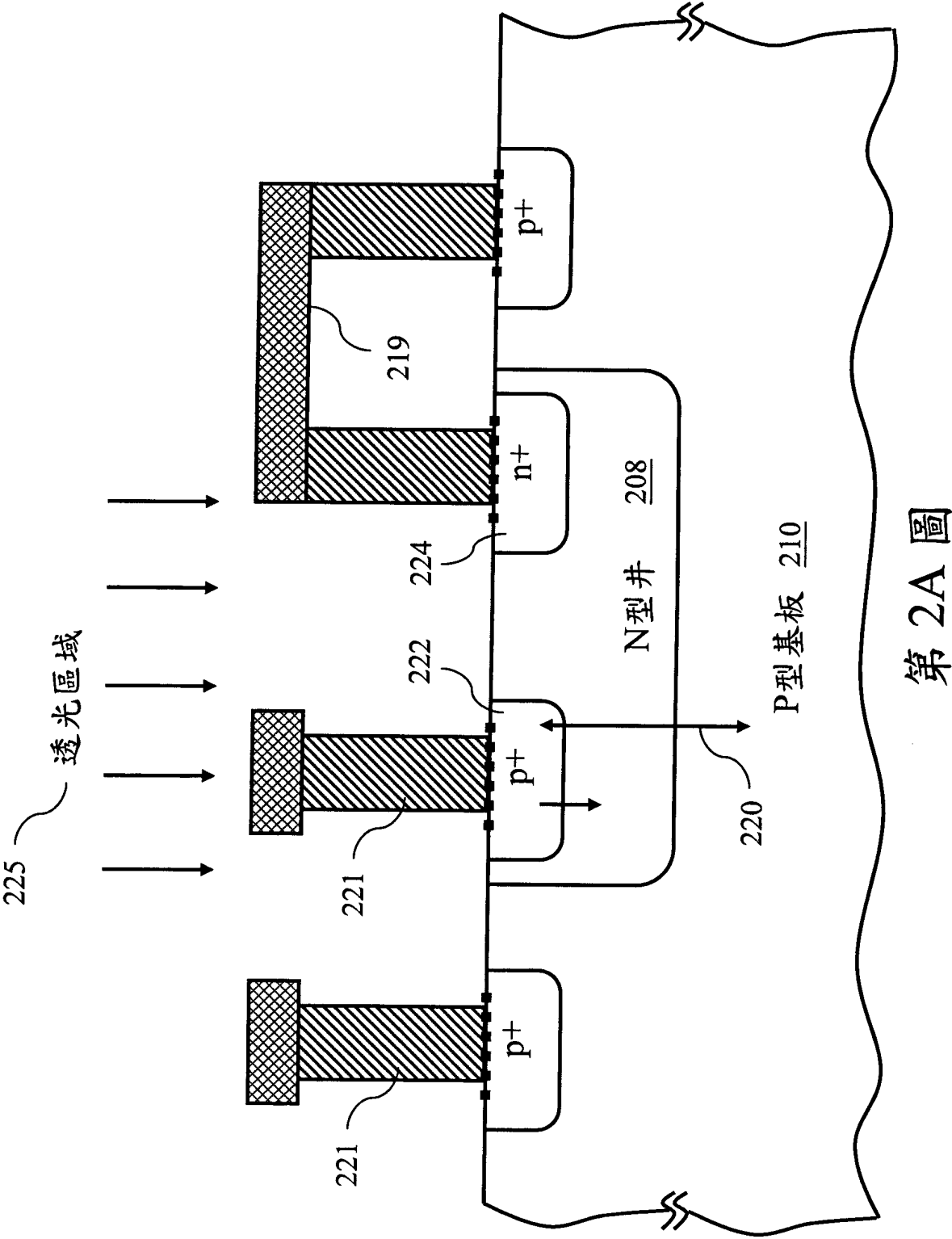
第 1A 圖

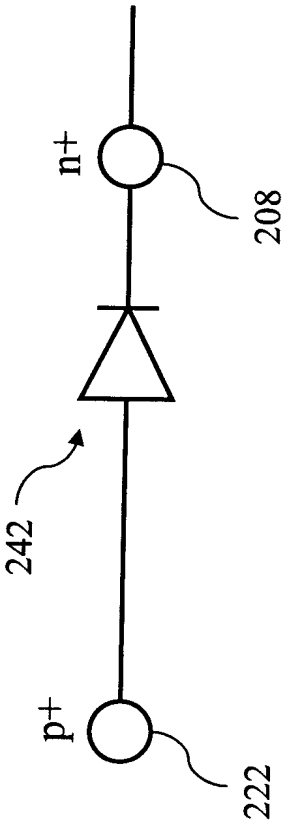


第 1B 圖

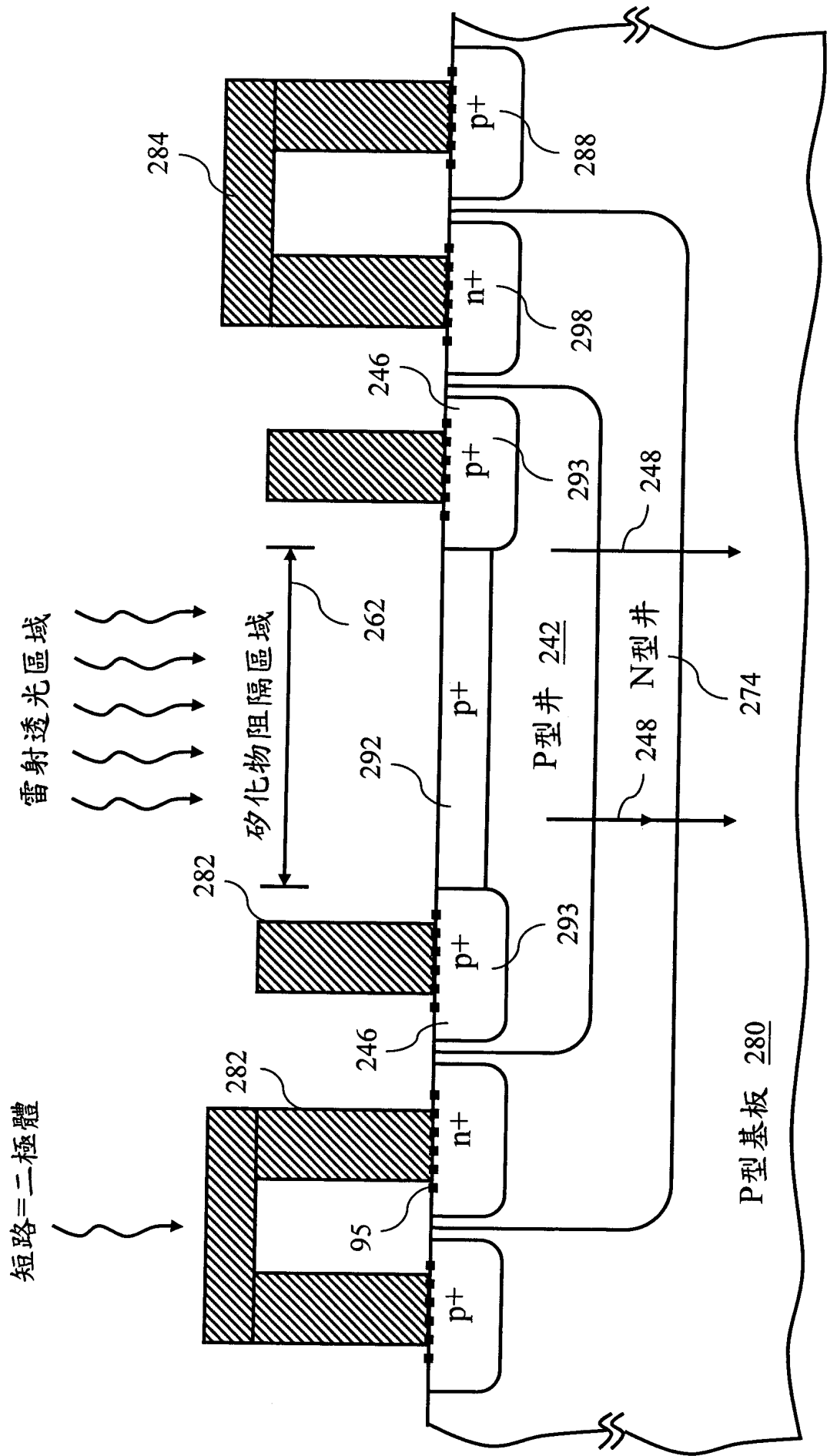


第 1C 圖





第 2B 圖



第 2C 圖

佈局

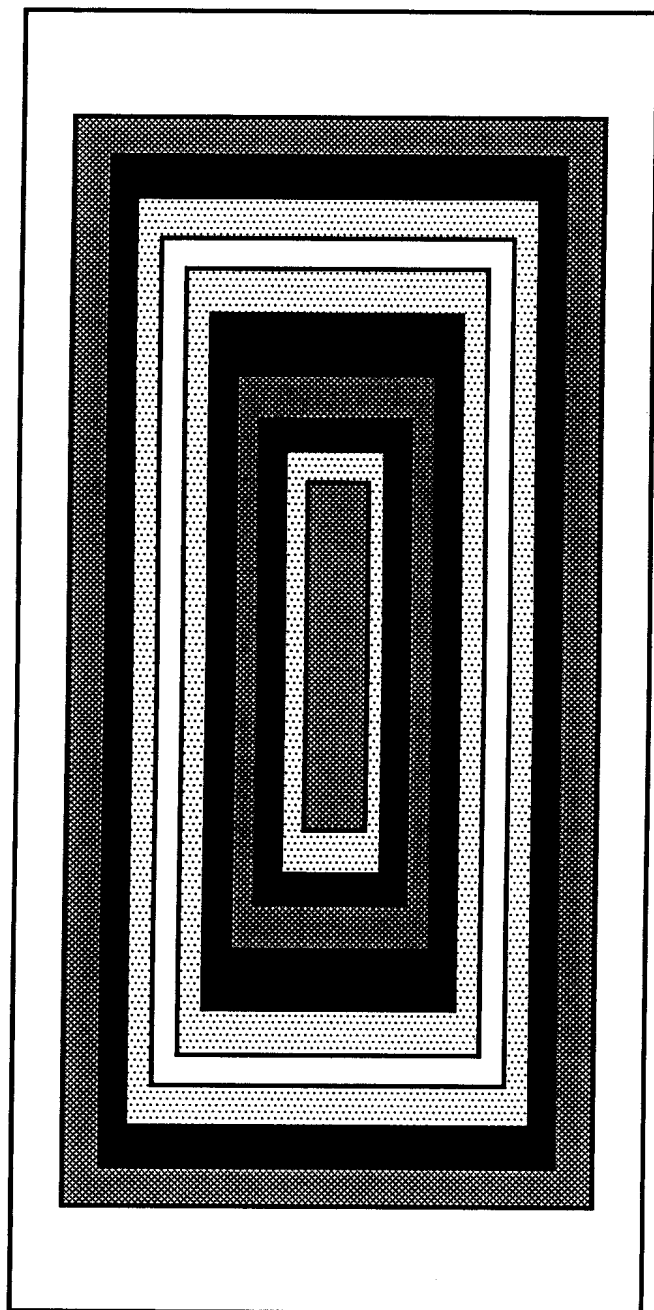
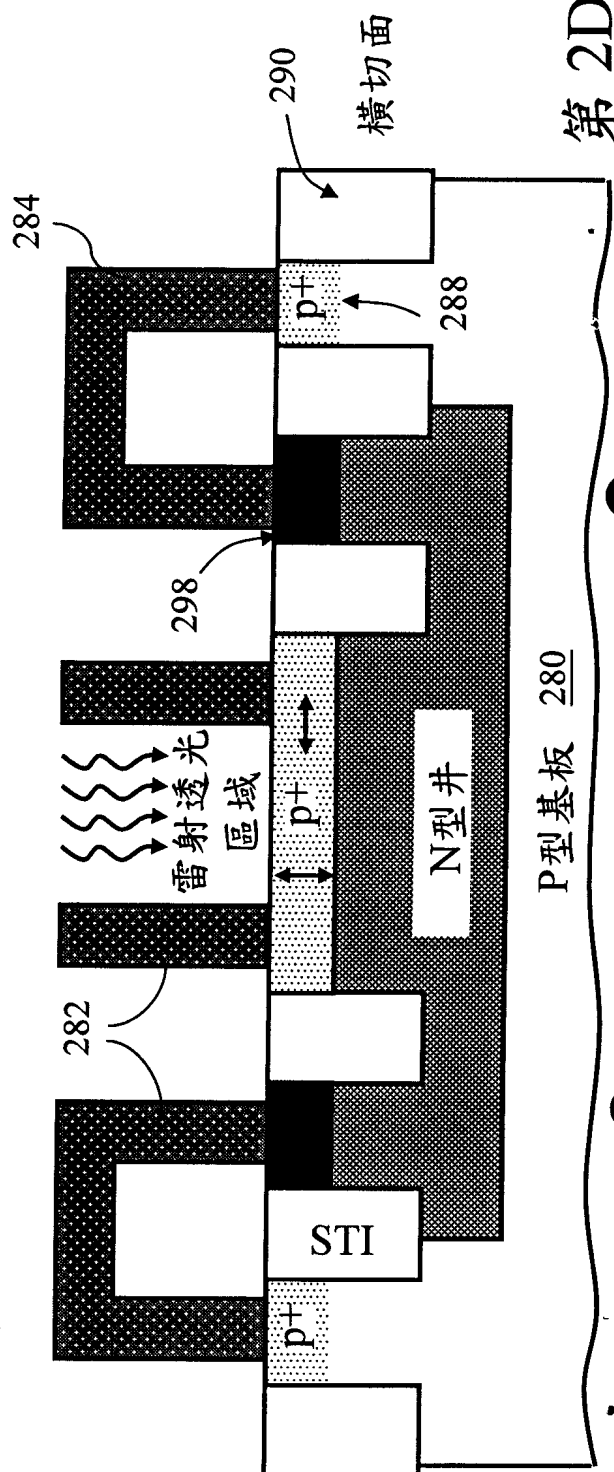
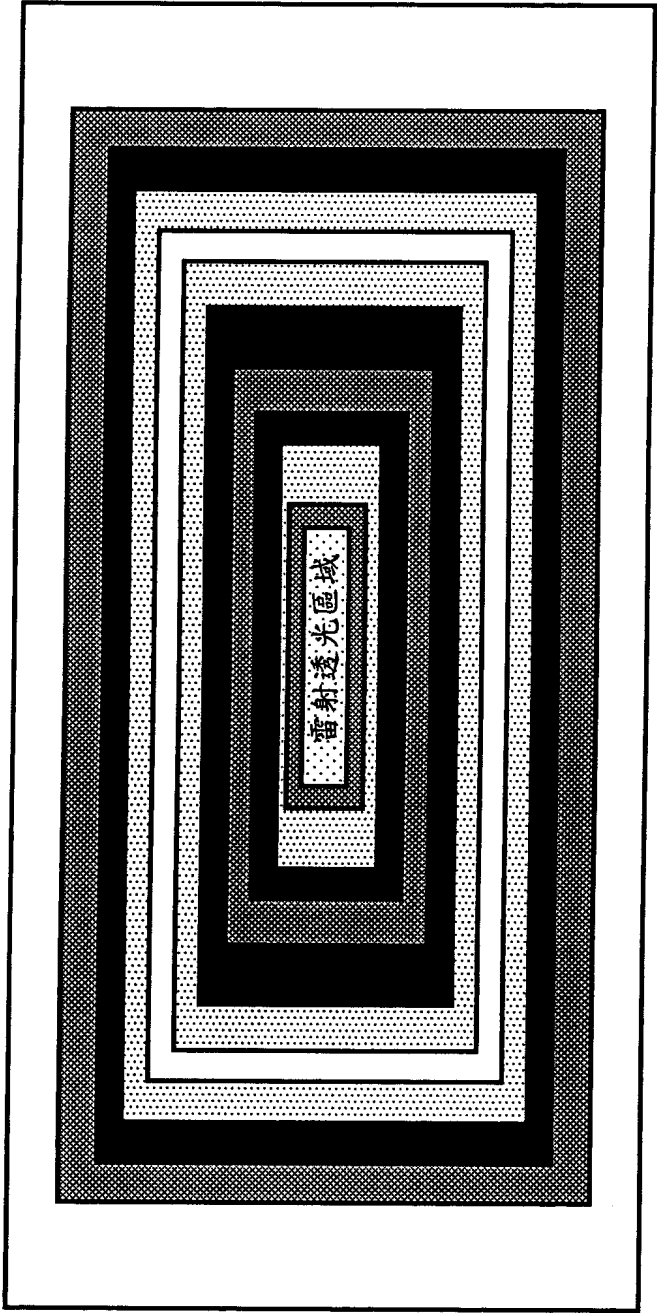


圖 2E 第



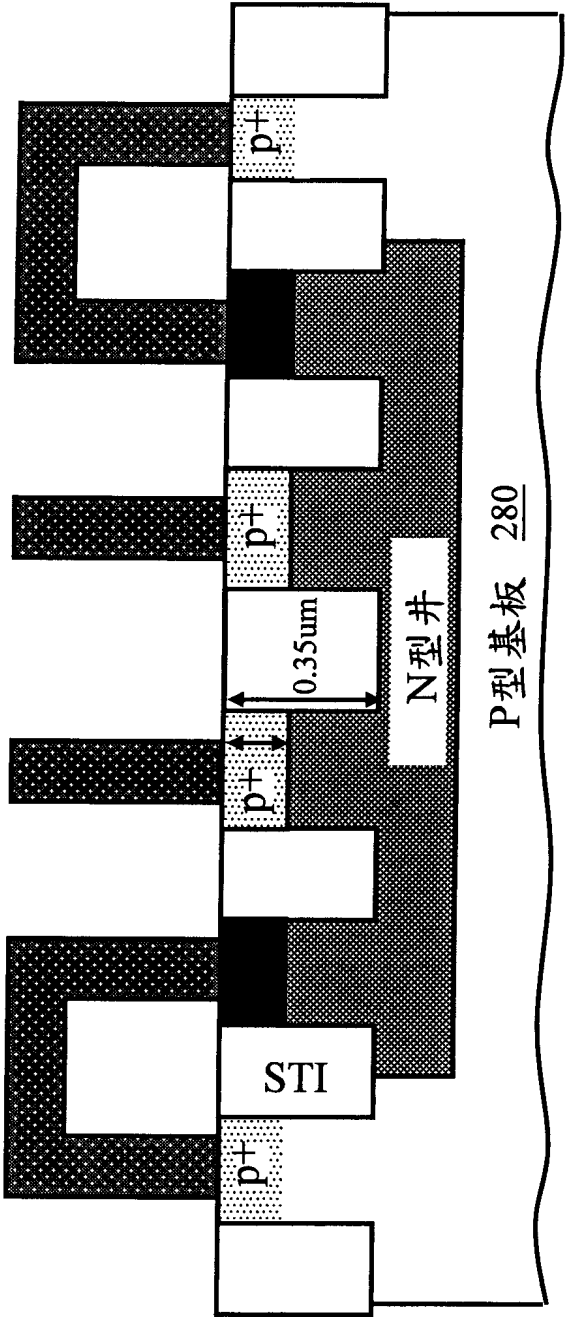
第2D圖

佈局

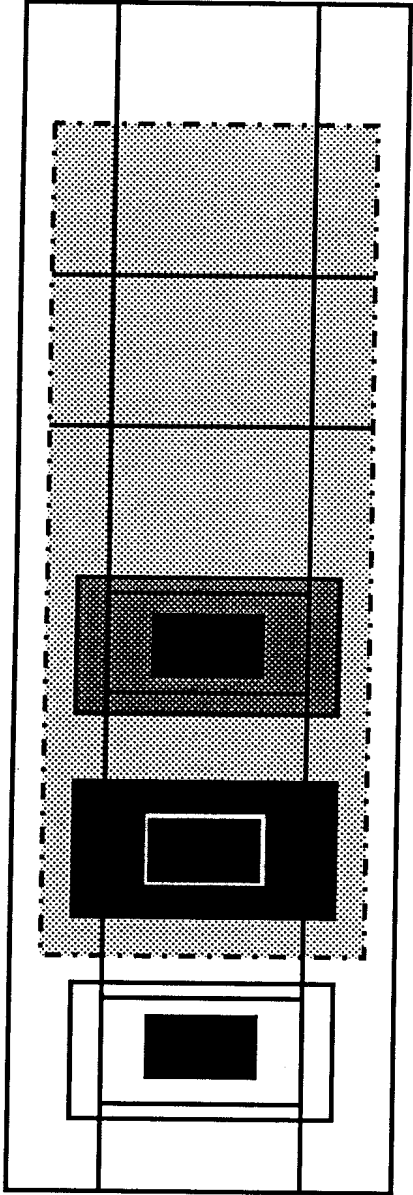


第 2G 圖

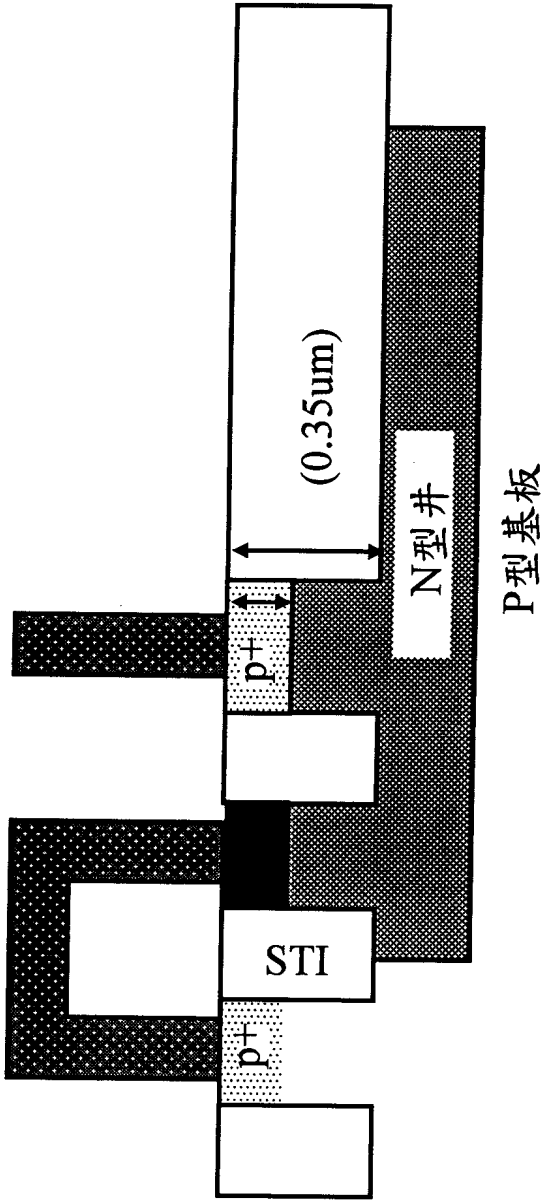
橫切面



第 2F 圖



第 2I 圖



第 2H 圖

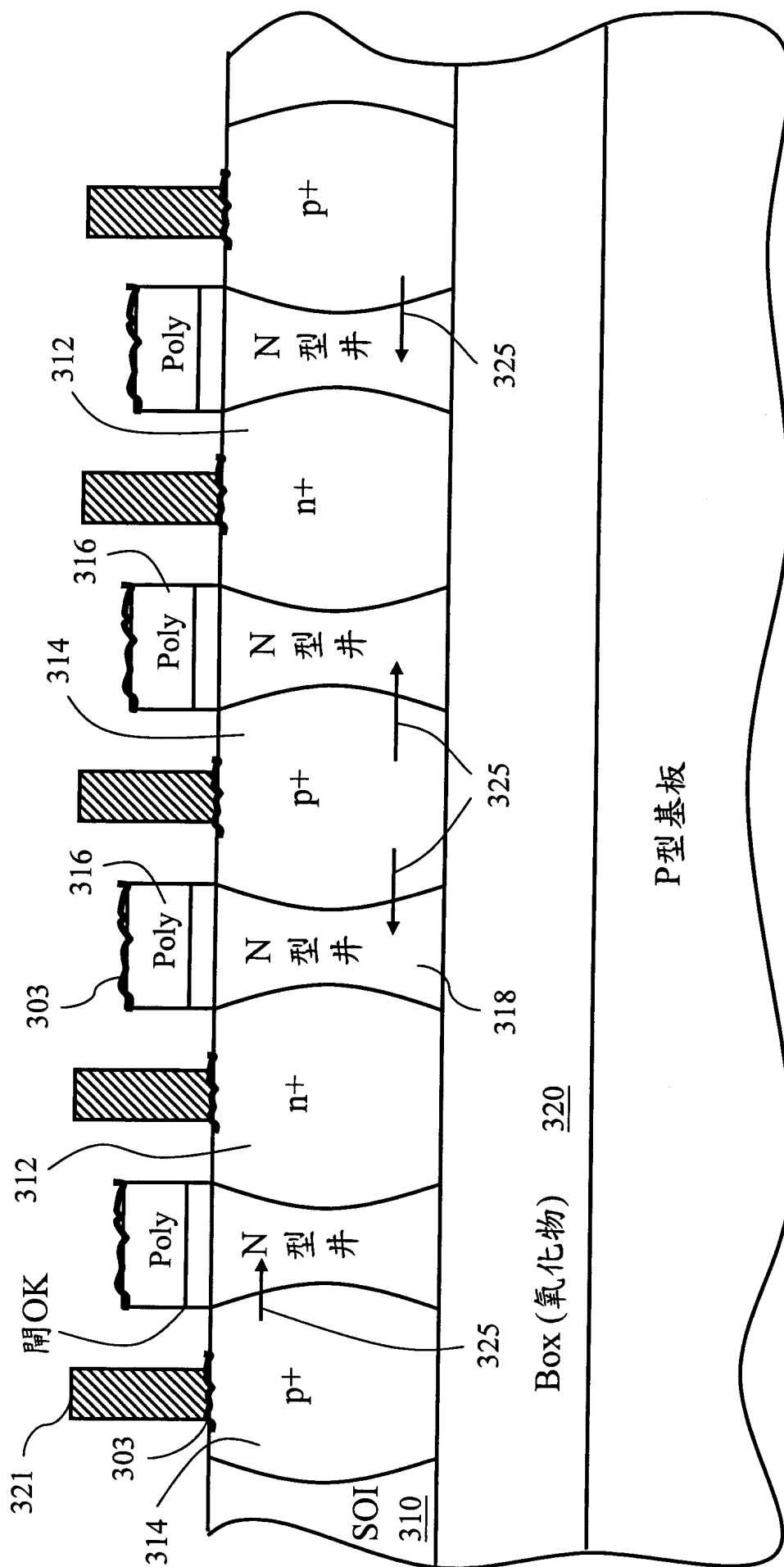


圖  
3  
第

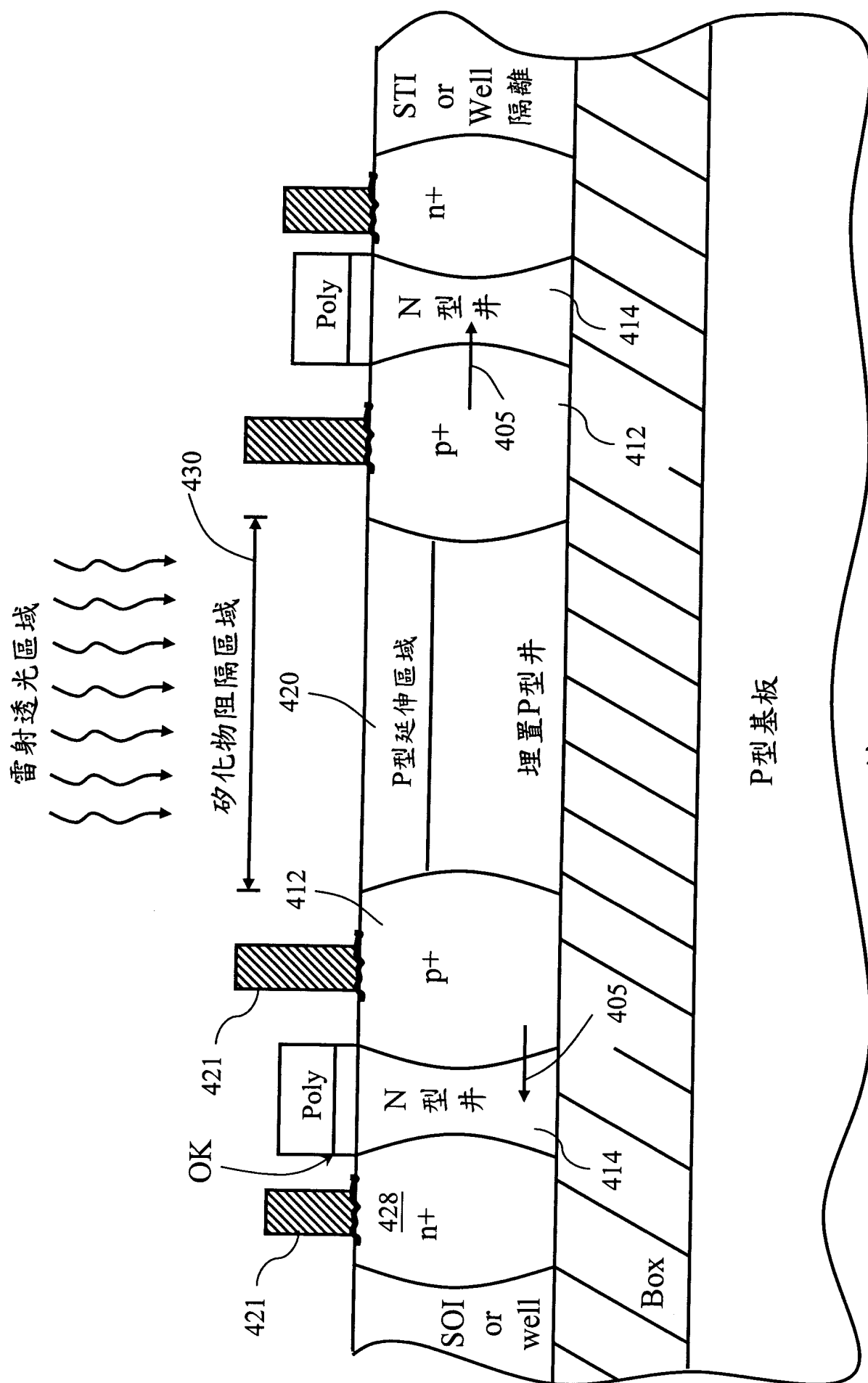
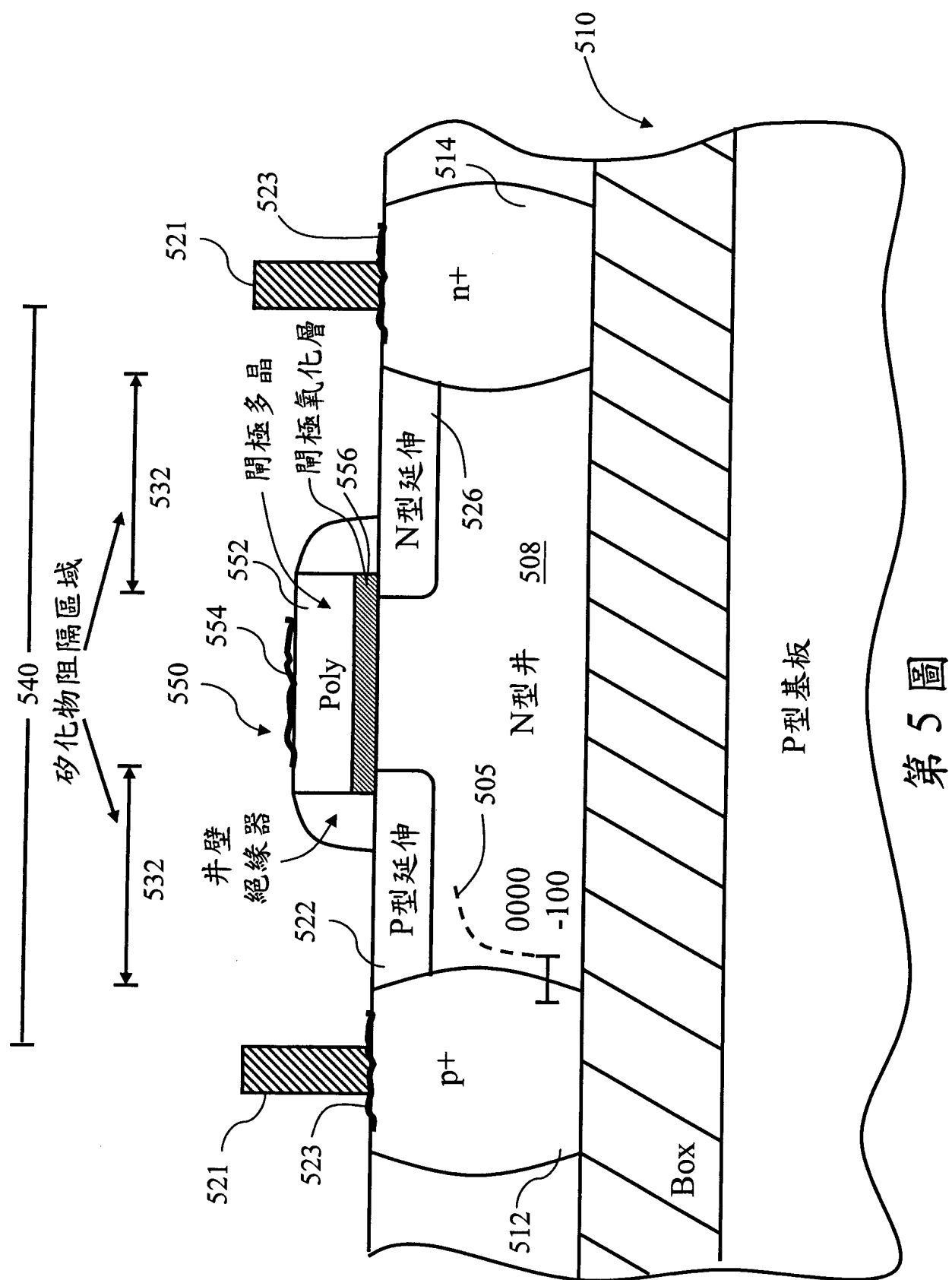
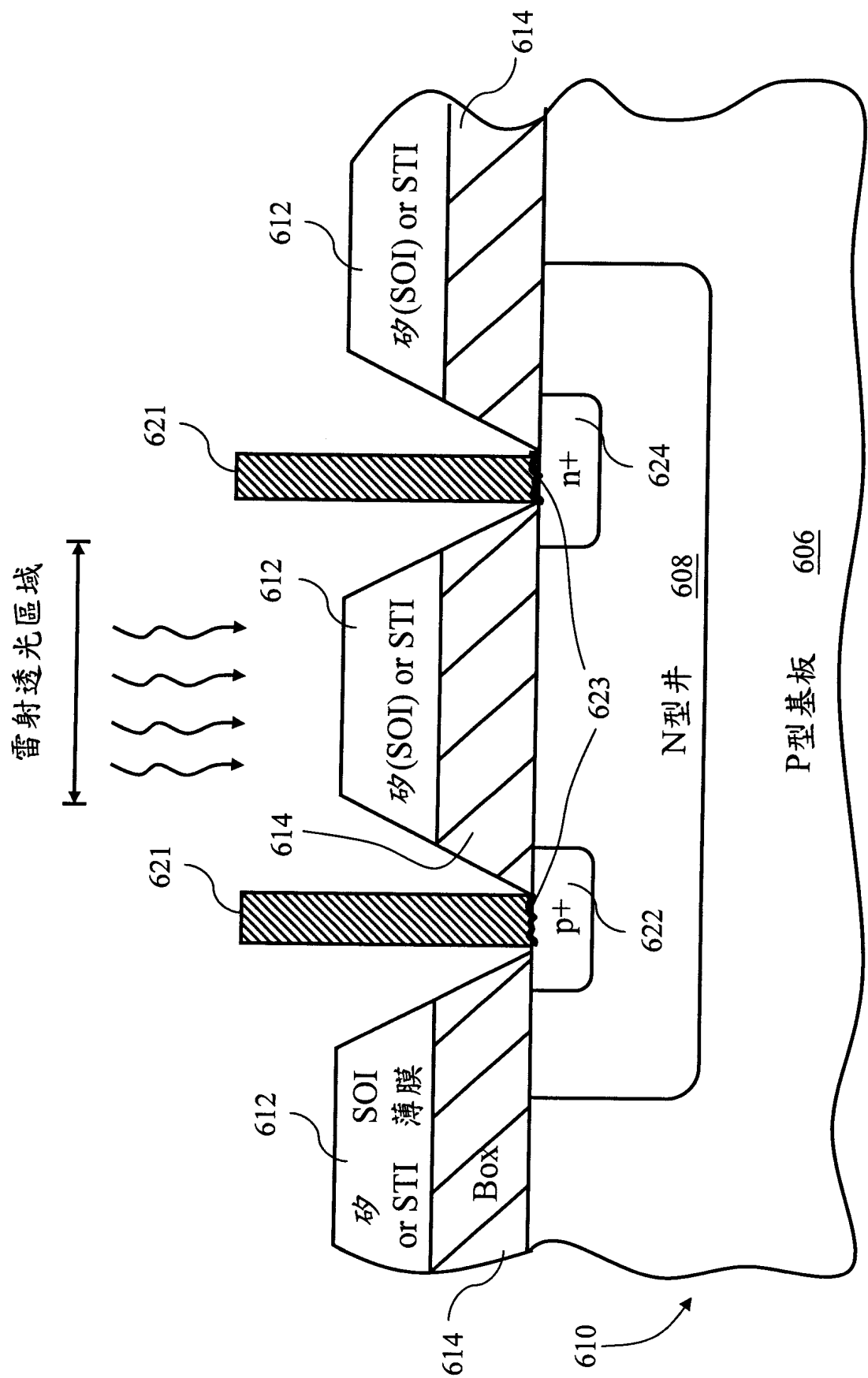
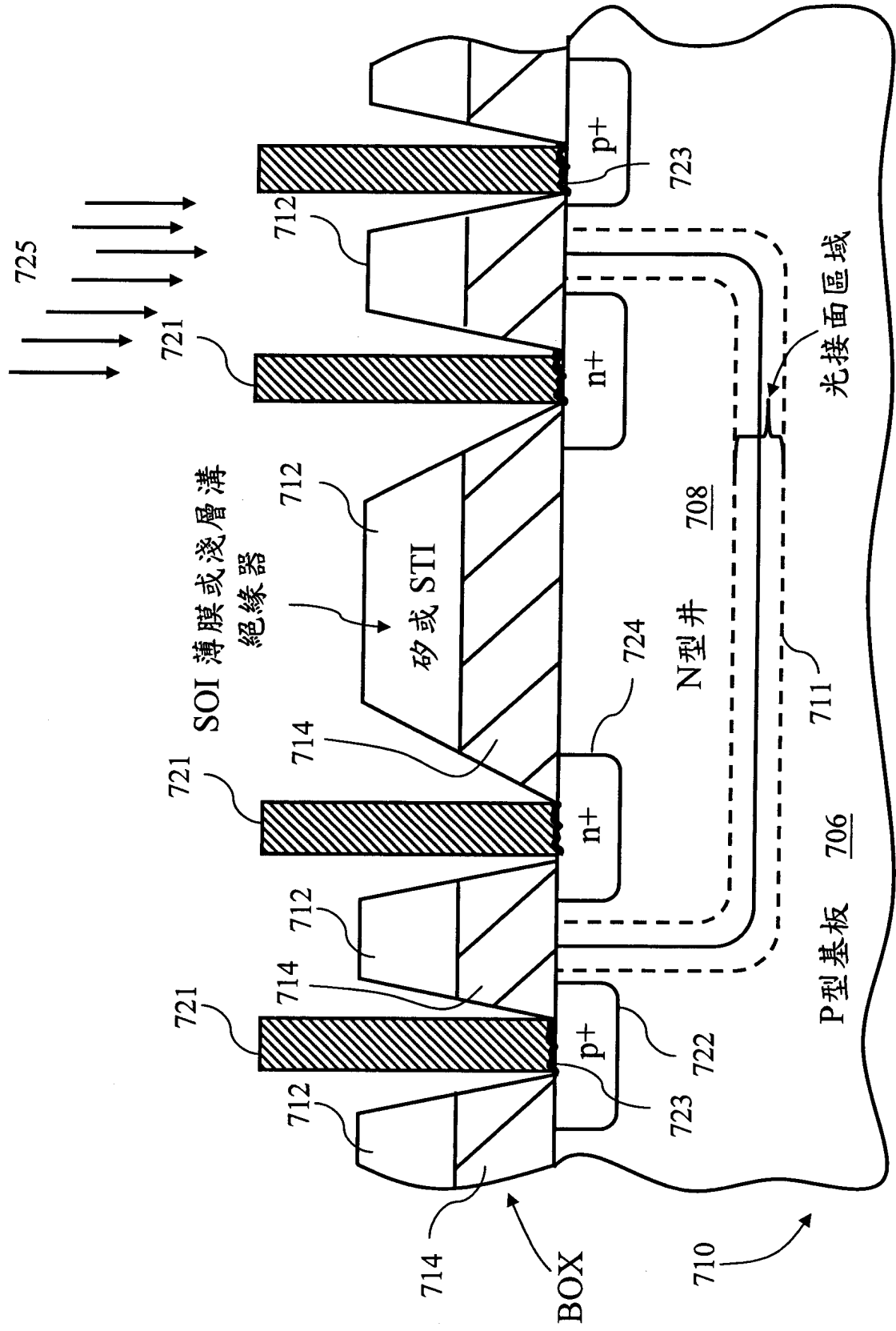


圖 4 第

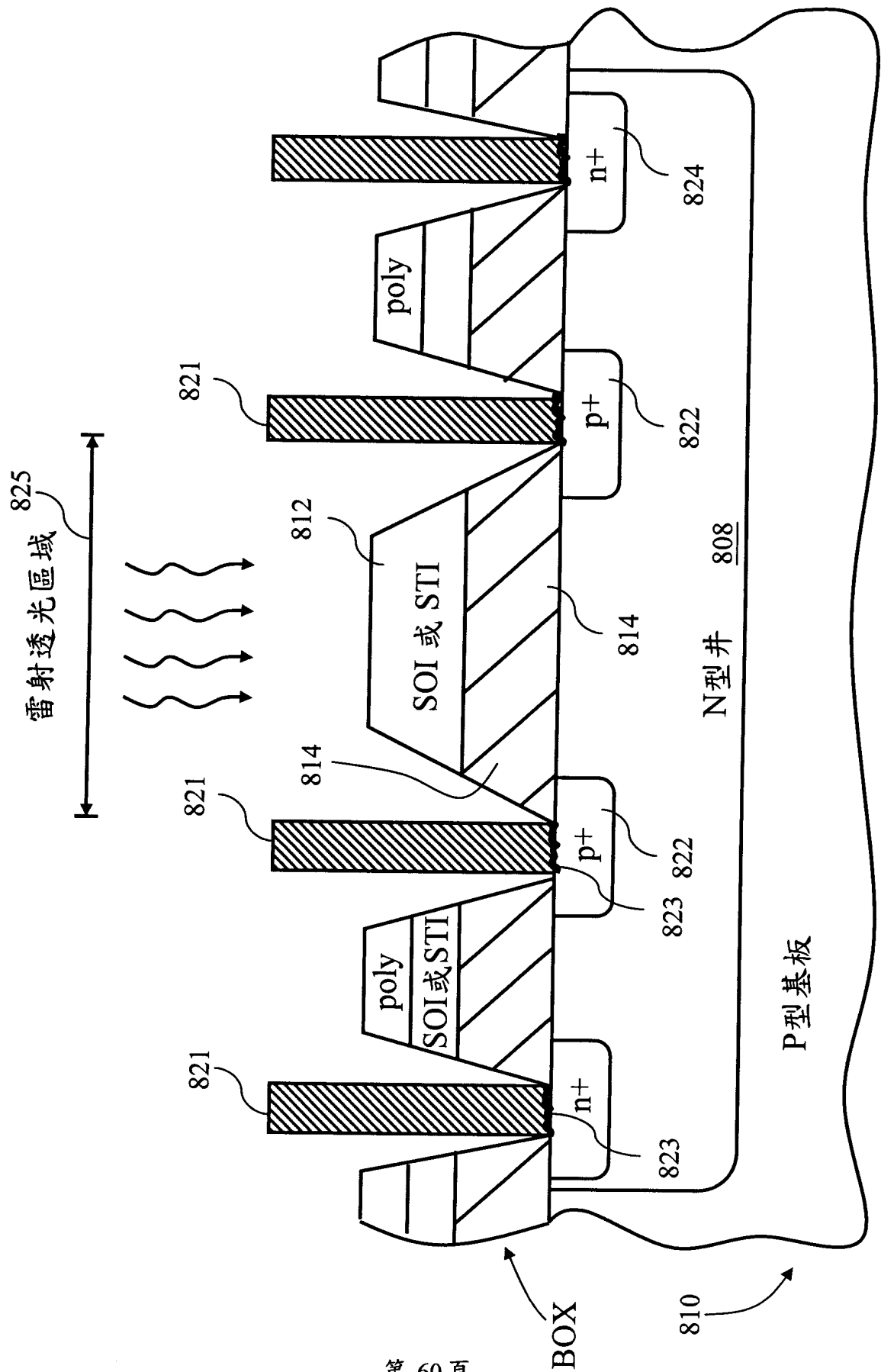




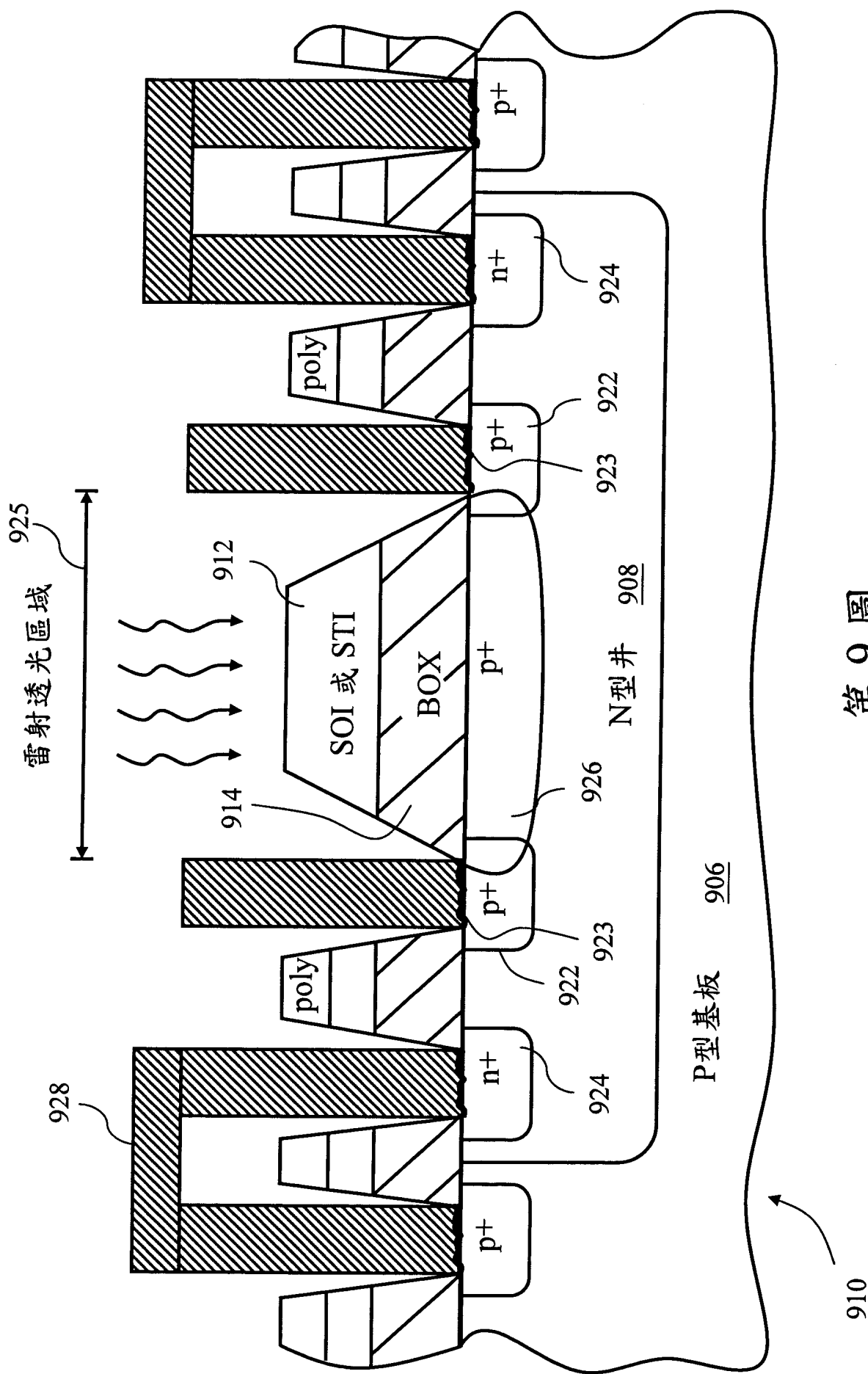
第 6 圖



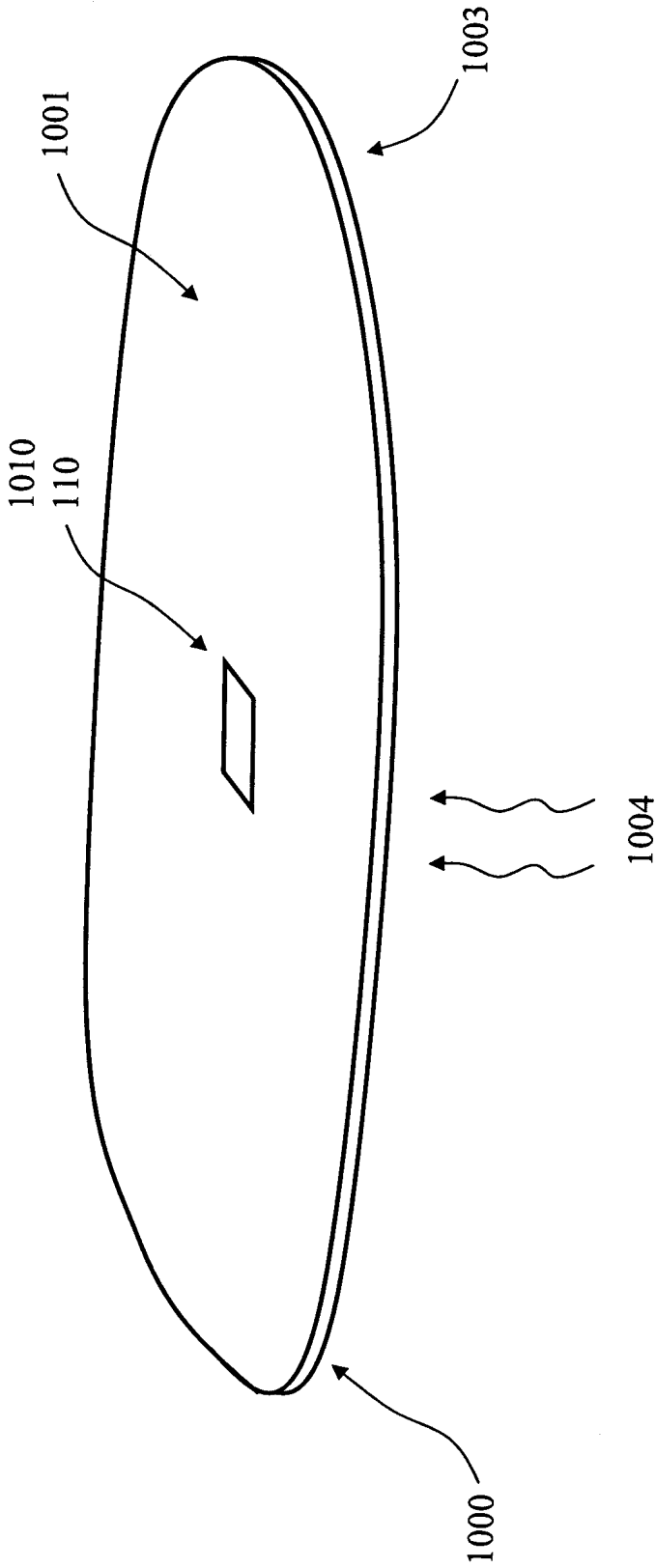
第 7 圖



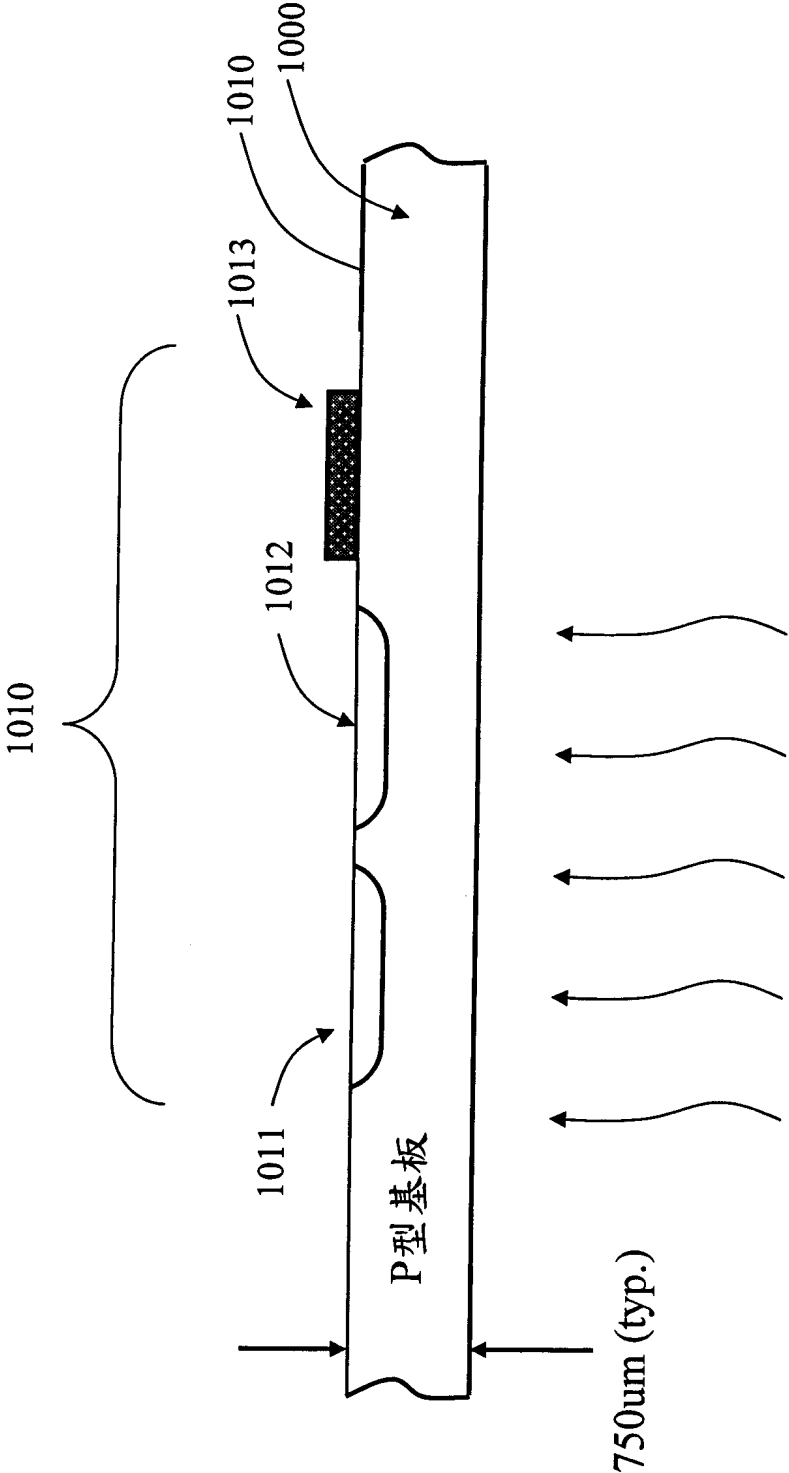
第 8 圖



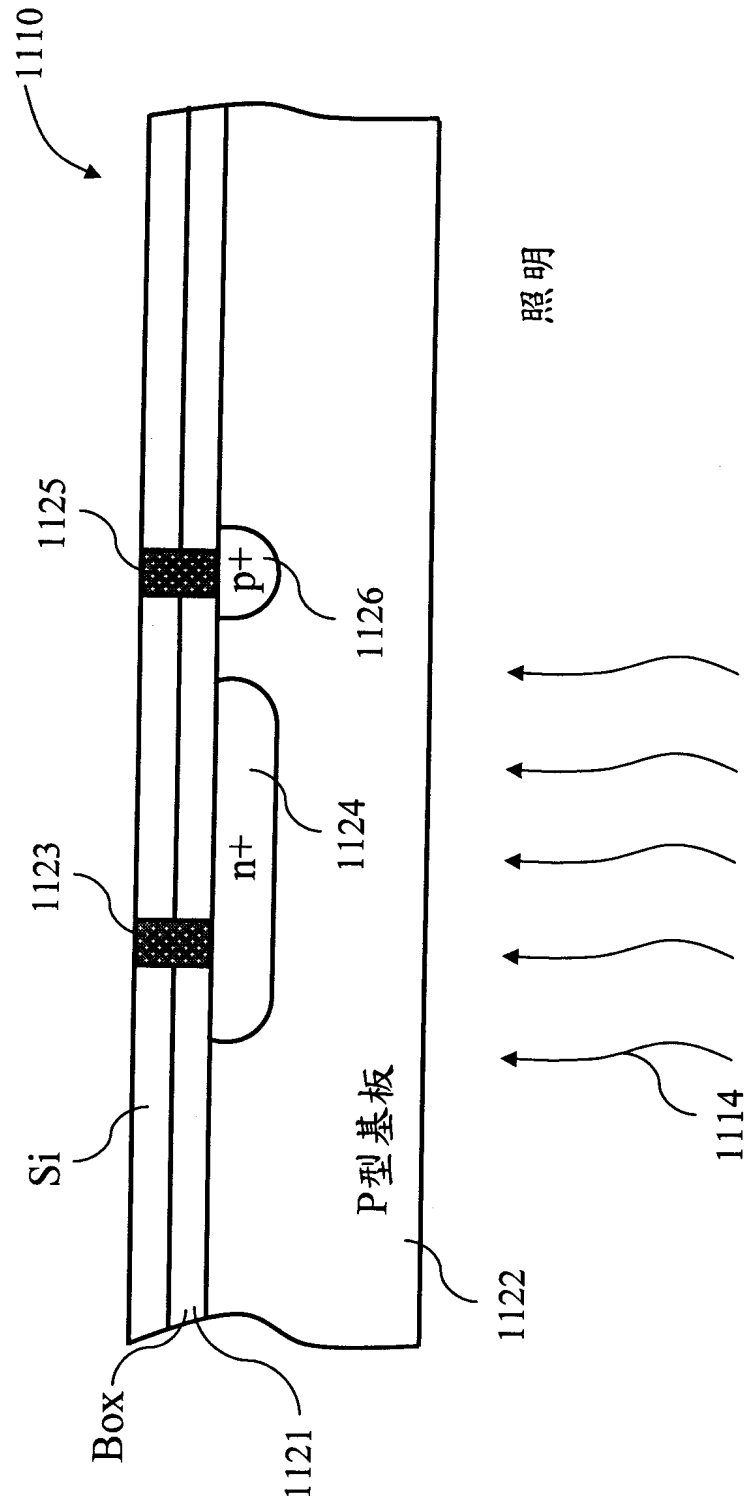
第 9 圖



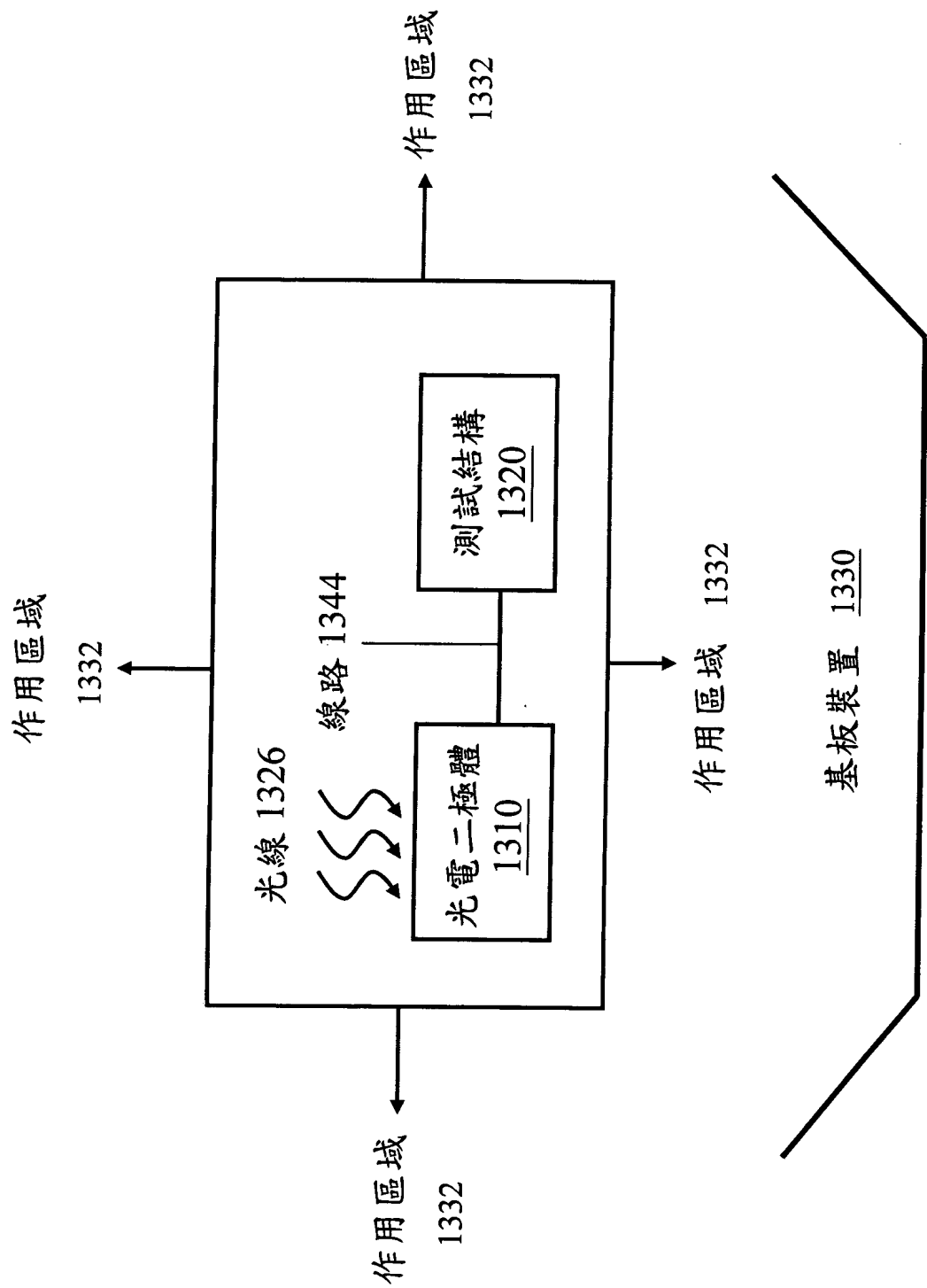
第 10 圖



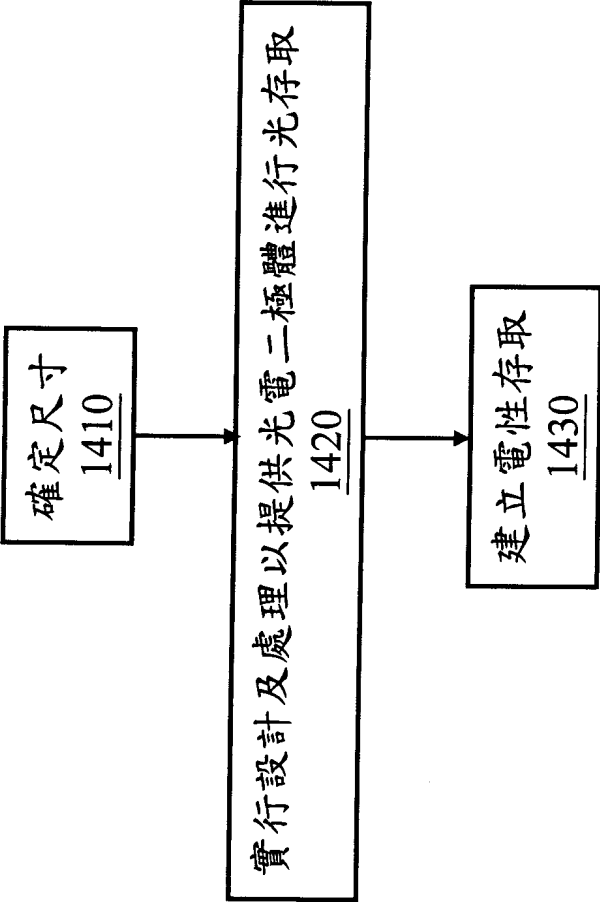
第 11 圖



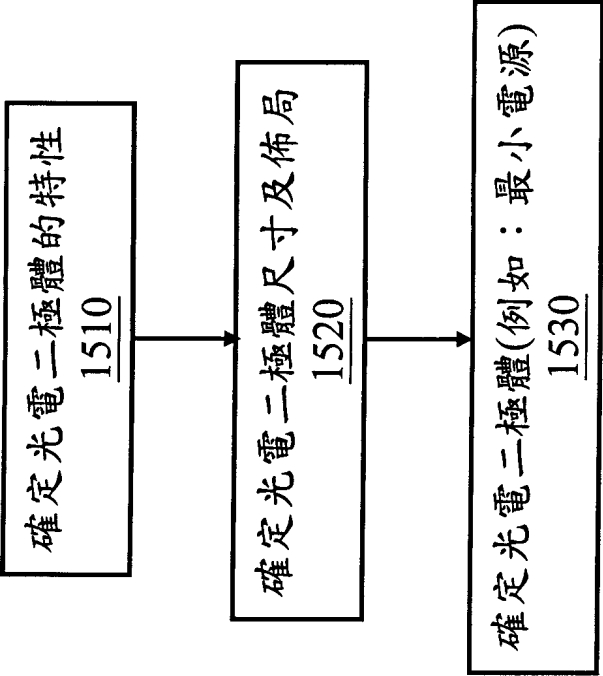
第 12 圖



第 13 圖



第 14 圖



第 15 圖

四、指定代表圖：

(一)本案指定代表圖為：第 ( 2A ) 圖。

(二)本案指定代表圖之元件符號說明：

|     |       |
|-----|-------|
| 208 | N 型井  |
| 210 | P 型基板 |
| 219 | 電性連接  |
| 220 | PN 接面 |
| 221 | 電性接點  |
| 222 | P 型區域 |
| 224 | N 型區域 |
| 225 | 透光區域  |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98129125

※ 申請日：

※IPC 分類：H01L31/08 (2006.01)  
H01L31/04 (2006.01)  
H01L21/82 (2006.01)

## 一、發明名稱：(中文/英文)

用於半導體基板的整合光電二極體

INTEGRATED PHOTODIODE FOR SEMICONDUCTOR  
SUBSTRATES

## 二、中文發明摘要：

一種用於半導體基板的整合光電二極體，基板部至少部份組成包含電性接點及材質，此基板部包含摻雜區域，其具有彼此相鄰的重摻雜 N 型區域及重摻雜 P 型區域，基板部的外部表面具有表面形貌，此表面形貌包含透光區域，使來自光源的光線能夠達到基板部的表面，光線應用在透光區域足以引起電位以形成穿過摻雜區域的接面，基板部更可包含一個或多個電性接點置於此基板部，用以於光線應用在透光區域產生電位後，引導電流至半導體基板上的電路。

## 三、英文發明摘要：

A substrate section that is at least partially fabricated to include contact elements and materials. The substrate section includes doped regions that have a heavily doped N-type region and a heavily doped P-type region adjacent to one another. An exterior surface of the

## 六、發明說明：

### 【發明所屬之技術領域】

本發明為有關一種光電二極體結構，特別係指一種應用於半導體基板的整合光電二極體結構。

### 【先前技術】

傳統上，使用半導體裝置將光能轉變為電能是透過光電裝置(photovoltaic device)或光導裝置(photoconductive device)來實現，雖然上述兩裝置的物理過程相同，但光電裝置一般是指從一個光輸入產生有效的電能，例如：太陽能板將陽光轉換成電能；而光導裝置則是被使用於檢測光信號，例如：光檢測器將光信號轉換為電信號。這兩種類型的裝置需要足夠的光子能量以在半導體中產生「電子－電洞對(electron-hole pair)」，電子將被半導體中的 N 型區域(N-type region)捕獲，且電洞通過相應的 P 型區域(P-type region)。光電裝置及光導裝置的操作差異在於是否有外部逆向偏壓(external reverse bias)應用於裝置。舉例來說，在光電裝置中光所產生的電子及電洞會自然地分散於存在有電場(electrical field)的空間電荷區(space-charge region)，其介於 N 摻雜區域(N-doped region)及 P 摻雜區域(P-doped region)之間；而在光導裝置中，半導體是典型的負偏壓(negatively biased)，且光所產生的電子及電洞是分散在應用逆向偏壓的電場。因此，光電裝置能夠在照明時產生有效的電流及電壓從而產生電能。而光導裝置產生光電流(photocurrent)，但在這個過程中會消耗電能，因為光導裝置透過外部的電位成為負偏壓。

任何半導體材質均可製成光電裝置或光導裝置，然而，一些

半導體材質比其他半導體材質更適合製作，一個廣泛的半導體劃分涉及到他們是否具有直接能隙(direct energy bandgap)或間接能隙(indirect energy bandgap)，直接能隙半導體轉換光能至電能的效率比間接能隙半導體更高。以間接能隙半導體為例，其半導體材質為 IV 族元素的矽(silicon)，其可行的理由為製造方便及可靠性，並且幾乎已經成為現代積體電路的基礎。直接能隙半導體是 III-V 族化合物，如：砷化鎵(GaAs)。其中 III 族元素(鎵)結合相同數目的 V 族元素(砷)，這種 III-V 族化合物大大優於矽的光電特性。

光通訊領域需要整合有處理電子能力的光檢測器，現行的高效裝置，如：電信收發系統，以矽製程整合 III-V 族的光檢測器(或光發射器)。然而，為了純粹的實際理由，最好將光檢測器及積體電路結合在同一半導體基板上，其需要光檢測器使用相同的製造步驟以使用矽製程，如：塊狀矽(bulk silicon)及絕緣層覆矽(Silicon-On-Insulator, SOI)的製程。許多研究已經集中在設計最佳的光接收器，其製造限制可能在於大規模的晶圓生產技術。此外，光電子學的分支往往集中在逆向偏壓的光導裝置，因為這些裝置與不帶有偏壓的光檢測器相比具有更快的光響應時間。較少研究在光檢測器於標準矽製程上產生電能的使用，大多數的光電裝置研究集中在提高太陽能電池的應用，例如：提高轉換效率或是尋找新的方法使製造標準的太陽能電池更為便宜，而不是與其他積體電路做整合。

### 【發明內容】

有鑒於先前技術存在的問題，本發明遂揭露一種用於半導體基板的整合光電二極體。

本發明所揭露之用於半導體基板的整合光電二極體，包含：基板部。其中，基板部的部分組成包含電性接點及材質，基板部具有摻雜區域，此摻雜區域包含彼此相鄰的重摻雜 N 型區域及重摻雜 P 型區域，基板部的外部表面具有表面形貌，此表面形貌包含透光區域，使來自光源的光線能夠達到基板部的表面。其中，光線應用在透光區域足以產生電位以形成穿過摻雜區域的接面；一個或多個電性接點置於基板部，用以於光線應用在透光區域產生電位後，引導電流至半導體基板上的電路。

另外，本發明所揭露之半導體基板，包含：電路、透光區域及光電二極體。其中，電路用以形成在基板之上；透光區域用以形成在基板之上；光電二極體用以形成在基板的表面上，此表面與透光區域重疊以提供電路電力，光電二極體由摻雜區域組所組成，包含至少二相對的摻雜區域以光線應用產生光電伏。

除此之外，本發明所揭露之用於半導體基板的整合光電二極體，亦可包含：基板區域及雷射透光區域。其中，基板區域包含摻雜到電子及電洞擴散的接面之相鄰部分；雷射透光區域用以曝光形成在基板表面以覆蓋基板區域，曝光後的總面積小於公釐。

### 【實施方式】

以下將配合圖式及實施例來詳細說明本發明之實施方式，藉此對本發明如何應用技術手段來解決技術問題並達成技術功效的實現過程能充分理解並據以實施。

許多實施例描述有關於光電二極體的設計與構造，用以最佳化電能、效率及穩定性，其能相容於標準矽製程以及積體電路在製造上的實現、限制及考量。此標準矽製程可能包含塊狀矽(bulk

silicon)及絕緣層覆矽(SOI)的製程及設計，根據一個或多個實施例，光電裝置是被用於將光源(optical source)轉換成電能，並利用所產生的電能來運行電路及測試結構，以及確定矽晶圓的原始用途用以在設計光電裝置的製造限制中進行製造。

更進一步來說，一些實施例提出光電二極體包含的特性及性質以滿足製造過程的限制。一個或多個實施例包含光電二極體的構造，其集中在建立一個最佳化及改進過的光電裝置，且受到設計及製造過程的限制。具體而言，文中所述的實施例包含光電二極體，其在設計與製程的限制及最佳化的選擇應用中被構成。使用一個或多個實施例說明包含設計及製造分析、晶圓製造與設計流程的控制、電路效能、設計流程的整合及裝置製程及設計的特性描述。

一個或多個實施例提出：(i)有效地啟動已配置的測試結構(考量飽和或光電裝置的物理損害)或以其他方式整合於晶圓(在兩者皆已製造及部分地製造狀態)；(ii)匹配光電裝置的電性特徵(即阻抗匹配)到已整合的電路及裝置，其光電裝置以電力啟動；(iii)於相鄰的電路及裝置建立電氣與光學隔離的光電裝置；(iv)按光電裝置的尺寸製作以滿足需求和特定用途的限制；及/或(v)執行設計及製程提供光存取於光電裝置。

文中所述的一些實施例提及基板部(substrate section)，其至少部份包含電性接點及材質，此基板部包含摻雜區域，其具有彼此相鄰的重摻雜 N 型區域及重摻雜 P 型區域，基板部的外部表面具有表面形貌(topography)，此表面形貌包含透光區域，使來自光源的光線能夠達到基板部的表面，光線應用在透光區域足以引起電

位以形成穿過摻雜區域的接面，基板部更可包含一個或多個電性接點置於此基板部，用以於光線應用在透光區域產生電位後，引導電流至半導體基板上的電路。

文中許多實施例提及透過摻雜不同型態的半導體區域來產生接面(junction)，特別是實施例提及光電二極體的形成是使用“P”型及“N”型的區域，包含重摻雜 P 型區域及重摻雜區域 N 型區域。半導體基板的 P 型區域相當於一個具有多數電洞的區域，同樣地，半導體基板的 N 型區域則相當於一個具有多數電子的區域。

此外，文中所述實施例提及光電二極體的形成是使用重(或高度)摻雜的基板之區域。重摻雜區域意味著此區域比相鄰的同摻雜區域具有更多摻雜物。更具體來說，重摻雜區域可假設具有數量至少為“ $1\text{E}18 \text{ atoms/cm}^3$ ”的摻雜物。

文中所使用的術語“不透光”或“透光”是相對於被使用的光之波長。一般的情況下，實施例以雷射作為光源，且更特別的是為可見光之雷射。因此，“不透光”或“透光”這樣的描述適用於可見光，而不透光材質則可由矽化物或相似材質所提供。然而，不透光是更窄的光波長。

請參閱「第 1A 圖」，「第 1A 圖」為以一個或多個實施例說明具有整合光電二極體所組成的供電電路及裝置，如：測試結構及裝置的基板裝置之剖面圖。如許多實施例說述，光電二極體的形成可能對應有光電 PN 接面，在「第 1A 圖」的實施例中，基板裝置(或稱 P 型基板 110)內包含有 N 型井 108(即第一摻雜區域)。所述 P 型基板 110 具有形貌(topography)的特徵，其包含透光區域能夠使光電二極體在該 P 型基板 110 上產生電能，此 P 型基板 110

是典型地在電路製造及相關處理之前摻雜半導體晶圓的一部份，在此實施例中，淺層的 N 型區域 124(即第二摻雜區域)形成在 N 型井 108 之中，以及淺層的 P 型區域 122 形成在 N 型井 108 之外的 P 型基板 110。電性接點 121(即金屬接點)是各自形成在重摻雜 P 型區域 122 及 N 型區域 124 之上。其電性接點 121 可形成在矽化物 113 材質(例如：形成一個不透光層)之上。每一 P 型區域 122 及 N 型區域 124 的橫跨範圍可超出矽化物 113 橫跨範圍，如上所述，重摻雜的 P 型區域 122 及 N 型區域 124 直接接收在對應的透光區域 125 上之光線，其透光區域 125 形成在基板裝置(即 P 型基板 110)的表面。一般來說，透光區域 125 是在基板表面的指定區域使不透光材質(例如：像是矽化物及金屬接點)以非封閉的方式來形成。舉例來說，下述實施例的透光區域 125 是由製作電性接點 121 及/或阻止矽化物 113 沉積來形成，或在電性接點 121 之間移除矽化物 113。

如「第 1A 圖」所示，透光區域 125 是形成在 P 型基板 110 的外表，用以覆蓋在所形成的光電 PN 接面 120 的部份區域。例如：電性接點 121 可以選擇性沉積及形成以便形成形狀及尺寸，使得裸露區(相應於透光區域 125)能夠形成在 N 型井 108 之上。當受到適當的雷射照射時，透光區域 125 能夠讓足夠的光線穿過 P 型基板 110 及重摻雜 P 型區域 122 導致「電子—電洞對(electron-hole pairs)」產生。如上所述，光電接面效應被觸發(即產生光電 PN 接面 120)以產生電流，以及使電流經由一個或多個電性接點 121 延伸至電路或裝置(例如：測試結構、受測裝置)。

光電接面效應通常伴隨產生電子與電洞的產生及傳導(無論

是透過擴散或其他方式)。在一些實施例中，光電接面效應如下所述，假設入射光完全被吸收，則電子及電洞將擴散在 N 型區域內，直到電洞遭遇到在空乏區(也就是所謂的空間電荷區)中的內建電場，此時，電洞將穿越至基板而電子仍然被留在 N 型區域。這一個過程將在 N 型區域(因為電子的積聚)建立起一個負電位，以及在相鄰的 P 型區域(因為電洞的積聚)建立起一個正電位，此結構能夠使光電二極體用於許多應用類型。

所示 N 型區域(即重摻雜 N 型區域 124 及 N 型井 108)的配置會遭遇到一個光電接面效應的問題，其透過典型矽製程植入(或擴散)到 P 型基板 110 通常與入射光的光吸收深度(optical absorption depth)相比是非常地淺。這意味著在 N 型區域中被吸收的光功率只有一小部份，而其餘的將被 P 型基板 110 所吸收。在此例中所示，「電子—電洞對」是產生在 N 型區域及 P 型區域，上述電子在 N 型區域中將被困住，而電洞將逃逸至 P 型基板。也就是說，所產生的電洞將在 P 型基板中被困住，但電子將會擴散直到(i)接近 PN 接面及透過空乏區的電場掃到 N 型區域，或是(ii)在 P 型基板中與電洞重組。電洞在 P 型基板 110 會擴散相當長的距離(相對於所述 P 型基板的尺寸)，因此，可能無法透過光電 PN 接面 120 的 N 型區域來收集。例如，假設有多個重摻雜 N 型區域 124 植入 P 型基板 110，但是光能只照射一個區域，由於光能可被任何 N 型區域收集，將在 P 型基板中產生雜散電子(stray electrons)。因此，以光能照明單一 N 型區域(例如：重摻雜 N 型區域 124)的方式為例，可能導致在同一基板上所有 N 型區域負帶電。發生這種情況可能產生負面的後果，例如：非光電區域及裝置的雜散帶電載子可能

在產品的測試過程中或測試晶圓製造流程，影響和改變電氣響應及裝置與電路的特性。

因此，實施例指出許多應用可能需要採取隔離措施，當光電接面效應發生時，光致載子(photo-induced carriers)產生自非光電結構及裝置。文中以一個或多個實施例描述互相隔離光檢測器及裝置以減輕或排除串擾(crosstalk)問題及多餘電荷。

請參閱「第 1B 圖」，「第 1B 圖」為所述「第 1A 圖」之俯視圖。透光區域(照射光線)所產生的電源可傳送至電路元件，如：經由電性接點 121 至測試結構(即環形振盪器)，如「第 1B 圖」所示，電性接點 121(或稱金屬接點)的組合形成在摻雜區域上，其可使用任一種可能的配置延伸在基板部 140 上，此基板部 140 可與部分的半導體晶圓之主動元件相應。在「第 1B 圖」中，摻雜區域是同軸的且為矩形，並具有金屬接點形成於其上，光線應用在基板(在透光區域上)產生電源以傳送至電路元件，如：經由電性接點 121 傳送至測試結構(即環形振盪器)。

在所述的配置中，整合透光區域 125 以便在 P 型基板 110 上形成一個超小覆蓋區。在此實施例中，透光區域 125 的尺寸為“10x20”微米，雖然更大的尺寸及小於此尺寸是可行的。舉例來說，透光區域 125 的尺寸可小於“100x100”微米，此透光區域 125 的大小可受限於基板電路元件的電源需求及功能，透光區域 125 的範圍越小，能夠被產生的電源也越小。

對於所示的不同剖面圖，可利用不同的佈局，例如：結構的佈局包含或對應光電二極體，可相應於同軸的多邊形或框之佈局。另外，一個「圓圈配置」可實現於佈局，在一些應用中，此

圓圈配置提供由接面所形成的低電阻之光電二極體。

請參閱「第 1C 圖」，「第 1C 圖」為以「第 1A 圖」所述之實施例說明整合光電二極體之電路示意圖。如「第 1A 圖」所述的實施例，光電二極體 150 包含各自對應於摻雜的 P 型區域及 N 型區域之末端(152、154)，並匹配電流流動的方向。一個或多個線路 144(可能對應延伸自 N 型區域的電性接點)可延伸或接觸光電二極體 150 用以提供如：測試結構及裝置在測試過程中所需之電源。

請參閱「第 2A 圖」，「第 2A 圖」為根據另一實施例說明具有整合光電二極體基板裝置之剖面圖。在「第 2A 圖」的實施例中，N 型區域(或稱 N 型井 208)是形成在 P 型基板 201 內部。P 型區域 222(即第二摻雜區域)及 N 型區域 224 是被包含在 N 型井 208(即第一摻雜區域)中，並且在基板表面以便受到光線影響以引導於基板上。透光區域 225 與 N 型井 208 的非阻塞部份一致，其中包含 P 型區域 222 及 N 型區域 224 的部分，在先前的例子中，所提及的電性接點 221 是在基板的不透光區域。舉例來說，電性接點 221 可形成在矽化物 223 或其他材質上。在「第 2A 圖」的實施例中，光電 PN 接面 220 是形成在重摻雜的 P 型區域 222 及 N 型井 208(包含重摻雜 N 型區域 224)之間。重摻雜的 P 型區域 239(不包含在 N 型井 208 之中)是形成在具有厚度的 P 型基板 210 上，其達到或接近基板表面，以便直接置於電性接點 221 之下。

在所述的實施例中，第二 PN 接面 227 是形成在 N 型井 208 及 P 型基板 210 之間，其電性隔離的重摻雜 N 型區域 224 透過使用電性接點 221 及電性連接 219 以「短路」該區域，用以電性連接至重摻雜 P 型區域 239，其短路的存在促進正電壓在相對於 P

型基板 210 的 P 型區域 222 位置，並具有光線應用在 P 型基板 210 的透光區域上。此電性接點 221 為延伸至另一 P 型子區域(不包含在 N 型井 208 之中)，並形成在 P 型基板 210 中，其結果是接面介於 P 型基板 210 的 P 型區域 222 及 N 型井 208 之間，第二 PN 接面 227 的效應則緩和。

如「第 1A 圖」的實施例所述，透光區域 225 是由排除或消除不透光材質(即電性接點及矽化物)以便形成在指定區域，重摻雜 P 型區域 222 及 N 型區域 224 可暴露在 N 型井 208 及相應於透光區域 225 的位置。光線應用在透光區域 225 將導致載子的傳導及激發，進而導致產生如上所述的光電接面效應。更具體而言，輸入電源可被任一 P 型區域 222、N 型井 208 或 P 型基板 210 所接收。導致產生的電洞被包含在這些區域內，以及產生的電子被包含在 N 型井 208 內，這是由於電場在空乏區(空間電荷區)的緣故，而產生在 P 型區域 222 中的電子會掃進 N 型井 208，其將容納龐大的數量。如實施例所提及的光電裝置，其捕獲的載子(carrier)產生在 P 型區域 222 中、約一半載子產生在 N 型井 208 中，且沒有載子產生在 P 型基板 210 中。因此，這一類型的光電裝置除了在感光區域(在 N 型井 208 中的 P 型區域 222)之外，光線照射在矽晶圓任一處均不感光。

如「第 2B 圖」所示，「第 2B 圖」為以「第 2A 圖」所述之實施例說明光電二極體之電路示意圖。光電二極體 242(相應於 PN 接面 220)延伸在重摻雜 P 型區域 222 及 N 型井 208 之間。

請參閱「第 2C 圖」，「第 2C 圖」為以下述另一實施例說明「第 2A 圖」之實施例的變化之剖面圖。更具體來說，如同「第 2A 圖」

的實施例，其 N 型區域(或稱 N 型井 274)是形成在 P 型基板 280 的內部，且重摻雜子區域形成在 P 型基板 280 之上，並在其上提供電性接點 282。N 型井 274 含有重摻雜子區域，其包含：(i)重摻雜 P 型子區域 293，其位於矽化物 295 之下，且對應電性接點 282；(ii)一個延伸的高摻雜 P 型子區域 292，其延伸於重摻雜 P 型子區域 293 之間；及(iii)重摻雜 N 型子區域 298。重摻雜 P 型子區域 (292、293)的存在減少由「第 2B 圖」結構之 PN 接面所組成的光電二極體之阻抗。

其延伸的 P 型子區域 292 是在淺層或厚度表面的透光區域 262(即矽化物被阻隔)以便受到至少部份的光線影響。光電二極體形成自相應於延伸的 P 型子區域 292 之光電 PN 接面 248 及 N 型井 274。如同「第 2A 圖」之實施例，光電二極體是被實際隔離，因為 N 型子區域 298 被電性接點 282 及電性連接 284 短路，其延伸出 N 型井 274 區域至 P 型區域 288。如「第 2B 圖」的實施例所示，光存取可能被限制在表面，其表面實際覆蓋所延伸的 P 型子區域 292，透過如遮蔽處理(masking process)的方式以阻塞不透光材質或結構形成在此區域上。舉例來說，此實施例所述的遮蔽處理可被用於阻隔矽化物形成及產生雷射透光區域 262，用以覆蓋在至少部份的延伸 P 型子區域 292，其提供接面給整合光電二極體。

請參閱「第 2D 圖」，「第 2D 圖」為以下述另一實施例說明「第 2C 圖」之實施例的變化之剖面圖。並且搭配參閱「第 2E 圖」，「第 2E 圖」為說明「第 2D 圖」的佈局俯視圖。「第 2C 圖」、「第 2D 圖」及「第 2E 圖」的實施例說明 N 型區域(即 N 型井 274)，其形成在 P 型基板 280 內部，重摻雜子區域形成在 P 型基板 280 之上，

並在其上提供電性接點 282。N 型井 274 含有重摻雜子區域，包含：  
(i)重摻雜 P 型子區域 293，其位於矽化物 295 之下且相應於電性接點 282；(ii)一個延伸的高摻雜 P 型子區域 292，其延伸於重摻雜 P 型子區域 293 之間；(iii)重摻雜 N 型子區域 298；及(iv)一個淺溝槽隔離(STI)區域 290 隔離重摻雜子區域。其淺溝槽隔離區域的存在代表填滿有二氧化矽絕緣材質，用以提供近乎理想的結構及鄰近的矽區域之電性隔離，以及使鄰近的被分隔區域能夠在產品晶片(product die)上減少一個小型的覆蓋區(二維平面視圖)。

「第 2F 圖」為以下述另一實施例說明「第 2D 圖」之實施例的變化之剖面圖。請搭配參考「第 2G 圖」，「第 2G 圖」為說明「第 2F 圖」的佈局俯視圖。如同「第 2D 圖」的實施例，N 型區域(N 型井 274)形成在 P 型基板 280 內部，且重摻雜子區域形成在 P 型基板 280 之上，並在其上提供電性接點 282。N 型井 274 含有重摻雜子區域，其包含：(i)重摻雜 P 型子區域 293，其位於矽化物 295 之下，且對應電性接點 282；(ii)一個延伸的高摻雜 P 型子區域 292，其延伸於重摻雜 P 型子區域 293 之間；(iii)重摻雜 N 型子區域 298；(iv)一個淺溝槽隔離(STI)區域 290 隔離重摻雜子區域；以及(v)一個淺溝槽隔離區域設置有雷射透光區域。其淺溝槽隔離區域存在於雷射透光區域內部，使其結構能夠在生產流程中無須金屬矽化物阻隔遮罩(Salicide Blocking Mask)。這可以簡化並減少處理費用，並且無須金屬矽化物阻隔遮罩的成本。

請參閱「第 2H 圖」，「第 2H 圖」為以下述另一實施例說明「第 2E 圖」之實施例的變化之剖面圖。請搭配參閱「第 2I 圖」，「第 2I 圖」為說明「第 2H 圖」的佈局俯視圖。更具體而言，透過將接

面接觸的區域限制在一個小型的矩形，該矩形只在 STI 雷射透光區域的一側之上，其光電二極體成為小型的覆蓋區配置，用以提供更有效地利用產品晶片上的實際面積(real estate)，同時權衡增加接面區域的阻抗。

### 在 SOI 中產生光電伏(Photovoltaic)

請參閱「第 3 圖」，「第 3 圖」為以一實施例說明 SOI 橫向薄膜光電二極體之剖面圖。與基體裝置(bulk devices)(請參閱「第 1A 圖」、「第 2A 圖」及「第 2B 圖」)相比，其接面有垂直的走向，絕緣層上覆矽裝置(SOI devices)通常是在絕緣(通常為氧化物)層 320 之上，水平地產生一個很薄(即小於“1000 埃”)的單晶矽膜層 310。就此絕緣層上覆矽裝置而言，N 型區域及 P 型區域均形成在淺薄的單晶矽膜層 310，並且通常往下埋置至絕緣層 320。因此，光電 PN 接面 325 形成水平而不是垂直，且任何用於產生光能的裝置，在佈局時必須考量此點。

根據一個或多個實施例，光能產生在絕緣層上覆矽基板裝置可包含以下部份或全部的特色及考量。在一個具體實施例中，一個指狀排列(兩手手指叉合狀)的摻雜區域之設置是形成包含 N 型區域 312 及 P 型區域 314 的狹長交替帶，P 型區域 314 與正極電性連接，且 N 型區域 312 亦與負極電性連接。經由多晶矽 316 或在標準處理流程中的其他層(layers)散播或埋置傳統的自對準(self-aligned)，而考慮到覆蓋準確度下降，還可透過單獨的遮罩來界定。在「第 3 圖」所述的實施例，沒有提及矽化物阻隔區域，除了間隔介於矽化物 303 及電性接點 321 的組成之間。其 PN 接面 324 是水平的，從重摻雜 P 型區域 314(帶)延伸至相鄰的 N 型區域

312 及 N 型井 318。

接著，如「第 4 圖」所示，「第 4 圖」為說明「第 3 圖」之實施例的變化之剖面圖。光電半導體裝置包含(i)摻雜區域的設置是形成在包含 P 型區域 412 及 N 型區域 428 的狹長交替帶，P 型區域 412 與正極電性連接，且 N 型區域 428 亦與負極電性連接；及(ii)淺薄的 P 型延伸區域 420 與 P 型井整合以提供大型的收集區域，用以收集電子—電洞對(由於光線應用)。光電二極體 405 是形成水平的，用以自狹窄帶的 P 型區域 412 延伸至相鄰的狹窄帶之 N 型區域 428。在此例中所示，淺薄的 P 型延伸區域 420 是重摻雜且與 P 型井整合。一個雷射透光區域 430 形成(i)覆蓋在 P 型延伸區域 420 及(ii)部份覆蓋在相鄰的 P 型區域 412 之上，其形成光電二極體 405 的正極。大部分的 P 型區域 412 是經由電性接點 421 及/或矽化物 403 阻隔光線。其他金屬接點(即電性接點 421)是沉積(在矽化物 403 之上)以各自形成重摻雜 P 型區域 412 及 N 型區域 428 的末端接點。其它實施例如電性接點 421 延伸在 N 型區域 428 之上，可透過延伸電性接點到另一 P 型區域(圖中未示)來建立電性隔離。

如「第 4 圖」的實施例所示，P 型區域 412 及 N 型區域 428 的鏡像排列可形成在相鄰的 P 型延伸區域 420 之末端，用以在相對的方向形成光電二極體 405。

在「第 4 圖」所示的實施例之變化中，經由多晶矽或在標準處理流程中的其他層來擴散或埋置傳統的自對準，而考慮到覆蓋準確度下降，可透過單獨的遮罩來界定。

關於「第 3 圖」及「第 4 圖」所述的實施例，以及文中的別

處描述，選擇主動的 P 型區域 412 及 N 型區域 428 之尺寸，這樣光電二極體 405 輸出阻抗將被增強或最佳化。增強/最佳化的考量包含(i)散佈的層之電阻、(ii)收集效率、(iii)載子擴散及(iv)消耗區域特性。此外，在含有高傳導金屬層中的該區域，透過選擇及形成多路的金屬接點，減少 P 型區域 412 及 N 型區域 428 的有效阻抗。這種金屬層減少電荷必須流經相對較高的阻抗(摻雜矽)之距離。一個以光線應用改善載子收集效率之例子，這可透過減少穿過必須散佈的少數載子之距離來改善，且透過將相對地電荷載子降至最少，從而減少多餘的電子—電洞再結合(如透過在埋置 P 型井 427 中減少摻雜濃度)。

更進一步，一個或多個實施例能夠使 PN 接面的電流容量，透過控制任一相鄰的 P 型及 N 型指寬(fingers)或透過控制在相鄰的 P 型區域及 N 型區域內的摻雜物來進行調節。例如：一個輕微摻雜 PN 水平接面將比一個重摻雜 PN 水平接面具有大的空乏區寬度(depletion width)，因此，重摻雜結構的電流容量會更大。此實施例可被用於控制該結構的交流電輸出阻抗，為了交流電測試結構的最佳化電源。

此外，一個或多個實施例可涉及一個標準程序的使用，如同在非標準或非典型方式中用以製造產品。

請參閱「第 5 圖」，「第 5 圖」為以另一個實施例說明光電二極體形成在 SOI 基板上之剖面示意圖。在「第 5 圖」中的實施例，光電 PN 接面 505 包含垂直部，而不是如「第 3 圖」及「第 4 圖」的實施例所示的水平。在此實施例中，SOI 基板 510 包含 N 型井 508，其具有重摻雜的指寬 P 型區域 512 及 N 型區域 514。SOI 基

板可具有厚度尺寸，其範圍依序在“500”至“1000”埃。指寬的 P 型區域 512 為 N 型井 508 的邊界，亦為 P 型延伸 522 的邊界。每個指寬的 P 型區域 512 及 N 型區域 514 包含電性接點 521(形成在如矽化物 523 的材質上)。

根據此實施例所述，形成的 P 型延伸 522 與一個覆蓋在基板上的雷射透光區域 532 對齊。指寬的 P 型區域 512 及 P 型延伸 522 的組合形成一個邊緣元件，其提供光電二極體(或稱光電 PN 接面 505)的一個節點。在此方法中，光電二極體(或稱光電 PN 接面 505)包含垂直及水平元件，由於光線應用，產生的電流從邊緣元件以水平及垂直的流向流至 N 型井 508，其邊緣元件由指寬的 P 型區域 512 及 P 型延伸 522 所組成。

指寬的 P 型區域 512 及 N 型區域 514 是被開放區域 540 所分隔，在實際實施上，透過自對準(self-alignment)結構 550 隨意分隔。所述自對準結構 550 包含多晶矽 552、矽化物 554 及閘極氧化層 556。矽化物 554 可為了降低區域的傳導性而應用於基板。這種組合提供一個虛擬結構(dummy structure)，使關鍵尺寸(critical dimensions)能夠超過該組合，其將由微影製程(lithographic processes)的不同方式來達成。如此一來，透過自對準結構 550 在表面形成虛擬區域，該區域必定是由微影來實現，所具有的關鍵尺寸大於那些所提及的自對準結構 550。

雷射透光區域可形成在重摻雜 N 型延伸 526 之上，其重摻雜 N 型延伸 526 延伸至指寬的 N 型區域 514，因此接觸到一個附加區域(addition area)，並以光線應用產生電性載子於該區域中。此重摻雜 N 型區域的組合提供負極末端用以自光線應用收集電流。

請參閱「第 6 圖」，「第 6 圖」為以下述另一實施例說明嵌入有 PN 接面的整合光電二極體之基板，形成在透光區域下方以便埋沒深埋氧化層於基板中之剖面圖。如上所述，其基板 610 包含數個層，這些層包含矽晶層 612(即 SOI 或 STI 薄膜)，以及深埋氧化層(buried oxide, BOX)層 614。電性接點 621 至少部分形成在矽化物 623(或其他適合的材質)之上，矽化物 623 採用不透光，而矽晶層 612 及深埋氧化層 614 至少對雷射而言為透光。其基板 610 包含一個 N 型井 608 提供在 P 型基板 606 之上。

PN 接面 620 分別形成在重摻雜 P 型區域 622 及 N 型區域 624，透光(例如：雷射)區域 625 可形成在基板的區域，並介於 P 型區域 622 及 N 型區域 624 之間。其透光區域 625 與矽晶層 612 及深埋氧化層 614 的結構重疊，以及與部分的重摻雜 P 型區域 622、N 型區域 624 及 N 型井 608 重疊。每一重摻雜 P 型區域 622 及 N 型區域 624 只有部分地透過相應的矽化物 623 阻隔光線。如上所述「第 2A 圖」的實施例，由於適當的光線應用將從 PN 接面開始產生電子電洞，其 PN 接面是由重摻雜 P 型區域 622、N 型井 608 及重摻雜 N 型區域 624 所形成。該 PN 接面具有垂直部以提供一個光電二極體，其可以供給電路(例如：請參閱「第 14 圖」)所需電源。或者，所述一些其他實施例，其電性接點 621 可自重摻雜 N 型區域延伸至另一高摻雜 P 型區域，用以電性隔離光線應用的 PN 接面。

另外，有關於「第 6 圖」的實施例，所形成的結構之特殊類型，在矽晶層的部份可能會有所不同，特別是在幾何形狀和大小。不過，正如所述，合適的雷射透光區域可能會透過不使用不透光

材料來佈局，如：矽化物 623 及電性接點 621。基板 610 特定的厚度及/或形貌可被視為一個設計限制因素，其產生的光電二極體可提供電路元件(例如：測試結構)所需的電源。

如「第 7 圖」所示意，「第 7 圖」為以下述另一實施例說明「第 6 圖」之實施例的變化之剖面圖。基板 710 包含數個層，這些層包含一個矽晶層 712(即 SOI 或 STI 薄膜)，以及深埋氧化層 714。電性接點 721 至少部分形成在矽化物 723(或其他適合的材質)之上。矽化物 723 採用不透光，而矽晶層 712 及深埋氧化層 714 至少對雷射而言為透光。其基板 710 包含一個提供在 P 型基板 706 之上的 N 型井 708。

相較於「第 6 圖」的實施例而言，N 型井 708 包含重摻雜 N 型區域 724，且在其上延伸有電性接點 721。重摻雜 P 型區域是在 N 型井之外部。一個或多個高摻雜 P 型區域 722 是位於未被矽化物 723 或電性接點 721 所阻擋的位置用以接收光線。在此方式中，一個或多個透光區域是覆蓋在 P 型的基板 710 之上，並與至少一個或多個高摻雜 P 型區域 722 的一些部分重疊。在此實施例中，所形成的至少兩個高摻雜 P 型區域 722 與部分透光區域 725 重疊。一旦電子電洞開始隨光線產生，電子—電洞對將移動穿過 N 型井 708 的邊界，此移動與 PN 接面 720 相應。實際上，其 PN 接面橫跨 N 型井 708 的邊界 711。

請參閱「第 8 圖」，「第 8 圖」為以下述另一實施例說明「第 6 圖」及「第 7 圖」之實施例的變化，其中基板包含埋設或嵌入光電 PN 接面之剖面圖。基板 810 包含矽晶層 812(即 SOI 或 STI 薄膜)及深埋氧化層 814。電性接點 821 至少部分形成在矽化物 823(或

其他適合的材質)之上。矽化物 823 採用不透光，而矽晶層 812 及深埋氧化層 814 至少對雷射而言為透光。其基板 810 包含一個 N 型井 808，用以提供在 P 型基板 806 之上。與「第 7 圖」的實施例相較，N 型井 808 包含高摻雜 P 型區域 822。此外，高摻雜 N 型區域 824 也被包含在 N 型井 808 內部。正如其他一些實施例，每一高摻雜 P 型區域及高摻雜 N 型區域可部份覆蓋上矽化物 823，所以各區域的有些部份為曝露在不透光材質之外。在此方式中，至少一透光區域 825 是覆蓋在基板與高摻雜 P 型區域 822(在所述配置中)部分重疊。

兩個重摻雜 P 型區域 822 在 N 型井 808 產生一個光電二極體接面 820。如所述改善所產生的電子－電洞對之收集效率的實施例，與使用如單一個重摻雜 P 型區域相較，其重摻雜 N 型區域 824 圍繞在電子電洞產生區域，用以提供一些電性隔離以減少阻抗效應。

請參閱「第 9 圖」，「第 9 圖」為根據另一實施例說明「第 6 圖」至「第 8 圖」的實施例之另一變化，其中基板包含埋設或嵌入光電 PN 接面之剖面圖。基板 910 包含矽晶層 912(即 SOI 或 STI 薄膜)，以及深埋氧化層 914。電性接點 921 至少部分形成在矽化物 923 之上。矽化物 923 採用不透光，而矽晶層 912 及深埋氧化層 914 至少對雷射而言為透光。其基板 910 包含一個提供在 P 型基板 906 之上的 N 型井 908。與「第 7 圖」的實施例相較，N 型井 908 包含高摻雜 P 型區域 922，與「第 8 圖」的實施例相較，P 型區域 922 包含一個 P 型延伸區域 926，其延伸有相應於透光區域 925 的長度。重摻雜 P 型區域 922 及 P 型延伸區域 926 在 N 型井

908 的內部形成 PN 接面。如「第 2B 圖」所述實施例，重摻雜 P 型區域的延伸(即 P 型延伸區域 926)，提高所產生的電子—電洞對之收集效率。如同「第 8 圖」所述，高摻雜 N 型區域 924 可包含在 N 型井 908 內部，用以隔離產生區域。

正如一些實施例所提及，每個高摻雜 P 型區域及 N 型區域(不包含在 P 型延伸區域 926 中)可部分覆蓋有矽化物 923，所以各區域有些部分暴露在不透光材質之外。透光區域 925 可覆蓋在基板 910 上，並與部分的高摻雜 P 型區域 922(在所述的配置中)及 P 型延伸區域 926 重疊。在其他的好處中，使用 P 型延伸區域 926 改善阻抗及增加收集效率。P 型延伸區域 926 也擴展 PN 接面以便進一步增加光電二極體的效率。

如一些其餘的實施例所述，重摻雜 N 型區域 924 形成收集區域於光電二極體，可能因電性接點 921 延伸至重摻雜 P 型區域 928 而形成短路。如前所述，其短路電性隔離光電二極體。

#### 在基板上底端照明光電二極體

文中許多別處所述的實施例，提及光電二極體使用頂端光線產生。如上所述，至少有一些實施例提及使用雷射透光區域，相應於在基板裝置或半導體上的一個佈局區域。其為清除結構或不透光材質(如矽化物)。

作為一種替代方式，一個或多個實施例提出使用底端光線應用或照明。如「第 10 圖」所示意，「第 10 圖」為說明底端光線照明配置的原理可被用於提供光電二極體及相應的測試結構所需電力之示意圖。一個晶圓 1000 包含頂面 1001，其上形成有主動電路(active circuitry)，以及與頂面 1001 相對的底面 1003，並包含非主

動電路(no active circuitry)。測試結構或裝置在測試光電二極體 1010 下可提供在頂面 1001 之上。

在矽的具體實施例中，如：光線可以產生載子，最終可穿越基板厚度被對側或基板厚度上的適當摻雜區域所收集。因此，在此實施例中，雷射自晶圓 1000 的背部(即底面 1003)進行照明 1014。

更詳細地說，晶圓代表有輕微摻雜 P 型單晶矽(mono-crystalline silicon)，其厚度約“750”微米(介於頂面 1001 及底面 1003 之間)。照明 1014 可應用在晶圓 1000 的背面，在底下如：埋設 N 型井，其包含光電二極體。隨著光線應用，產生電子及電洞載子。其載子能夠透過晶圓的厚度移動，且可在相鄰或接近頂面 1001 的散佈位置被捕獲。

如「第 11 圖」所示，「第 11 圖」為以下述實施例更詳細地說明在晶圓中構成整合光電二極體以支持背部照明之剖面圖。在此實施例，光電二極體 1010 是經由埋設重摻雜 N 型區域 1011 及重摻雜 P 型區域 1012 於晶圓的輕微摻雜 P 型基板所組成。電子透過照明 1014(即光能漫射)在 N 型區域 1011 所產生，相對於經由 P 型區域 1012 接觸基板從而降低其電位。合理的佈局且以足夠光載子，其電位在 N 型區域 1011 內部可下降約“-0.7”伏特，且電位可被使用於提供主動電路 1013 所需電源。

實施例可使用埋置一個“N+”到摻雜 P 型的基板(或稱晶圓 1000)來實現，在此情況下，電壓產生在相對於晶圓 1000 的 N 型區域內部，具有負電位(約“-0.7V”)。此實施例亦可埋置一個 P 型到摻雜 N 型的晶圓 1000，在此情況下，電壓產生在相對於晶圓 1000 的重摻雜 P 型區域內部，具有正電位(約“+0.7V”)。

請參閱「第 12 圖」，「第 12 圖」為以下述實施例說明「第 11 圖」之實施例的另一種變化之剖面圖。其實施在 SOI 基板裝置 1110 上，在此實施例中，一個重摻雜 N 型子區域材質(N 型區域 1124)形成在 P 型基板 1122 中，且位於深埋氧化層 1121 之下。接觸 N 型區域 1124 可使用基板的接觸通孔 1123 穿透深埋氧化層 1121。一個分接頭(tap)必須利用植入 P 型區域 1126 及穿透深埋氧化層 1121 的第二接觸通孔 1125 以連接至 P 型基板 1122。電子透過背面照明 1114 產生在 P 型基板 1122 中，其電子漂移穿過 P 型基板 1122 直到被重摻雜 N 型區域 1124 捕獲為止。約“+0.7V”的電位可產生在第二接觸通孔 1125 和 P 型區域 1126 以及接觸通孔 1123 和 N 型區域 1124 之間，且此電位可被用於設置在 SOI 材質 1120 之上的主動電路。

由於矽厚度為“750”微米(microns)，電子在重組之前必須擴散相當長的距離。因此，最好使用比較長的波長照明 1114，這樣光載子可在 P 型基板 1122 內部充足地產生(盡可能接近吸收區域，即 N 型區域 1124)。其適當的波長是相對長的，但是在矽能隙波長(Silicon bandgap wavelength)之下。以矽為例，一個好的波長需要“1064”毫微米(nm)，在矽的內部具有相對長的吸收距離。相反地，“300”毫微米(nm)光波長在所述情況下，將幾乎被底面 1102 直接吸收。

文中所述實施例包含半導體基板(即包含晶圓切片或部分)，其包含整合光電二極體用以提供電路或其他元件電源，特別是當半導體基板只在部份生產狀態時測試結構或電路。美國專利號 7,220,990、7,339,388 及 7,423,288(合併參考其所有目的)分別描述

測試結構或電路的使用，其可提供位於其上的晶片所需之電源，用以當半導體基板只在部分地製造狀態時，達成非觸碰、非破壞的目的來測試信號產生(及隨後的分析)。文中所述的許多實施例提及整合光電二極體的形成，其可使用光線(例如：雷射)應用提供電路及結構所需電源。

請參閱「第 13 圖」，「第 13 圖」為根據一個或多個實施例說明整合光電二極體的應用之方塊圖。在「第 13 圖」中，一個增強的整合光電二極體 1310 是用以提供一個或多個在半導體基板裝置 1330 之上的測試結構 1320 所需電源。光電二極體 1310 可如上所述的任一實施例來形成。以此方式，光電二極體 1310 可對應(高)摻雜且相鄰的 P 型區域及 N 型區域，提供在基板裝置 1330 之上與透光區域相符。

此基板裝置 1330 具體實施上可為所述類型(例如：塊狀矽、絕緣層上覆矽.....等等)，在實際應用上，基板裝置 1330 可應用在部份完成狀態或全部完成狀態其中之一。在此實施例中，基板裝置 1330 為半導體晶圓的部分，其處於部分地製造狀態中。在這樣的實施例中，光電二極體可在測試情況下，被使用於提供一個或多個測試結構、電路或裝置的所需電源。許多的安排及配置是考量能夠使用一個或多個增強光電二極體，用以提供測試結構所需電源。其中，(i)一個整合光電二極體 1310 可被用於提供多個測試結構 1320 所需電源；(ii)光電二極體及/或測試結構 1320 可位在半導體基板(例如：在晶片中)的作用區域 1332，或選擇在線中或作用區域的外部；(iii)光電二極體 1310 鄰近測試結構 1320 亦可進行變化。

在形成有效的整合光電二極體 1310，其具體實施的考量包含：(i)光電二極體供給足夠電源的能力；(ii)光電二極體的效率；及(iii)穩定性，其能夠考慮到整合光電二極體的標準製程及佈局實現、限制及考量。標準矽製程可包含塊狀矽及絕緣層上覆矽(SOI)的製程及設計。

根據一個或多個實施例，光電二極體 1310 形成在半導體基板 1330 之上，具有以下能力：(i)自光源(例如：雷射)轉換電源；(ii)從應用的光線 1326 提供電源以運行電路及測試結構。一個或多個線路(即電性接點)可自光電二極體 1310 延伸到測試結構 1320 及/或其他結構或裝置，並由光電二極體提供電源。在至少一些實施例中，整合光電二極體 1310 是製造於半導體基板(即基板裝置 1330)的部分，且在裝置設計製造限制內，確定半導體基板(例如：矽晶圓)的最初目的。

更進一步，一個或多個實施例提及光電二極體 1310 其包含性能或特性考量到晶圓製造過程的限制。一個或多個實施例提及所構成的光電二極體 1310 最佳化(或至少落於範圍內)參數及設計的考量，以及半導體基板的製造過程。特別是一些文中所述的實施例包含光電二極體，其構成在設計及加工限制及最佳化選擇應用的範圍內進行操作。一個或多個實施例的應用包含設計及製程分析、晶圓製造的控制及設計程序、電路效能、設計流程的整合及裝置製程與設計特性。

#### 以整合光電二極體製造/設計半導體基板

如「第 14 圖」所示，「第 14 圖」為根據一個或多個實施例說明將整合光電二極體形成在半導體基板中的方法之流程圖。所述

的技術可用以實現形成上述「第 1A 圖」至「第 9 圖」的一些或所有的整合光電二極體結構。

在步驟 1410 中，透光區域的尺寸，以及元件其包含光電二極體(例如：重摻雜 P 型區域、N 型區域.....等等)將被確定。其尺寸可基於至少部分的考量因素，包含電源產生及製造限制。光電二極體產生(例如：以測試電路的類型及數量進行最佳化)的電源總量、使用光源(例如：雷射的類型)及先天上的製造或基板限制(如：有效存取間距)等因素，將被用以作為光電二極體的尺寸考量。光電二極體的應用或使用可能進一步影響尺寸的要求。

一旦確認尺寸，步驟 1420 實行設計及處理步驟用以為光電裝置提供光存取(optical access)。因此，半導體基板的製程引導光電二極體及測試電路兩者的形成。為了實現有效利用光電二極體 1310，一些實施例體現有利於構成光電二極體 1310 以適應半導體基板的製程變化或其他變數。特別是一些實施例提及光電二極體 1310 及驅動電性測試結構 1320 為協同設計，同樣地受到半導體製造的標準程序變化所影響。在此實施例中，光電二極體 1310 及測試結構 1320 為協同設計，在提供測試結構的電流連同光電來源的變化中，導致設計限制在光電電壓輸出上。例如：假設測試結構 1320 是製造在半導體基板 1330 之上，且預計有“10%”的變化在於晶圓製造變化，於是一些實施例提及光電二極體 1310 是設計為輸出電壓變化小於所稱的數量，以考慮到測試結構的電流變化。

在步驟 1430 中，電性和光學隔離是提高光電二極體的效能及效率所必需的。關於「第 2A 圖」或「第 9 圖」的實施例，其電性隔離是採用電性短路的形式延伸自“N+”區域(即 N 型區域)，該

區域所產生的電子電洞將被收集。

一旦光電二極體形成在基板上，一個或多個實施例提及有效地啟動測試結構，並考量到電源啟動整合光電二極體的飽和或自然損失。測試電路的啟動使用光電二極體可能發生於基板裝置在製造及部分製造狀態其中之一。許多提高或最佳化的選擇可被實現，用以達成更有效地啟動測試結構。

在此實施例中，光電二極體可被設計為接收非常明亮地光源而無飽和的反應，其與傳統的光導檢測裝置相較，能夠最佳化接收微弱的光信號。

在另一實施例中，光電二極體可被配置用以提供規範的光電流、持續及穩定的輸出電壓。所述設計與傳統的光導檢測裝置相較，其在外提供固定的負偏壓時，能夠提供與微弱光信號輸入所相稱的光電流。

更進一步，另一實施例提及輸出線路 1344(請參閱「第 13 圖」)或整合光電二極體的電路元件被設計有一個阻抗，該阻抗與驅動電性測試結構的電路輸入阻抗相匹配。

甚至，一些實施例提及光電二極體 1310 的使用及最佳化，透過設計光電二極體具有小於在測試結構 1320 的操作頻率之輸出阻抗的設計限制。例如：假設測試結構 1320 為一個使用“1GHz”的環形震盪器(ring oscillator)，其可有助於光電二極體 1310 在此高頻率出現交流電短路，實際上，所產生的光電輸出電壓用以持續驅動環形震盪器。此實施可使光電二極體 1310 達成增加電容及/或減少電阻：(a)增加 PN 接面區域以超出需要提供足夠電源，透過增加區域(水平及/或垂直)及/或使用深的(在垂直方向)結構，及/

或使用垂直結構；(b)使用薄氧化物電容，如：“poly-to-well 電容”、“poly-to-substrate 電容”或“metal-to-metal 電容”或

“metal-to-substrate 電容”……等等；(c)降低阻抗：使用適當的水平或垂直幾何，在串聯或並聯中變化，或附加層以形成低阻抗於相鄰或光學地作用區域內部；(d)建立電容，以(b)中所列的任一類型整合光電二極體；(e)提供旁路電容，以(b)中所列的任一類型於測試結構內部的關鍵節點。

更進一步，另一實施例提出光電二極體 1310 透過特殊的矽製程(塊狀及/或 SOI)用以改善光線收集易受限制。儘管 P 型/N 型接面可能在某些情況下為最佳，但這樣的設計在一些應用中可能無法實現，例如：當 P 型區域及 N 型區域為透過光學地不透光材質，如：矽化物或金屬，並應用於製程中。因此，光電二極體 1310 可被配置，此裝置的光收集效率為限制的最大化，其會導致光線收集。

此外，一個額外或替代的另一實施例，在光電二極體 1310 的形成中，包含設計(或最佳化)光電二極體 1310 使其具有足夠的電壓調節和電流產生功能於任一存在的金屬接點，其反射的光能照射裝置，或者一個處理步驟，如：矽化物阻隔。而入射的光能可能減弱。甚至，光電二極體 1310 可被構成不敏感的，在規定的限制範圍之內，光能來源的照射位於感光區域上，其規定的限制可能在範圍內變化(例如：範圍可能呈現“10%”、“5%”、“3%”或“1%”的不同)。

另一實施例則涉及設計光電二極體 1310，其操作不影響電性測試結構。光電裝置可以實施在如晶圓之上為條件，避免發生電

力和光學在裝置及導電元件間串擾。

另一實施例用於實現足夠的光學效率，以設計光電二極體 1310 的 N 型區域及 P 型區域，使得它們小到足以使光生少數載子 (photogenerated minority carriers) 逸出。其設計限制應該是光生少數載子的數量應小於它們的相對物 “10%”、“1%” 或 “0.1%”。例如：假設少數光生載子在一定速率產生(電子或電洞每時的量)，那麼這些載子擴散到它們少數區域之外的平均時間應該小於 “0.1”、“0.01” 或 “0.001” (取決於所用的實施或配置)，大多數載子密度在相同區域。

另一個實施例提出一個建立 PN 光電裝置的方法，其使用重摻雜及高導電多晶矽區域。例如：一個邊界介於被照明的 P 型及 N 型多晶矽區域，還能夠產生光電伏。其他變化包括接面介於 P 型多晶矽層及矽的 N 型區域之間，或介於 N 型多晶矽層及矽的 P 型區域之間。

一個更進一步的實施例允許雷射照射晶圓的背面。通常晶圓為 P 摻雜單晶矽，其厚度約 “750” 微米(microns)。由於照明應用在晶圓背面，下方的光電二極體將產生電子及電洞載子。其載子是自由擴散在整個矽晶圓，且於擴散至晶圓的頂面上時被捕獲。

最後，請參閱「第 15 圖」，「第 15 圖」為以一些實施例說明光電二極體的最佳化佈局方法之流程圖。在步驟 1510 中，為了提供積體電路所需電源，光電二極體的屬性已決定。特別是與下列屬性有關的值：(i)面積大小，以需要穿過二極體的最大電壓來平衡佈局效率；(ii)盡量減少外在的寄生電阻(parasitic resistance)；(iii)開放式照明(避免金屬/矽化物)；(iv)良好的二極體理想性能(例如：

低洩漏、低缺陷等級)；(v)接近載子產生區域於本身的接面；(vi)能夠短路 N 型井於基板區域以建立一個正相關(由於 PN 接面被 N 型井隔離)。

在步驟 1520 中，光電二極體大小及佈局被確定。可在陡峭的負載線(load line)區域中進行操作，以降低電路的電壓變化敏感度。

在步驟 1530 中，確定以最小的二極體可提供足夠的電源來運作具有最小電壓變化的敏感度之積體電路。

### 堆疊式光電二極體

在先前如「第 12 圖」所述的實施例中提到，當透過雷射照射時，為了提升產生的電源以供應單一光電二極體結構，可透過堆疊光電二極體成為串聯，其生成的電源可提供兩倍於單一光電二極體的電壓。為了進一步提高供電能力，透過堆疊三個光電二極體成為串聯，可產生三倍於單一光電二極體的電壓。連接兩倍堆疊的光電二極體配置之電路圖，其末端連接特定電路以提供適當的電源。堆疊光電二極體的配置之隔離對抑制不必要的寄生洩漏組件而言是重要的，其可能在末端損害電位。一個附加的 P 型井(P-well)摻雜區域及 STI 絕緣區域於兩堆疊光電二極體之間，用以透過降低寄生 NPN 型的測試板及傳輸電流來緩和或消除不良洩漏組件。此外，透過特意調整介於兩光電二極體的間距，以提供添加劑緩和寄生 NPN 型的洩漏組件。

所述實施例可能會有不同的變化，實際上取決於光電裝置設置在塊狀矽或 SOI 基板。SOI 裝置結構由於設於絕緣體上，而且具有將其封裝在絕緣內壁的能力，故可防止一個區域影響另一個獨立的區域。在塊狀矽的情況下，常見的基板連接所有電路於相

同的晶圓上，因此有可能使得一個區域的電光活動影響到另一區域的活動。

雖然本發明所揭露之實施方式如上，惟所述之內容並非用以直接限定本發明之專利保護範圍。任何本發明所屬技術領域中具有通常知識者，在不脫離本發明所揭露之精神和範圍的前提下，可以在實施的形式上及細節上作些許之更動，然本發明之專利保護範圍，仍須以所附之申請專利範圍所界定者為準。此外，無論是以一實施例個別提出或是作為實施例之一部分的獨有特徵，可與其它個別提出或是作為其它實施例一部份的特徵相結合，縱然那些獨有特徵未被其它特徵或實施例所提及，因此，那些未描述到的組合特徵不應被排除於本發明之權利保護範圍之外。

#### 【圖式簡單說明】

第 1A 圖為以一個或多個實施例說明具有整合光電二極體所組成的供電電路及裝置，如：測試結構及裝置的基板裝置之剖面圖。

第 1B 圖為所述第 1A 圖之俯視圖。

第 1C 圖為以第 1A 圖所述之實施例說明整合光電二極體之電路示意圖。

第 2A 圖為根據另一實施例說明具有整合光電二極體基板裝置之剖面圖。

第 2B 圖為以第 2A 圖所述之實施例說明光電二極體之電路示意圖。

第 2C 圖為以下述另一實施例說明第 2A 圖之實施例的變化之剖面圖。

第 2D 圖為以下述另一實施例說明第 2C 圖之實施例的變化之剖面圖。

第 2E 圖為說明第 2D 圖的佈局俯視圖。

第 2F 圖為以下述另一實施例說明第 2D 圖之實施例的變化之剖面圖。

第 2G 圖為說明第 2F 圖的佈局俯視圖。

第 2H 圖為以下述另一實施例說明第 2E 圖之實施例的變化之剖面圖。

第 2I 圖為說明第 2H 圖的佈局俯視圖。

第 3 圖為以一實施例說明 SOI 橫向薄膜光電二極體之剖面圖。

第 4 圖為說明第 3 圖之實施例的變化之剖面圖。

第 5 圖為以另一個實施例說明光電二極體形成在 SOI 基板上之剖面示意圖。

第 6 圖為以下述另一實施例說明嵌入有 PN 接面的整合光電二極體之基板，形成在透光區域下方以便埋沒深埋氧化層於基板中之剖面圖。

第 7 圖為以下述另一實施例說明第 6 圖之實施例的變化之剖面圖。

第 8 圖為以下述另一實施例說明第 6 圖及第 7 圖之實施例的變化，其中基板包含埋設或嵌入光電 PN 接面之剖面圖。

第 9 圖為根據另一實施例說明第 6 圖至第 8 圖的實施例之另一變化，其中基板包含埋設或嵌入光電 PN 接面之剖面圖。

第 10 圖為說明底端光線照明配置的原理可被用於提供光電二極體及相應的測試結構所需電力之示意圖。

第 11 圖為以下述實施例更詳細地說明在晶圓中構成整合光電二極體以支持背部照明之剖面圖。

第 12 圖為以下述實施例說明第 11 圖之實施例的另一種變化之剖面圖。

第 13 圖為根據一個或多個實施例說明整合光電二極體的應用之方塊圖。

第 14 圖為根據一個或多個實施例說明將整合光電二極體形成在半導體基板中的方法之流程圖。

第 15 圖為以一些實施例說明光電二極體的最佳化佈局方法之流程圖。

#### 【主要元件符號說明】

|     |       |
|-----|-------|
| 108 | N 型井  |
| 110 | P 型基板 |
| 113 | 矽化物   |
| 120 | PN 接面 |
| 121 | 電性接點  |
| 122 | P 型區域 |
| 124 | N 型區域 |
| 125 | 透光區域  |
| 144 | 線路    |
| 150 | 光電二極體 |
| 152 | 末端    |
| 154 | 末端    |
| 208 | N 型井  |

|     |          |
|-----|----------|
| 210 | P 型基板    |
| 219 | 電性連接     |
| 220 | PN 接面    |
| 221 | 電性接點     |
| 222 | P 型區域    |
| 223 | 矽化物      |
| 224 | N 型區域    |
| 225 | 透光區域     |
| 227 | 第二 PN 接面 |
| 239 | P 型區域    |
| 242 | 光電二極體    |
| 248 | PN 接面    |
| 262 | 透光區域     |
| 274 | N 型井     |
| 280 | P 型基板    |
| 282 | 電性接點     |
| 284 | 電性連接     |
| 288 | P 型區域    |
| 290 | 淺溝槽隔離區域  |
| 292 | P 型子區域   |
| 293 | P 型子區域   |
| 295 | 矽化物      |
| 298 | N 型子區域   |
| 303 | 矽化物      |

|     |         |
|-----|---------|
| 310 | 單晶矽膜層   |
| 312 | N 型區域   |
| 314 | P 型區域   |
| 316 | 多晶矽     |
| 318 | N 型井    |
| 320 | 絕緣層     |
| 321 | 電性接點    |
| 325 | PN 接面   |
| 405 | 光電二極體   |
| 412 | P 型區域   |
| 420 | P 型延伸區域 |
| 421 | 電性接點    |
| 428 | N 型區域   |
| 430 | 雷射透光區域  |
| 505 | PN 接面   |
| 508 | N 型井    |
| 510 | SOI 基板  |
| 512 | P 型區域   |
| 514 | N 型區域   |
| 521 | 電性接點    |
| 522 | P 型延伸   |
| 523 | 矽化物     |
| 526 | N 型延伸   |
| 532 | 雷射透光區域  |

|     |       |
|-----|-------|
| 540 | 開放區域  |
| 550 | 自對準結構 |
| 552 | 多晶矽   |
| 554 | 矽化物   |
| 556 | 閘極氧化層 |
| 606 | P 型基板 |
| 608 | N 型井  |
| 610 | 基板    |
| 612 | 矽晶層   |
| 614 | 深埋氧化層 |
| 621 | 電性接點  |
| 622 | P 型區域 |
| 623 | 矽化物   |
| 624 | N 型區域 |
| 706 | P 型基板 |
| 708 | N 型井  |
| 711 | 邊界    |
| 710 | 基板    |
| 712 | 矽晶層   |
| 714 | 深埋氧化層 |
| 721 | 電性接點  |
| 722 | P 型區域 |
| 723 | 矽化物   |
| 724 | N 型區域 |

|      |         |
|------|---------|
| 725  | 透光區域    |
| 808  | N 型井    |
| 810  | 基板      |
| 812  | 矽晶層     |
| 814  | 深埋氧化層   |
| 821  | 電性接點    |
| 822  | P 型區域   |
| 823  | 矽化物     |
| 824  | N 型區域   |
| 825  | 透光區域    |
| 906  | P 型基板   |
| 908  | N 型井    |
| 910  | 基板      |
| 912  | 矽晶層     |
| 914  | 深埋氧化層   |
| 922  | P 型區域   |
| 923  | 矽化物     |
| 924  | N 型區域   |
| 925  | 透光區域    |
| 926  | P 型延伸區域 |
| 928  | P 型區域   |
| 1000 | 晶圓      |
| 1001 | 頂面      |
| 1003 | 底面      |

- 1014 照明
- 1010 光電二極體
- 1011 N 型區域
- 1012 P 型區域
- 1013 主動電路
- 1110 SOI 基板裝置
- 1114 照明
- 1121 深埋氧化層
- 1122 P 型基板
- 1123 接觸通孔
- 1124 N 型區域
- 1125 第二接觸通孔
- 1126 P 型區域
- 1310 光電二極體
- 1320 測試結構
- 1326 光線
- 1330 基板裝置
- 1332 作用區域
- 1344 線路
- 步驟 1410 確定尺寸
- 步驟 1420 實行設計及處理以提供光電二極體進行光存取
- 步驟 1430 建立電性存取
- 步驟 1510 確定光電二極體的特性
- 步驟 1520 確定光電二極體尺寸及佈局

步驟 1530 確定光電二極體(例如：最小電源)

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98129125

※ 申請日：

※IPC 分類：H01L31/08 (2006.01)  
H01L31/04 (2006.01)  
H01L21/82 (2006.01)

## 一、發明名稱：(中文/英文)

用於半導體基板的整合光電二極體

INTEGRATED PHOTODIODE FOR SEMICONDUCTOR  
SUBSTRATES

## 二、中文發明摘要：

一種用於半導體基板的整合光電二極體，基板部至少部份組成包含電性接點及材質，此基板部包含摻雜區域，其具有彼此相鄰的重摻雜 N 型區域及重摻雜 P 型區域，基板部的外部表面具有表面形貌，此表面形貌包含透光區域，使來自光源的光線能夠達到基板部的表面，光線應用在透光區域足以引起電位以形成穿過摻雜區域的接面，基板部更可包含一個或多個電性接點置於此基板部，用以於光線應用在透光區域產生電位後，引導電流至半導體基板上的電路。

## 三、英文發明摘要：

A substrate section that is at least partially fabricated to include contact elements and materials. The substrate section includes doped regions that have a heavily doped N-type region and a heavily doped P-type region adjacent to one another. An exterior surface of the

substrate has a topography that includes a light-transparent region in which light, from a light source, is able to reach a surface of the substrate. An application of light onto the light transparent region is sufficient to cause a voltage potential to form across a junction of the heavily doped regions. The substrate section may further comprise one or more electrical contacts, positioned on the substrate section to conduct current, resulting from the voltage potential created with application of light onto the light transparent region, to a circuit on the semiconductor substrate.

## 七、申請專利範圍：

### 1. 一種半導體基板，包含：

一基板部，其部份組成包含電性接點及材質，該基板部具有一摻雜區域，該摻雜區域包含彼此相鄰的重摻雜 N 型區域及重摻雜 P 型區域，該基板部的一外部表面具有一表面形貌，該表面形貌包含一透光區域，使來自一光源的光線能夠達到該基板部的一表面；

其中，一光線應用在該透光區域足以產生一電位以形成穿過該摻雜區域的一接面；

一個或多個電性接點置於該基板部，用以於該光線應用在該透光區域產生該電位後，引導電流至該半導體基板上的一電路。

2. 如申請專利範圍第 1 項所述之半導體基板，其中該摻雜區域包含一第一摻雜區域，該第一摻雜區域包含一第二摻雜區域，其中，該第一摻雜區域或該第二摻雜區域至少其中之一係暴露於光線被應用在該透光區域。
3. 如申請專利範圍第 2 項所述之半導體基板，其中當該基板部為 P 型摻雜(P-doped)時，該第一摻雜區域為一 N 型井(N-well)及該第二摻雜區域為一 P 型區域，或是當該基板部為 N 型摻雜(N-doped)時，該第一摻雜區域為一 P 型井(P-well)及該第二摻雜區域為一 N 型區域。
4. 如申請專利範圍第 3 項所述之半導體基板，其中該第二摻雜區域位於一電性接點之下，且面積延伸至受到該光線應用影響的部份該透光區域。

5. 如申請專利範圍第 2 項所述之半導體基板，其中該第一摻雜區域包含一 N 型井(N-well)及一或多個重摻雜 N 型子區域，該至少一重摻雜 N 型子區域為淺層，以便在相應的該至少一電性接點之下，且該第二摻雜區域重摻雜包括一重摻雜 P 型子區域，用以在該光線應用的該第一摻雜區域及該第二摻雜區域之間產生一電位。
6. 如申請專利範圍第 3 項所述之半導體基板，其中該第一摻雜區域包含一重摻雜 N 型子區域，該重摻雜 N 型子區域在一電性接點之下延伸至該第一摻雜區域外部的一或多個重摻雜 P 型子區域。
7. 如申請專利範圍第 1 項所述之半導體基板，其中該至少一電性接點使該摻雜區域接近該透光區域的一周邊範圍。
8. 如申請專利範圍第 2 項所述之半導體基板，其中該第一摻雜區域包含多個重摻雜子區域，該些重摻雜子區域為淺層以便能夠電性連接至該第一摻雜區域，以及其中該第二摻雜區域包含重摻雜淺層的(i)二重摻雜子區域或多個重摻雜子區域，以便能夠電性連接至該透光區域的一周邊範圍之附近，及(ii)一延伸的重摻雜區域，該延伸的重摻雜區域實際連接該二重摻雜子區域或該些重摻雜子區域，以該光線應用來電性連接至該第一摻雜區域及該第二摻雜區域之間形成該電位。
9. 如申請專利範圍第 1 項所述之半導體基板，其中該摻雜區域包含：  
一或多個 N 型井(N-wells)，其位於部份的該透光區域

之下；及

一或多個重摻雜子區域，其包含一重摻雜 P 型子區域；

其中，該至少一 N 型井及該至少一重摻雜子區域由內延伸至該基板部的一外部表面形成一指狀排列；

其中，至少一水平的接面至少由該重摻雜 P 型子區域及該 N 型井所形成。

10. 如申請專利範圍第 1 項所述之半導體基板，其中該半導體基板為絕緣層上覆矽(Silicon-On-Insulator, SOI)之類型的基板。
11. 如申請專利範圍第 1 項所述之半導體基板，其中該摻雜區域包含一 N 型井(N-well)及多個重摻雜子區域，該些重摻雜子區域包含一延伸的重摻雜 P 型子區域，用以由下方的該電性接點穿過該透光區域到另一該電性接點。
12. 如申請專利範圍第 1 項所述之半導體基板，其中更包含一或多個測試電路，該至少一測試電路由一或多個電性接點所接收的電壓進行觸發。
13. 一種半導體基板，包含：
  - 一電路，用以形成在該半導體基板之上；
  - 一透光區域，用以形成在該該半導體基板之上；及
  - 一光電二極體，用以形成在該半導體基板的一表面之上，該表面與該透光區域重疊以提供該電路電力，該光電二極體由一摻雜區域組所組成，包含至少二相對的摻雜區域以光線應用產生一光電伏。
14. 如申請專利範圍第 13 項所述之半導體基板，其中該摻雜區

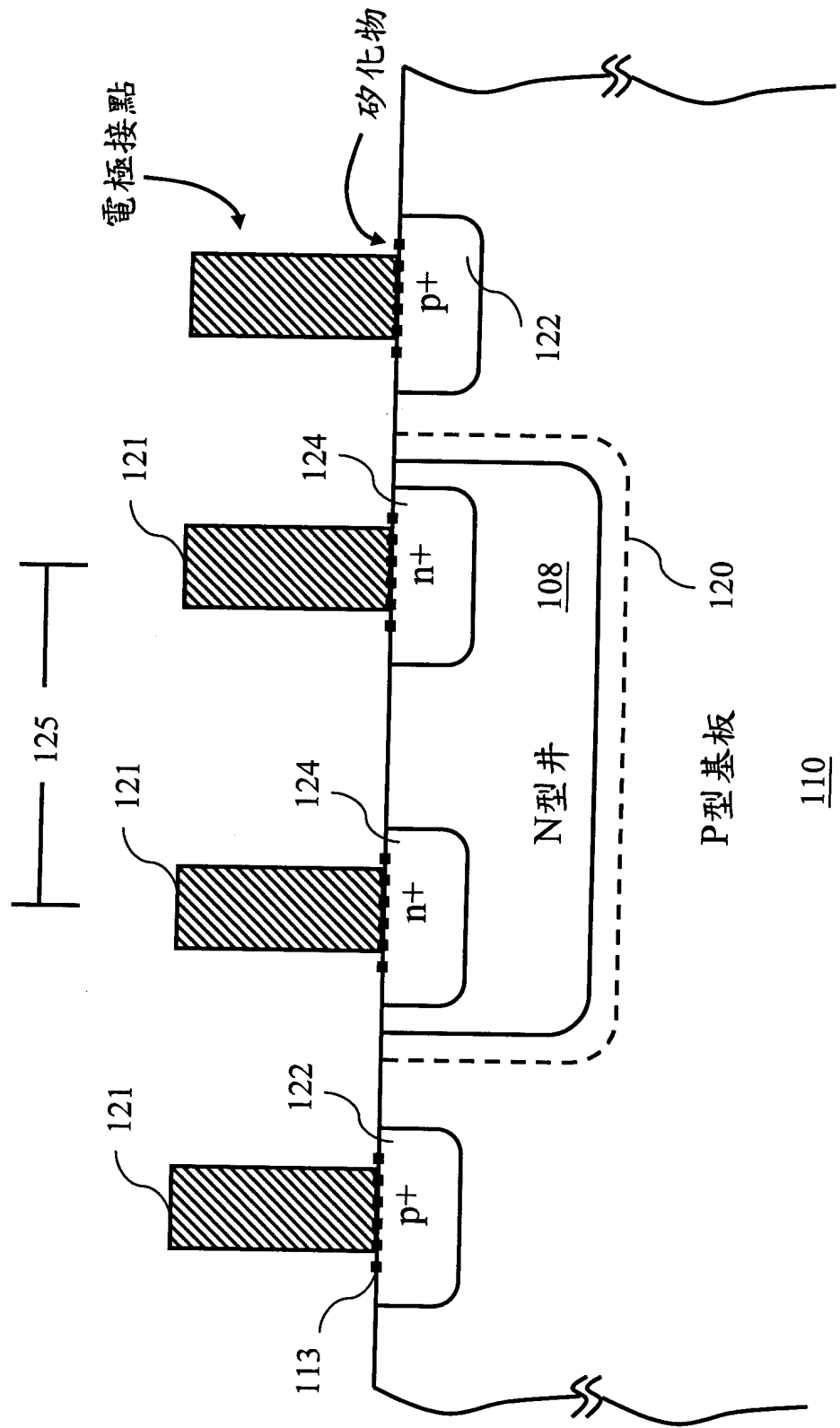
域組形成該光電二極體包含一重摻雜 P 型區域，該重摻雜 P 型區域與一 N 型井(N-well)合併。

15. 如申請專利範圍第 14 項所述之半導體基板，其中該重摻雜 P 型區域包含一延伸在該 N 型井內的淺層。
16. 如申請專利範圍第 14 項所述之半導體基板，其中該光電二極體更包含一重摻雜 N 型區域形成在該 N 型井內。
17. 如申請專利範圍第 14 項所述之半導體基板，其中該光電二極體在該 N 型井的該重摻雜 N 型區域電性隔離。
18. 如申請專利範圍第 13 項所述之半導體基板，其中該半導體基板為絕緣層上覆矽(Silicon-On-Insulator, SOI)之類型，以及其中該摻雜區域組所形成的該光電二極體包含一重摻雜 P 型區域，該重摻雜 P 型區域相鄰於一重摻雜 N 型區域以便形成一指狀排列。
19. 如申請專利範圍第 13 項所述之半導體基板，其中該光電二極體的接面為垂直方向。
20. 如申請專利範圍第 13 項所述之半導體基板，其中該光電二極體的接面為平行方向。
21. 如申請專利範圍第 13 項所述之半導體基板，其中該透光區域的光線來自一光源，能夠達到該半導體基板的一表面，該表面位於半導體晶圓的背面，其相對於包含該摻雜區域的面。
22. 如申請專利範圍第 13 項所述之半導體基板，其中該半導體基板可在該光電二極體的一表面下被照明，用以提供觸發該光電二極體以引導電流至該半導體基板上。

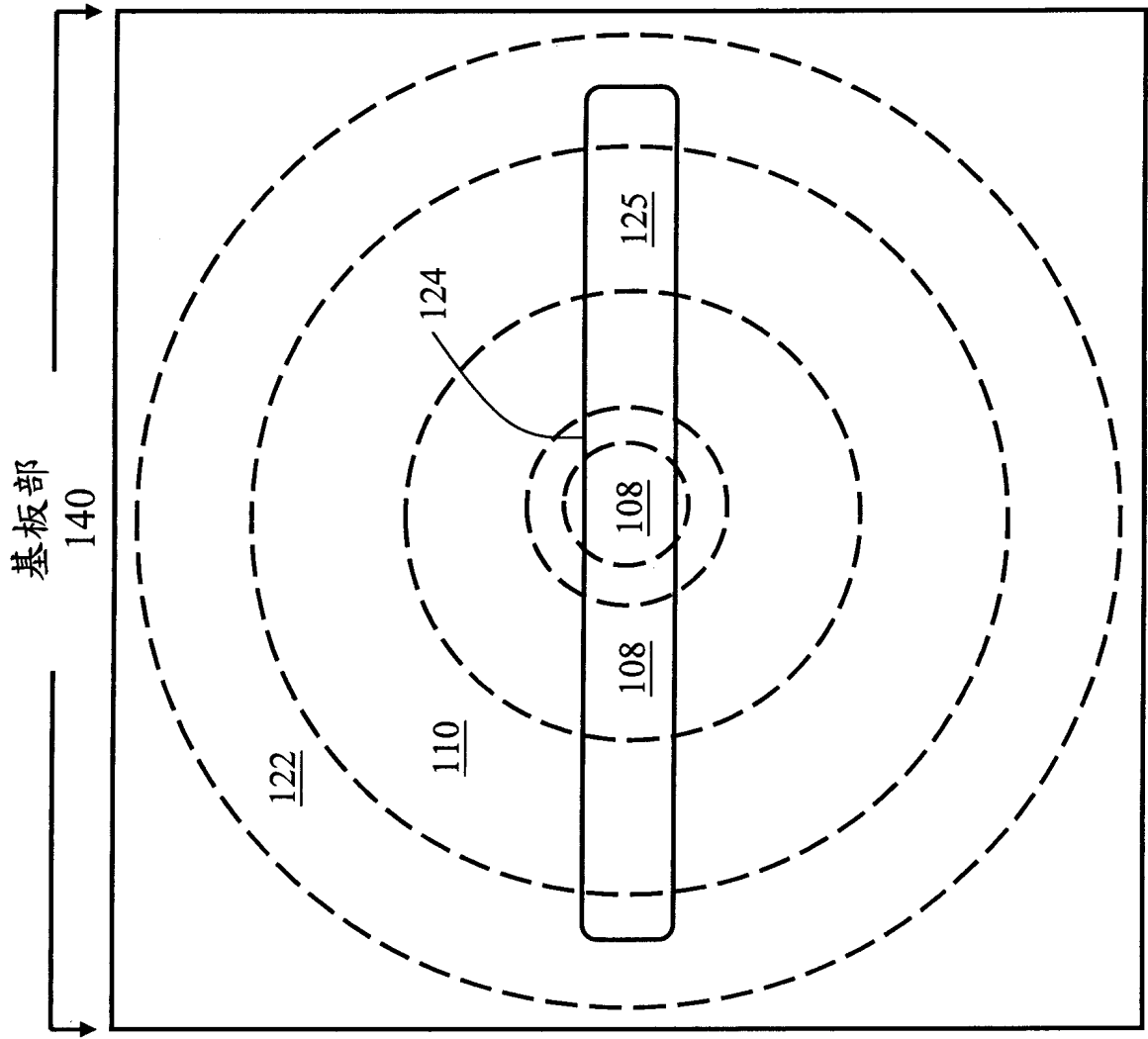
23. 一種形成在半導體基板上之光電二極體，該光電二極體包含：

一基板區域，該基板區域包含摻雜到電子及電洞擴散的一接面之相鄰部分；及

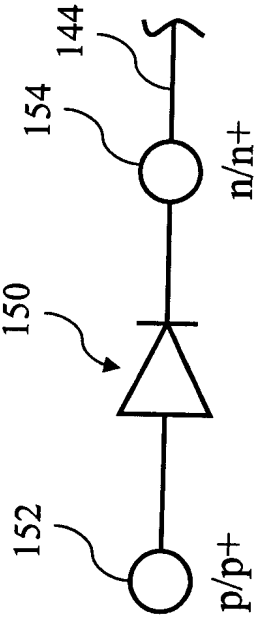
一雷射透光區域，用以曝光形成在該半導體基板的一表面以覆蓋該基板區域，曝光後的總面積小於公釐。



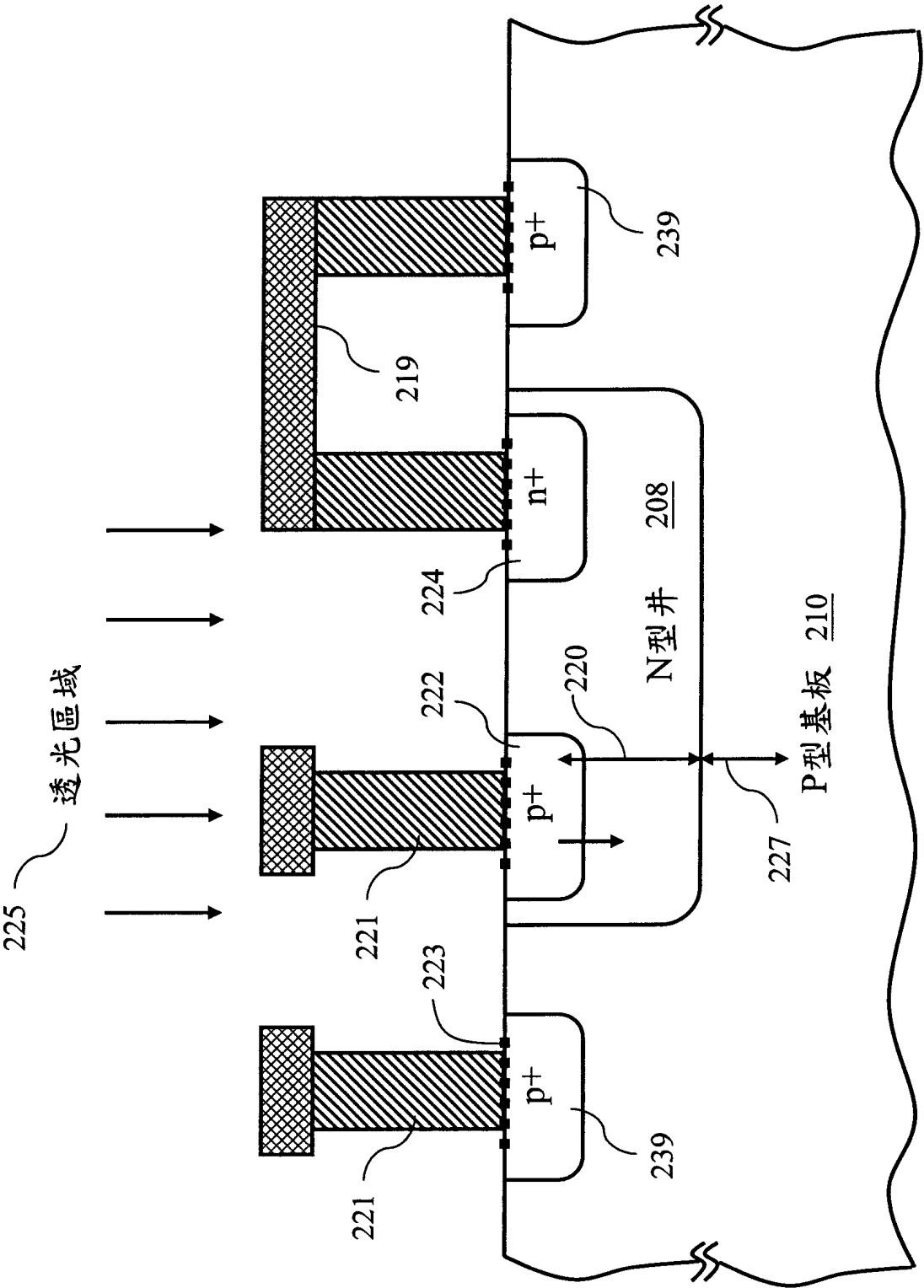
第 1A 圖



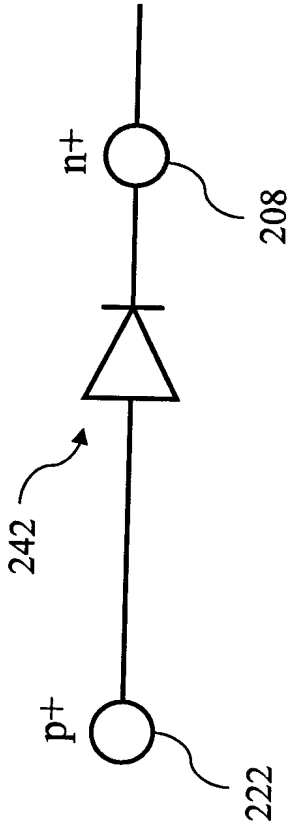
第 1B 圖



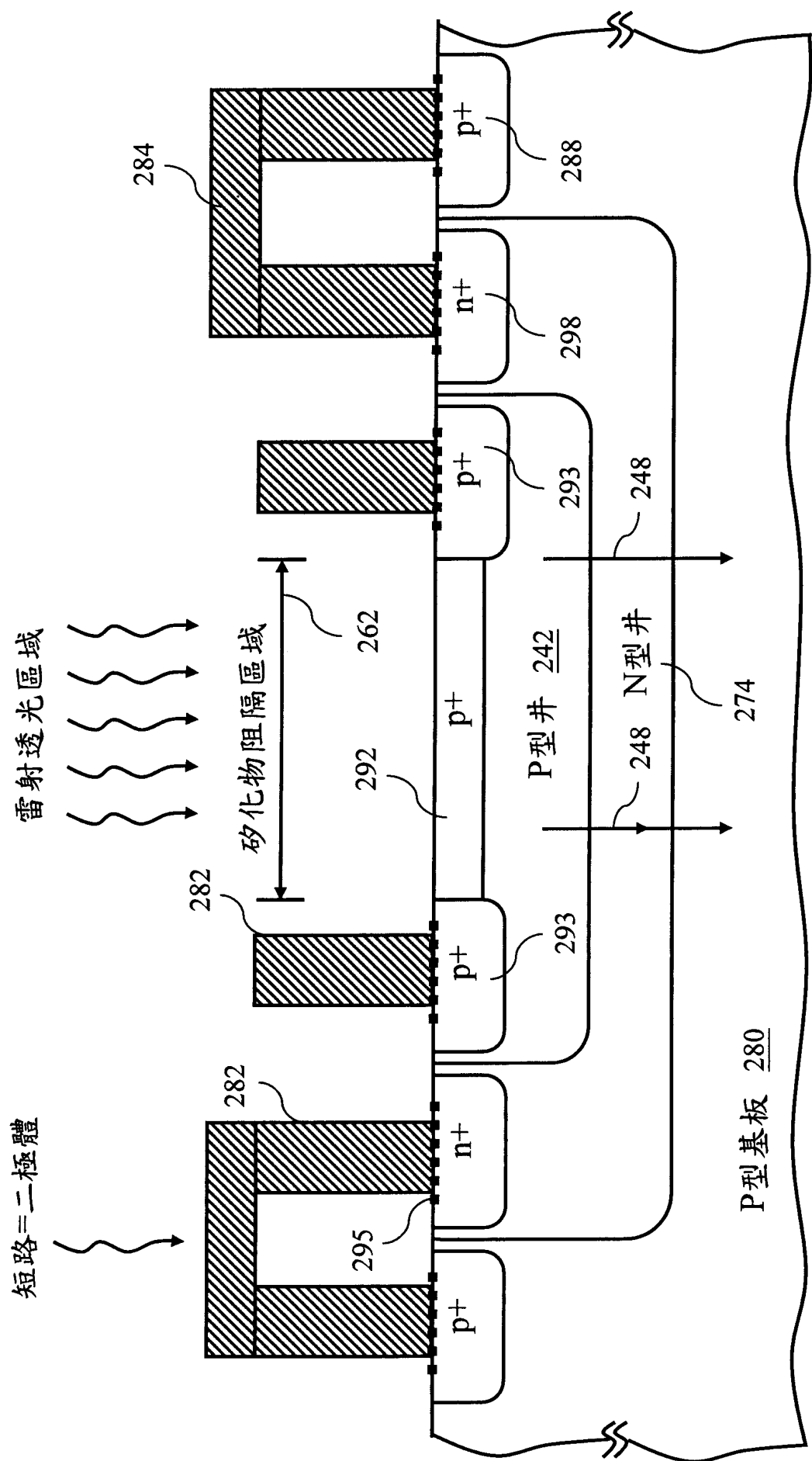
第 1C 圖



第 2A 圖



第 2B 圖



第 2C 圖

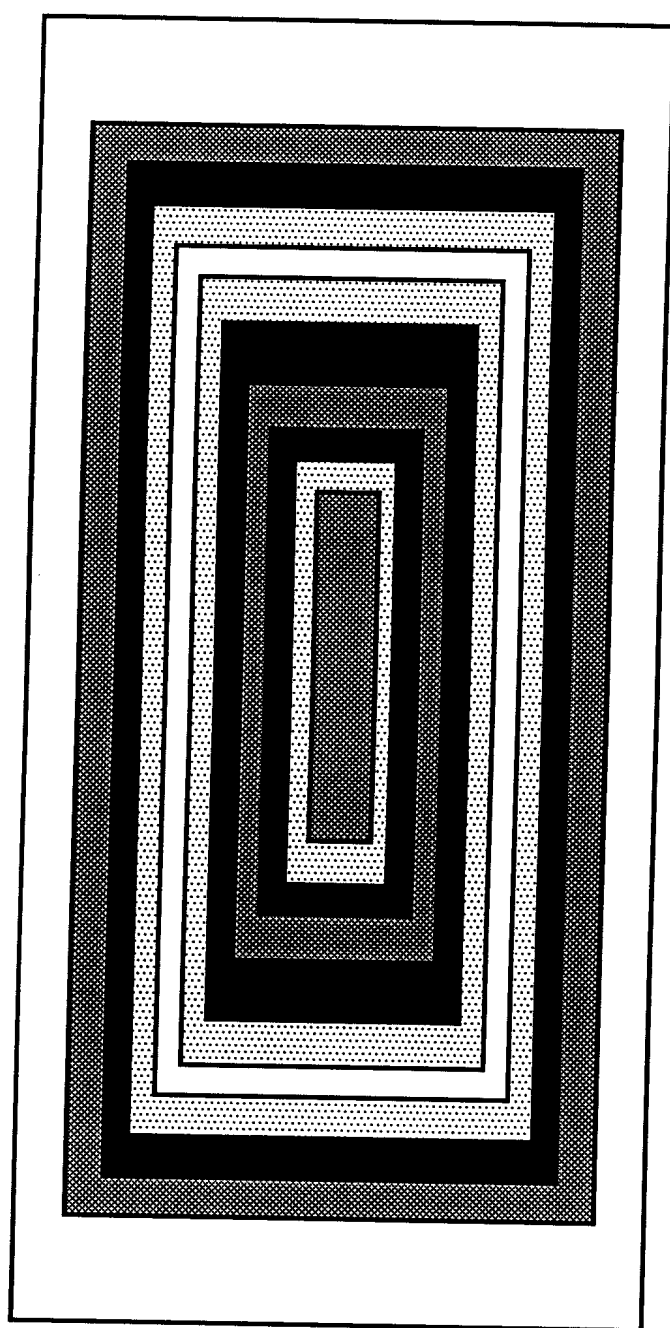
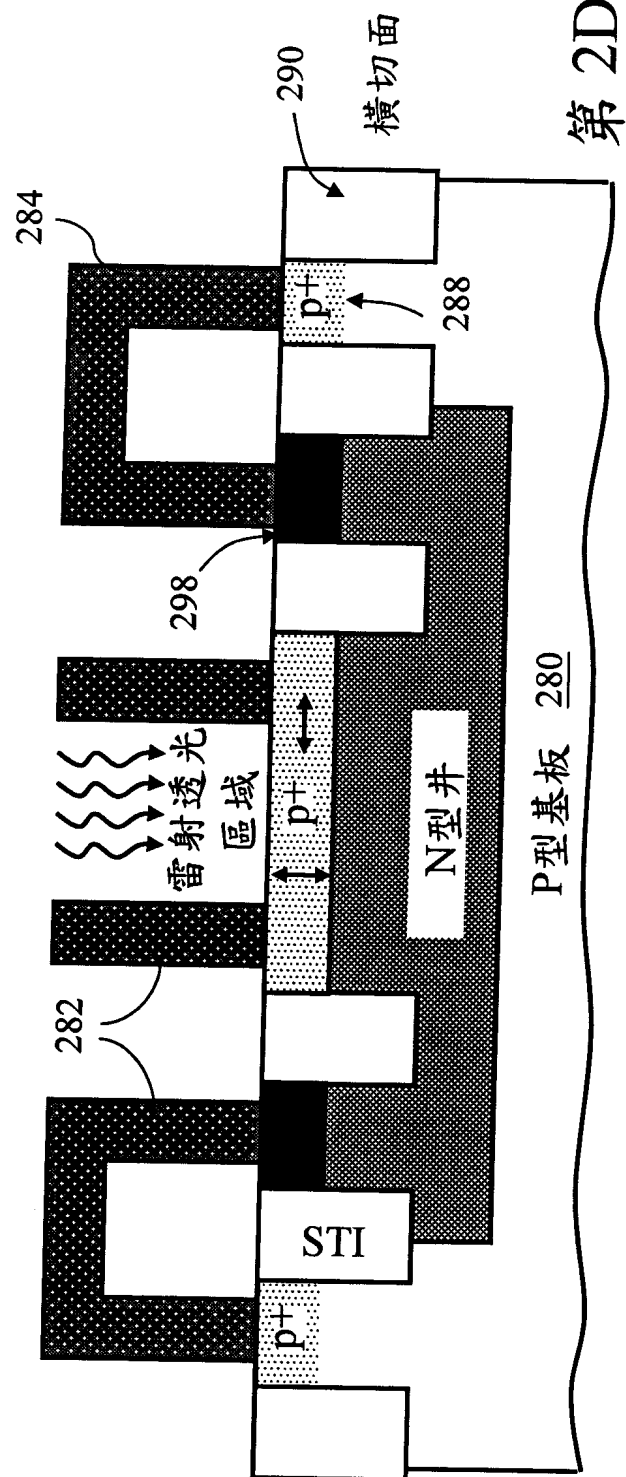
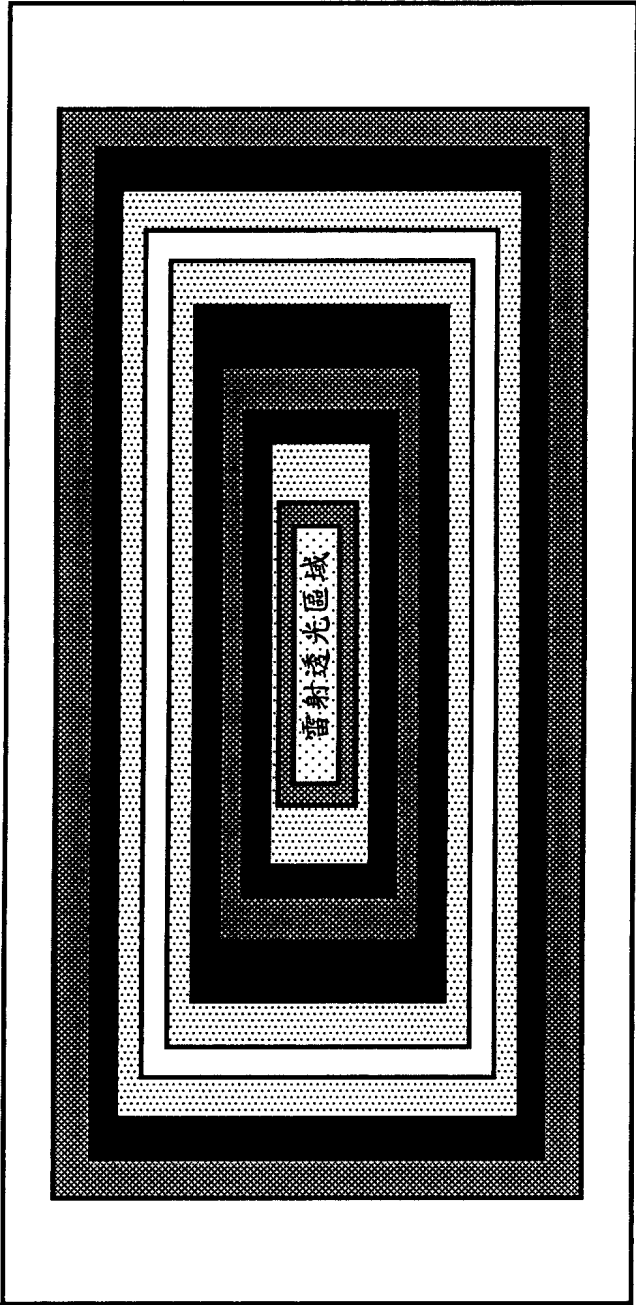


圖 2E 第



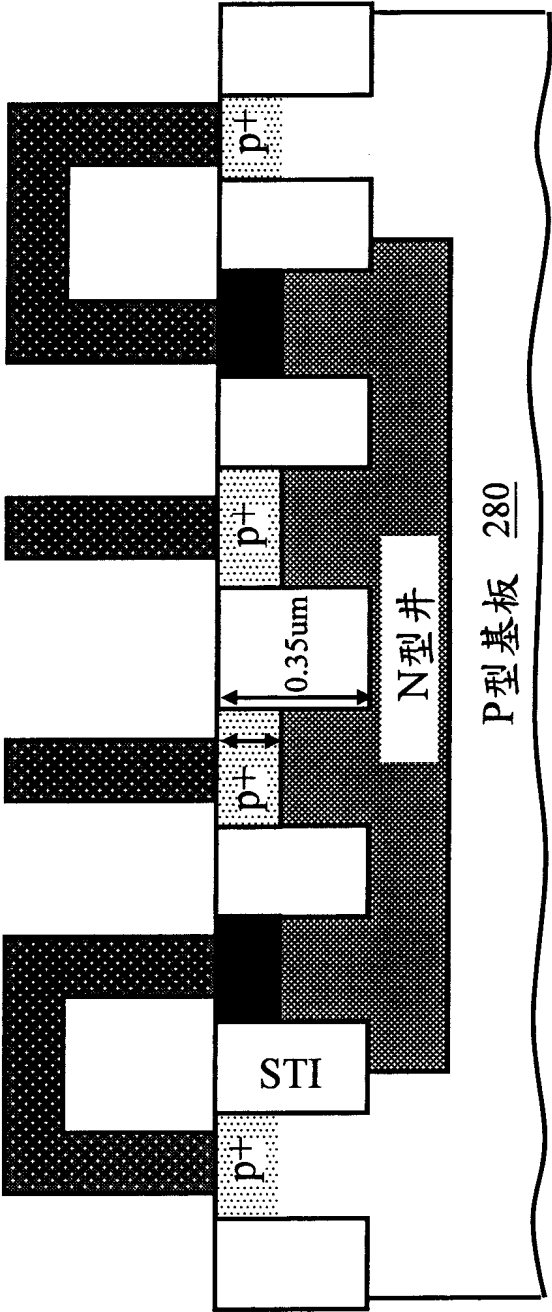
## 第2D圖

佈局

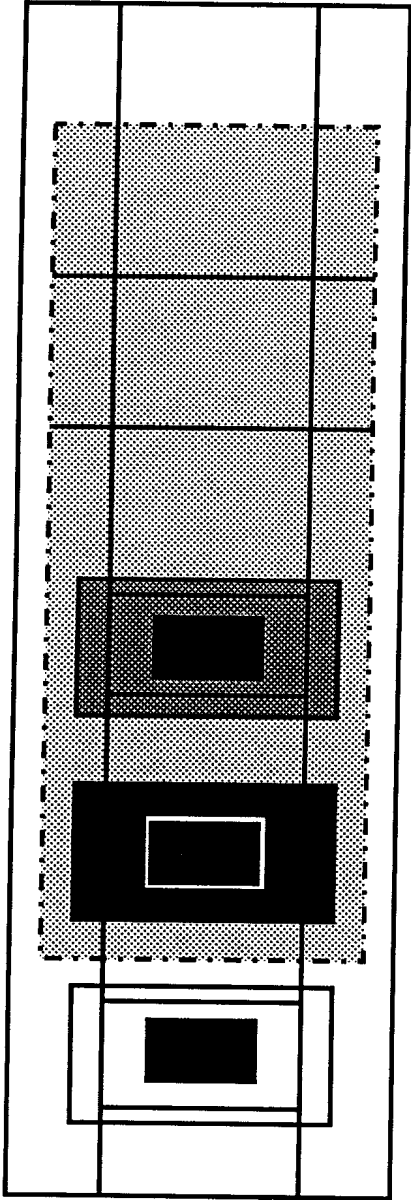


第 2G 圖

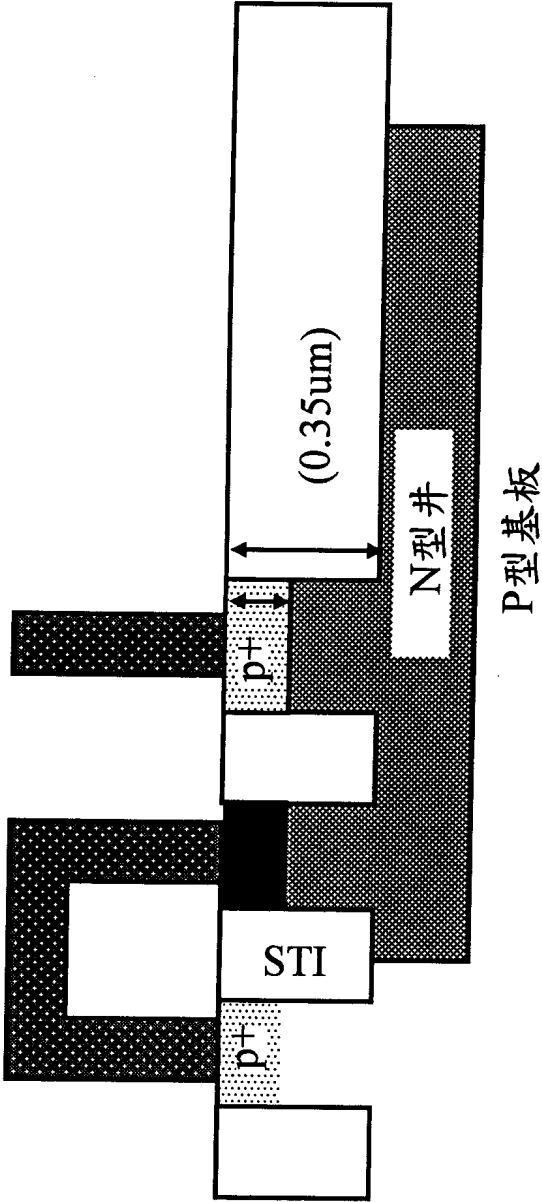
橫切面



第 2F 圖



第 2I 圖



第 2H 圖

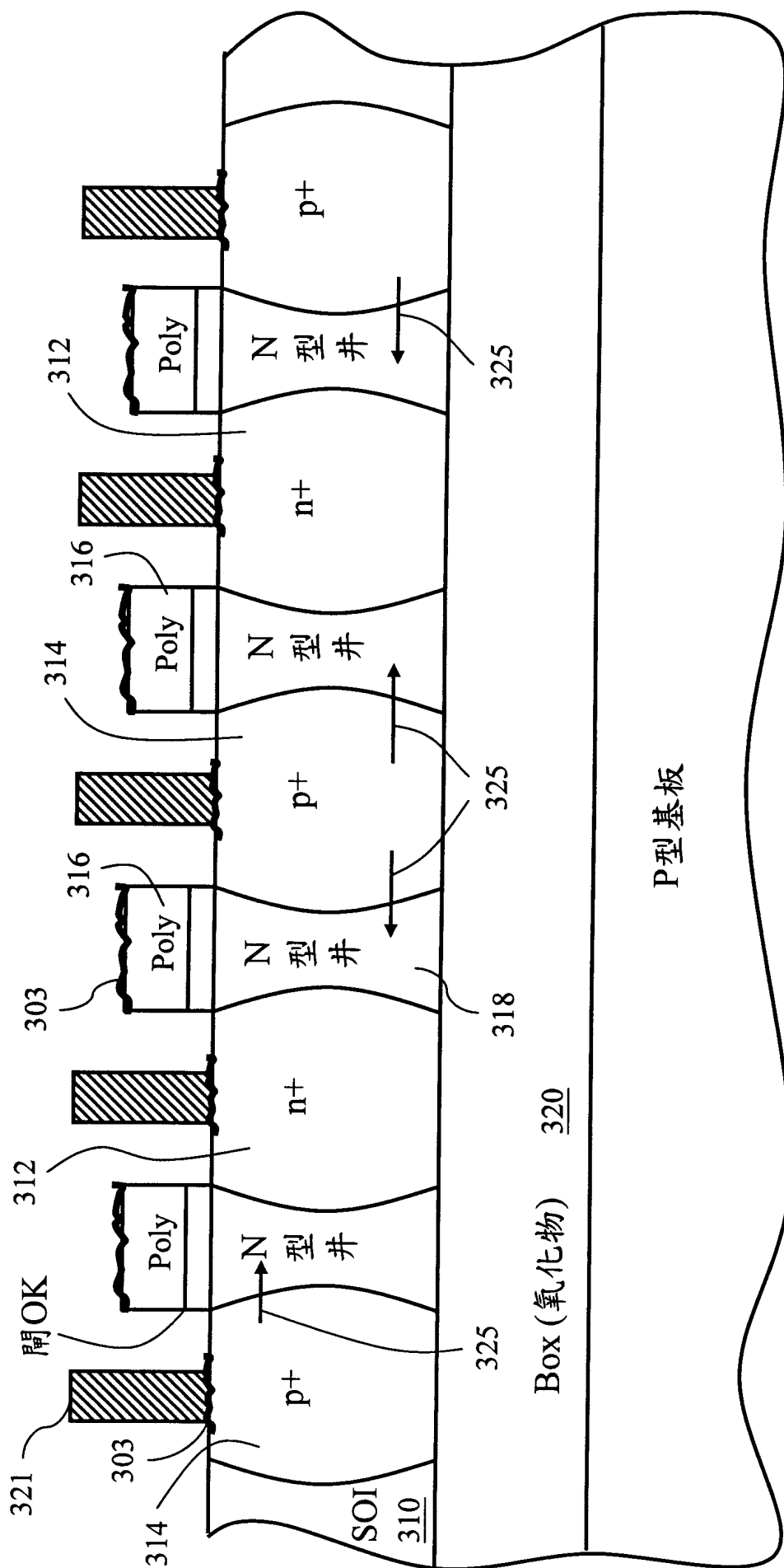
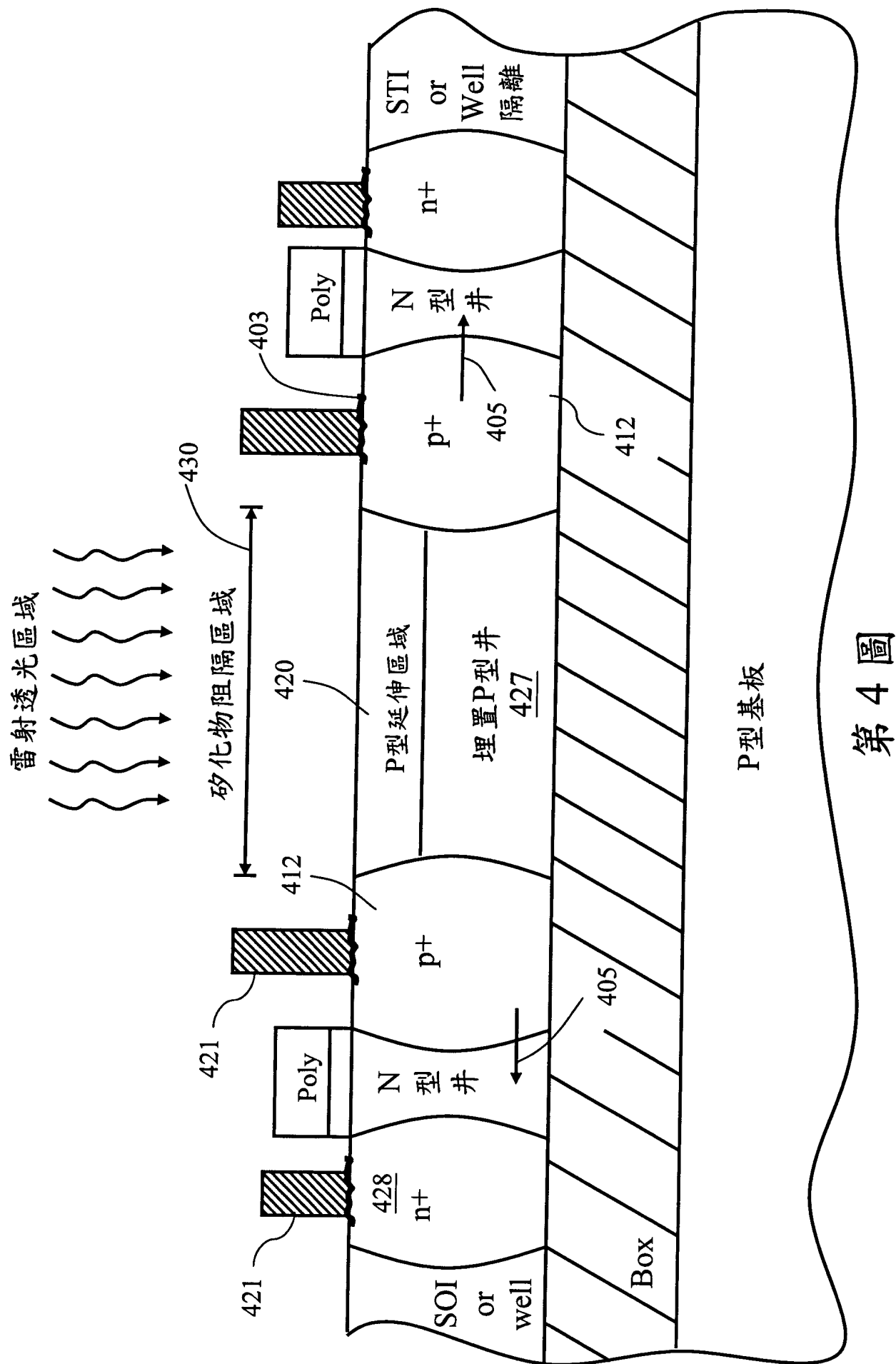
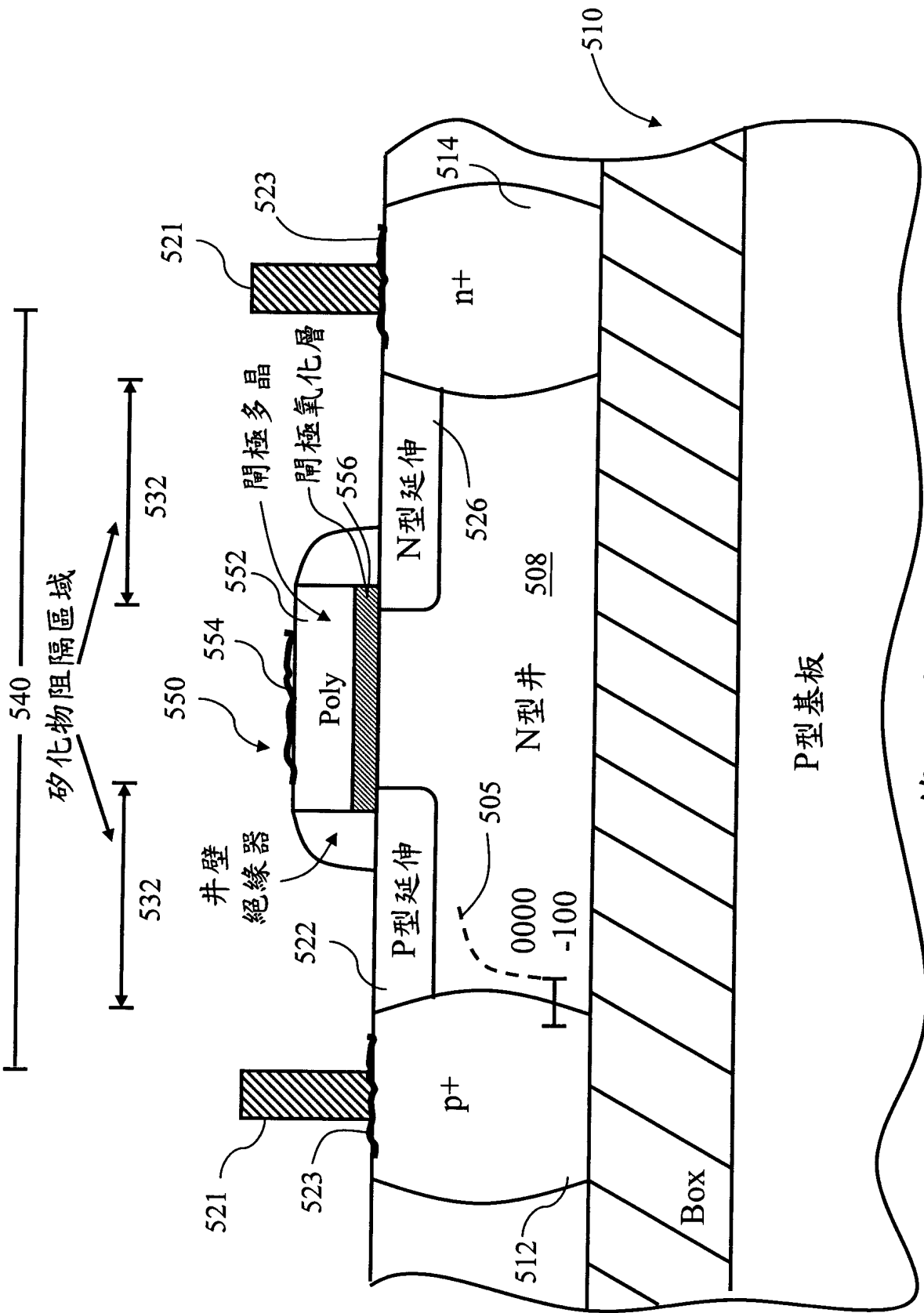


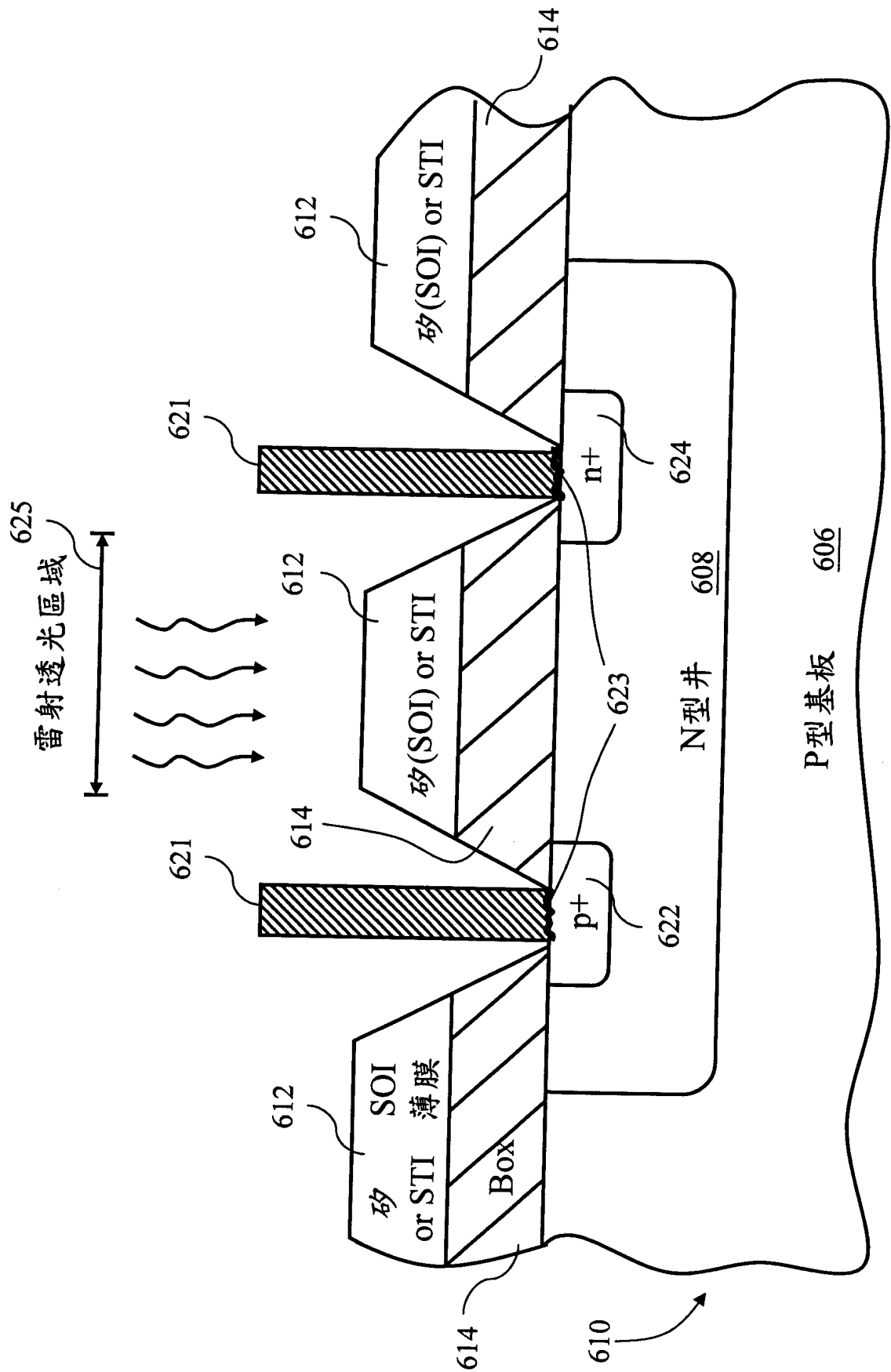
圖  
3  
第



第 4 圖



第 5 圖



第 6 圖

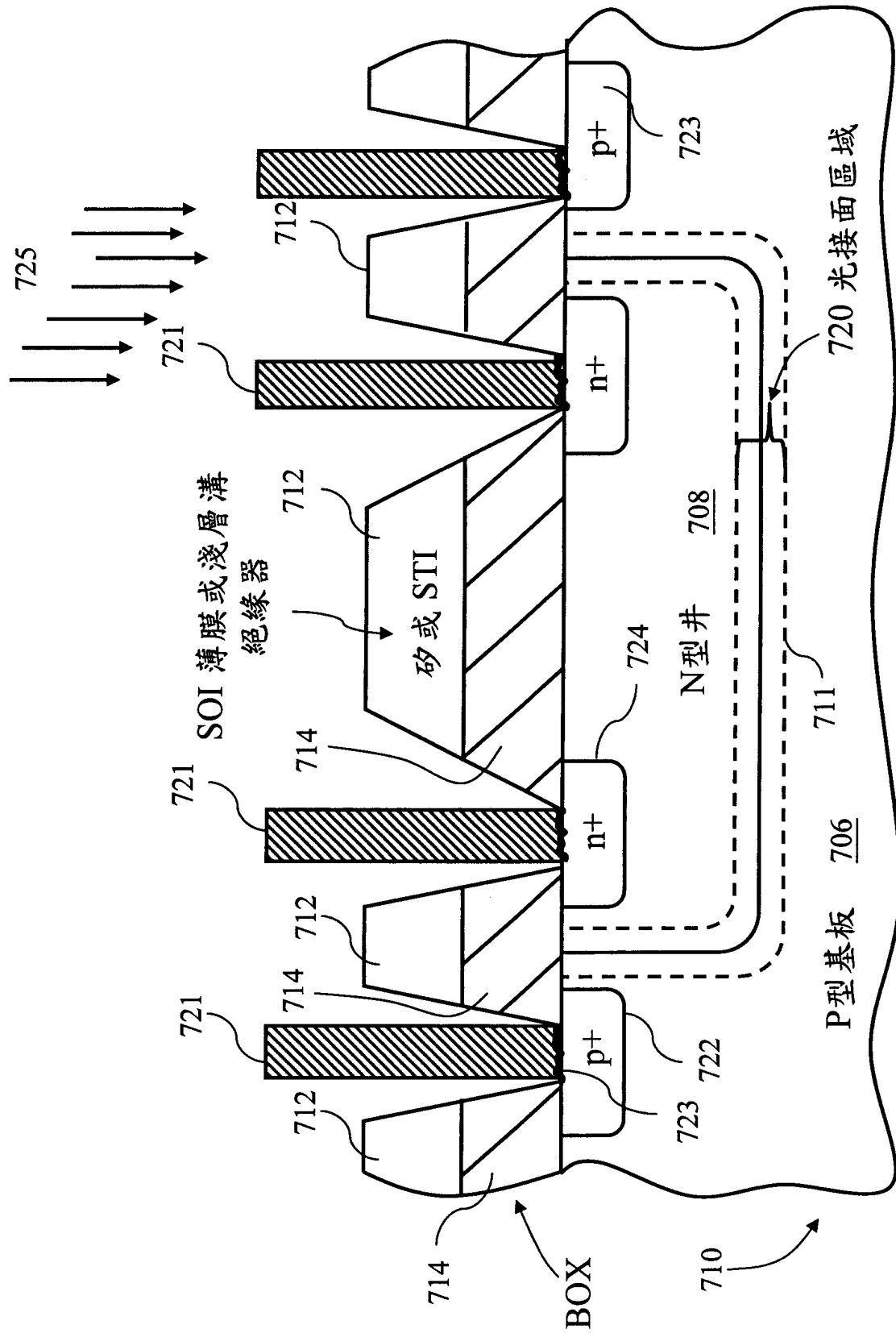
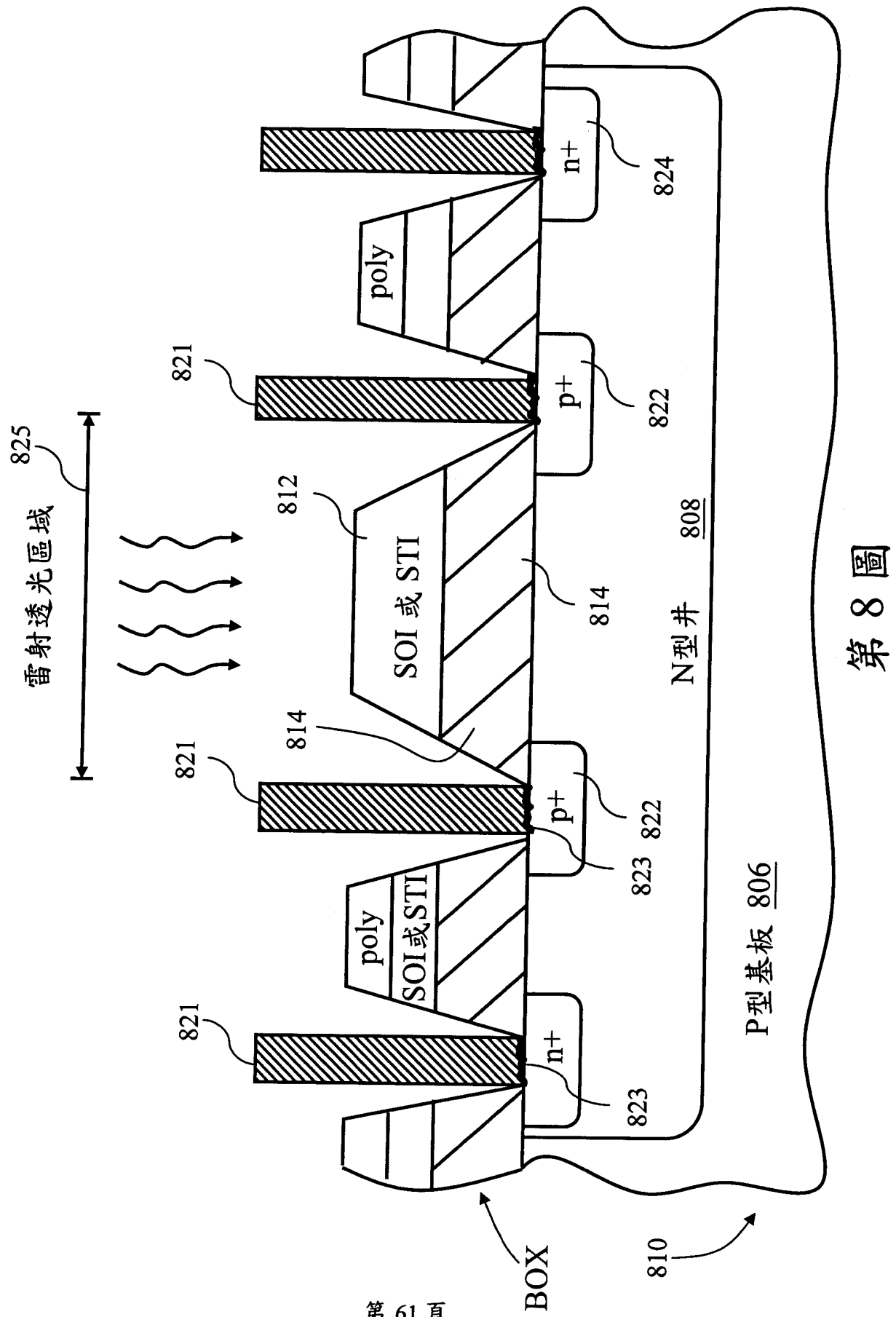
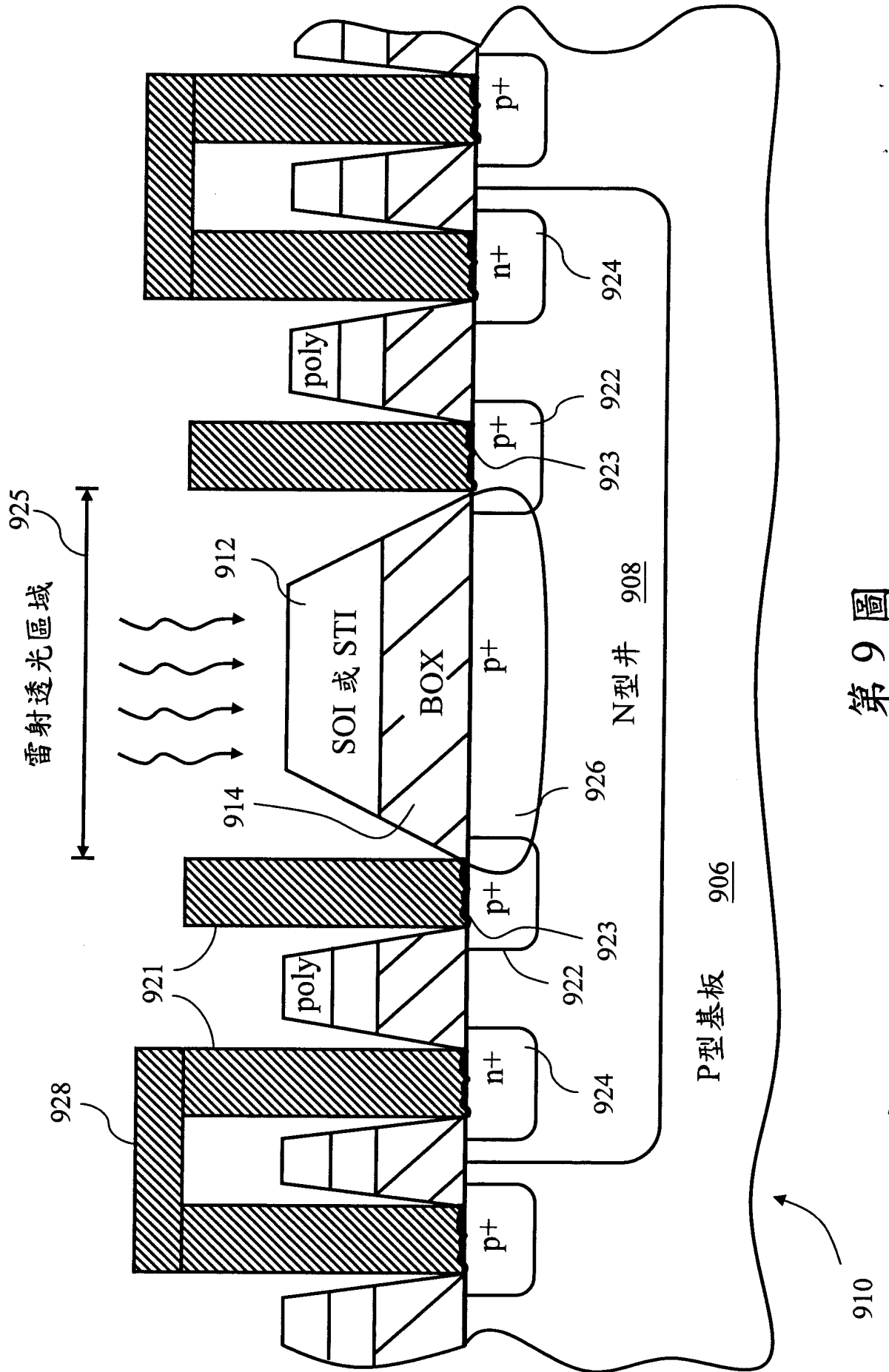
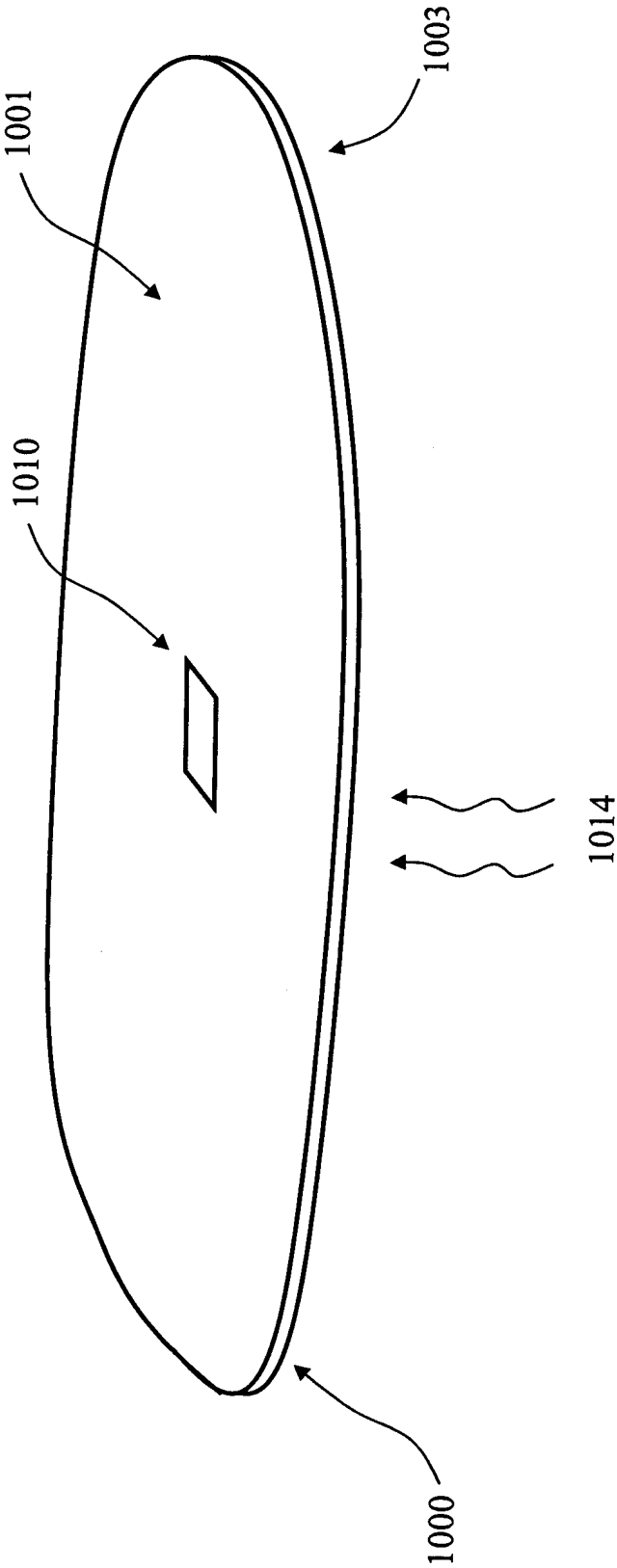


圖 7 第

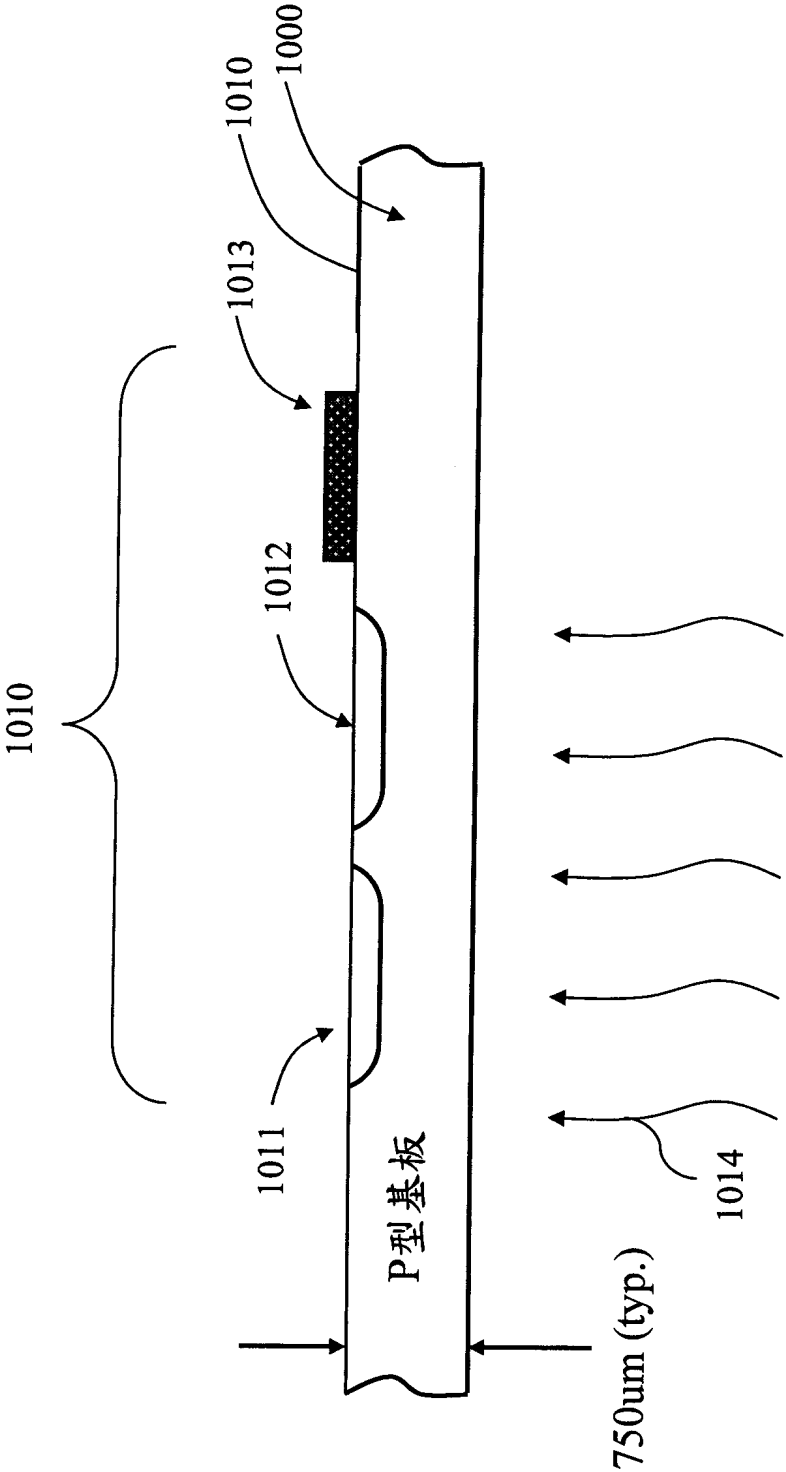


第 8 圖

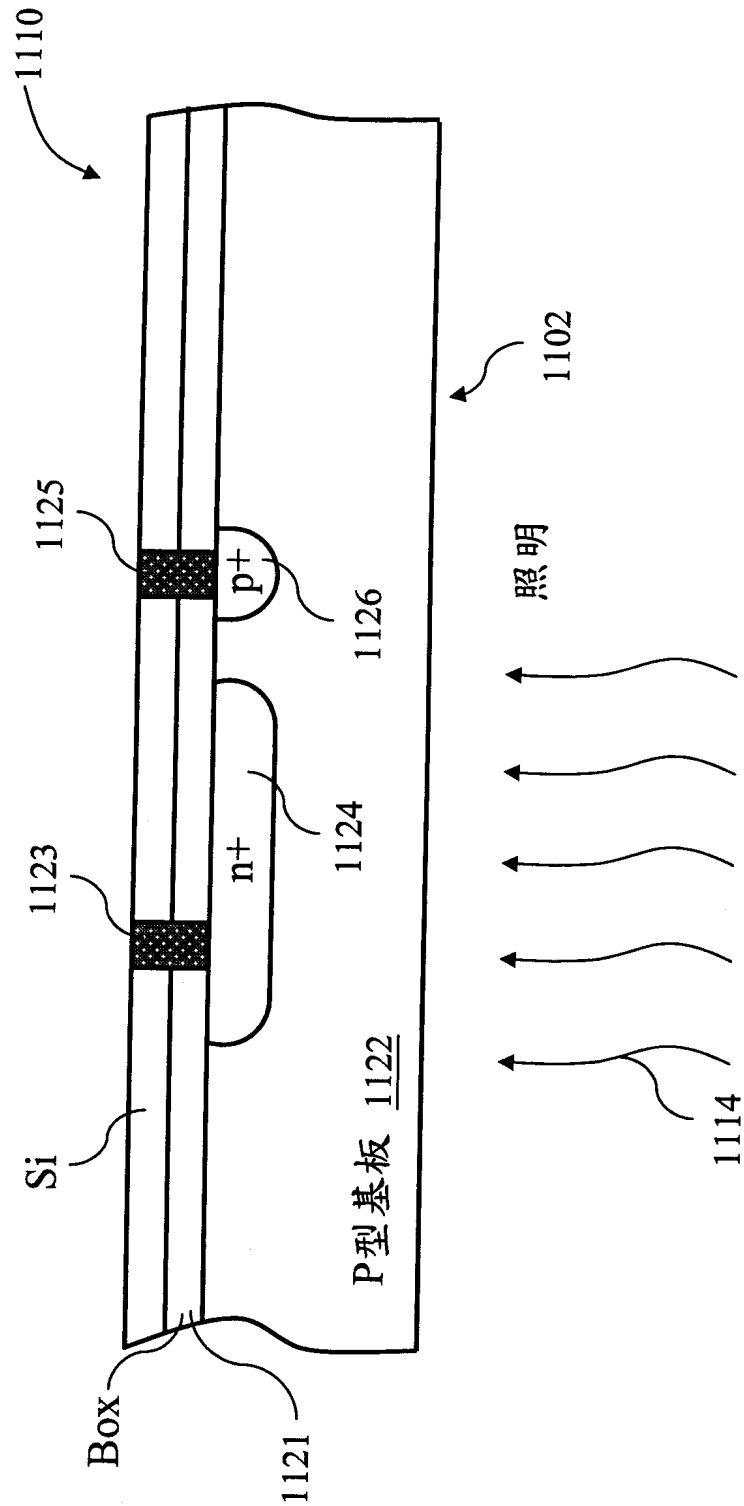




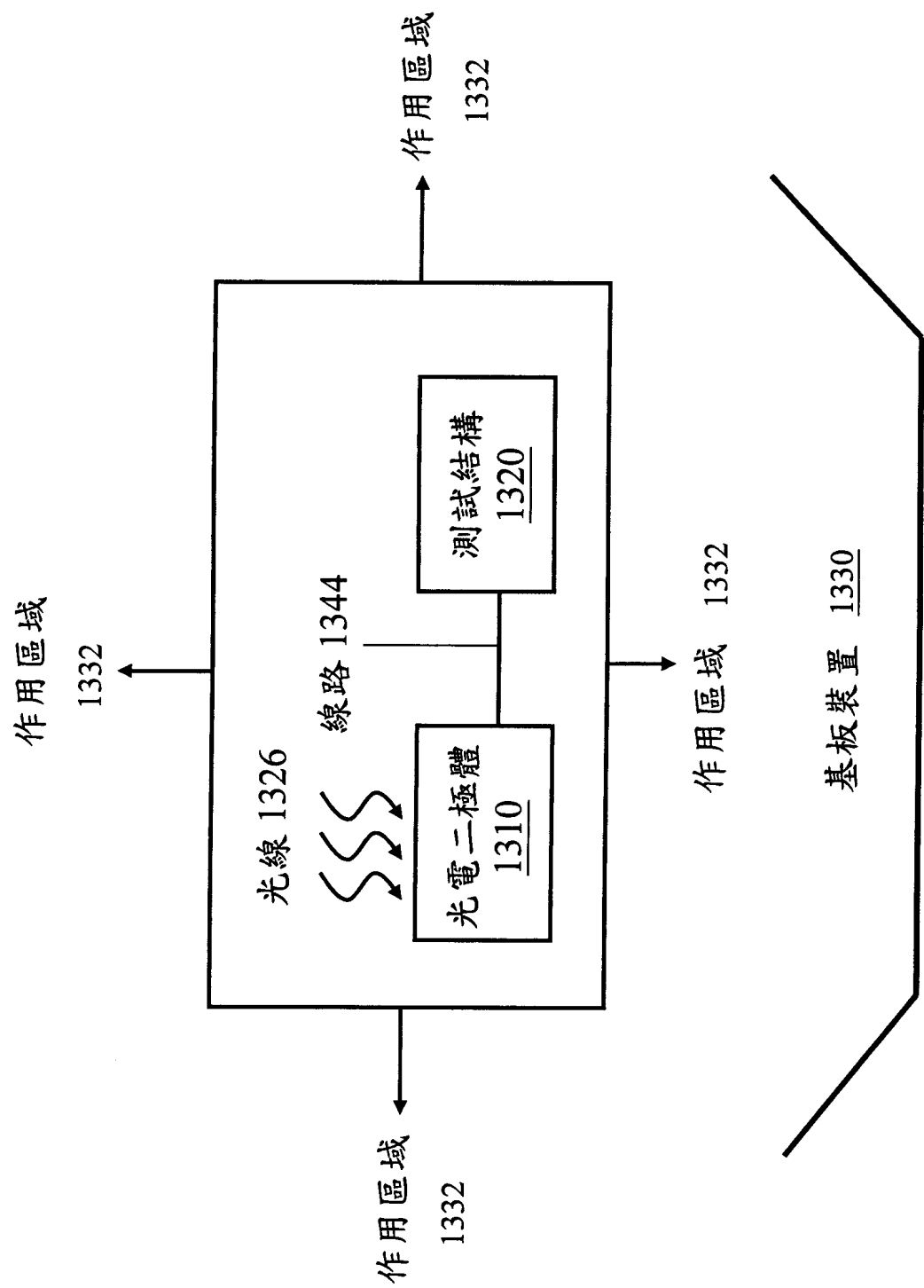
第 10 圖



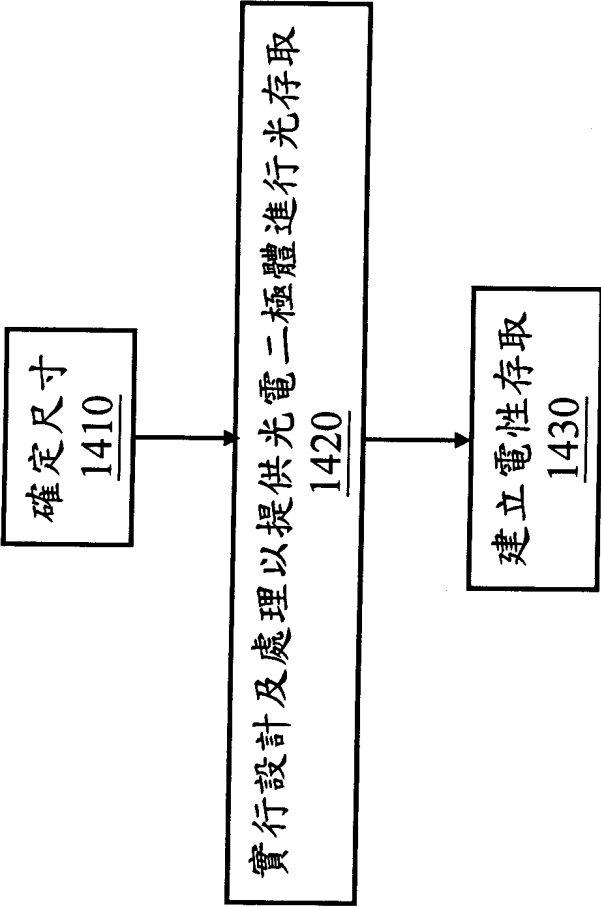
第 11 圖



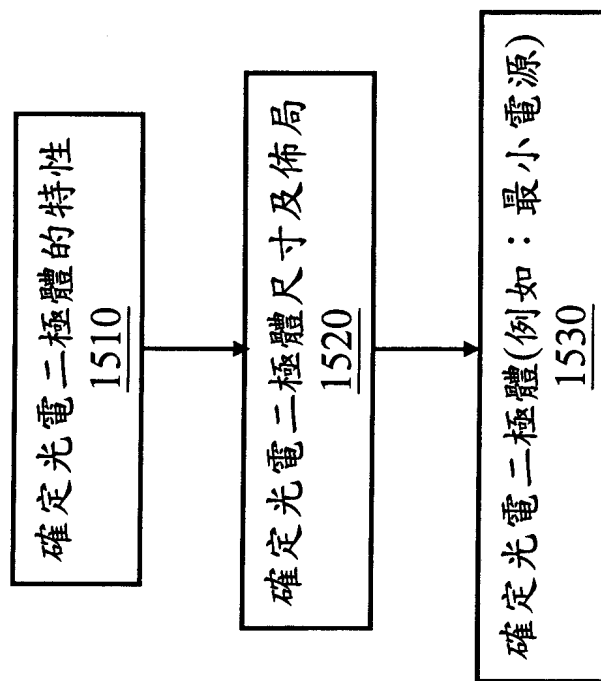
第 12 圖



第 13 圖



第 14 圖



第 15 圖

四、指定代表圖：

(一)本案指定代表圖為：第 ( 2A ) 圖。

(二)本案指定代表圖之元件符號說明：

|     |          |
|-----|----------|
| 208 | N 型井     |
| 210 | P 型基板    |
| 219 | 電性連接     |
| 220 | PN 接面    |
| 221 | 電性接點     |
| 222 | P 型區域    |
| 224 | N 型區域    |
| 225 | 透光區域     |
| 227 | 第二 PN 接面 |
| 239 | P 型區域    |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無