



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0049126
(43) 공개일자 2019년05월09일

(51) 국제특허분류(Int. Cl.)
B81B 7/00 (2017.01) B81C 1/00 (2006.01)
H01L 23/485 (2006.01) H01L 25/07 (2006.01)
(52) CPC특허분류
B81B 7/0032 (2013.01)
B81C 1/00261 (2013.01)
(21) 출원번호 10-2017-0144644
(22) 출원일자 2017년11월01일
심사청구일자 2017년11월01일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
최우영
서울특별시 마포구 신수로 15, 102동 403호(현석동, 강변힐스테이트)
(74) 대리인
정부연

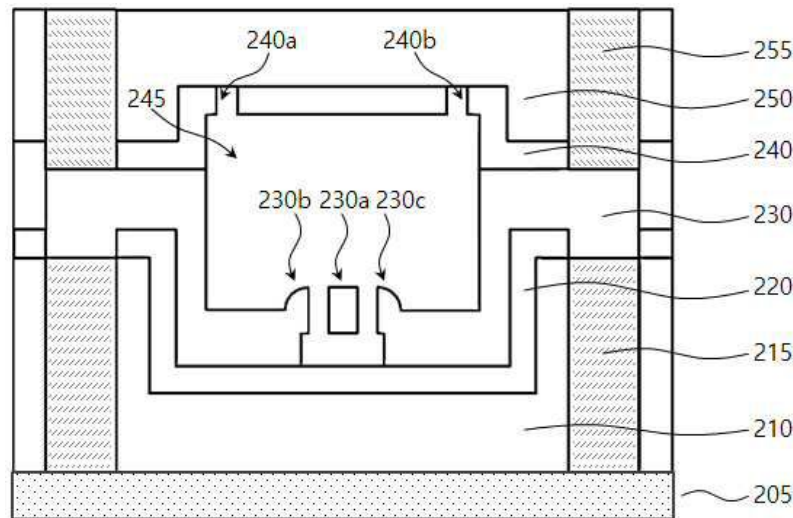
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 전기기계 소자 패키지 및 이의 제조 방법

(57) 요약

전기기계 소자 패키지 제조 방법은 (a) 기관의 상부에 있는 제1 패시베이션층의 상부에 하부 희생층을 증착하는 단계, (b) 상기 하부 희생층의 일부를 식각하고 상기 하부 희생층의 나머지를 매립하여 금속층을 형성하는 단계, (c) 상기 금속층을 가공하여 전자기계 소자를 형성하는 단계, (d) 상기 전자기계 소자의 활성영역을 형성하기 위해 상기 전자기계 소자의 상부에 제2 패시베이션층을 증착하는 단계 및 (f) 상기 제2 패시베이션층에 관통공을 형성하여 상기 하부 희생층을 제거하는 단계를 포함한다.

대표도 - 도2o



(52) CPC특허분류

H01L 23/485 (2013.01)

H01L 25/073 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711051779

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 중견연구자지원사업

연구과제명 모노리식 삼차원 집적기술을 이용한 CMOS-나노전기기계 하이브리드 기능전환형 논리 시스템의 개발

기여율 0.5/1

주관기관 서강대학교

연구기간 2017.05.01 ~ 2018.04.30

이 발명을 지원한 국가연구개발사업

과제고유번호 1711057795

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 나노·소재기술개발사업

연구과제명 3차원 적층 소자용 NEMS 기반 공정 플랫폼 개발

기여율 0.5/1

주관기관 서강대학교

연구기간 2017.07.01 ~ 2018.04.30

명세서

청구범위

청구항 1

- (a) 기판의 상부에 있는 제1 패시베이션층의 상부에 하부 회생층을 증착하는 단계;
- (b) 상기 하부 회생층의 일부를 식각하고 상기 하부 회생층의 나머지를 매립하여 금속층을 형성하는 단계;
- (c) 상기 금속층을 가공하여 전자기계 소자를 형성하는 단계;
- (d) 상기 전자기계 소자의 활성영역을 형성하기 위해 상기 전자기계 소자의 상부에 제2 패시베이션층을 증착하는 단계; 및
- (f) 상기 제2 패시베이션층에 관통공을 형성하여 상기 하부 회생층을 제거하는 단계를 포함하는 전자기계 소자 패키지 제조 방법.

청구항 2

제1항에 있어서, 상기 (a) 단계는

상기 기판에 층간 절연막으로서 형성된 절연층의 일부를 식각하고 상기 식각된 절연층의 상부에 상기 제1 패시베이션층을 증착하는 단계를 포함하는 것을 특징으로 하는 전자기계 소자 패키지 제조 방법.

청구항 3

제2항에 있어서, 상기 제1 패시베이션층은

상기 트랜지스터와 연결된 트랜지스터 금속 배선층 상에 형성되는 것을 특징으로 하는 전자기계 소자 패키지 제조 방법.

청구항 4

제1항에 있어서, 상기 제1 패시베이션층은

증기 HF 식각에 대한 내식성이 제1 기준 값 이상이고 상기 하부 회생층과 상기 증기 HF 식각에 대한 선택비가 제2 기준 값 이상인 알루미늄 산화물로 구성되는 것을 특징으로 하는 전자기계 소자 패키지 제조 방법.

청구항 5

제1항에 있어서, 상기 (b) 단계는

상기 하부 회생층의 중심부가 노출되도록 해당 중심부의 양단을 식각하는 단계; 및

상기 노출된 하부 회생층의 중심부를 둘러싸도록 상기 제1 패시베이션층의 상부에 상기 금속층을 증착하는 단계를 포함하는 것을 특징으로 하는 전자기계 소자 패키지 제조 방법.

청구항 6

제1항에 있어서, 상기 (c) 단계는

상기 하부 회생층의 나머지와 접촉하는 상기 금속층의 상부 영역을 패터닝하거나 이온 빔 가공하여 동일 수직평

면 상에서 상기 제1 패시베이션층과 이격되는 도전성 빔 라인 및 상기 도전성 빔 라인의 양측에서 상호 대향하는 전극들을 포함하는 상기 전자기계 소자를 형성하는 단계를 포함하는 것을 특징으로 하는 전자기계 소자 패키지 제조 방법.

청구항 7

제1항에 있어서, 상기 (d) 단계는

(d-1) 상기 전자기계 소자의 상부에 상부 희생층을 증착하여 상기 상부 희생층과 상기 하부 희생층이 접촉되도록 하는 단계; 및

(d-2) 상기 상부 희생층의 일부를 식각하고 상기 상부 희생층의 나머지가 매립되도록 상기 상부 희생층 상에 상기 제2 패시베이션층을 증착하는 단계를 포함하는 것을 특징으로 하는 전자기계 소자 패키지 제조 방법.

청구항 8

제7항에 있어서, 상기 (f) 단계는

상기 관통공을 통해 상기 상부 및 하부 희생층들을 식각하여 상기 전자기계 소자가 기계적으로 스위치하기 위한 상기 활성영역을 형성하는 단계를 포함하는 것을 특징으로 하는 전자기계 소자 패키지 제조 방법.

청구항 9

제8항에 있어서, 상기 (f) 단계는

증기 HF 식각 공정을 통해 상기 활성영역을 형성하는 단계를 포함하는 것을 특징으로 하는 전자기계 소자 패키지 제조 방법.

청구항 10

제1항에 있어서,

(g) 상기 제2 패시베이션층의 상부에 차폐층을 증착하여 상기 하부 희생층의 제거를 통해 형성된 상기 활성영역을 진공 또는 공공 상태로 패키징하는 단계를 더 포함하는 것을 특징으로 하는 전자기계 소자 패키지 제조 방법.

청구항 11

제10항에 있어서, 상기 (g) 단계는

상기 활성영역 내부로 상기 차폐층의 구성 물질이 유입되지 않도록 스퍼터링 공정을 통해 제3 기준 값 이상의 증착 속도로 상기 차폐층을 증착시키는 단계를 포함하는 것을 특징으로 하는 전자기계 소자 패키지 제조 방법.

청구항 12

(a) 기판 상에 형성된 제1 패시베이션층의 상부에 하부 희생층을 증착하고, 상기 하부 희생층의 상부에 전자기계 소자를 형성하는 단계;

(b) 상기 전자기계 소자의 상부에 상기 하부 희생층과 접촉하는 상부 희생층을 증착하고, 상기 상부 희생층의 상부에 제2 패시베이션층을 증착하는 단계; 및

(f) 상기 제2 패시베이션층에 관통공을 형성하고, 상기 관통공을 통해 상기 상부 및 하부 희생층들을 제거하여

상기 전자기계 소자의 활성영역을 형성하는 단계를 포함하는 전자기계 소자 패키지 제조 방법.

청구항 13

기관;

상기 기관의 상부에서 상기 기관에 기 형성되었던 희생층을 제거하여 상기 기관을 이격시킨 활성영역에 형성된 도전성 빔 라인과 상기 도전성 빔 라인의 양측에서 상호 대향하는 전극들로 구성되어 기계적으로 스위치되는 전자기계 소자를 포함하는 금속층; 및

상기 금속층의 하부 및 상부에 형성되어 상기 금속층을 매립시키는 제1 및 제2 패시베이션층들을 포함하는 전자기계 소자 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 전자기계 소자 패키징 기술에 관한 것으로, 보다 상세하게는, 반도체 칩 상에 높은 집적도로 삼차원 집적이 가능한 전자기계 소자 패키지를 구현할 수 있는 전자기계 소자 패키지 및 이의 제조 방법을 개시한다.

배경 기술

[0003] 반도체의 재구성 로직을 구현하는 기술의 지속적인 개발에 따라 칩의 면적을 지속적으로 감소되고 있다. 그러나 이러한 면적 감소 만큼 성능 저하, 수율 저하, 금속 배선층의 증가 및 열손실이 초래하는 문제가 있다. 이를 극복하기 위하여 최근 트랜지스터와 다른 소자 간의 삼차원집적이 연구되고 있다. 그 중 CMOS-NEM 재구성 로직은 낮은 에너지소비, 낮은 제조비용, 높은 집적도와 같은 장점이 있다.

[0004] 도 1은 종래 기술에서 제시하는 CMOS(Complementary Metal-Oxide Semiconductor)-NEM(Nano ElectroMechanical) 기반 재구성 로직의 삼차원 집적을 나타내는 모식도이다.

[0005] 도 1에서, 종래 기술은 이온빔(Focus Ion Beam) 기술을 이용하여 기 형성된 금속 배선층을 절단하는 방식으로 전자기계의 구성요소인 전극과 빔을 형성할 수 있다. 이후, CMOS-NEM 재구성 로직에서 NEM 장치의 기계 작동을 위한 공백 공간을 형성하기 위해 희생층의 방출 공정이 필요하고, 이러한 방출 공정은 공정의 마지막 단계에서 증기 HF 식각을 사용하여 전자기계 구조를 덮는 금속 간 유전체(IMD)를 제거할 수 있다. 그러나, 종래 기술은 이러한 과정 전반에서 IMD 및 금속 배선층의 손상을 야기하여 구조적 붕괴 가능성을 유발하므로 IMD 및 금속 배선층에 구조적으로 안정하지 못한 단점이 있다.

[0006] 한국등록특허 제10-0884260호는 마이크로 전자기계 시스템 소자의 패키징 방법 및 그 패키지에 관한 것으로, 마이크로 전자기계 시스템 소자의 패키징 방법은 (a) 마이크로 전자기계 시스템(Micro Electro Mechanical Systems ; MEMS) 소자가 형성된 기관 상에 희생층을 증착하는 단계, (b) 상기 희생층 상부에 다공성 산화피막층을 형성하는 단계, (c) 상기 다공성 산화피막층에 형성된 다수의 기공을 통해 상기 다공성 산화피막층이 형성된 희생층의 내부를 식각하는 단계 및 (d) 상기 내부가 식각된 희생층 상에 차폐층을 형성하는 단계를 포함한다.

[0007] 한국공개특허공보 제10-2017-0064188호는 전기 소자의 패키징 방법에 관한 것으로, 미리 제작된 캡의 하면의 일 부분에 가접합 물질을 형성하는, 가접합 물질 형성 단계, 상기 가접합 물질이 형성된 상기 캡을 전자 소자가 실장된 소자 웨이퍼와 본딩시키는, 본딩 단계, 상기 캡과 상기 소자 웨이퍼 사이에 형성된 미세한 틈으로 액상의 접착 물질이 모세관력에 의해 스며들도록 상기 액상의 접착 물질을 상기 미세한 틈으로 주입하는, 접착 물질 주입 단계 및 상기 미세한 틈에 채워진 상기 액상의 접착 물질을 경화하는, 경화 단계를 포함한다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 1. 한국등록특허 제10-0884260호
(특허문헌 0002) 2. 한국공개특허공보 제10-2017-0064188호

발명의 내용

해결하려는 과제

- [0010] 본 발명의 일 실시예는 반도체 칩 상에 높은 집적도로 삼차원 집적이 가능한 전기기계 소자 패키지를 구현할 수 있는 전기기계 소자 패키지 및 이의 제조 방법을 제공하고자 한다.
- [0011] 본 발명의 일 실시예는 금속 배선층들 사이에 전기기계 소자의 작동을 위한 활성영역을 진공 패키징하여 다른 금속층에 영향을 주지 않고 하나의 금속층의 특정 영역 내에서 전기기계 소자 패키지를 제조할 수 있는 전기기계 소자 패키지 및 이의 제조 방법을 제공하고자 한다.
- [0012] 본 발명의 일 실시예는 CMOS 공정의 후공정(backend)에서 사용되는 TEOS(Tetraethyl orthosilicate)를 기반으로 전기기계 소자 패키지를 제조할 수 있어 CMOS 공정 호환성을 향상시킬 수 있는 전기기계 소자 패키지 및 이의 제조 방법을 제공하고자 한다.
- [0013] 본 발명의 일 실시예는 기존의 반도체 칩보다 낮은 금속 배선층으로 높은 직접도를 구현할 수 있는 전기기계 소자 패키지 및 이의 제조 방법을 제공하고자 한다.
- [0014] 본 발명의 일 실시예는 기존 CMOS 공정을 이용할 수 있어 높은 호환성과 함께 저비용으로 제조 가능한 전기기계 소자 패키지 및 이의 제조 방법을 제공하고자 한다.
- [0015] 본 발명의 일 실시예는 구조적으로 안정된 CMOS(complementary metal-oxide semiconductor)-NEM(Nano ElectroMechanical) 재구성 로직을 구현할 수 있는 전기기계 소자 패키지 및 이의 제조 방법을 제공하고자 한다.
- [0016] 본 발명의 일 실시예는 물리적 또는 화학적 외부환경요인으로부터 전기기계 소자를 보호해주는 진공 패키징을 구현할 수 있는 전기기계 소자 패키지 및 이의 제조 방법을 제공하고자 한다.

과제의 해결 수단

- [0018] 실시예들 중에서, 전기기계 소자 패키지 제조 방법은 (a) 기관의 상부에 있는 제1 패시베이션층의 상부에 하부 희생층을 증착하는 단계, (b) 상기 하부 희생층의 일부를 식각하고 상기 하부 희생층의 나머지를 매립하여 금속층을 형성하는 단계, (c) 상기 금속층을 가공하여 전자기계 소자를 형성하는 단계, (d) 상기 전자기계 소자의 활성영역을 형성하기 위해 상기 전자기계 소자의 상부에 제2 패시베이션층을 증착하는 단계 및 (f) 상기 제2 패시베이션층에 관통공을 형성하여 상기 하부 희생층을 제거하는 단계를 포함한다.
- [0019] 상기 (a) 단계는 상기 기관에 층간 절연막으로서 형성된 절연층의 일부를 식각하고 상기 식각된 절연층의 상부에 상기 제1 패시베이션층을 증착하는 단계를 포함할 수 있다.
- [0020] 상기 제1 패시베이션층은 상기 트랜지스터와 연결된 트랜지스터 금속 배선층 상에 형성될 수 있다.
- [0021] 상기 제1 패시베이션층은 증기 HF 식각에 대한 내식성이 제1 기준 값 이상이고 상기 하부 희생층과 상기 증기 HF 식각에 대한 선택비가 제2 기준 값 이상인 알루미늄 산화물로 구성될 수 있다.
- [0022] 상기 (b) 단계는 상기 하부 희생층의 중심부가 노출되도록 해당 중심부의 양단을 식각하는 단계 및 상기 노출된 하부 희생층의 중심부를 둘러싸도록 상기 제1 패시베이션층의 상부에 상기 금속층을 증착하는 단계를 포함할 수 있다.
- [0023] 상기 (c) 단계는 상기 하부 희생층의 나머지와 접촉하는 상기 금속층의 상부 영역을 패터닝하거나 이온 빔 가공하여 동일 수직평면 상에서 상기 제1 패시베이션층과 이격되는 도전성 빔 라인 및 상기 도전성 빔 라인의 양측

에서 상호 대향하는 전극들을 포함하는 상기 전자기계 소자를 형성하는 단계를 포함할 수 있다.

- [0024] 상기 (d) 단계는 (d-1) 상기 전자기계 소자의 상부에 상부 희생층을 증착하여 상기 상부 희생층과 상기 하부 희생층이 접촉되도록 하는 단계 및 (d-2) 상기 상부 희생층의 일부를 식각하고 상기 상부 희생층의 나머지가 매립되도록 상기 상부 희생층 상에 상기 제2 패시베이션층을 증착하는 단계를 포함할 수 있다.
- [0025] 상기 (f) 단계는 상기 관통공을 통해 상기 상부 및 하부 희생층들을 식각하여 상기 전자기계 소자가 기계적으로 스위치하기 위한 상기 활성영역을 형성하는 단계를 포함할 수 있다.
- [0026] 상기 (f) 단계는 증기 HF 식각 공정을 통해 상기 활성영역을 형성하는 단계를 포함할 수 있다.
- [0027] 상기 전자기계 소자 패키지 제조 방법은 (g) 상기 제2 패시베이션층의 상부에 차폐층을 증착하여 상기 하부 희생층의 제거를 통해 형성된 상기 활성영역을 진공 또는 공공 상태로 패키징하는 단계를 더 포함할 수 있다.
- [0028] 상기 (g) 단계는 상기 활성영역 내부로 상기 차폐층의 구성 물질이 유입되지 않도록 스퍼터링 공정을 통해 제3 기준 값 이상의 증착 속도로 상기 차폐층을 증착시키는 단계를 포함할 수 있다.
- [0029] 실시예들 중에서, 전자기계 소자 패키지 제조 방법은 (a) 기판 상에 형성된 제1 패시베이션층의 상부에 하부 희생층을 증착하고, 상기 하부 희생층의 상부에 전자기계 소자를 형성하는 단계, (b) 상기 전자기계 소자의 상부에 상기 하부 희생층과 접촉하는 상부 희생층을 증착하고, 상기 상부 희생층의 상부에 제2 패시베이션층을 증착하는 단계 및 (f) 상기 제2 패시베이션층에 관통공을 형성하고, 상기 관통공을 통해 상기 상부 및 하부 희생층들을 제거하여 상기 전자기계 소자의 활성영역을 형성하는 단계를 포함한다.
- [0030] 실시예들 중에서, 전자기계 소자 패키지는 기판, 상기 기판의 상부에서 상기 기판에 기 형성되었던 희생층을 제거하여 상기 기판을 이격시킨 활성영역에 형성된 도전성 빔 라인과 상기 도전성 빔 라인의 양측에서 상호 대향하는 전극들로 구성되어 기계적으로 스위치되는 전자기계 소자를 포함하는 금속층 및 상기 금속층의 하부 및 상부에 형성되어 상기 금속층을 매립시키는 제1 및 제2 패시베이션층들을 포함한다.

발명의 효과

- [0032] 개시된 기술은 다음의 효과를 가질 수 있다. 다만, 특정 실시예가 다음의 효과를 전부 포함하여야 한다거나 다음의 효과만을 포함하여야 한다는 의미는 아니므로, 개시된 기술의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.
- [0033] 본 발명의 일 실시예에 따른 전자기계 소자 패키지 및 이의 제조 방법은 반도체 칩 상에 높은 집적도로 삼차원 집적이 가능한 전자기계 소자 패키지를 구현할 수 있다.
- [0034] 본 발명의 일 실시예에 따른 전자기계 소자 패키지 및 이의 제조 방법은 금속 배선층들 사이에 전자기계 소자의 작동을 위한 활성영역을 진공 패키징하여 다른 금속층에 영향을 주지 않고 하나의 금속층의 특정 영역 내에서 전자기계 소자 패키지를 제조할 수 있다.
- [0035] 본 발명의 일 실시예에 따른 전자기계 소자 패키지 및 이의 제조 방법은 CMOS 공정의 후공정(backend)에서 사용되는 TEOS(Tetraethyl orthosilicate)를 기반으로 전자기계 소자 패키지를 제조할 수 있어 CMOS 공정 호환성을 향상시킬 수 있다.
- [0036] 본 발명의 일 실시예에 따른 전자기계 소자 패키지 및 이의 제조 방법은 기존의 반도체 칩보다 낮은 금속 배선층으로 높은 집적도를 구현할 수 있다.
- [0037] 본 발명의 일 실시예에 따른 전자기계 소자 패키지 및 이의 제조 방법은 기존 CMOS 공정을 이용할 수 있어 높은 호환성과 함께 저비용으로 제조 가능하다.
- [0038] 본 발명의 일 실시예에 따른 전자기계 소자 패키지 및 이의 제조 방법은 구조적으로 안정된 CMOS(complementary metal-oxide semiconductor)-NEM(Nano ElectroMechanical) 재구성 로직을 구현할 수 있다.
- [0039] 본 발명의 일 실시예에 따른 전자기계 소자 패키지 및 이의 제조 방법은 물리적 또는 화학적 외부환경요인으로부터 전자기계 소자를 보호해주는 진공 패키징을 구현할 수 있다.

도면의 간단한 설명

[0041] 도 1은 종래 기술에서 제시하는 CMOS(Complementary Metal-Oxide Semiconductor)-NEM(Nano ElectroMechanical) 기반 재구성 로직의 삼차원 집적을 나타내는 모식도이다.

도 2는 본 발명의 일 실시예에 따른 전기기계 소자 패키지 제조 방법을 설명하는 공정도이다.

도 3은 도 1에서 설명하는 전기기계 소자 패키지 제조 방법의 일 실시예에 따른 CMOS-NEM 재구성 로직의 삼차원 집적을 나타내는 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0042] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다. 또한, 본 발명에서 제시된 목적 또는 효과는 특정 실시예가 이를 전부 포함하여야 한다거나 그러한 효과만을 포함하여야 한다는 의미는 아니므로, 본 발명의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0043] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0044] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0045] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결될 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다고 언급된 때에는 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 한편, 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0046] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이며, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0047] 각 단계들에 있어 식별부호(예를 들어, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.

[0048] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.

[0050] 도 2는 본 발명의 일 실시예에 따른 전기기계 소자 패키지 제조 방법을 설명하는 공정도이다. 보다 구체적으로, 도 2는, 도 3에 도시된 A-A' 단면과 같이, 기계적 스위칭 동작 영역을 중심으로 본 전기기계 소자 패키지에 대한 특정 단면을 나타낸다.

[0051] 이하, 본 발명에서는 도 2에 도시된 전기기계 소자 패키지를 예로 들어 전기기계 소자 패키지를 제조하는 전기기계 소자 패키지 제조 방법에 대한 일 실시예를 설명하도록 한다.

[0052] 도 2a 내지 도 2d는 전기기계 소자 패키지 제조 과정 중 하부 희생층이 형성되는 과정을 개략적으로 나타낸다.

[0053] 도 2a에서, 기판(205)이 준비되고 절연층(210)은 기판(205)에 적층될 수 있다. 일 실시예에서, 절연층(210)은 실리콘 옥사이드(SiO₂)에 해당할 수 있다.

- [0054] 일 실시예에서, 기판(205)은 CMOS(Complementary Metal-Oxide Semiconductor) 공정으로 제조된 집적 회로들을 포함하는 기판에 해당할 수 있다. 보다 구체적으로, 기판(205)은 해당 과정 이전에 실리콘 기판 상에 기 형성된 적어도 하나의 트랜지스터 소자와 해당 트랜지스터 소자 상에 증착된 하부 절연막(ILD, inter-layer dielectric)을 포함하는 소자층을 포함할 수 있고, 해당 소자층의 상부에 형성되고 중간 금속층, 중간 비아 콘택 및 층간 절연막(IMD, Inter-Metal Dielectric)을 포함하는 적어도 하나의 중간층을 더 포함할 수 있다. 이때, 절연층(210)은 층간 절연막으로서 중간층 또는 소자층의 상부에 증착될 수 있고, 제1 비아 콘택(215)은 하부에 위치하는 중간 금속층과 중간 비아 콘택의 위치에 대응되는 절연층(210)의 일부를 식각하고 비아 콘택 물질의 증착하여 형성될 수 있다. 다른 일 실시예에서, 기판(205)은 벌크 실리콘 기판에 해당하고, 절연층(114)은 기판(205) 상에 증착된 매몰 산화막(Buried Oxide, BOX)에 해당할 수도 있다.
- [0055] 이하, 편의상, 기판(205)은 기 형성된 트랜지스터와 하부 절연막을 포함하는 소자층을 포함하고, 절연층(210)은 소자층의 상부에 형성된 층간 절연막에 해당하는 것으로 가정한다.
- [0056] 도 2b에서, 절연층(210)은 식각되어 전기기계 소자를 형성하기 위한 빈 공간으로서 홀을 형성할 수 있고, 일 실시예에서, 전기기계 소자의 단위 크기를 기초로 결정된 너비 및 깊이로 식각되어 형성될 수 있다.
- [0057] 도 2c에서, 제1 패시베이션층(220)은 절연층(210)의 상부에 형성될 수 있다. 일 실시예에서, 제1 패시베이션층(220)은 기판(205)의 상부에 층간절연막으로서 형성되고 일부가 식각된 절연층(210) 상에 특정 기준 두께 이하로 얇게 증착될 수 있다. 일 실시예에서, 제1 패시베이션층(220)은 트랜지스터 소자와 연결된 하부 금속층 상에 형성될 수 있고, 하부 금속층과 절연층(210)을 사이에 두고 연결될 수 있다.
- [0058] 일 실시예에서, 제1 패시베이션층(220)은 원자 층 증착(Atomic Layer Deposition, ALD) 공정을 통해 증착될 수 있고, 알루미늄 산화물(Al_2O_3)에 해당할 수 있다. 일 실시예에서, 제1 패시베이션층(220)은 증기 HF 식각에 대한 내식성이 제1 기준 값 이상이고 하부 회생층(225)과 증기 HF 식각에 대한 선택비가 제2 기준 값 이상인 알루미늄 산화물로 구성될 수 있다. 즉, 제1 패시베이션층(220)의 증착 과정에 내식성과 내마모성이 기준 값 이상으로 높은 물질이 사용되는 것이 바람직하다고 할 것이다. 이때, 제1 및 제2 기준 값들은 설계자에 의해 설정될 수 있다.
- [0059] 도 2d에서, 하부 회생층(225)은 기판(205)의 상부에 있는 제1 패시베이션층(220)의 상부에 증착될 수 있다. 일 실시예에서, 하부 회생층(225)은 제1 패시베이션층(220) 상에 전기기계 소자의 제조를 위해 후속 단계에서 해당 영역을 식각하기 위한 회생층으로서 플라즈마 강화 화학 기상 증착(Plasma-enhanced Chemical Vapor Deposition, PECVD) 공정을 통해 증착될 수 있고, 전기기계 소자의 단위 크기 및 패키징되는 층과의 이격거리에 따라 증착 두께가 조절될 수 있다. 일 실시예에서, 하부 회생층(225)은 실리콘 옥사이드에 해당할 수 있다.
- [0060] 일 실시예에서, 제1 패시베이션층(220)은 하부 회생층(225)의 형성 전에 하부 금속층과 상부 금속층 간의 연결을 위해 그 일부가 식각될 수 있다. 보다 구체적으로, 제1 패시베이션층(220)은 제1 비아 콘택(215)과 접촉하는 일부가 식각되어 제1 비아 콘택(215)의 상면을 노출시킬 수 있고, 이에 따라, 이후의 단계에서 일부가 식각된 하부 회생층(225)의 나머지가 금속층(230)으로 매립되면 해당 금속층(230)의 일부와 제1 비아 콘택(215)의 상면이 접촉되도록 하여 상호 연결시킬 수 있다.
- [0061] 도 2e 내지 도 2f는 전기기계 소자 패키지 제조 과정 중 금속층(230)이 형성되는 과정을 개략적으로 나타낸다.
- [0062] 도 2e에서, 하부 회생층(225)은 그 일부가 식각될 수 있고, 도 2f에서, 그 나머지가 매립되어 금속층(230)을 형성할 수 있다. 일 실시예에서, 하부 회생층(225)은 그 중심부가 노출되도록 해당 중심부의 양단이 식각될 수 있고, 해당 노출된 하부 회생층(225)의 중심부를 둘러싸도록 제1 패시베이션층(220)의 상부에 금속층(230)이 증착될 수 있다. 보다 구체적으로, 하부 회생층(225)은 전기기계 소자의 단위 크기 및 기계적 스위치를 위한 동작 범위를 고려하여 중심부를 기준으로 특정 기준 범위 이내의 너비 및 길이를 가지도록 그 양단 또는 테두리 영역이 식각될 수 있고, 금속층(230)은 하부 회생층(225) 중 식각된 영역을 제외한 나머지가 매립되도록 제1 패시베이션층(220)의 상부에 증착될 수 있다. 일 실시예에서, 금속층(230)은 알루미늄(Al)에 해당할 수 있다. 일 실시예에서, 금속층(230)은 앞서 서술한 것처럼, 이러한 과정을 통해 제1 비아 콘택(215)의 상면과 양단의 하면에서 각각 접촉할 수 있다.
- [0063] 도 2g는 전기기계 소자 패키지 제조 과정 중 전기기계 소자가 형성되는 과정을 개략적으로 나타낸다.
- [0064] 금속층(230)은 가공을 통해 전자기계 소자를 형성할 수 있다. 일 실시예에서, 금속층(230)은 하부 회생층(225)의 나머지와 접촉하는 상부 영역이 패터닝되거나 전자빔 또는 이온빔(Ion Beam)으로 가공되어 동일 수직평면 상

에서 제1 패시베이션층(220)과 이격되는 도전성 빔 라인(230a) 및 해당 도전성 빔 라인(230a)의 양측에서 상호 대향하는 전극들(230b, 230c)을 포함하는 전자기계 소자를 형성할 수 있다. 일 실시예에서, 금속층(230)은 집속 이온빔(Focused Ion Beam) 공정을 통해 하부 희생층(225)의 상면과 접촉하는 상부 영역에 집속된 이온 빔을 스캐닝하여 상부에 두 개의 관통된 홀을 형성할 수 있고, 해당 관통된 홀을 통해 하부 희생층(225)의 상면 일부를 노출시킬 수 있으며, 이러한 과정을 통해 특정 수직면 상에서 제1 패시베이션층(220)과 하부 희생층(225)을 두고 이격되며 전극들(230b, 230c) 각각과 분리되어 이격되는 도전성 빔 라인(230a)을 형성할 수 있다. 일 실시예에서, 금속층(230)은 임프린트 리소그래피와 같은 포토 에칭 공정을 통해 패터닝되거나 나노 플라즈마 공정을 통해 도전성 빔 라인(230a)과 전극들(230b, 230c)을 동시 생성할 수 있다.

[0065] 일 실시예에서, 도전성 빔 라인(230a)의 양측에서 상호 대향하는 전극들(230b, 230c) 각각은 상호 대향하는 반대 방향으로 제1 패시베이션층(220)의 표면을 따라 연장되어 제1 비아 콘택(215)과 접촉되도록 형성될 수 있고, 서로 다른 수평면 상에 위치하는 제1 비아 콘택(215)과의 접촉을 위해 적어도 하나의 절곡 부위를 포함하는 형태로 형성될 수 있다.

[0066] 도 2h 내지 2i는 전자기계 소자 패키지 제조 과정 중 상부 희생층(235)이 형성되는 과정을 개략적으로 나타낸다.

[0067] 도 2h에서, 상부 희생층(235)은 전자기계 소자의 상부에 증착되어 하부 희생층(125)과 접촉될 수 있다. 일 실시예에서, 상부 희생층(235)은 이전 단계를 통해 기 형성된 도전성 빔 라인(230a) 및 전극들(230b, 230c) 중 적어도 일부가 매립되도록 해당 전자기계 소자의 상부에 플라즈마 강화 화학 기상 증착 공정을 통해 증착될 수 있고, 금속층(230)에 형성된 두 개의 관통된 홀 내부로 증착되어 하부 희생층(125)의 상면과 하부에서 접촉될 수 있다. 일 실시예에서, 상부 희생층(235)은 하부 희생층(125)과 동일한 물질로서 실리콘 옥사이드에 해당할 수 있다. 상부 희생층(235)은 적층된 후 CMP(Chemical Mechanical Polishing) 공정을 통해 평탄화될 수 있다.

[0068] 도 2i에서, 상부 희생층(235)은 그 일부가 식각될 수 있다. 일 실시예에서, 상부 희생층(235)은 그 하부와 절곡면 없이 연장되도록 전극들(230b, 230c)의 상면과 접촉하는 양단의 일부가 식각되어 상부를 노출시킬 수 있다. 일 실시예에서, 상부 희생층(235)은 전자기계 소자의 활성영역(245) 형성을 위해 해당 전자기계 소자의 단위 크기 및 기계적 스위치를 위한 동작 범위를 고려하여 그 너비가 특정 기준 범위 이내의 너비를 가지도록 해당 양단의 일부가 식각될 수 있다. 일 실시예에서, 상부 희생층(235)의 두께에 따라 이후의 단계에서 활성영역(245)이 형성되었을 때 전자기계 소자의 기계적 스위치 영역과 상부의 제2 패시베이션층(240) 간의 이격 거리가 다르게 형성될 수 있고, 이러한 두께는 해당 스위치의 타깃 크기에 따라 조절될 수 있다.

[0069] 도 2j 내지 2l는 전자기계 소자 패키지 제조 과정 중 제2 패시베이션층(240)이 형성되고 하부 희생층(225)이 제거되는 과정을 개략적으로 나타낸다.

[0070] 도 2j에서, 제2 패시베이션층(240)은 전자기계 소자의 활성영역(245)을 형성하기 위해 전자기계 소자의 상부에 증착될 수 있다. 일 실시예에서, 제2 패시베이션층(240)은 상부 희생층(235)의 일부가 식각되면 그 나머지가 매립되도록 상부 희생층(235) 상에 증착될 수 있고, 이후에 진행될 HF 식각 공정의 영향 범위 내에 있으며 보호하고자 하는 영역 상에 증착될 수 있다. 일 실시예에서, 제2 패시베이션층(240)은 원자 층 증착 공정을 통해 증착될 수 있고, 제1 패시베이션층(220)과 동일한 물질일 수 있으며, 예를 들어, 실리콘 옥사이드에 해당할 수 있다. 제2 패시베이션층(240)은 적층된 후 CMP 공정을 통해 평탄화될 수 있다.

[0071] 도 2k에서, 제2 패시베이션층(240)은 하부 희생층(225)을 제거하기 위한 관통공(240a, 240b)을 형성할 수 있다. 일 실시예에서, 제2 패시베이션층(240)은 상부 희생층(235)의 상면과 접촉되는 상부 영역에 상부 및 하부 희생층들(235, 225)을 제거하여 전자기계 소자의 활성영역(245)을 형성하기 위한 관통공(240a, 240b)을 적어도 하나 이상 형성할 수 있고, 해당 관통공(240a, 240b)을 특정 기준 너비 이내의 너비를 가지도록 미세 패터닝하여 추후에 해당 관통공(240a, 240b)의 상부에 차폐층(250) 적층 시 차폐층(250)이 활성영역(245) 내부로 유입되지 않도록 제어할 수 있다.

[0072] 일 실시예에서, 제2 패시베이션층(240)은 관통공(240a, 240b)의 형성 과정에서 하부에 위치한 제1 비아 콘택(215)에 대응되는 위치에 있는 일부 영역이 같이 패터닝될 수 있고, 해당 패터닝된 영역은 이후의 단계에서 제2 비아 콘택(255)을 형성하기 위한 공간으로서 활용될 수 있다.

[0073] 도 2l에서, 하부 희생층(225)은 제2 패시베이션층(240)에 형성된 관통공(240a, 240b)을 통해 제거될 수 있다. 일 실시예에서, 상호 접촉되는 상부 및 하부 희생층들(235, 225)은 관통공(240a, 240b)을 통해 식각되어 전자기계 소자가 기계적으로 스위치하기 위한 활성영역(245)을 형성할 수 있다. 일 실시예에서, 상부 및 하부 희생층

들(235, 225)은 증기 HF 식각 공정을 통해 그 잔여물이 선택적으로 제거되어 활성영역(245)을 형성할 수 있다. 이러한 제거 과정에서 해당 희생층들과 제1 및 제2 패시베이션층들(220, 240)을 형성하는 물질 간의 선택비를 고려하여 잔여물의 제거 효율을 개선할 수 있다. 이에 따라, 활성영역(245)이 형성된 도전성 빔 라인(230a)은 그 하부가 제1 패시베이션층(220)으로 지지되지 않도록 구조하여 스위칭 과정에서 유연하게 휘어질 수 있다.

[0074] 일 실시예에서, 상부 및 하부 희생층들(235, 225)은 하기의 화학식 1에 따라 식각될 수 있다. 보다 구체적으로, 상부 및 하부 희생층들(235, 225)은 등방성 식각인 증기 HF 식각에 대한 내식성이 제1 기준 값 미만이고 제1 및 제2 패시베이션층들(220, 240)과 증기 HF 식각에 대한 선택비가 제2 기준 값 미만일 수 있고, 이에 따라, HF에 반응하여 식각될 수 있다. 반면, 제1 및 제2 패시베이션층들(220, 240)은 이러한 식각 과정에서 주입되는 HF에 대한 내구성, 내식성 및 내마모성이 기준 값 이상으로 높은 물질이 사용되어 HF에 반응하지 않아 해당 식각으로부터 보호될 수 있다.

[0075] [화학식 1]

[0076] $\text{SiO}_2 + 4\text{HF} \rightarrow \text{SiF}_4(\text{g}) + 2\text{H}_2\text{O}$

[0077] 활성영역(245)은 상기 실시예들에 따라 형성되면 도전성 빔 라인(230a)을 하부에 위치한 제1 패시베이션층(220)과 이격시켜 기계적 스위칭을 위한 공간을 형성할 수 있다. 보다 구체적으로, 기계적 스위칭을 위한 도전성 빔 라인(230a)의 일단은, 도 21에 도시된 것처럼, 그 하부에서 제1 패시베이션층(220)과 이격되고 양측에서 전극들(230b, 230c)과 이격될 수 있으며, 다른 일단은, 도 21에 도시되어 있지는 않으나, 수평 구조부재로서 하층을 지지하는 보를 포함하여 해당 보를 통해 제1 패시베이션층(220)과 접촉할 수 있다.

[0078] 일 실시예에서, 활성영역(245)은 내부가 진공, 아진공 또는 공공 상태가 되도록 상부에 차폐층(250)이 적층되어 패키징 될 수 있고, 다른 일 실시예에서, 내부에 질소 가스 또는 비활성 가스가 주입된 후에 상부에 차폐층(250)이 적층되어 패키징 될 수도 있다.

[0079] 도 2m 내지 도 2o는 전기기계 소자 패키지 제조 과정 중 차폐층(250)과 제2 비아 콘택(255)이 형성되는 과정을 개략적으로 나타낸다.

[0080] 도 2m에서, 차폐층(250)은 제2 패시베이션층(240)의 상부에 증착되어 하부 희생층(225)의 제거를 통해 형성된 활성영역(245)을 진공 또는 공공 상태로 패키징할 수 있다. 보다 구체적으로, 차폐층(250)은 활성영역(245)이 진공 또는 공공 상태로 밀폐되도록 제2 패시베이션층(240)의 상부에 형성될 수 있고, 스퍼터링 또는 이온주입 공정을 통해 특정 너비 이하로 형성된 관통공(240a, 240b)을 통해 그 하부로 흘러내리지 않을 만큼의 빠른 속도로 증착될 수 있다. 일 실시예에서, 차폐층(250)은 활성영역(245) 내부로 그 구성 물질이 유입되지 않도록 스퍼터링 공정을 통해 제3 기준 값 이상의 증착 속도로 증착될 수 있다. 일 실시예에서, 차폐층(250)은 강도가 높고 일반적인 금속보다 증착이 용이한 특성을 가지는 실리콘 옥사이드에 해당할 수 있고, 이에 따라, 패키징된 내부와 외부 간의 기압 차이에 따른 압력을 잘 견딜 수 있다.

[0081] 도 2n에서, 차폐층(250)은 하부에 위치한 제1 비아 콘택(215)에 대응되는 위치에 있는 일부 영역이 식각될 수 있고, 해당 식각된 영역은 앞서 서술한 제2 패시베이션층(240)의 패터닝된 영역과 같이, 이후의 단계에서 제2 비아 콘택(255)을 형성하기 위한 공간으로서 활용될 수 있다.

[0082] 도 2o에서, 제2 비아 콘택(255)은 하부에 위치한 제1 비아 콘택(215)에 대응되도록 기 식각된 차폐층(250)의 일부 영역 및 제2 패시베이션층(240)의 일부 영역에 증착될 수 있다. 일 실시예에서, 제2 비아 콘택(255)은 제1 비아 콘택(215)의 비아 콘택 물질과 상이하거나 동일한 물질에 해당할 수 있다.

[0083] 본 발명의 일 실시예에 따른 전기기계 소자 패키지 제조 방법은 다른 금속층에 영향을 주지 않고 하나의 금속층의 특정 영역 내에서 전기기계 소자 패키지를 제조할 수 있어 기존의 반도체 칩 위에 높은 집적도로 삼차원 집적이 가능하다.

[0084] 본 발명의 일 실시예에 따른 전기기계 소자 패키지 제조 방법은 CMOS 공정의 후공정(backend)에서 주로 사용되는 TEOS(Tetraethyl orthosilicate)를 기반으로 전기기계 소자 패키지를 제조할 수 있어 CMOS 공정 호환성을 향상시킬 수 있다.

[0085] 본 발명의 일 실시예에 따른 전기기계 소자 패키지 제조 방법은 저전력, 고집적 및 고성능을 위한 FPGA(field programmable gate array)를 구현할 수 있다.

[0086] 본 발명의 일 실시예에 따른 전기기계 소자 패키지 제조 방법은 CMOS 베이스라인 소자에 전기기계 소자를 이용

하여 삼차원 집적함으로써 낮은 오프(off) 상태 전류 및 낮은 대기전력이 가능한 메모리/비메모리의 구현이 가능하다.

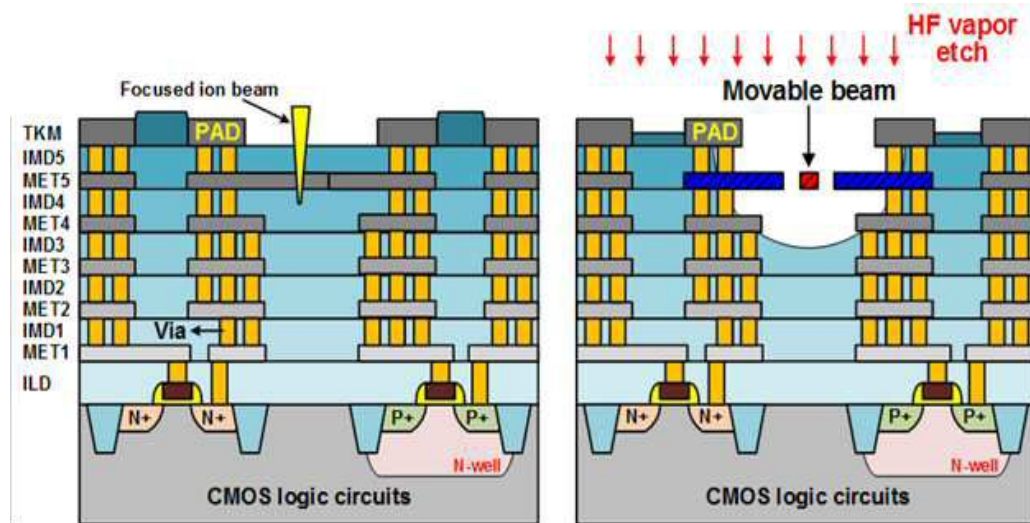
- [0087] 본 발명의 일 실시예에 따른 전기기계 소자 패키지 제조 방법은 전기기계 소자의 활성영역을 진공 패키징하여 외부환경에 둔감한 높은 내구성을 가지도록 구현할 수 있다.
- [0089] 도 3은 도 1에서 설명하는 전기기계 소자 패키지 제조 방법의 일 실시예에 따라 제조된 전기기계 소자 패키지의 구조를 보여주는 사시도이다.
- [0090] 도 3을 참조하면, 전기기계 소자 패키지(300)는 기관(205), 금속층(230) 및 제1 및 제2 패시베이션층들(220, 240)을 포함한다.
- [0091] 금속층(230)은 기관(205)의 상부에서 기관(205)에 기 형성되었던 희생층(하부 희생층(225)과 상부 희생층(235) 중 적어도 하나를 포함)을 제거하여 기관(205)을 이격시킨 활성영역(245)에 형성된 도전성 빔 라인(230a)과 해당 도전성 빔 라인(230a)의 양측에서 상호 대향하는 전극들(230b, 230c)로 구성되어 기계적으로 스위치되는 전자기계 소자를 포함한다.
- [0092] 도전성 빔 라인(230a)은 희생층 제거를 통해 제1 및 제2 패시베이션층들(220, 240)과 이격되어 전기기계 소자의 기계적인 스위칭 과정에서 전극들(230b, 230c) 중 하나를 향해 절곡될 수 있다. 보다 구체적으로, 도전성 빔 라인(230a)은 스위칭 과정에서 전극들(230b, 230c) 중 하나의 전극 간에 정전기력이 발생하면 휘어질 수 있고, 예를 들어, 전극들(230b, 230c) 간의 전압 차이에 따라 발생하는 정전기력을 기반으로 스위칭 과정이 시작되면 이에 따라 도전성 빔 라인(230a)과 전극들(230b, 230c) 간에 전기적인 경로가 생성되거나 변경될 수 있다.
- [0093] 전극들(230b, 230c)은 도전성 빔 라인(230a)을 중심으로 수평으로 대향하도록 배치되고 각각은 스위칭 과정에서 서로 다른 전압이 인가될 수 있다.
- [0094] 제1 및 제2 패시베이션층들(220, 240)은 금속층(230)의 하부 및 상부에 형성되어 해당 금속층(230)을 매립시킨다.
- [0095] 일 실시예에서, 전기기계 소자 패키지(300)는 다른 금속층에 영향을 주지 않고 하나의 금속층의 특정 영역 내에서 제조될 수 있어 기존의 반도체 칩 위에 높은 집적도로 삼차원 집적될 수 있다.
- [0096] 일 실시예에서, 전기기계 소자 패키지(300)는 도 1에 도시된 종래 기술과 비교하였을 때, IMD 및 금속 배선층에 대한 손상 없이 전기기계 소자의 활성영역(245)을 구조적으로 안정하게 제조할 수 있는 장점이 있다.
- [0097] 상기에서는 도 3에 도시된 형태의 도전성 빔 라인(230a)과 전극들(230b, 230c) 및 활성영역(245)으로 구성된 전기기계 소자를 포함하는 전기기계 소자 패키지(300)를 예로 들어 설명하였으나, 그 밖의 다양한 형태의 전기기계 소자가 적용될 수 있음은 물론이다.
- [0098] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

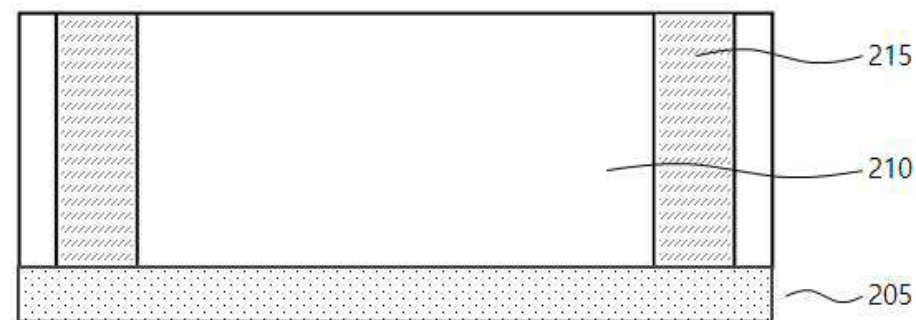
- [0100] 205: 기관 210: 절연층
- 215: 제1 비아 콘택 220: 제1 패시베이션층
- 225: 하부 희생층 230: 금속층
- 235: 상부 희생층 240: 제2 패시베이션층
- 245: 활성영역 250: 차폐층
- 255: 제2 비아 콘택

도면

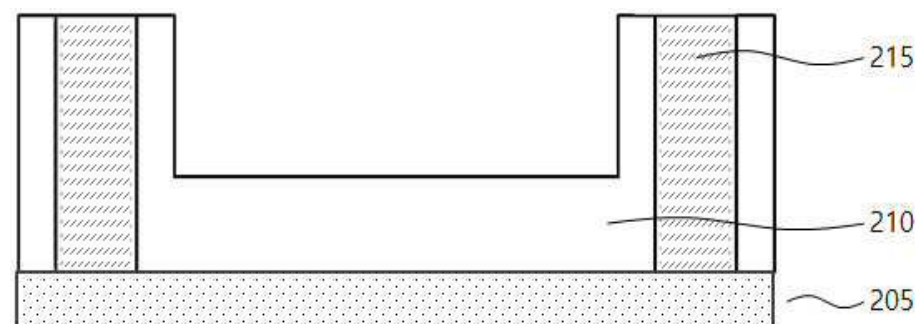
도면1



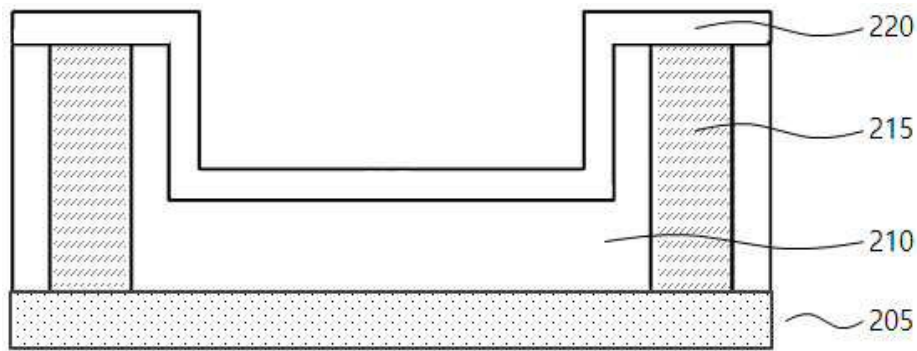
도면2a



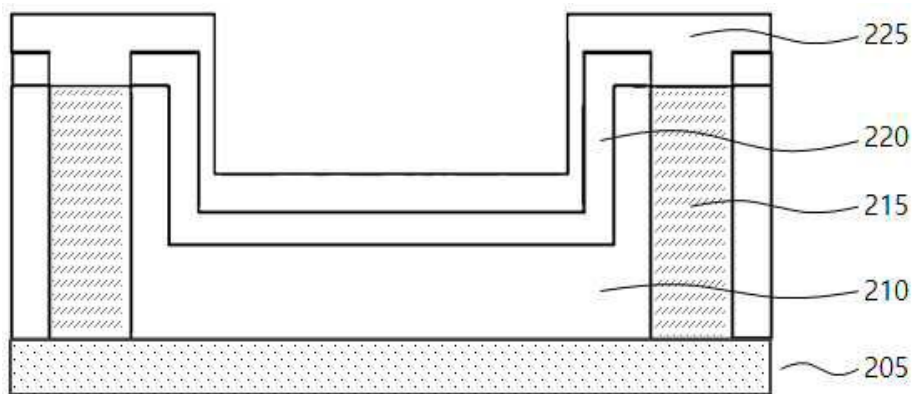
도면2b



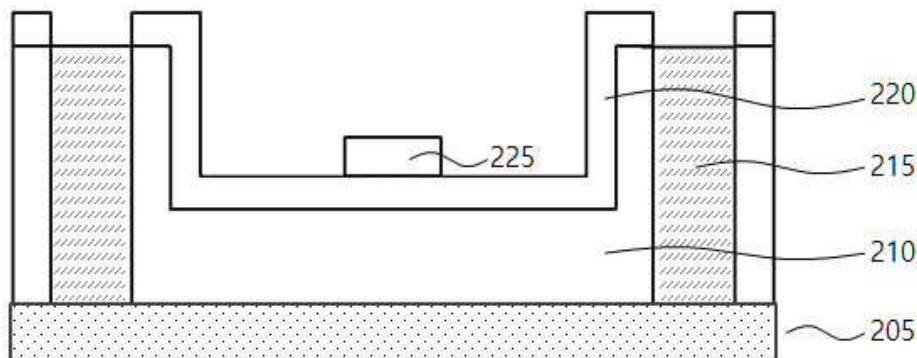
도면2c



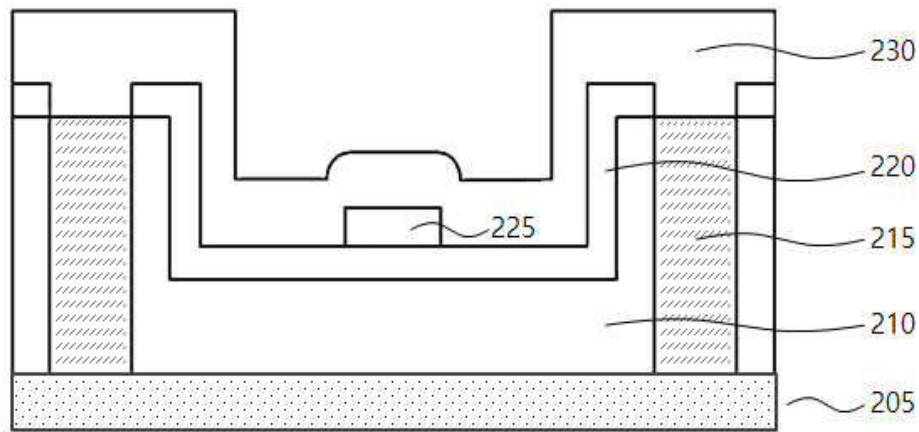
도면2d



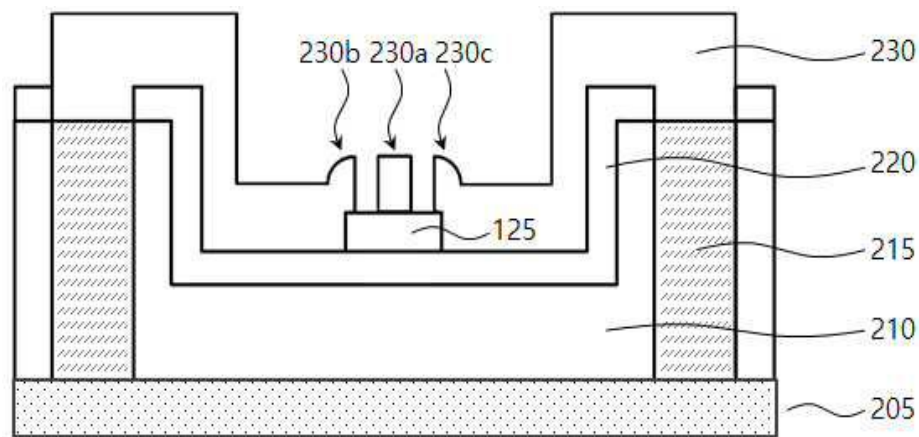
도면2e



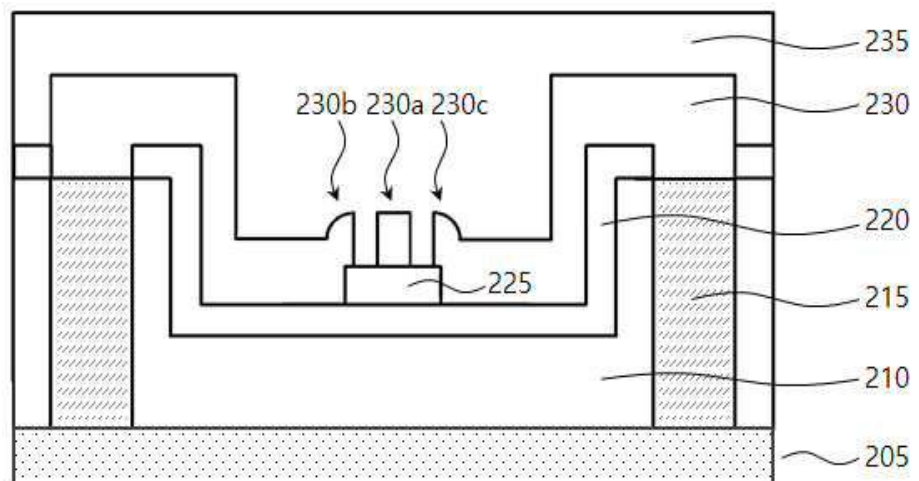
도면2f



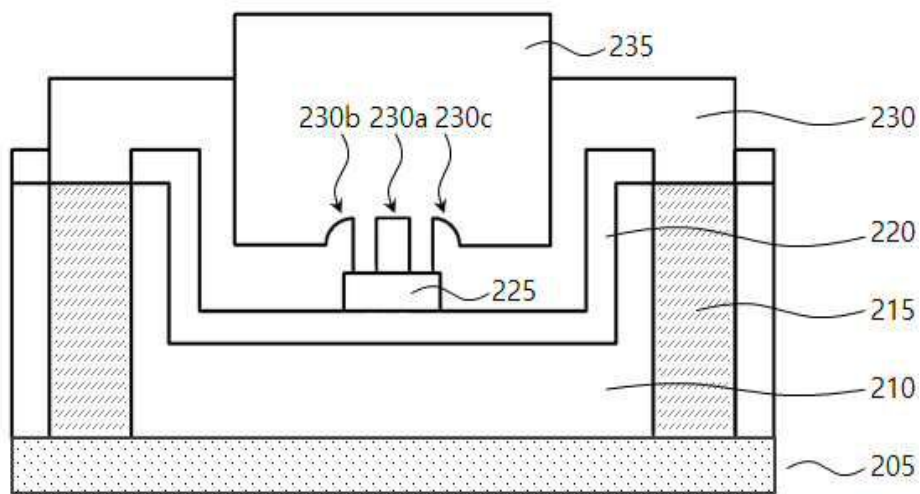
도면2g



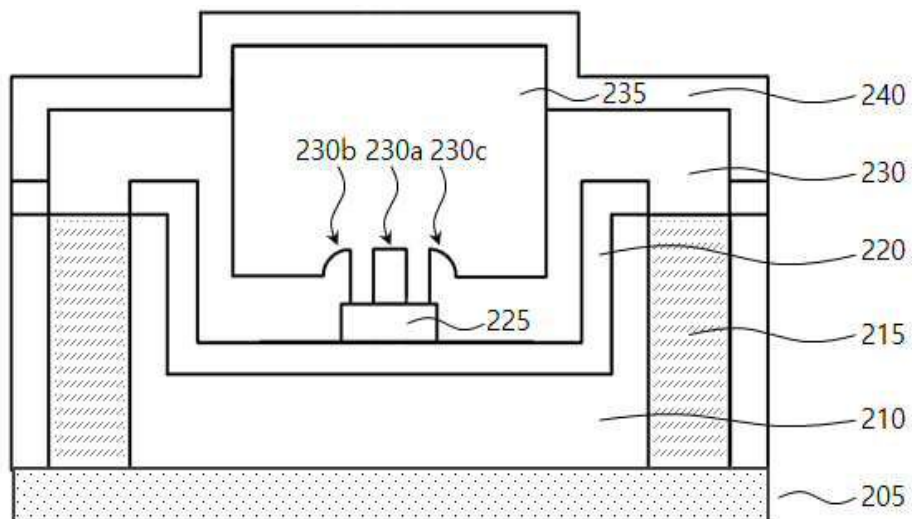
도면2h



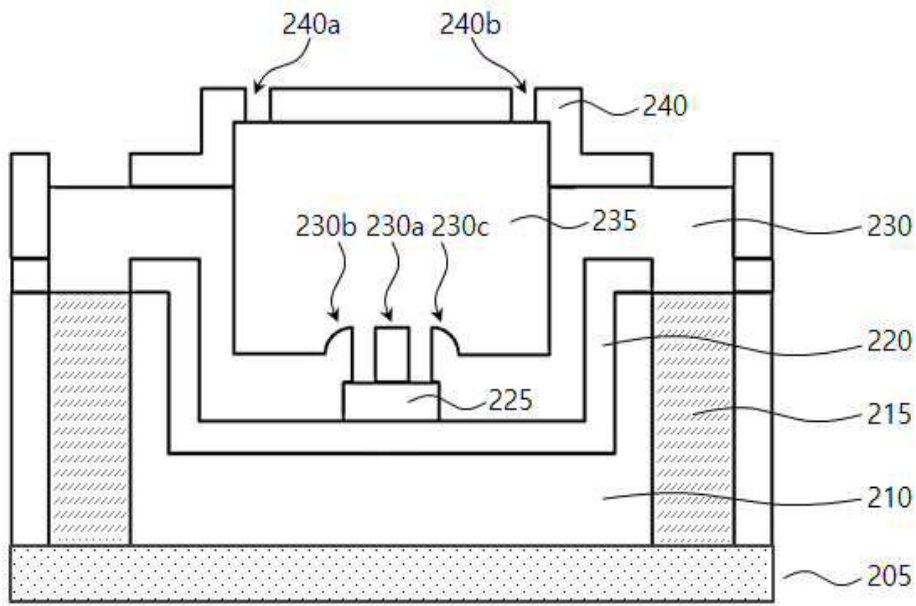
도면2i



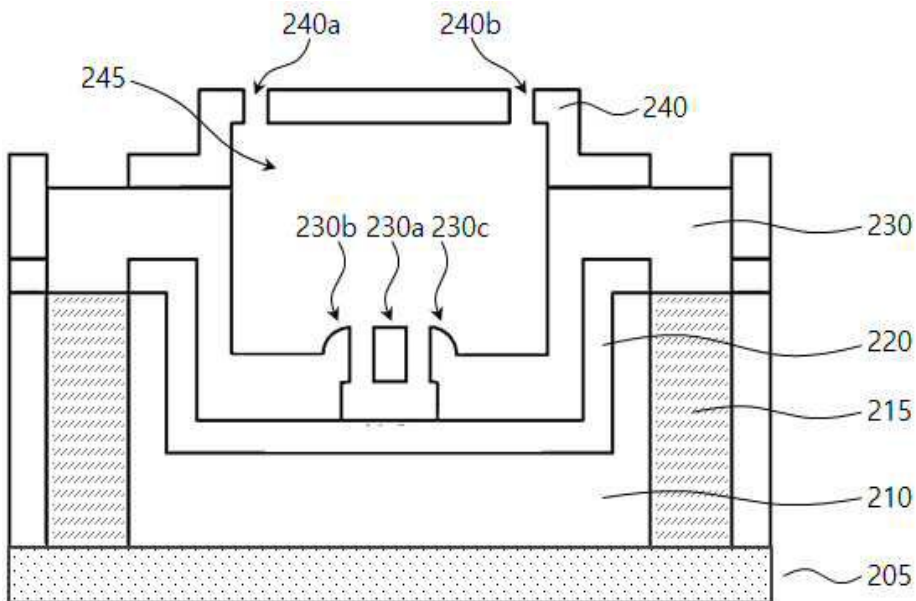
도면2j



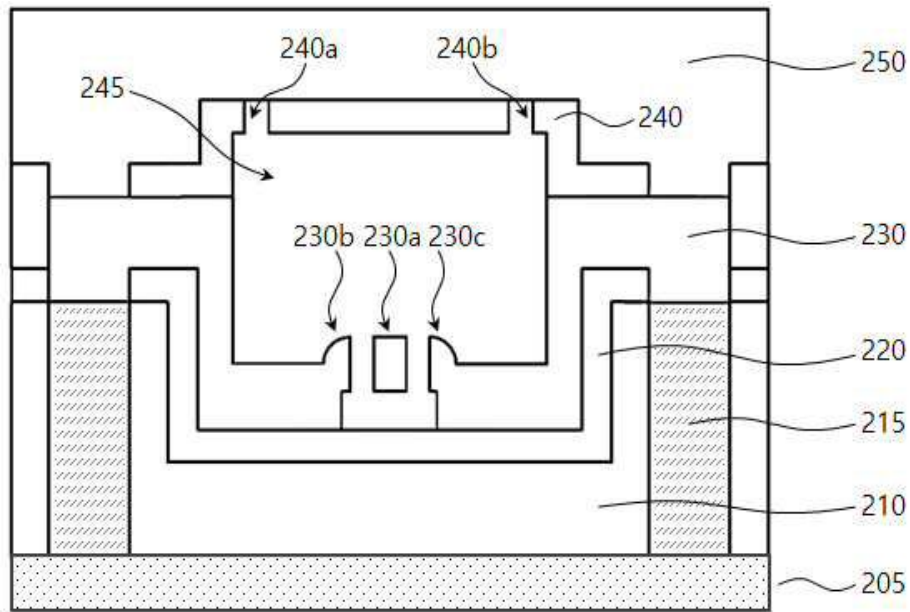
도면2k



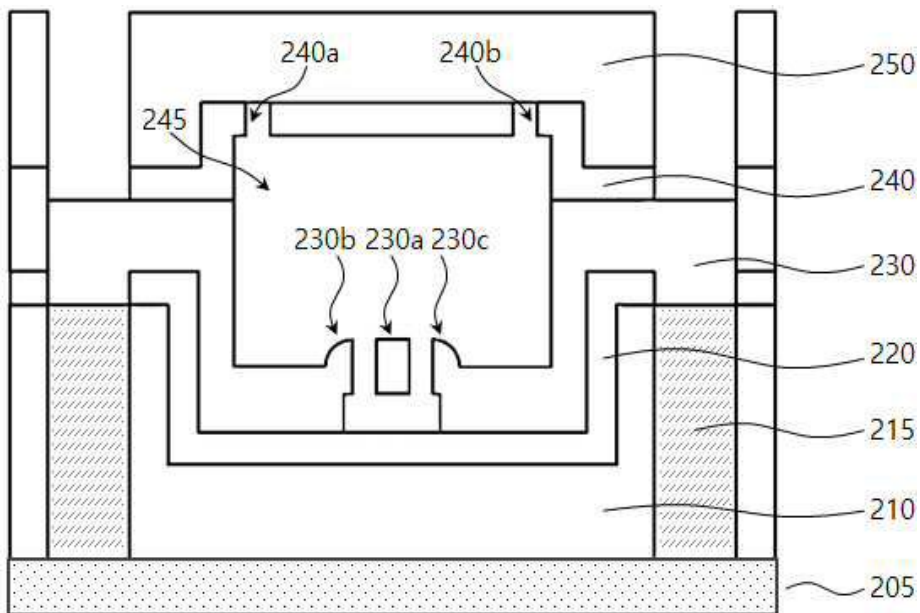
도면2l



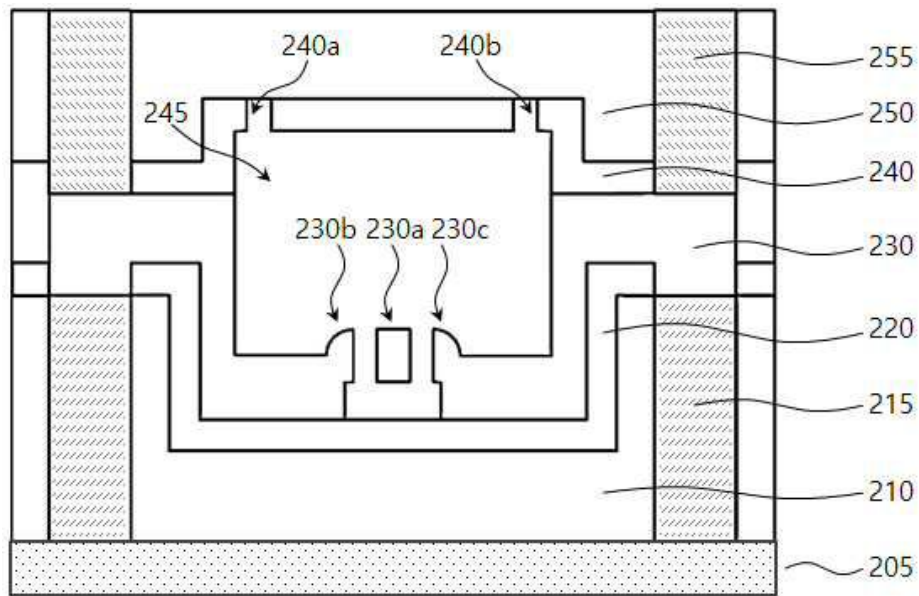
도면2m



도면2n



도면20



도면3

