



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월02일
(11) 등록번호 10-1100887
(24) 등록일자 2011년12월23일

(51) Int. Cl.

H01L 29/786 (2006.01) B82Y 10/00 (2011.01)

(21) 출원번호 10-2005-0022379

(22) 출원일자 2005년03월17일

심사청구일자 2010년03월17일

(65) 공개번호 10-2006-0100661

(43) 공개일자 2006년09월21일

(56) 선행기술조사문헌

KR1020040094179 A

JP06140637 A

US6855606 B2

전체 청구항 수 : 총 18 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

노수귀

경기 수원시 영통구 영통동 973-3번지 풍림아이원
103동 1001호

(74) 대리인

팬코리아특허법인

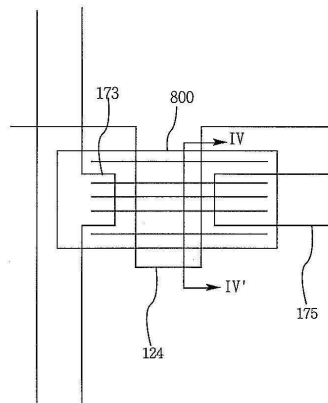
심사관 : 이상호

(54) 박막 트랜지스터, 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요약

기관 위에 형성되어 있으며 복수개의 홈을 가지는 정렬부, 홈의 적어도 일부에 들어 있는 선형 반도체, 선형 반도체와 중첩하는 제1 전극, 선형 반도체의 양쪽 끝부분과 각각 연결되어 있는 제2 및 제3 전극을 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

기판 위에 형성되어 있으며 복수개의 홈을 가지는 정렬부,
 상기 홈의 적어도 일부에 들어 있는 선형 반도체,
 상기 선형 반도체와 중첩하는 제1 전극,
 상기 선형 반도체의 양쪽 끝부분과 각각 연결되어 있는 제2 및 제3 전극을 포함하는 박막 트랜지스터.

청구항 2

제1항에서,
 상기 선형 반도체는 단결정 규소로 이루어지는 중심, 상기 중심을 감싸는 절연막, 상기 절연막을 감싸는 도전체를 포함하는 박막 트랜지스터.

청구항 3

제2항에서,
 상기 선형 반도체의 양쪽 끝부분의 상기 절연막 및 도전체는 제거되어 있으며 상기 제2 및 제3 전극은 상기 중심과 직접 접촉하고 있는 박막 트랜지스터.

청구항 4

제1항에서,
 상기 홈의 높이는 2 μm 이하로 형성되어 있는 박막 트랜지스터.

청구항 5

제1항에서,
 이웃하는 상기 홈의 간격은 2~4 μm 로 형성되어 있는 박막 트랜지스터.

청구항 6

기판,
 상기 기판 위에 형성되어 있으며 홈을 가지는 정렬부,
 상기 홈의 적어도 일부에 들어있는 선형 반도체,
 상기 선형 반도체와 중첩하는 게이트선,
 상기 선형 반도체의 양쪽 끝부분과 각각 연결되어 있는 데이터선 및 드레인 전극,
 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하는 박막 트랜지스터 표시판.

청구항 7

제6항에서,
 상기 선형 반도체는 단결정 규소로 이루어지는 중심, 상기 중심을 감싸는 절연막, 상기 절연막을 감싸는 도전체를 포함하는 박막 트랜지스터 표시판.

청구항 8

제7항에서,
 상기 선형 반도체의 양쪽 끝부분의 상기 절연막 및 도전체는 제거되어 있으며 상기 데이터선 및 드레인 전극은 상기 중심과 직접 접촉하고 있는 박막 트랜지스터 표시판.

청구항 9

제6항에서,

상기 정렬부는 투명한 유기 물질로 이루어지는 박막 트랜지스터 표시판.

청구항 10

제6항에서,

상기 홈의 높이는 2 μ m이하로 형성되어 있는 박막 트랜지스터 표시판.

청구항 11

제6항에서,

이웃하는 상기 홈의 간격은 2~4 μ m로 형성되어 있는 박막 트랜지스터 표시판.

청구항 12

기관 위에 홈을 가지는 정렬부를 형성하는 단계,

상기 홈에 선형 반도체를 채우는 단계,

상기 선형 반도체와 중첩하는 게이트선을 형성하는 단계,

상기 게이트선과 절연되어 교차하며 상기 선형 반도체의 양쪽 끝부분과 각각 연결되어 있는 데이터선 및 드레인 전극을 형성하는 단계,

상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 13

제12항에서,

상기 선형 반도체를 채우는 단계는

상기 선형 반도체를 포함하는 감광제를 도포하여 상기 선형 반도체를 포함하는 감광막을 형성하는 단계,

상기 선형 반도체를 포함하는 감광막을 패터닝하여 상기 정렬부와 중첩하며 선형 반도체를 포함하는 감광막 패턴을 형성하는 단계,

상기 선형 반도체를 포함하는 감광막 패턴의 감광제를 제거하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 14

제13항에서,

상기 선형 반도체는 단결정 규소로 이루어지는 중심, 상기 중심을 감싸는 절연막, 상기 절연막을 감싸는 도전체를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 15

제14항에서,

상기 정렬부와 중첩하며 선형 반도체를 포함하는 감광막 패턴을 형성하는 단계에서 노출되는 상기 선형 반도체의 상기 절연막 및 상기 도전체를 제거하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 16

제12항에서,

상기 정렬부는 감광성을 가지는 투명한 유기 물질로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 17

제12항에서,

상기 홈의 높이는 2 μ m이하로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 18

제12항에서,

이웃하는 상기 홈의 간격은 2~4 μ m로 형성하는 박막 트랜지스터 표시판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0022] 본 발명은 박막 트랜지스터, 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 결정질의 규소를 포함하는 박막 트랜지스터, 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.
- [0023] 일반적으로 박막 트랜지스터(thin film transistor, TFT)는 액정 표시 장치나 유기 발광 표시 장치(organic light emitting display) 등의 평판 표시 장치에서 각 화소를 독립적으로 구동하기 위한 스위칭 소자로 사용된다. 박막 트랜지스터를 포함하는 박막 트랜지스터 표시판은 박막 트랜지스터와 이에 연결되어 있는 화소 전극 외에도, 박막 트랜지스터에 주사 신호를 전달하는 주사 신호선(또는 게이트선)과 데이터 신호를 전달하는 데이터선 등을 포함한다.
- [0024] 박막 트랜지스터는 게이트선에 연결되어 있는 게이트 전극과 데이터선에 연결되어 있는 소스 전극과 화소 전극에 연결되어 있는 드레인 전극 및 소스 전극과 드레인 전극 사이 게이트 전극 위에 위치하는 반도체 등으로 이루어지며, 게이트선으로부터의 주사 신호에 따라 데이터선으로부터의 데이터 신호를 화소 전극에 전달한다. 이때, 박막 트랜지스터의 반도체는 다결정 규소(polycrystalline silicon, polysilicon) 또는 비정질 규소(amorphous silicon)로 이루어진다.
- [0025] 일반적으로 규소는 결정 상태에 따라 비정질 규소와 결정질 규소로 나눌 수 있는데, 비정질 규소는 낮은 온도에서 증착하여 박막(thin film)을 형성하는 것이 가능하여, 낮은 용융점을 가지는 유리를 기판으로 사용하는 표시 장치에 주로 사용한다. 그러나 비정질 규소는 결정질 규소에 비해서 낮은 전계 효과 이동도(field effect mobility)로 인해서 구동 회로를 설계하여 표시 장치용 패널에 직접 형성하는 칩 인 글라스(Chip In Glass)를 구현할 수 없으며, 이로 인하여 제조 비용이 상승하게 된다.
- [0026] 그리고 다결정 규소는 비정질 규소에 비해서 전계 효과 이동도가 우수하나 다결정 규소를 형성하기 위한 공정이 복잡하다.

발명이 이루고자 하는 기술적 과제

- [0027] 본 발명이 이루고자 하는 기술적 과제는 높은 전기 이동도를 가지는 동시에 제조 비용을 최소화할 수 있는 박막 트랜지스터, 박막 트랜지스터 표시판 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

- [0028] 상기한 목적을 달성하기 위한 본 발명에 따른 박막 트랜지스터의 제조 방법에서는 선형 반도체(nano wire)를 이용하여 박막 트랜지스터의 반도체를 형성한다.
- [0029] 구체적으로는, 기판 위에 형성되어 있으며 복수개의 홈을 가지는 정렬부, 홈의 적어도 일부에 들어 있는 선형 반도체, 선형 반도체와 중첩하는 제1 전극, 선형 반도체의 양쪽 끝부분과 각각 연결되어 있는 제2 및 제3 전극을 포함한다.
- [0030] 여기서 선형 반도체는 단결정 규소로 이루어지는 중심, 중심을 감싸는 절연막, 절연막을 감싸는 도전체를 포함

하는 것이 바람직하다.

- [0031] 그리고 선형 반도체의 양쪽 끝부분의 절연막 및 도전체는 제거되어 있으며 제2 및 제3 전극은 중심과 직접 접촉하고 있는 것이 바람직하다.
- [0032] 또한, 홈의 높이는 2 μm 이하로 형성되어 있는 것이 바람직하다.
- [0033] 또한, 이웃하는 홈의 간격은 2~4 μm 로 형성되어 있는 것이 바람직하다.
- [0034] 상기한 다른 목적을 달성하기 위한 본 발명에 따른 박막 트랜지스터 표시판은 기판, 기판 위에 형성되어 있으며 홈을 가지는 정렬부, 홈의 적어도 일부에 들어있는 선형 반도체, 선형 반도체와 중첩하는 게이트선, 선형 반도체의 양쪽 끝부분과 각각 연결되어 있는 데이터선 및 드레인 전극, 드레인 전극과 연결되어 있는 화소 전극을 포함한다.
- [0035] 여기서 선형 반도체는 단결정 규소로 이루어지는 중심, 중심을 감싸는 절연막, 절연막을 감싸는 도전체를 포함하는 것이 바람직하다.
- [0036] 그리고 선형 반도체의 양쪽 끝부분의 절연막 및 도전체는 제거되어 있으며 제2 및 제3 전극은 중심과 직접 접촉하고 있는 것이 바람직하다.
- [0037] 또한, 정렬부는 투명한 유기 물질로 이루어지는 것이 바람직하다.
- [0038] 또한, 홈의 높이는 2 μm 이하로 형성되어 있는 것이 바람직하다.
- [0039] 또한, 이웃하는 홈의 간격은 2~4 μm 로 형성되어 있는 것이 바람직하다.
- [0040] 상기한 또 다른 목적을 달성하기 위한 본 발명에 따른 박막 트랜지스터 표시판의 제조 방법은 기판 위에 홈을 가지는 정렬부를 형성하는 단계, 홈에 선형 반도체를 채우는 단계, 선형 반도체와 중첩하는 게이트선을 형성하는 단계, 게이트선과 절연되어 교차하며 선형 반도체의 양쪽 끝부분과 각각 연결되어 있는 데이터선 및 드레인 전극을 형성하는 단계, 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계를 포함한다.
- [0041] 여기서 선형 반도체를 채우는 단계는 선형 반도체를 포함하는 감광제를 도포하여 선형 반도체를 포함하는 감광막을 형성하는 단계, 선형 반도체를 포함하는 감광막을 패터닝하여 정렬부와 중첩하며 선형 반도체를 포함하는 감광막 패턴을 형성하는 단계, 선형 반도체를 포함하는 감광막 패턴의 감광제를 제거하는 단계를 포함한다.
- [0042] 그리고 선형 반도체는 단결정 규소로 이루어지는 중심, 중심을 감싸는 절연막, 절연막을 감싸는 도전체를 포함하는 것이 바람직하다.
- [0043] 또한, 정렬부와 중첩하며 선형 반도체를 포함하는 감광막 패턴을 형성하는 단계에서 노출되는 선형 반도체의 절연막 및 도전체를 제거하는 단계를 더 포함할 수 있다.
- [0044] 또한, 정렬부는 감광성을 가지는 투명한 유기 물질로 형성하는 것이 바람직하다.
- [0045] 또한, 홈의 높이는 2 μm 이하로 형성하는 것이 바람직하다.
- [0046] 또한, 이웃하는 홈의 간격은 2~4 μm 로 형성하는 것이 바람직하다.
- [0047] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0048] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 때, 이는 다른 부분 바로 위에 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 바로 위에 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0049] 첨부한 도면을 참고하여 본 발명의 실시예에 따른 박막 트랜지스터 및 박막 트랜지스터 표시판의 제조 방법에 대해서 설명한다.
- [0050] 그러면, 도 1 내지 도3을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터를 포함하는 표시 장치용 박막 트랜지스터 표시판의 한 예에 대하여 상세하게 설명한다.
- [0051] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 화소 부분을 도시한 배치도이

고, 도 2는 도 1에 도시한 박막 트랜지스터 표시판의 II 부분을 확대하여 도시한 배치도이고, 도 3은 도 1의 박막 트랜지스터 표시판을 III-III' 선을 따라 자른 단면도이고, 도 4는 도 2의 IV-IV' 선을 따라 잘라 도시한 단면도이다.

- [0052] 도 1 내지 도 4를 참고하면, 투명한 절연 기관(110) 위에 투명한 유기 물질로 이루어지는 복수개의 정렬부(800)가 형성되어 있다. 정렬부(800)는 복수개의 홈(H)을 가지며 홈(H)은 가로방향 및 세로 방향으로 나란하며 규칙적으로 배열되어 있다. 이때, 홈(H)의 높이(H)는 2 μ m 이내로 형성하고, 이웃하는 홈(H) 사이의 간격(L)은 2~3 μ m의 범위로 하는 것이 바람직하다. 그리고 정렬부(800)의 평면 패턴은 한 변의 길이가 4~10 μ m의 범위인 것이 바람직하다.
- [0053] 홈(H)에는 복수의 선형 반도체가 홈(H)의 길이 방향을 따라 나란하게 채워져 있다. 각각의 선형 반도체(nano wire)(154)는 단결정으로 이루어지는 중심(154a), 중심(154a)을 감싸고 있는 절연막(154b), 절연막(154b)을 감싸고 있는 도전체(154c)를 포함한다. 여기서 선형 반도체(154)의 양쪽 끝부분에 위치하는 절연막(154b) 및 도전체(154c)의 일부는 제거되어 중심(154a)이 노출된다.
- [0054] 반도체의 중심을 감싸고 있는 절연막(154b)은 박막 트랜지스터의 게이트 절연막으로 사용된다.
- [0055] 기관(110) 위에는 가로로 뻗어 있는 복수의 게이트선(gate line)(121) 및 유지 전극선(storage line)(131)이 형성되어 있다. 게이트선(121)은 게이트 신호를 전달하며, 아래로 돌출되어 있으며 선형 반도체(154)와 중첩하는 복수의 게이트 전극(gate electrode)(124)을 가진다. 게이트 전극(124)은 홈(H)에 대하여 수직 방향으로 돌출되어 있다.
- [0056] 그리고 유지 전극선(131)은 공통 전극(도시하지 않음)에 인가되는 공통 전압(common voltage) 등 소정의 전압을 인가 받으며, 아래 위로 확장되어 있는 유지 전극(storage electrode)(133)을 포함한다.
- [0057] 게이트선(121) 및 유지 전극선(131)은 몰리브덴(Mo)이나 몰리브덴 합금 따위의 몰리브덴 계열 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위의 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다층막 구조를 가질 수도 있다. 이 경우 한 도전막은 내화성 금속으로 만들어지고, 다른 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 또는 구리(Cu)나 구리 합금 등 구리 계열 금속으로 만들어진다. 이러한 조합의 예로는 알루미늄(합금) 하부막과 크롬 또는 몰리브덴(합금) 상부막의 이중막을 들 수 있다.
- [0058] 게이트선(121)의 측면은 기관(100)의 표면에 대하여 경사져 있으며 그 경사각은 30~80 $^{\circ}$ 인 것이 바람직하다.
- [0059] 게이트선(121) 위에는 층간 절연막(interlayer insulating film)(160)이 형성되어 있다. 층간 절연막(160)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등이 그 예이다. 유기 절연물 중 감광성을 가지는 것으로 보호막(180)을 만들 수도 있으며, 보호막(180)의 표면은 평탄할 수 있다. 또한 보호막(180)은 선형 반도체(154)의 노출된 부분을 보호하면서도 유기막의 장점을 살릴 수 있도록, 하부 무기막과 상부 유기막의 이중막 구조로 이루어질 수 있다.
- [0060] 층간 절연막(160)에는 선형 반도체(154)의 양끝 부분에 위치한 도전체(154c) 및 절연막(154b)이 제거되어 노출되어 있는 중심(154a)을 드러내는 접촉 구멍(163, 165)이 형성되어 있다.
- [0061] 그리고 층간 절연막(160) 위에는 복수의 데이터선(data line)(171) 및 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.
- [0062] 데이터 신호를 전달하는 데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며, 접촉 구멍(163)을 통해 선형 반도체(154)의 중심(154a)과 연결되어 있는 소스 전극(173)을 포함한다.
- [0063] 데이터선(171)의 한쪽 끝 부분은 다른 층 또는 외부의 구동 회로와 접속하기 위하여 면적이 넓을 수 있으며, 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기관(110) 위에 집적되는 경우 데이터선(171)이 데이터 구동 회로에 바로 연결될 수 있다.
- [0064] 드레인 전극(175)은 소스 전극(173)과 떨어져 있으며 접촉 구멍(165)을 통해 선형 반도체(154)의 중심(154a)과 연결되어 있다. 데이터선(171) 및 드레인 전극(175)은 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속, 몰

리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 및 이들의 합금 따위로 이루어진 도전막을 포함한다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다층막 구조를 가질 수도 있다. 이 경우 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 폴리리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 또는 이들의 합금 등으로 이루어진다. 이러한 조합의 예로는 크롬 하부막과 알루미늄(합금) 상부막, 알루미늄(합금) 하부막과 폴리리브덴(합금) 상부막을 들 수 있다.

- [0065] 데이터선(171) 및 드레인 전극(175)의 측면 또한 기판(100)의 표면에 대하여 경사져 있으며 그 경사각은 30-80° 인 것이 바람직하다.
- [0066] 데이터선(171), 드레인 전극(175) 및 층간 절연막(160) 위에 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 층간 절연막(160)과 동일한 물질로 만들 수 있으며 드레인 전극(175)을 노출하는 복수의 접촉 구멍(185)을 가진다.
- [0067] 보호막(180) 위에는 IZO(indium zinc oxide) 또는 ITO(indium tin oxide) 등과 같이 투명한 도전 물질 또는 알루미늄이나 은 등 불투명한 반사성 도전 물질로 이루어지는 화소 전극(pixel electrode)(190)이 형성되어 있다.
- [0068] 화소 전극(190)은 접촉 구멍(185)을 통해 드레인 전극(175)과 연결되어 있으며 드레인 전극(175)으로부터 데이터 전압을 인가 받는다.
- [0069] 데이터 전압이 인가된 화소 전극(190)은 공통 전압을 인가 받는 공통 전극과 함께 전기장을 생성함으로써 두 전극 사이의 액정층의 액정 분자들의 방향을 결정하거나 두 전극 사이의 발광층(도시하지 않음)에 전류를 흘려 발광하게 한다.
- [0070] 화소 전극(190)은 대향하는 표시판에 형성되어 있는 공통 전극(도시하지 않음)과 축전기(이하 "액정 축전기"라 함)를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며 이를 유지 축전기라 한다. 유지 축전기는 유지 전극선(131)과 화소 전극(190)을 중첩시켜 형성한다. 유지 축전기의 정전 용량, 즉 유지 용량을 늘리기 위하여 유지 전극(133)은 유지 전극선(131)의 다른 부분에 비하여 폭이 확장되어 있다. 이와 달리, 유지 축전기를 화소 전극(190) 및 이와 이웃하는 게이트선(121)(이를 전단 게이트선이라 함)을 중첩시켜 만들 수도 있다.
- [0071] 보호막(180)을 저유전율의 유기 물질로 형성하는 경우에는 화소 전극(190)을 데이터선(171) 및 게이트선(121)과 중첩시켜 개구율을 향상시킬 수 있다.
- [0072] 이와 같은 본 실시예에 따른 박막 트랜지스터는 높은 이동도를 가지는 단결정 규소로 이루어진 선형 반도체(154a)를 사용하므로 비정질 규소 또는 다결정 규소를 사용하는 박막 트랜지스터보다 향상된 구동 능력을 가진다. 따라서 박막 트랜지스터는 화소에 인가되는 데이터 전압을 온/오프하는 스위칭 소자로 사용될 수 있음은 물론 게이트 구동 회로 및 데이터 구동 회로를 구성하는 구동 소자로 사용될 수 있다. 따라서, 박막 트랜지스터 표시판에 화소 스위칭용 박막 트랜지스터를 형성하면서 게이트 및 데이터 구동 회로를 함께 구현할 수도 있다.
- [0073] 그러면 도 1 내지 도 4에 도시한 박막 트랜지스터 표시판을 제조하는 방법에 대하여 도 5 내지 도 14b와 함께 앞서의 도 1 내지 도 4를 참조하여 상세히 설명한다.
- [0074] 도 5는 도 1 내지 도 4에 도시한 액정 표시 장치의 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 박막트랜지스터 표시판의 배치도이고, 도 6a 및 도 6b는 각각 도 5의 박막 트랜지스터 표시판에서 VIa-VIa' 선 및 VIb-VIb' 선을 따라 잘라 도시한 단면도이고, 도 7a 및 도 7b는 각각 도 6a 및 도 6b의 다음 단계에서의 단면도이고, 도 8a 및 도 8b는 각각 도 7a 및 도 7b의 다음 단계에서의 단면도이고, 도 9는 도 8a 및 도 8b의 다음 단계에서의 박막 트랜지스터 표시판의 배치도이고, 도 10a 및 도 10b는 도 9의 박막 트랜지스터 표시판에서 Xa-Xa' 선 및 Xb-Xb' 선을 따라 잘라 도시한 단면도이고, 도 11는 도 9의 다음 단계에서의 배치도이고, 도 12a 및 도 12b는 도 11의 박막 트랜지스터 표시판에서 XIIa-XIIa' 선 및 XIIb-XIIb' 선을 따라 잘라 도시한 단면도이고, 도 13은 도 11의 다음 단계에서의 배치도이고, 도 14a 및 도 14b는 도 13의 XIVa-XIVa' 선 및 XIVb-XIVb' 선을 따라 잘라 도시한 단면도이다.
- [0075] 먼저 도 5 내지 도 6b를 참고하면, 투명한 절연 기판(110) 위에 감광성을 가지는 유기 물질로 유기막을 형성한다. 그런 다음 사진 공정으로 패터닝하여 홈(H)을 가지는 정렬부(800)를 형성한다. 홈(H)은 기판(110)이 노출되

도록 형성하거나 홈(H)의 바닥에 일부 유기 물질이 남겨질 수 있다.

- [0076] 그리고 정렬부(800) 형성용 유기막이 감광성을 가지지 않을 경우에는 감광막 패턴을 이용한 사진 식각 공정으로 패터닝하여 형성할 수 있다.
- [0077] 다음 도 7a 및 도 7b를 참고하면, 기관(110) 위에 감광성을 가지는 유기 물질에 선형 반도체(154)가 혼입되어 있는 감광제를 도포하여 감광막을 형성한다. 이때, 선형 반도체(154)는 홈(H)의 길이 방향으로 정렬된다. 선형 반도체(154)는 기관(110)과 접촉하고 있거나 감광제(PR) 속에 부유되어 있다.
- [0078] 그런 다음 감광막에 사진 공정을 적용하여 감광막 패턴(PR)을 형성한다. 감광막 패턴(PR)은 박막 트랜지스터의 채널 부분에만 남겨지며, 선형 반도체(154)의 양쪽 끝부분이 노출된다.
- [0079] 다음, 감광막 패턴(PR)을 식각 마스크로 하여 선형 반도체(154)의 노출되어 있는 도전체(154c)와 절연막(154b)을 제거한다.
- [0080] 다음 도 8a 및 도 8b를 참고하면, 건식 식각 또는 애싱(ashing)으로 감광막 패턴(PR)을 제거한다. 이때 감광막 패턴(PR)을 과식각하여 하부의 도전체(154c)가 1/2~2/5 정도 노출 될 때까지 진행하는 것이 바람직하다. 정렬부(800)의 상부도 일부 제거될 수 있다.
- [0081] 다음 도 9 내지 도 10b를 참고하면, 기관(110) 위에 스퍼터링 따위로 도전막을 형성한 후 패터닝하여 게이트 전극(124)을 가지는 게이트선(121)과 유지 전극(133)을 가지는 유지 전극선(131)을 형성한다.
- [0082] 이후 도 11 내지 도 12b를 참고하면, 게이트선(121) 및 유지 전극선(131)을 덮는 절연 물질을 적층하여 층간 절연막(160)을 형성한다. 그리고 사진 공정 또는 사진 식각 공정으로 층간 절연막(160)에 선형 반도체(154) 양쪽 끝부분의 중심(154a)을 노출하는 접촉 구멍(163, 165)을 형성한다.
- [0083] 그리고 스퍼터링 따위로 도전막을 형성한 후 패터닝하여 접촉 구멍(163)을 통해 선형 반도체(154)의 중심(154a)과 연결되는 데이터선(171)과 접촉 구멍(165)을 통해 선형 반도체(154)의 중심(154a)과 연결되는 드레인 전극(175)을 형성한다.
- [0084] 다음 도 13 내지 도 14b를 참고하면, 데이터선(171) 및 드레인 전극(175)을 덮는 보호막(180)을 형성한 다음 사진 공정으로 접촉 구멍(185)을 형성한다. 보호막(180)이 감광성을 가지지 않는 경우에는 별도의 감광막 패턴을 이용한 사진 식각 공정으로 접촉 구멍(185)을 형성한다.
- [0085] 마지막으로 도 1 및 도 3을 참고하면, 보호막(180) 위에 ITO 또는 IZO 등의 투명 도전 물질이나 반사성이 우수한 금속을 증착한 후 패터닝하여 접촉 구멍(185)을 통해 드레인 전극(175)과 연결되는 화소 전극(190)을 형성한다.
- [0086] 이상 설명한 바와 같이, 박막 트랜지스터의 반도체를 형성하는 공정에서 종래와 같이 불순물을 도핑하거나, 결정화하는 복잡한 공정이 생략되므로 박막 트랜지스터 표시판의 제조 공정을 단순화할 수 있다.
- [0087] 또한, 본 발명에서와 같이 정렬부를 형성하면 선형 반도체가 규칙적으로 분포하므로 게이트 전극과 정확하게 중첩하고, 소스 전극 및 드레인 전극과 정확하게 연결될 수 있다.
- [0088] 도 15는 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 개략적인 등가 회로도이다.
- [0089] 도 1 내지 도 4를 참고하면 본 발명의 실시예에서는 하나의 화소에 적어도 복수개의 박막 트랜지스터가 형성된다. 즉, 본 발명의 실시예에서는 각 선형 반도체마다 별개의 채널이 형성되므로 복수의 박막 트랜지스터가 병렬로 연결되어 있는 형태가 된다.
- [0090] 따라서 종래의 박막 트랜지스터 표시판에서의 반도체와 동일한 크기로 정렬부, 소스 전극 및 드레인 전극을 형성하면 각각의 소스 전극 및 드레인 전극이 적어도 복수의 선형 반도체와 연결되어 도 15에 도시한 바와 같이, 복수개의 박막 트랜지스터가 형성된다.
- [0091] 이와 같이 한 화소 내에 복수개의 병렬 연결된 박막 트랜지스터가 존재하기 때문에 하나의 박막 트랜지스터가 손상되더라도 다른 박막 트랜지스터에 의해서 한 화소를 구동하는 데는 문제가 없다.
- [0092] 그리고 선형 반도체의 크기는 나노 미터(nanometer) 단위이기 때문에 소수의 선형 반도체만을 이용하여 박막 트랜지스터를 형성하면 한 화소에서 박막 트랜지스터가 차지하는 면적이 매우 작아진다. 따라서 화소의 개구율을 향상할 수 있다.

발명의 효과

- [0093] 이상 기술한 바와 같이, 선행 반도체를 이용하여 박막 트랜지스터를 구현함으로써 박막 트랜지스터의 구동 능력을 향상시킬 수 있다. 따라서 구동 회로를 기판의 상부에 직접 형성할 수 있다. 그리고 제조 공정을 단순화하여 제조 비용을 최소화할 수 있다.
- [0094] 또한, 개구율을 감소시키지 않으면서도 복수개의 박막 트랜지스터를 한 화소에 형성할 수 있어서 박막 트랜지스터 불량으로 인한 화소 불량을 최소화하여 박막 트랜지스터 표시판의 수율이 향상된다.
- [0095] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구 범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

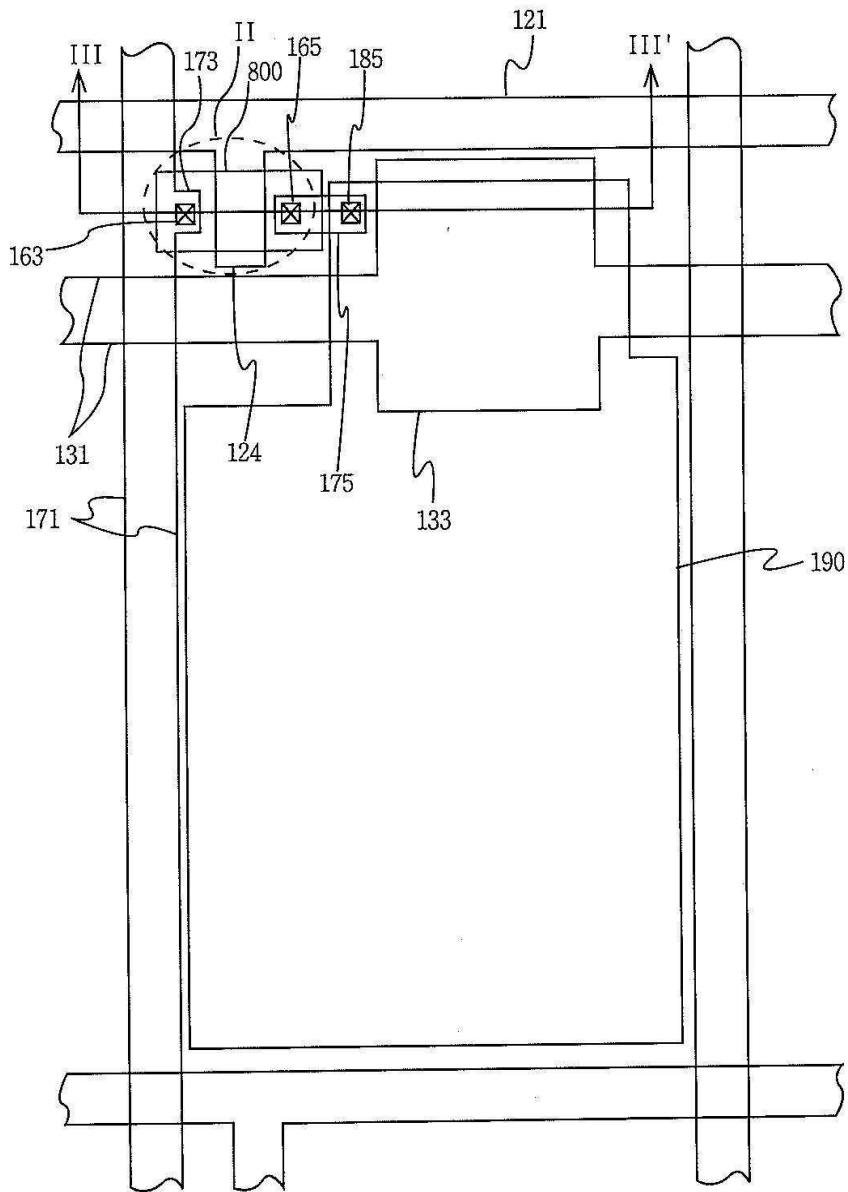
- [0001] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 화소 부분을 도시한 배치도이다.
- [0002] 도 2는 도 1에 도시한 박막 트랜지스터 표시판의 II 부분을 확대하여 도시한 배치도이다.
- [0003] 도 3은 도 1의 박막 트랜지스터 표시판을 III-III' 선을 따라 잘라 도시한 단면도이다.
- [0004] 도 4는 도 2의 IV-IV' 선을 따라 잘라 도시한 단면도이다.
- [0005] 도 5는 도 1 내지 도 4에 도시한 액정 표시 장치의 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 박막트랜지스터 표시판의 배치도이다.
- [0006] 도 6a 및 도 6b는 각각 도 5의 박막 트랜지스터 표시판에서 VIa-VIa' 선 및 VIb-VIb' 선을 따라 잘라 도시한 단면도이다.
- [0007] 도 7a 및 도 7b는 각각 도 6a 및 도 6b의 다음 단계에서의 단면도이다.
- [0008] 도 8a 및 도 8b는 각각 도 7a 및 도 7b의 다음 단계에서의 단면도이다.
- [0009] 도 9는 도 8a 및 도 8b의 다음 단계에서의 박막 트랜지스터 표시판의 배치도이다.
- [0010] 도 10a 및 도 10b는 도 9의 박막 트랜지스터 표시판에서 Xa-Xa' 선 및 Xb-Xb' 선을 따라 잘라 도시한 단면도이다.
- [0011] 도 11는 도 9의 다음 단계에서의 배치도이다.
- [0012] 도 12a 및 도 12b는 도 11의 박막 트랜지스터 표시판에서 XIIa-XIIa' 선 및 XIIb-XIIb' 선을 따라 잘라 도시한 단면도이다.
- [0013] 도 13은 도 11의 다음 단계에서의 배치도이다.
- [0014] 도 14a 및 도 14b는 도 13의 XIVa-XIVa' 선 및 XIVb-XIVb' 선을 따라 잘라 도시한 단면도이다.
- [0015] 도 15는 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 개략적인 등가 회로도이다.

??도면 부호의 설명??

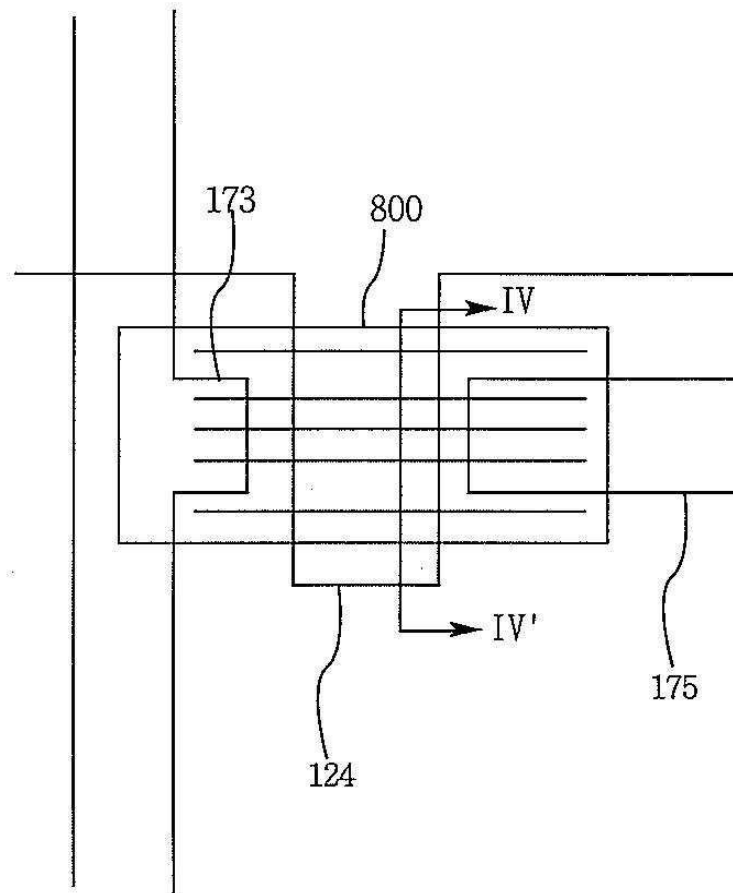
- | | |
|---------------------|--------------|
| [0017] 110 : 절연 기판 | 121 : 게이트선 |
| [0018] 124 : 게이트 전극 | 131 : 유지 전극선 |
| [0019] 154 : 선행 반도체 | |
| [0020] 171 : 데이터선 | 173 : 소스 전극 |
| [0021] 175 : 드레인 전극 | 190 : 화소 전극 |

도면

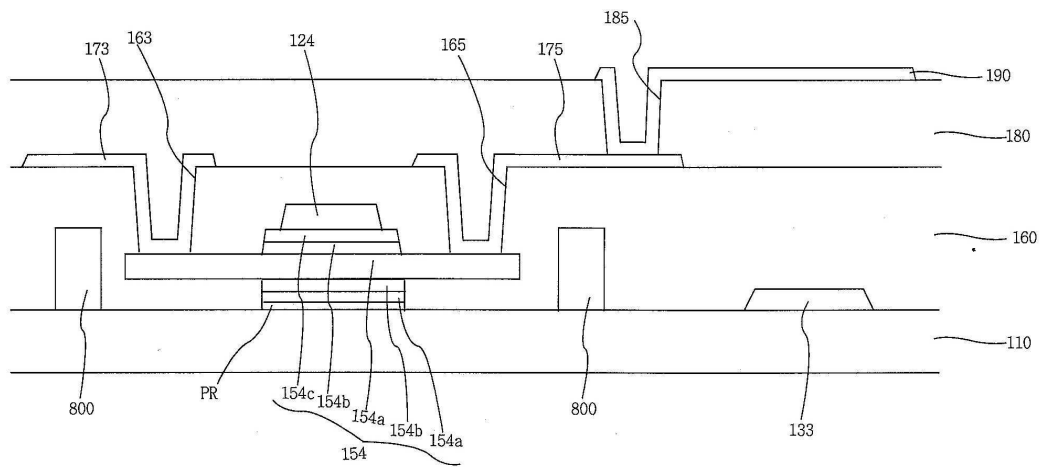
도면1



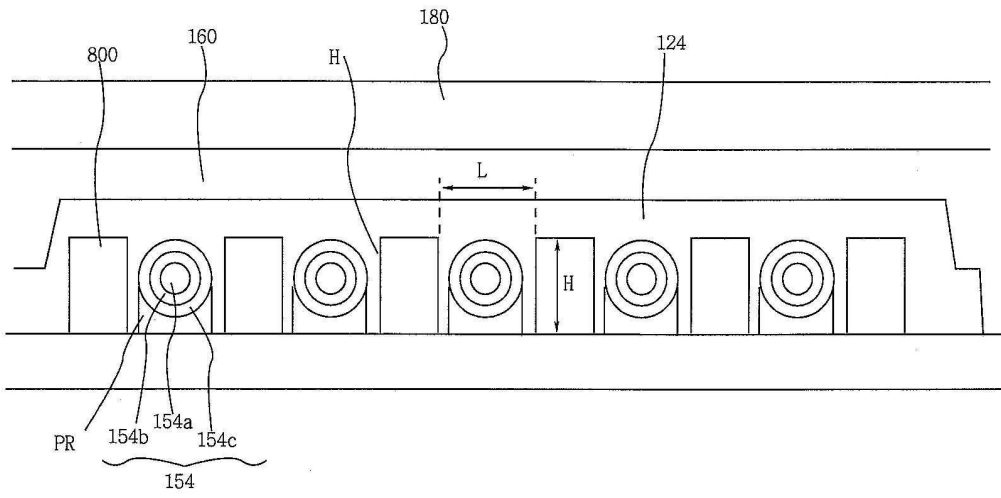
도면2



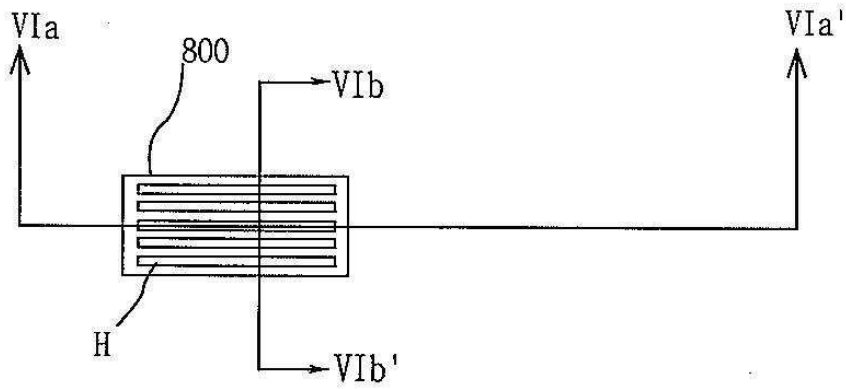
도면3



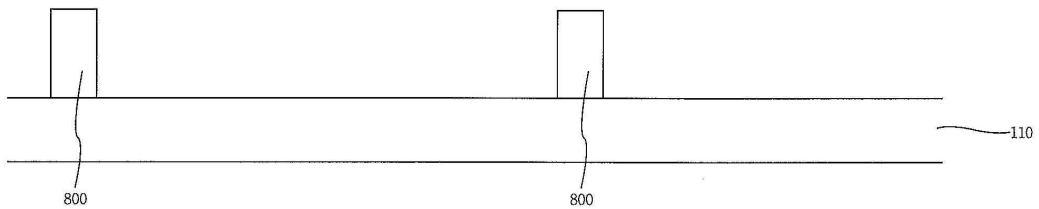
도면4



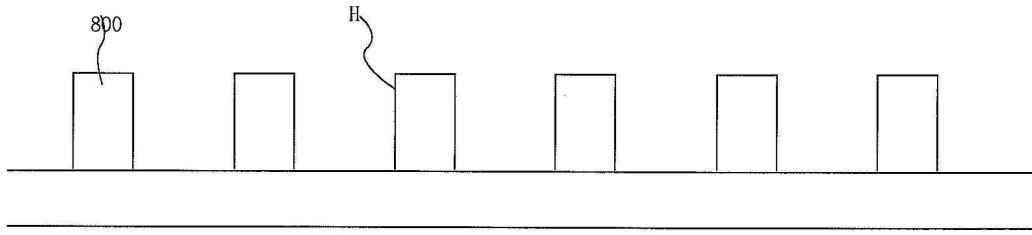
도면5



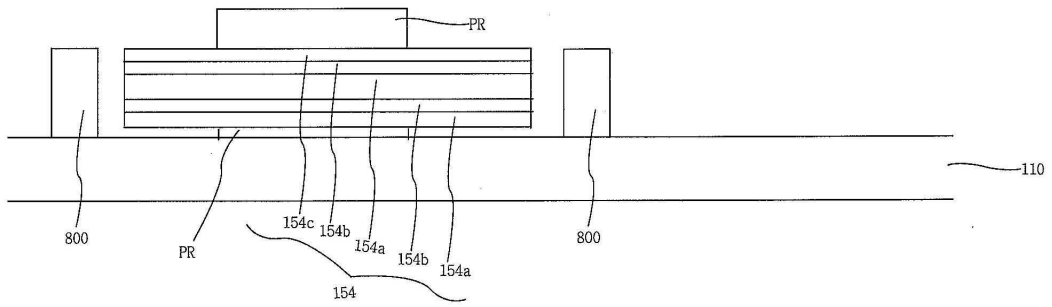
도면6a



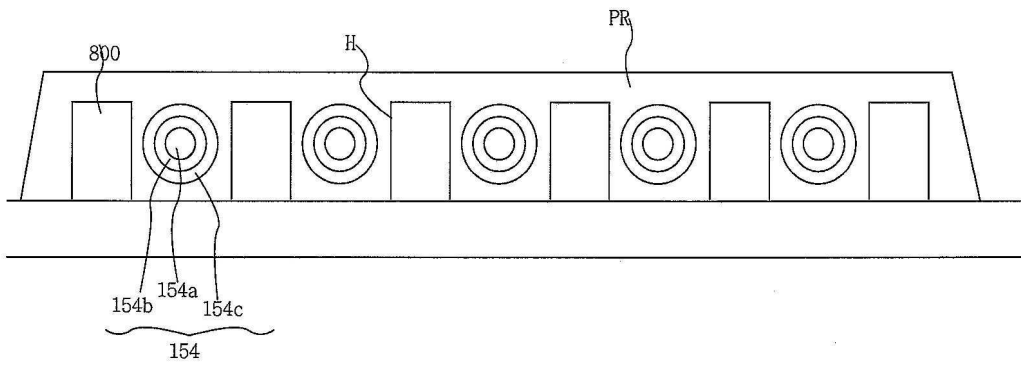
도면6b



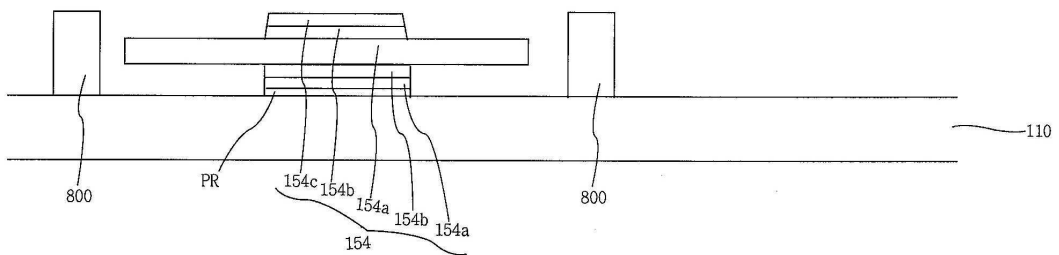
도면7a



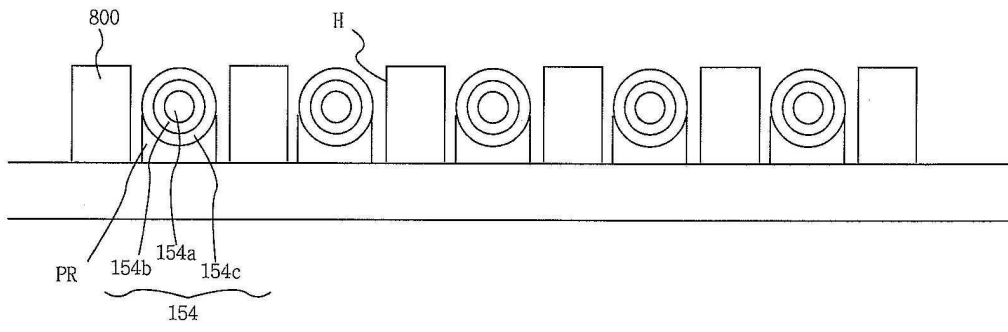
도면7b



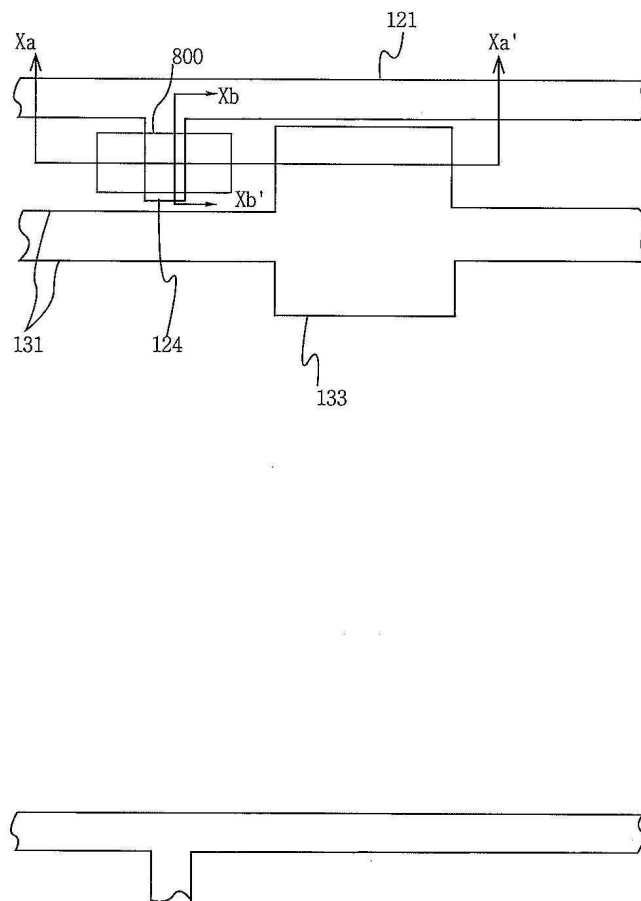
도면8a



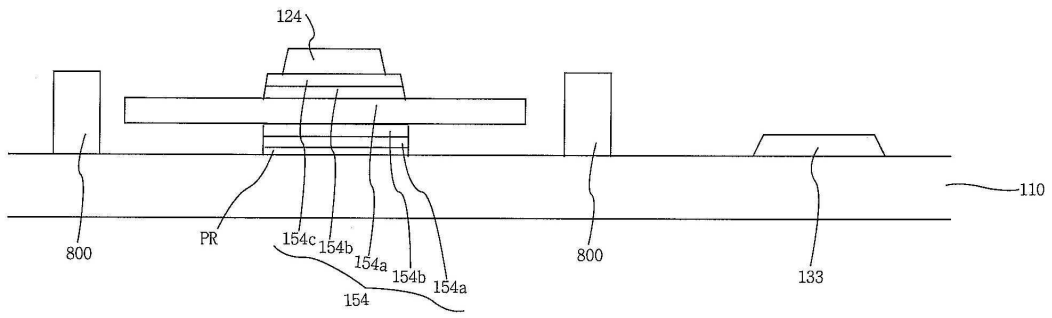
도면8b



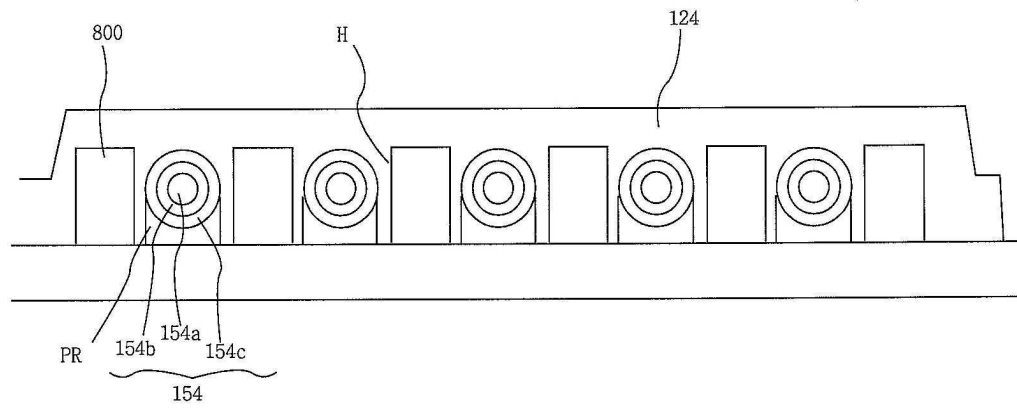
도면9



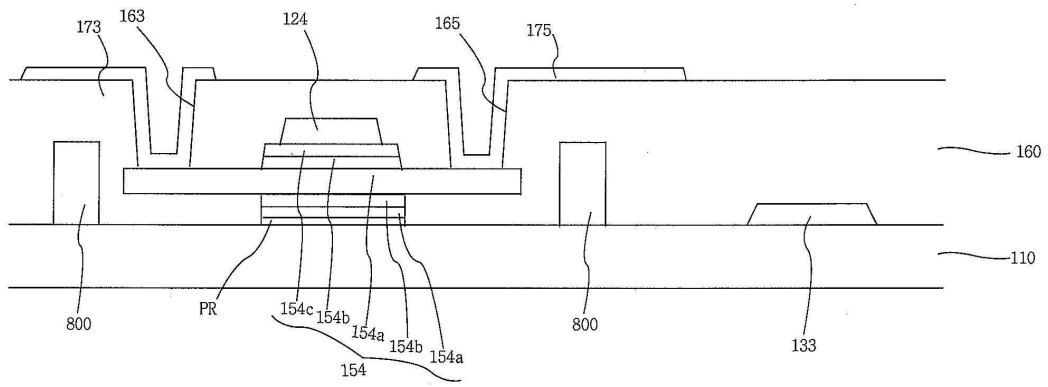
도면10a



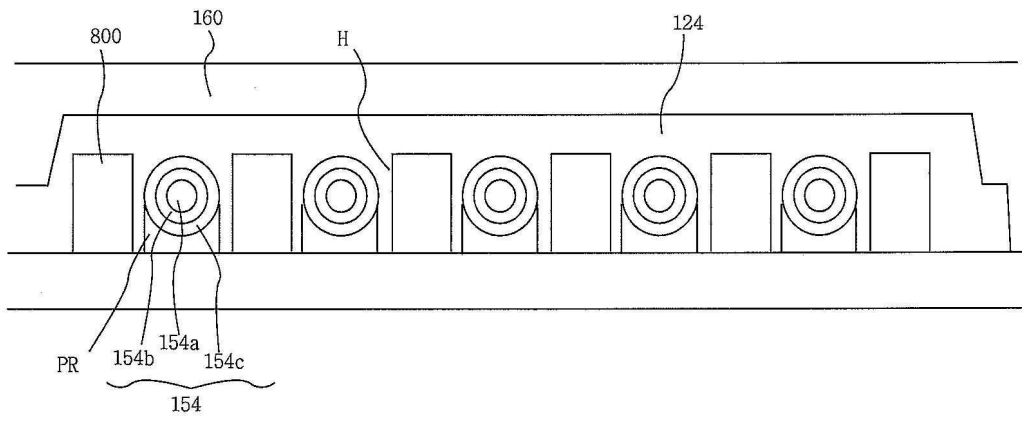
도면10b



도면12a



도면12b



도면15

