

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年11月30日(30.11.2023)



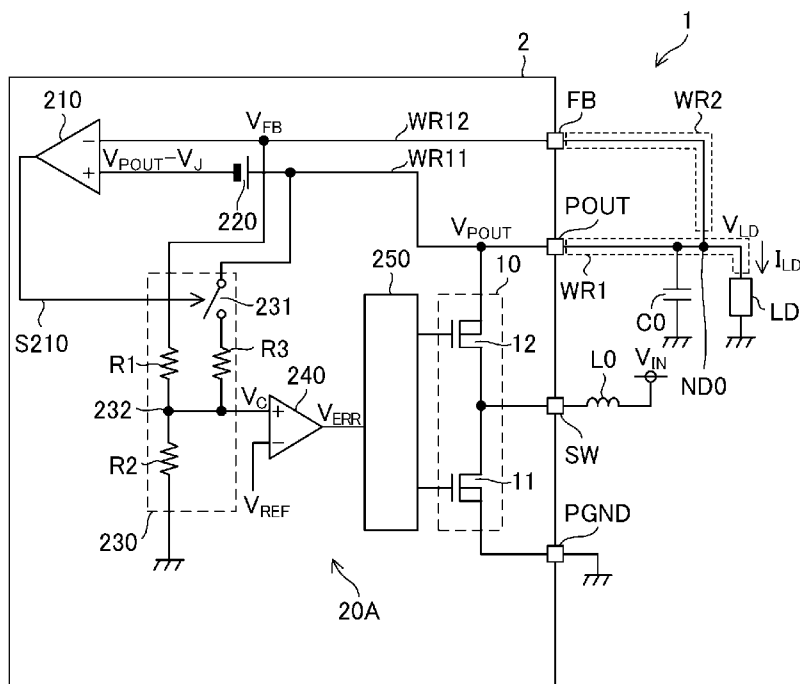
(10) 国際公開番号

WO 2023/228496 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2023/006174
- (22) 国際出願日: 2023年2月21日(21.02.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-086737 2022年5月27日(27.05.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 赤穂 直史(AKAHO Tadashi); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館5F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,

(54) Title: POWER SUPPLY SEMICONDUCTOR DEVICE AND BOOSTING CONVERTER

(54) 発明の名称: 電源用半導体装置及び昇圧コンバータ



(57) Abstract: This power supply semiconductor device is for use in a boosting converter which boosts an input voltage, and comprises: an output terminal; a switching circuit which has a switching transistor and is configured to generate, at the output terminal by using an inductor for receiving an input voltage, an output terminal voltage which has been boosted from the input voltage; a feedback terminal which is to receive a monitoring target voltage according to the output terminal voltage through external wiring of the power supply semiconductor device; and a control drive circuit configured to control



WO 2023/228496 A1

LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

the switching circuit on the basis of an error between a predetermined reference voltage and a comparison voltage based on a feedback voltage applied to the feedback terminal and the output terminal voltage.

(57) 要約：入力電圧を昇圧する昇圧コンバータにて用いられる電源用半導体装置において、出力端子と、スイッチングトランジスタを有し、入力電圧を受けるインダクタを用いて、入力電圧が昇圧された出力端子電圧を出力端子に発生させるよう構成されたスイッチング回路と、電源用半導体装置の外部配線を通じて出力端子電圧に応じた監視対象電圧を受けるべき帰還端子と、帰還端子に加わる帰還電圧及び出力端子電圧に基づく比較用電圧と、所定の基準電圧と、の誤差に基づき、スイッチング回路を制御するよう構成された制御駆動回路と、を備える。

明 細 書

発明の名称：電源用半導体装置及び昇圧コンバータ

技術分野

[0001] 本開示は、電源用半導体装置及び昇圧コンバータに関する。

背景技術

[0002] 入力電圧を昇圧する昇圧コンバータでは、昇圧電圧を監視対象とし、昇圧電圧の帰還を受ける帰還端子が設けられる。帰還端子に加わる帰還電圧に基づきスイッチング制御を行うことで、昇圧電圧を所望の目標電圧に安定化させることができる。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-221099号公報

発明の概要

発明が解決しようとする課題

[0004] 昇圧電圧を帰還端子に伝達するための配線に断線が生じるなど、昇圧電圧の帰還端子への伝達が遮断されるような故障が生じたとき、昇圧コンバータにて昇圧が不足であると誤認識され、過度の昇圧が行われるおそれがある。過度の昇圧は、昇圧電圧を受ける部品にダメージを与えるおそれがある。

[0005] 本開示は、故障時における過度の昇圧の抑制に寄与する電源用半導体装置及び昇圧コンバータを提供することを目的とする。

課題を解決するための手段

[0006] 本開示に係る電源用半導体装置は、入力電圧を昇圧する昇圧コンバータにて用いられる電源用半導体装置において、出力端子と、スイッチングトランジスタを有し、前記入力電圧を受けるインダクタを用いて、前記入力電圧が昇圧された出力端子電圧を前記出力端子に発生させるよう構成されたスイッチング回路と、前記電源用半導体装置の外部配線を通じて前記出力端子電圧に応じた監視対象電圧を受けるべき帰還端子と、前記帰還端子に加わる帰還

電圧及び前記出力端子電圧に基づく比較用電圧と、所定の基準電圧と、の誤差に基づき、前記スイッチング回路を制御するよう構成された制御駆動回路と、を備える。

発明の効果

[0007] 本開示によれば、故障時における過度の昇圧の抑制に寄与する電源用半導体装置及び昇圧コンバータを提供することが可能となる。

図面の簡単な説明

[0008] [図1]図1は、本開示の実施形態に係る昇圧コンバータの全体構成図である。

[図2]図2は、本開示の実施形態に係る電源ICの外観斜視図である。

[図3]図3は、本開示の実施形態に係る昇圧コンバータにおいて、帰還配線に断線が生じた状態（オープン故障状態）を示す図である。

[図4]図4は、本開示の実施形態に属する第1実施例に係り、昇圧コンバータの全体構成図である。

[図5]図5は、本開示の実施形態に属する第1実施例に係り、正常接続状態における昇圧コンバータを示す図である。

[図6]図6は、本開示の実施形態に属する第1実施例に係り、オープン故障状態における昇圧コンバータを示す図である。

[図7]図7は、本開示の実施形態に属する第2実施例に係り、昇圧コンバータの全体構成図である。

[図8]図8は、本開示の実施形態に属する第2実施例に係り、正常接続状態における昇圧コンバータを示す図である。

[図9]図9は、本開示の実施形態に属する第2実施例に係り、オープン故障状態における昇圧コンバータを示す図である。

発明を実施するための形態

[0009] 以下、本開示の実施形態の例を、図面を参照して具体的に説明する。参照される各図において、同一の部分には同一の符号を付し、同一の部分に関する重複する説明を原則として省略する。尚、本明細書では、記述の簡略化上、情報、信号、物理量、機能部、回路、素子又は部品等を参照する記号又は

符号を記すことによって、該記号又は符号に対応する情報、信号、物理量、機能部、回路、素子又は部品等の名称を省略又は略記することがある。

- [0010] まず、本開示の実施形態の記述にて用いられる幾つかの用語について説明を設ける。ICとは集積回路 (Integrated Circuit) の略称である。グランドとは、基準となる0V (ゼロボルト) の電位を有する基準導電部を指す又は0Vの電位そのものを指す。基準導電部は金属等の導体を用いて形成されて良い。0Vの電位をグランド電位と称することもある。本開示の実施形態において、特に基準を設けずに示される電圧はグランドから見た電位を表す。
- [0011] レベルとは電位のレベルを指し、任意の注目した信号又は電圧についてハイレベルはローレベルよりも高い電位を有する。任意の注目した信号又は電圧について、信号又は電圧がハイレベルにあるとは厳密には信号又は電圧のレベルがハイレベルにあることを意味し、信号又は電圧がローレベルにあるとは厳密には信号又は電圧のレベルがローレベルにあることを意味する。信号についてのレベルは信号レベルと表現されることがあり、電圧についてのレベルは電圧レベルと表現されることがある。
- [0012] MOSFETを含むFET (電界効果トランジスタ) として構成された任意のトランジスタについて、オン状態とは、当該トランジスタのドレイン及びソース間が導通している状態を指し、オフ状態とは、当該トランジスタのドレイン及びソース間が非導通となっている状態 (遮断状態) を指す。FETに分類されないトランジスタについても同様である。MOSFETは、特に記述無き限り、エンハンスメント型のMOSFETであると解される。MOSFETは“metal-oxide-semiconductor field-effect transistor”の略称である。また、特に記述なき限り、任意のMOSFETにおいて、バックゲートはソースに短絡されていると考える良い。
- [0013] MOSFETの電気的特性にはゲート閾電圧が含まれる。Nチャネル型且つエンハンスメント型のMOSFETである任意のトランジスタについて、当該トランジスタのゲート電位が当該トランジスタのソース電位よりも高く

、且つ、当該トランジスタのゲートソース間電圧（ソース電位から見たゲート電位）の大きさが当該トランジスタのゲート閾電圧以上であるとき、当該トランジスタはオン状態となり、そうでないとき、当該トランジスタはオフ状態となる。Pチャネル型且つエンハンスメント型のMOSFETである任意のトランジスタについて、当該トランジスタのゲート電位が当該トランジスタのソース電位よりも低く、且つ、当該トランジスタのゲートソース間電圧（ソース電位から見たゲート電位）の大きさが当該トランジスタのゲート閾電圧以上であるとき、当該トランジスタはオン状態となり、そうでないとき、当該トランジスタはオフ状態となる。任意のFETについて、ゲート閾電圧とは、所定の周辺温度環境下において、当該FETのドレイン及びソース間に所定電圧を印加している際に所定の大きさのドレイン電流を流すために必要なゲートソース間電圧として定義される。

[0014] 任意のスイッチ素子を1以上のFET（電界効果トランジスタ）にて構成することができ、或るスイッチ素子がオン状態のときには当該スイッチ素子の両端間が導通する一方で或るスイッチ素子がオフ状態のときには当該スイッチ素子の両端間が非導通となる。

[0015] 以下、任意のトランジスタ又はスイッチ素子について、オン状態、オフ状態を、単に、オン、オフと表現することもある。任意のトランジスタ又はスイッチ素子について、オフ状態からオン状態への切り替わりをターンオンと表現し、オン状態からオフ状態への切り替わりをターンオフと表現する。また、任意のトランジスタ又はスイッチ素子について、トランジスタ又はスイッチ素子がオン状態となっている期間をオン期間と称することがあり、トランジスタ又はスイッチ素子がオフ状態となっている期間をオフ期間と称することがある。

[0016] 任意の回路素子、配線（ライン）、ノードなど、回路を形成する複数の部位間についての接続とは、特に記述なき限り、電気的な接続を指すと解して良い。

[0017] 図1は本開示の実施形態に係る昇圧コンバータ1の全体構成図である。図

1の昇圧コンバータ1は、電源用半導体装置である電源IC2と、電源IC2に対して外付け接続される複数のディスクリート部品と、を備える。昇圧コンバータ1に設けられる複数のディスクリート部品にはインダクタL0及び出力コンデンサC0が含まれる。昇圧コンバータ1は、外部から供給される入力電圧 V_{IN} を受け、入力電圧 V_{IN} を昇圧した電圧を生成する昇圧型のスイッチング電源装置（DC/DCコンバータ）である。

[0018] 図2に電源IC2の外観斜視図を示す。電源IC2は、半導体基板上に形成された半導体集積回路を有する半導体チップと、半導体チップを収容する筐体（パッケージ）と、筐体から電源IC2の外部に対して露出する複数の外部端子と、を備えた電子部品である。半導体チップを樹脂にて構成された筐体（パッケージ）内に封入することで電源IC2が形成される。尚、図2に示される電源IC2の外部端子の数及び電源IC2の筐体の種類は例示に過ぎず、それらを任意に設計可能である。

[0019] 図1では、電源IC2に設けられる複数の外部端子の一部として、入力端子IN、出力端子POUT、スイッチ端子SW、グランド端子PGND及び帰還端子FBのみが示されているが、他の外部端子（例えばイネーブル端子又はパワーグッド端子）も電源IC2に設けられる。尚、昇圧コンバータ1に設けられる配線の内、電源IC2の外部に設けられる配線を特に外部配線と称し、電源IC2の内部に設けられる配線を特に内部配線と称する。

[0020] 図示されない電圧源から入力端子INへ入力電圧 V_{IN} が供給される。入力電圧 V_{IN} は正の直流電圧である。インダクタL0の一端は入力電圧 V_{IN} が加わる端子に接続されて入力電圧 V_{IN} を受ける。インダクタL0の一端は入力端子INに接続されると解しても良い。インダクタL0の他端はスイッチ端子SWに接続される。グランド端子PGNDはグランドに接続される。

[0021] 出力端子POUTに接続される外部配線として昇圧コンバータ1には出力配線WR1が設けられる。出力配線WR1の一端は出力端子POUTに接続され、出力配線WR1の他端は負荷LDに接続される。出力端子POUTに加わる電圧を出力端子電圧 V_{POUT} と称する。出力端子電圧 V_{POUT} に応じた電圧が

負荷電圧 V_{LD} として負荷LDに供給される。負荷LDは負荷電圧 V_{LD} に基づいて駆動する1以上の任意の負荷である。出力配線WR1を通じて負荷LDに供給される電流を負荷電流 I_{LD} と称する。負荷電流 I_{LD} は出力端子POUTから負荷LDに向けて流れる。出力コンデンサC0の一端は出力配線WR1に接続され、出力コンデンサC0の他端はグラウンドに接続される。

[0022] 帰還端子FBに接続される外部配線として昇圧コンバータ1には帰還配線WR2が設けられる。帰還配線WR2の一端は帰還端子FBに接続され、帰還配線WR2の他端はノードND0に接続される。ノードND0は、出力配線WR1上のノードであって、出力配線WR1の内、負荷LDに極力近い位置に設けられる。少なくとも、ノードND0及び負荷LD間の距離は、ノードND0及び出力端子POUT間の距離よりも短い。以下では、負荷電圧 V_{LD} はノードND0における電圧であると考え、負荷電圧 V_{LD} は電源IC2において監視されるべき対象電圧（監視対象電圧）に相当する。帰還端子FBに加わる電圧を帰還電圧 V_{FB} と称する。

[0023] 出力端子電圧 V_{POUT} は入力電圧 V_{IN} を昇圧することで生成される昇圧電圧であり、故に、入力電圧 V_{IN} よりも高い。負荷電圧 V_{LD} も入力電圧 V_{IN} を昇圧することで生成される昇圧電圧であり、故に、入力電圧 V_{IN} よりも高い。負荷電流 I_{LD} がゼロであるとき、負荷電圧 V_{LD} の値は出力端子電圧 V_{POUT} の値と等しい。負荷電流 I_{LD} がゼロでないとき、出力配線WR1における配線抵抗と負荷電流 I_{LD} に応じた電圧降下が発生するため、その電圧降下の分だけ、負荷電圧 V_{LD} は出力端子電圧 V_{POUT} よりも低くなる。上記電圧降下を表す電圧を“ ΔV ”にて表す。故に、“ $V_{LD} = V_{POUT} - \Delta V$ ”である。負荷電流 I_{LD} は帰還配線WR2には流れない。

[0024] 電源IC2にスイッチング回路10及び制御駆動回路20が設けられる。スイッチング回路10はスイッチングトランジスタ11及び整流素子12を備える。ここでは、整流素子12として同期整流トランジスタが用いられるものとする。具体的には、スイッチング回路10において、スイッチングトランジスタ11はNチャンネル型のMOSFETにて構成され、同期整流トラ

ンジスタ12はPチャネル型のMOSFETにて構成される。同期整流トランジスタ12のソースは出力端子POUTに接続される。同期整流トランジスタ12のドレイン及びスイッチングトランジスタ11のドレインはスイッチ端子SWに共通接続される。スイッチングトランジスタ11のソースはグランド端子PGNDに接続される（従ってグランド端子PGNDを介してグランドに接続される）。

[0025] 電源IC2に出力端子POUTに接続された内部配線WR11及び帰還端子FBに接続された内部配線WR12が設けられる。内部配線WR11に出力端子電圧 V_{POUT} が加わり、内部配線WR12に帰還電圧 V_{FB} が加わる。

[0026] 制御駆動回路20は内部電源電圧に基づいて駆動する。電源IC2に設けられた内部電源回路（不図示）により入力電圧 V_{IN} から内部電源電圧が生成される。制御駆動回路20は、内部配線WR11を介して出力端子POUTに接続されると共に内部配線WR12を介して帰還端子FBに接続される。このため、制御駆動回路20に対し、帰還端子FBにおける帰還電圧 V_{FB} が入力されると共に出力端子POUTにおける出力端子電圧 V_{POUT} が入力される。また、制御駆動回路20に対して所定の基準電圧 V_{REF} が入力される。電源IC2に設けられた基準電圧生成回路（不図示）により入力電圧 V_{IN} に基づき基準電圧 V_{REF} が生成される。基準電圧 V_{REF} は所定の正の直流電圧値を有する。

[0027] 制御駆動回路20は、原則として帰還電圧 V_{FB} に基づいて比較用電圧を生成する。そして、制御駆動回路20は比較用電圧と基準電圧 V_{REF} との誤差が低減するように（当該誤差がゼロに収束するように）、スイッチング回路10に対するスイッチング制御を実行する。帰還電圧 V_{FB} に基づいて生成される比較用電圧は帰還電圧 V_{FB} の分圧である。従って、帰還電圧 V_{FB} に基づいて比較用電圧が生成されるとき、帰還電圧 V_{FB} から比較用電圧を生成するときの分圧比と基準電圧 V_{REF} とで定まる目標電圧 V_{TG} （不図示）にて負荷電圧 V_{LD} が安定化される。

[0028] 制御駆動回路20はスイッチングトランジスタ11及び同期整流トランジスタ12の各ゲートに接続され、スイッチングトランジスタ11及び同期整

流トランジスタ12の各ゲート電位を制御することで、スイッチングトランジスタ11及び同期整流トランジスタ12の状態を制御する。制御駆動回路20は、上記スイッチング制御においてスイッチングトランジスタ11及び同期整流トランジスタ12を交互にオン、オフする。スイッチングトランジスタ11のオン期間において同期整流トランジスタ12はオフに制御され、同期整流トランジスタ12のオン期間においてスイッチングトランジスタ11はオフに制御される。スイッチングトランジスタ11及び同期整流トランジスタ12の内、一方のトランジスタのオン期間と他方のトランジスタのオン期間との間に、スイッチングトランジスタ11及び同期整流トランジスタ12の双方がオフとされる期間（デッドタイム）が介在しうる。

[0029] スwitchングトランジスタ11のオン期間において入力電圧 V_{IN} が加わる端子からインダクタ L_0 、スイッチ端子 SW 、スイッチングトランジスタ11のチャンネルを通じてグラウンドに電流が流れることで、インダクタ L_0 にエネルギーが蓄積される。その後、スイッチングトランジスタ11がオフとされ、同期整流トランジスタ12がオンとされる期間において、インダクタ L_0 の蓄積エネルギーに基づく電流が、入力電圧 V_{IN} が加わる端子からインダクタ L_0 、スイッチ端子 SW 、同期整流トランジスタ12のチャンネル及び出力端子 $POUT$ を通じ、出力コンデンサ C_0 及び負荷 LD に供給される。

[0030] 制御駆動回路20はPWMによるスイッチング制御を行って良い。PWMはパルス幅変調 (Pulse Width Modulation) の略称である。PWMによるスイッチング制御では、所定のPWM周波数にてスイッチングトランジスタ11及び同期整流トランジスタ12が交互にオン、オフとされ、比較用電圧及び基準電圧 V_{REF} に基づきスイッチングトランジスタ11のオンデューティが調整される。スイッチングトランジスタ11のオンデューティとは、各PWM周期において、1PWM周期を占めるスイッチングトランジスタ11のオン期間の長さの割合を指す。PWMによるスイッチング制御において、スイッチングトランジスタ11のオンデューティをゼロから規定の最大デューティに向けて増大させるにつれ、入力電圧 V_{IN} が加わる端子から出力コンデンサ

C0及び負荷LDに伝達されるエネルギーの量（単位時間当たりのエネルギーの量）が増大し、結果、出力端子電圧 $V_{\text{P_OUT}}$ 及び負荷電圧 V_{LD} が上昇する。

[0031] 或いは、制御駆動回路20はPFMによるスイッチング制御を行って良い。PFMはパルス周波数変調（Pulse Frequency Modulation）の略称である。PFMによるスイッチング制御では、可変のスイッチング周波数にてスイッチングトランジスタ11及び同期整流トランジスタ12が交互にオン、オフとされ、比較用電圧及び基準電圧 V_{REF} に基づきスイッチング周波数が調整される。PFMによるスイッチング制御において、1回当たりのスイッチングトランジスタ11のオン時間（オン期間の長さ）は一定である。即ち、PFMによるスイッチング制御では、一定時間だけスイッチングトランジスタ11をオン且つ同期整流トランジスタ12をオフとした後、スイッチングトランジスタ11をオフ且つ同期整流トランジスタ12をオンに保つ単位動作を繰り返し、単位動作の繰り返し周波数を比較用電圧及び基準電圧 V_{REF} に基づき調整する。単位動作の繰り返し周波数（即ちPFMによるスイッチング制御のスイッチング周波数）を増大させるにつれ、入力電圧 V_{IN} が加わる端子から出力コンデンサC0及び負荷LDに伝達されるエネルギーの量（単位時間当たりのエネルギーの量）が増大し、結果、出力端子電圧 $V_{\text{P_OUT}}$ 及び負荷電圧 V_{LD} が上昇する。

[0032] ところで、ノードND0が帰還配線WR2を通じて正しく帰還端子FBに接続される状態を正常接続状態と称する。正常接続状態は、出力端子電圧 $V_{\text{P_OUT}}$ に応じた電圧である負荷電圧 V_{LD} （即ち監視対象電圧）が帰還配線WR2を通じて帰還端子FBに加わる状態である。図1は、正常接続状態における昇圧コンバータ1が示されている。正常接続状態において帰還配線WR2に流れる電流は微小であり、帰還電圧 V_{FB} は負荷電圧 V_{LD} と一致するとみなせる。

[0033] 帰還配線WR2に異常があるとき、又は、帰還配線WR2及び帰還端子FB間に接続不良があるとき、負荷電圧 V_{LD} が帰還端子FBに正しく伝達されない。帰還配線WR2の異常の典型例は帰還配線WR2の断線である。帰還配

線WR 2の異常により、又は、帰還配線WR 2及び帰還端子FB間の接続不良により、帰還端子FBが開放状態となる異常をオープン故障状態と称する（図3参照）。帰還配線WR 2の状態等によっては、帰還端子FB及びノードND 0間が、例えば数100キロオーム程度の抵抗成分を介して接続されたような状態と等価となり得る。但し、ここでは、オープン故障状態において、帰還端子FB及びノードND 0間は十分に高い絶縁抵抗で絶縁されているものとする。負荷電圧 V_{LD} （即ち監視対象電圧）の帰還端子FBへの伝達が遮断される状態は、オープン故障状態に属する。

[0034] オープン故障状態において、仮に正常接続状態と同様に、帰還端子FBに加わる電圧（帰還電圧 V_{FB} ）に基づきスイッチング制御を行った場合、負荷電圧 V_{LD} に依らず、PWMによるスイッチング制御でのスイッチングトランジスタ11のオンデューティが上昇し、又は、PFMによるスイッチング制御でのスイッチング周波数が上昇し、結果、過度に昇圧が行われるおそれがある（即ち出力端子電圧 V_{POUT} 及び負荷電圧 V_{LD} が過電圧となるおそれがある）。過度の昇圧は出力配線WR 1に接続される部品（例えば同期整流トランジスタ12又は負荷LD）にダメージを与える可能性がある。このような過度の昇圧を抑制する技術が制御駆動回路20に盛り込まれる。

[0035] 以下、複数の実施例の中で、昇圧コンバータ1（特に制御駆動回路20）に関わる幾つかの具体的な構成例、動作例、応用技術、変形技術等を説明する。本実施形態にて上述した事項は、特に記述無き限り且つ矛盾無き限り、以下の各実施例に適用される。各実施例において、上述の事項と矛盾する事項がある場合には、各実施例での記載が優先されて良い。また矛盾無き限り、以下に示す複数の実施例の内、任意の実施例に記載した事項を、他の任意の実施例に適用することもできる（即ち複数の実施例の内の任意の2以上の実施例を組み合わせることも可能である）。

[0036] <<第1実施例>>

第1実施例を説明する。図4に第1実施例に係る昇圧コンバータ1の構成を示す。第1実施例に係る昇圧コンバータ1は制御駆動回路20として制御

駆動回路 20A を備える。制御駆動回路 20A の構成を説明する。

[0037] 制御駆動回路 20A は、コンパレータ 210 と、電圧源 220 と、比較用電圧生成回路 230 と、エラーアンプ 240 と、ロジック回路及び駆動回路を含む回路 250 と、を備える。

[0038] コンパレータ 210 は反転入力端子、非反転入力端子及び出力端子を備える。電圧源 220 は所定の判定電圧 V_J を生成及び出力する。判定電圧 V_J は所定の正の直流電圧値（例えば 0.8V）を有する。電圧源 220 はコンパレータ 210 の非反転入力端子と出力端子 POUT との間に挿入され、この際、電圧源 220 の正側出力端が内部配線 WR11 に接続される。このため、電圧源 220 は出力端子電圧 V_{POUT} よりも判定電圧 V_J だけ低い電圧（ $V_{POUT} - V_J$ ）を、コンパレータ 210 の非反転入力端子に供給する。コンパレータ 210 の反転入力端子は内部配線 WR12 を介して帰還端子 FB に接続され、帰還端子 FB に加わる電圧（即ち帰還電圧 V_{FB} ）を受ける。コンパレータ 210 は、出力端子電圧 V_{POUT} よりも判定電圧 V_J だけ低い電圧（ $V_{POUT} - V_J$ ）を帰還電圧 V_{FB} と比較し、比較結果を示す信号 S210 を自身の出力端子から出力する。コンパレータ 210 は、電圧（ $V_{POUT} - V_J$ ）が帰還電圧 V_{FB} よりも高いときハイレベルの信号 S210 を出力し、電圧（ $V_{POUT} - V_J$ ）が帰還電圧 V_{FB} よりも低いときローレベルの信号 S210 を出力する。“ $V_{POUT} - V_J = V_{FB}$ ” の成立時において信号 S210 はハイレベル又はローレベルとなる。

[0039] 比較用電圧生成回路 230 は抵抗 R1～R3 及びスイッチ素子 231 を備え、帰還電圧 V_{FB} 及び出力端子電圧 V_{POUT} に基づき比較用電圧 V_C を生成する。抵抗 R1 の一端は内部配線 WR12 を介し帰還端子 FB に接続されて帰還端子 FB に加わる電圧（即ち帰還電圧 V_{FB} ）を受ける。抵抗 R1 の他端はノード 232 に接続される。抵抗 R2 の一端はノード 232 に接続される。抵抗 R2 の他端はグラウンドに接続される。抵抗 R1 及び R2 は帰還電圧 V_{FB} を分圧する分圧回路を構成する。スイッチ素子 231 の一端は内部配線 WR11 を介し出力端子 POUT に接続されて出力端子電圧 V_{POUT} を受ける。スイッチ素子 231 の他端は抵抗 R3 の一端に接続され、抵抗 R3 の他端はノード 232

に接続される。抵抗 R_1 及び R_2 による分圧比と基準電圧 V_{REF} とで上述の目標電圧 V_{TG} が定まる。尚、以下に示される式において、抵抗 R_1 、 R_2 、 R_3 の抵抗値を、夫々、“ R_1 ”、“ R_2 ”、“ R_3 ”にて表す。

[0040] ノード 232 に比較用電圧 V_C が生じる。スイッチ素子 231 はコンパレータ 210 の出力信号 S_{210} に基づきオン又はオフに制御される。スイッチ素子 231 は、信号 S_{210} がローレベルであるときオフに制御され、信号 S_{210} がハイレベルであるときオンに制御される。

[0041] エラーアンプ 240 は反転入力端子、非反転入力端子及び出力端子を備える。エラーアンプ 240 の非反転入力端子はノード 232 に接続されて比較用電圧 V_C を受ける。エラーアンプ 240 の反転入力端子に対して基準電圧 V_{REF} が供給される。エラーアンプ 240 は、比較用電圧 V_C 及び基準電圧 V_{REF} 間の誤差に基づく誤差信号 V_{ERR} を生成し、誤差信号 V_{ERR} を自身の出力端子から出力する。エラーアンプ 240 は、比較用電圧 V_C が基準電圧 V_{REF} よりも高いときには誤差信号 V_{ERR} の電位を上昇させ、比較用電圧 V_C が基準電圧 V_{REF} よりも低いときには誤差信号 V_{ERR} の電位を低下させる。

[0042] 回路 250 は、誤差信号 V_{ERR} に基づき比較用電圧 V_C 及び基準電圧 V_{REF} 間の誤差が低減するように（当該誤差がゼロに収束するように）、スイッチング回路 10 に対するスイッチング制御を実行する。回路 250 はスイッチングトランジスタ 11 及び同期整流トランジスタ 12 の各ゲートに接続され、スイッチングトランジスタ 11 及び同期整流トランジスタ 12 の各ゲート電位を制御することで、スイッチングトランジスタ 11 及び同期整流トランジスタ 12 の状態を制御する。回路 250 は、上記スイッチング制御においてスイッチングトランジスタ 11 及び同期整流トランジスタ 12 を交互にオン、オフする。

[0043] 正常接続状態では “ $V_{FB} = V_{LD} = V_{POUT} - \Delta V$ ” である。ここで、“ $\Delta V < V_J$ ” が成立するよう電圧源 210 が構成され且つ昇圧コンバータ 1 が構成される。故に、正常接続状態では、“ $V_{POUT} - V_J < V_{FB}$ ” が成立して信号 S_{210} はローレベルとなる。例えば、負荷電圧 V_{LD} に対する目標電圧 V_{TG} が 4.8 V

であり、電圧 ΔV は0.1Vであり、判定電圧 V_J は0.8Vであるとする。そうすると、正常接続状態において、負荷電圧 V_{LD} が目標電圧 V_{TG} にて安定化されている状況を考えると、図5に示す如く、出力端子電圧 V_{POUT} は4.9Vであり、帰還電圧 V_{FB} は4.8Vであり、電圧 $(V_{POUT} - V_J)$ は4.1Vとなるので、信号S210はローレベルとなる。結果、正常接続状態においてスイッチ素子231がオフとなり、比較用電圧 V_C は帰還電圧 V_{FB} を抵抗R1及びR2による分圧回路にて分圧したものとなる。即ち、正常接続状態において“ $V_C = V_{FB} \cdot R2 / (R1 + R2)$ ”となる。ここでは例として、基準電圧 V_{REF} が1.2Vであるとする。この場合、抵抗R1の抵抗値を抵抗R2の抵抗値の3倍に設定しておくことで、正常接続状態において、負荷電圧 V_{LD} に対する目標電圧 V_{TG} は4.8Vとなる。

[0044] オープン故障状態では帰還端子FBが開放状態となるので、図6に示す如く、ノード232の電圧が帰還端子FBに伝達されることにより、帰還端子FBに加わる電圧（帰還電圧 V_{FB} ）は比較用電圧 V_C と同じとなる。“ $V_C = V_{REF}$ ”であるときに図5の正常接続状態からオープン故障状態に突如遷移したことを想定すると、比較用電圧 V_C は1.2Vであって、遷移直後における電圧 $(V_{POUT} - V_J)$ に相当する4.1Vよりも低い。このため“ $V_{POUT} - V_J > V_{FB}$ ”が成立して信号S210はハイレベルとなる。そうすると、スイッチ素子231がオンとなり、結果、比較用電圧 V_C は出力端子電圧 V_{POUT} を抵抗R2及びR3による分圧回路にて分圧したものとなる（即ち、“ $V_C = V_{POUT} \cdot R2 / (R2 + R3)$ ”となる）。

[0045] ここで、抵抗R3の抵抗値は抵抗R1の抵抗値よりも大きく設定されている。このため、オープン故障状態における出力端子電圧 V_{POUT} 及び負荷電圧 V_{LD} は正常接続状態における出力端子電圧 V_{POUT} 及び負荷電圧 V_{LD} よりも高い。具体的に例えば“ $V_C = V_{POUT} \cdot R2 / (R2 + R3) = V_{REF}$ ”であるときに、出力端子電圧 V_{POUT} が5.8Vになるように抵抗R2及びR3並びに基準電圧 V_{REF} の各値が設定されている。故に、図5の正常接続状態から図6のオープン故障状態へ遷移すると、スイッチ素子231がオンとなった後、出力端子電圧

V_{POUT} の4.9Vから5.8Vへの上昇を経て出力端子電圧 V_{POUT} が5.8Vにて安定化され、このとき、負荷電圧 V_{LD} は5.7Vにて安定化される（電圧 ΔV が0.1Vに固定されていると仮定）。

[0046] 説明の便宜上、図5の正常接続状態からのオープン故障状態に突如遷移したことを想定したが、オープン故障状態にて電源IC2が起動する際も同様である。

[0047] このように、比較用電圧生成回路230は、出力端子電圧 V_{POUT} より所定の判定電圧 V_{J} だけ低い電圧（ $V_{\text{POUT}} - V_{\text{J}}$ ）と帰還電圧 V_{FB} との高低関係に応じ、帰還電圧 V_{FB} 及び出力端子電圧 V_{POUT} の何れかを切り替えて用いて比較用電圧 V_{C} を生成する。正常接続状態では“ $V_{\text{POUT}} - V_{\text{J}} < V_{\text{FB}}$ ”であり、このときには帰還電圧 V_{FB} に基づいて比較用電圧 V_{C} を生成する。オープン故障状態では“ $V_{\text{POUT}} - V_{\text{J}} > V_{\text{FB}}$ ”であり、このときには帰還電圧 V_{FB} に依らず出力端子電圧 V_{POUT} に基づいて比較用電圧 V_{C} を生成する。

[0048] 回路250はPWMによるスイッチング制御を行って良い。PWMによるスイッチング制御では、所定のPWM周波数にてスイッチングトランジスタ11及び同期整流トランジスタ12が交互にオン、オフとされ、誤差信号 V_{ERR} に基づきスイッチングトランジスタ11のオンデューティが調整される。PWMによるスイッチング制御において、回路250は、比較用電圧 V_{C} と基準電圧 V_{REF} との誤差を低減すべく、誤差信号 V_{ERR} の上昇に伴ってスイッチングトランジスタ11のオンデューティを低下させ、誤差信号 V_{ERR} の低下に伴ってスイッチングトランジスタ11のオンデューティを増大させる。

[0049] 或いは、制御駆動回路20はPFMによるスイッチング制御を行って良い。PFMによるスイッチング制御では、可変のスイッチング周波数にてスイッチングトランジスタ11及び同期整流トランジスタ12が交互にオン、オフとされ、誤差信号 V_{ERR} に基づきスイッチング周波数が調整される。PFMによるスイッチング制御において、1回当たりのスイッチングトランジスタ11のオン時間（オン期間の長さ）は一定である。PFMによるスイッチング制御において、回路250は、比較用電圧 V_{C} と基準電圧 V_{REF} との誤差を低減

すべく、誤差信号 V_{ERR} の上昇に伴ってスイッチング周波数を低下させ、誤差信号 V_{ERR} の低下に伴ってスイッチング周波数を増大させる。

[0050] <<第2実施例>>

第2実施例を説明する。図7に第2実施例に係る昇圧コンバータ1の構成を示す。第2実施例に係る昇圧コンバータ1は制御駆動回路20として制御駆動回路20Bを備える。

[0051] 制御駆動回路20Bは、比較用電圧生成回路230Bと、エラーアンプ240と、ロジック回路及び駆動回路を含む回路250と、を備える。制御駆動回路20Bにおいて、図4に示されたコンパレータ210及び電圧源220は不要である。即ち、図4の制御駆動回路20Aを基準に、コンパレータ210及び電圧源220を削除し、且つ、図4の比較用電圧生成回路230を比較用電圧生成回路230Bに置換することで、制御駆動回路20Bが得られる。上記削除及び置換を除き、制御駆動回路20Bは制御駆動回路20Aと同様の構成を有する。

[0052] 比較用電圧生成回路230Bは抵抗 $R1 \sim R3$ 及びスイッチ素子233を備え、帰還電圧 V_{FB} 及び出力端子電圧 V_{POUT} に基づき比較用電圧 V_C を生成する。抵抗 $R1 \sim R3$ は第1実施例で述べたそれらと同じものである。故に、抵抗 $R1$ の一端は内部配線 $WR12$ を介し帰還端子 FB に接続されて帰還端子 FB に加わる電圧（即ち帰還電圧 V_{FB} ）を受ける。抵抗 $R1$ の他端はノード232に接続される。抵抗 $R2$ の一端はノード232に接続される。抵抗 $R2$ の他端はグラウンドに接続される。抵抗 $R1$ 及び $R2$ は帰還電圧 V_{FB} を分圧する分圧回路を構成する。

[0053] スwitch素子233はPチャネル型のMOSFETであり、以下、スイッチ素子233をトランジスタと称する。トランジスタ233のソースは内部配線 $WR11$ を介し出力端子 $POUT$ に接続されて出力端子電圧 V_{POUT} を受ける。トランジスタ233のドレインは抵抗 $R3$ の一端に接続され、抵抗 $R3$ の他端はノード232に接続される。トランジスタ233のゲートは内部配線 $WR12$ を介し帰還端子 FB に接続されて帰還電圧 V_{FB} を受ける。

- [0054] ノード232に比較用電圧 V_C が生じる点は第1実施例と同様である。トランジスタ233のゲート閾電圧を“ V_{TH} ”にて表す。電圧 V_{TH} はトランジスタ233のゲート閾電圧の大きさ（絶対値）であり、故に“ $V_{TH} > 0$ ”である。
- [0055] 正常接続状態では“ $V_{FB} = V_{LD} = V_{POUT} - \Delta V$ ”である。ここで、“ $\Delta V < V_{TH}$ ”が成立するようトランジスタ233が構成され且つ昇圧コンバータ1が構成される。故に、正常接続状態では、“ $V_{POUT} - V_{TH} < V_{FB}$ ”が成立してトランジスタ233はオフとなる。例えば、負荷電圧 V_{LD} に対する目標電圧 V_{TG} が4.8Vであり、電圧 ΔV は0.1Vであり、ゲート閾電圧 V_{TH} は0.8Vであるとする。そうすると、正常接続状態において、負荷電圧 V_{LD} が目標電圧 V_{TG} にて安定化されている状況を考えると、図8に示す如く、出力端子電圧 V_{POUT} は4.9Vであって且つ帰還電圧 V_{FB} は4.8Vであるので、トランジスタ233のゲートソース間電圧の大きさはゲート閾電圧 V_{TH} より小さくなり、結果、トランジスタ233はオフである。トランジスタ233がオフであると、比較用電圧 V_C は帰還電圧 V_{FB} を抵抗 R_1 及び R_2 による分圧回路にて分圧したものとなる（即ち、“ $V_C = V_{FB} \cdot R_2 / (R_1 + R_2)$ ”となる）。ここでは例として、基準電圧 V_{REF} が1.2Vであるとする。この場合、抵抗 R_1 の抵抗値を抵抗 R_2 の抵抗値の3倍に設定しておくことで、正常接続状態において、負荷電圧 V_{LD} に対する目標電圧 V_{TG} は4.8Vとなる。
- [0056] オープン故障状態では帰還端子FBが開放状態となるので、図9に示す如く、ノード232の電圧が帰還端子FBに伝達されることにより、帰還端子FBに加わる電圧（帰還電圧 V_{FB} ）は比較用電圧 V_C と同じとなる。“ $V_C = V_{REF}$ ”であるときに図8の正常接続状態からオープン故障状態に突如遷移したことを想定すると、比較用電圧 V_C は1.2Vであって、遷移直後における電圧（ $V_{POUT} - V_{TH}$ ）に相当する4.1Vよりも低い。このため、トランジスタ233がオンとなり、結果、比較用電圧 V_C は出力端子電圧 V_{POUT} を抵抗 R_2 及び R_3 による分圧回路にて分圧したものとなる（即ち、“ $V_C = V_{POUT} \cdot R_2 / (R_2 + R_3)$ ”となる）。
- [0057] ここで、第1実施例と同様、抵抗 R_3 の抵抗値は抵抗 R_1 の抵抗値よりも

大きく設定されている。このため、オープン故障状態における出力端子電圧 V_{POUT} 及び負荷電圧 V_{LD} は正常接続状態における出力端子電圧 V_{POUT} 及び負荷電圧 V_{LD} よりも高い。具体的に例えば “ $V_{\text{C}} = V_{\text{POUT}} \cdot R_2 / (R_2 + R_3) = V_{\text{REF}}$ ” であるときに、出力端子電圧 V_{POUT} が 5.8 V になるように抵抗 R_2 及び R_3 並びに基準電圧 V_{REF} の各値が設定されている。故に、図 8 の正常接続状態から図 9 のオープン故障状態へ遷移すると、トランジスタ 233 がオンとなった後、出力端子電圧 V_{POUT} の 4.9 V から 5.8 V への上昇を経て出力端子電圧 V_{POUT} が 5.8 V にて安定化され、このとき、負荷電圧 V_{LD} は 5.7 V にて安定化される（電圧 ΔV が 0.1 V に固定されていると仮定）。

[0058] 説明の便宜上、図 8 の正常接続状態からのオープン故障状態に突如遷移したことを想定したが、オープン故障状態にて電源 IC2 が起動する際も同様である。

[0059] このように、比較用電圧生成回路 230B は、出力端子電圧 V_{POUT} より所定のゲート閾電圧 V_{TH} だけ低い電圧 ($V_{\text{POUT}} - V_{\text{TH}}$) と帰還電圧 V_{FB} との高低関係に応じ、帰還電圧 V_{FB} 及び出力端子電圧 V_{POUT} の何れかを切り替えて用いて比較用電圧 V_{C} を生成する。正常接続状態では “ $V_{\text{POUT}} - V_{\text{TH}} < V_{\text{FB}}$ ” であり、このときには帰還電圧 V_{FB} に基づいて比較用電圧 V_{C} を生成する。オープン故障状態では “ $V_{\text{POUT}} - V_{\text{TH}} > V_{\text{FB}}$ ” であり、このときには帰還電圧 V_{FB} に依らず出力端子電圧 V_{POUT} に基づいて比較用電圧 V_{C} を生成する。エラーアンプ 240 及び回路 250 の動作は第 1 実施例に示した通りである。

[0060] 尚、スイッチ素子 233 として PNP 型のバイポーラトランジスタを用いるようにしても良い。この場合、当該バイポーラトランジスタのエミッタを内部配線 WR11 を介して出力端子 POUT に接続し、当該バイポーラトランジスタのコレクタを抵抗 R_3 に接続し（抵抗 R_3 を介してノード 232 に接続し）、当該バイポーラトランジスタのベースを内部配線 WR12 を介して帰還端子 FB に接続すれば良い。スイッチ素子 233 としての PNP 型のバイポーラトランジスタでは、エミッタ電位に対してベース電位が低く且つベース及びエミッタ間電圧の大きさが所定の閾電圧以上であれば当該バイポ

ーラトランジスタがオンとなり、そうでなければ当該バイポーラトランジスタがオフとなる。正常接続状態ではスイッチ素子233としてのバイポーラトランジスタがオフとなり、オープン故障状態ではスイッチ素子233としてのバイポーラトランジスタがオンとなる。

[0061] <<第3実施例>>

第3実施例を説明する。第3実施例では、上述の内容に対する補足事項又は変形技術を説明する。

[0062] 昇圧コンバータ1とは別に図示されない電源監視回路を設け、電源監視回路にて出力端子電圧 V_{POUT} 又は負荷電圧 V_{LD} を監視させることができる。抵抗 R_1 の抵抗値よりも抵抗 R_3 の抵抗値を大きく設定しておくことで、オープン故障状態での出力端子電圧 V_{POUT} 及び負荷電圧 V_{LD} を正常接続状態におけるそれらよりも高めることができる。このため、上記電源監視回路において、昇圧コンバータ1に異常（ここではオープン故障状態に相当する異常）が発生したか否かを判断することが可能となる。但し、抵抗 R_3 の抵抗値を抵抗 R_1 の抵抗値と同じに設定しておくことも可能である。

[0063] 上述の説明では、帰還端子FB及びノードND0間が十分に高い絶縁抵抗で絶縁されている状態をオープン故障状態として想定しているが、帰還端子FB及びノードND0間が、例えば数100キロオーム程度の抵抗成分を介して接続されたような状態（以下、中間状態と称する）になる場合もある。中間状態では、帰還端子FB及びノードND0間の抵抗成分に依存して図4のスイッチ素子231がオンになることもあるしオフになることもある。但し、結果として、図4の信号S210がローレベルとなるならば図5の状態（又はそれと近似の状態）となり、図4の信号S210がハイレベルとなるならば図6の状態（又はそれと近似の状態）となる。同様に、中間状態では、帰還端子FB及びノードND0間の抵抗成分に依存して図7のトランジスタ233がオンになることもあるしオフになることもある。但し、結果として、トランジスタ233がオフとなるならば図8の状態（又はそれと近似の状態）となり、トランジスタ233がオンとなるならば図9の状態（又はそ

れと近似の状態)となる。

- [0064] 整流素子12としてPチャネル型のMOSFETを使用することを想定したが、Nチャネル型のMOSFETを整流素子12として使用しても良い。また、整流素子12として整流ダイオードを用いるようにしても良い。この場合、整流素子12としてのダイオードのアノード、カソードを、夫々、スイッチ端子SW、出力端子POUTに接続すれば良い。
- [0065] 任意の信号又は電圧に関して、上述の主旨を損なわない形で、それらのハイレベルとローレベルの関係は上述したものの逆とされ得る。
- [0066] 各実施形態に示されたFET(電界効果トランジスタ)のチャネルの種類は例示である。上述の主旨を損なわない形で、任意のFETのチャネルの種類はPチャネル型及びNチャネル型間で変更され得る。
- [0067] 不都合が生じない限り、上述の任意のトランジスタは、任意の種類トランジスタであって良い。例えば、MOSFETとして上述された任意のトランジスタを、不都合が生じない限り、接合型FET、IGBT(Insulated Gate Bipolar Transistor)又はバイポーラトランジスタに置き換えることも可能である。任意のトランジスタは第1電極、第2電極及び制御電極を有する。FETにおいては、第1及び第2電極の内的一方がドレインで他方がソースであり且つ制御電極がゲートである。IGBTにおいては、第1及び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がゲートである。IGBTに属さないバイポーラトランジスタにおいては、第1及び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がベースである。
- [0068] 本開示の実施形態は、特許請求の範囲に示された技術的思想の範囲内において、適宜、種々の変更が可能である。以上の実施形態は、あくまでも、本開示の実施形態の例であって、本開示ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。上述の説明文中に示した具体的な数値は、単なる例示であって、当然の如く、それらを様々な数値に変更することができる。

[0069] <<付記>>

上述の実施形態にて具体的構成例が示された本開示について付記を設ける

。

[0070] 本開示の一側面に係る電源用半導体装置は、入力電圧 (V_{IN}) を昇圧する昇圧コンバータ (1) にて用いられる電源用半導体装置 (2) において、出力端子 (POUT) と、スイッチングトランジスタ (11) を有し、前記入力電圧を受けるインダクタ (L0) を用いて、前記入力電圧が昇圧された出力端子電圧 (V_{POUT}) を前記出力端子に発生させるよう構成されたスイッチング回路 (10) と、前記電源用半導体装置の外部配線 (WR2) を通じて前記出力端子電圧に応じた監視対象電圧 (V_{LD}) を受けるべき帰還端子 (FB) と、前記帰還端子に加わる帰還電圧 (V_{FB}) 及び前記出力端子電圧に基づく比較用電圧 (V_C) と、所定の基準電圧 (V_{REF}) と、の誤差に基づき、前記スイッチング回路を制御するよう構成された制御駆動回路 (20、20A、20B) と、を備える構成 (第1の構成) である。

[0071] 監視対象電圧が帰還端子に伝達されるとき、帰還電圧に基づく比較用電圧と基準電圧との誤差に基づきスイッチング回路を制御することができ、これにより監視対象電圧を基準電圧に基づく目標電圧に安定化させることができる。外部配線の断線等により監視対象電圧の帰還端子への伝達が遮断されることがあり得るが、上記構成では出力端子電圧に基づく比較用電圧を用いてスイッチング回路を制御可能である。このため、監視対象電圧の帰還端子への伝達が遮断された場合でも、部品にダメージを与えるような状況の発生 (過度の昇圧) を抑制することが可能である。

[0072] 上記第1の構成に係る電源用半導体装置において、前記制御駆動回路は、前記出力端子電圧より所定電圧 (V_J 、 V_{TH}) だけ低い電圧と前記帰還電圧との高低関係に応じ前記帰還電圧及び前記出力端子電圧の何れかを切り替えて用いて前記比較用電圧を生成するよう構成された比較用電圧生成回路 (230、230B) と、前記比較用電圧と前記基準電圧との誤差信号 (V_{ERR}) を生成するよう構成されたエラーアンプ (240) と、を有し、前記誤差信号に基

づき前記スイッチング回路を制御する構成（第2の構成）であっても良い。

[0073] これにより、監視対象電圧の帰還端子への伝達が遮断される状態において、帰還電圧の代わりに出力端子電圧に基づいて比較用電圧を生成するといったことが可能となり、部品にダメージを与えるような状況の発生（過度の昇圧）を抑制することができる。

[0074] 上記第2の構成に係る電源用半導体装置において、前記比較用電圧生成回路は、前記出力端子電圧より前記所定電圧だけ低い前記電圧と比べて前記帰還電圧の方が高いとき、前記帰還電圧に基づいて前記比較用電圧を生成し、前記出力端子電圧より前記所定電圧だけ低い前記電圧と比べて前記帰還電圧の方が低いとき、前記出力端子電圧に基づいて前記比較用電圧を生成する構成（第3の構成）であっても良い。

[0075] 監視対象電圧が正しく帰還端子に伝達される状態と比べ、監視対象電圧の帰還端子への伝達が遮断される状態では、帰還電圧の低下が見込まれる。第3の構成によれば、監視対象電圧の帰還端子への伝達が遮断される状態において、帰還電圧の代わりに出力端子電圧に基づいて比較用電圧を生成するといったことが可能となり、部品にダメージを与えるような状況の発生（過度の昇圧）を抑制することができる。

[0076] 上記第3の構成に係る電源用半導体装置において（図4～図6参照）、前記制御駆動回路（20A）は、前記出力端子電圧より前記所定電圧だけ低い前記電圧と前記帰還電圧とを比較するよう構成されたコンパレータ（210）を更に有し、前記エラーアンプは、前記比較用電圧を受けよう構成された第1入力端子及び前記基準電圧を受けよう構成された第2入力端子を有し、前記比較用電圧生成回路は、前記帰還端子及び前記第1入力端子間に設けられた第1抵抗（R1）と、前記第1入力端子及びグランド間に設けられた第2抵抗（R2）と、前記出力端子及び前記第1入力端子間に設けられた、スイッチ素子（231）及び第3抵抗（R3）の直列回路と、を有し、前記出力端子電圧より前記所定電圧だけ低い前記電圧と比べて前記帰還電圧の方が高いとき、前記コンパレータの出力信号に基づき前記スイッチ素子がオ

フとされることで、前記第 1 抵抗及び前記第 2 抵抗による前記帰還電圧の分圧が前記比較用電圧として前記第 1 入力端子に加わり、前記出力端子電圧より前記所定電圧だけ低い前記電圧と比べて前記帰還電圧の方が低いとき、前記コンパレータの出力信号に基づき前記スイッチ素子がオンとされることで、前記出力端子電圧に基づく電圧が前記比較用電圧として前記第 1 入力端子に加わる構成（第 4 の構成）であっても良い。

[0077] 上記第 3 の構成に係る電源用半導体装置において（図 7～図 9 参照）、前記エラーアンプは、前記比較用電圧を受けるよう構成された第 1 入力端子及び前記基準電圧を受けるよう構成された第 2 入力端子を有し、前記比較用電圧生成回路は、前記帰還端子及び前記第 1 入力端子間に設けられた第 1 抵抗（ R_1 ）と、前記第 1 入力端子及びグランド間に設けられた第 2 抵抗（ R_2 ）と、前記出力端子及び前記第 1 入力端子間に設けられた、スイッチ素子（233）及び第 3 抵抗（ R_3 ）の直列回路と、を有し、前記スイッチ素子は、前記出力端子に接続された第 1 電極、前記第 3 抵抗に接続された第 2 電極及び前記帰還端子に接続された制御電極を有するトランジスタであり、前記出力端子電圧より前記所定電圧だけ低い前記電圧と比べて前記帰還電圧の方が高いとき、前記スイッチ素子がオフとなることで、前記第 1 抵抗及び前記第 2 抵抗による前記帰還電圧の分圧が前記比較用電圧として前記第 1 入力端子に加わり、前記出力端子電圧より前記所定電圧だけ低い前記電圧と比べて前記帰還電圧の方が低いとき、前記スイッチ素子がオンとなることで、前記出力端子電圧に基づく電圧が前記比較用電圧として前記第 1 入力端子に加わる構成（第 5 の構成）であっても良い。

[0078] 上記第 2～第 5 の構成の何れかに係る電源用半導体装置において、前記制御駆動回路は、前記誤差信号に基づき前記比較用電圧と前記基準電圧との前記誤差が低減するように前記スイッチング回路を制御し、前記帰還電圧に基づき前記比較用電圧が生成される第 1 状態と比べて前記出力端子電圧に基づき前記比較用電圧が生成される第 2 状態の方が、前記出力端子電圧が高い構成（第 6 の構成）であっても良い。

- [0079] これにより、電源用半導体装置の外部に設けられうる電源監視回路において、昇圧コンバータの状態が第1状態及び第2状態の何れにあるのかを判別させることが可能となる。
- [0080] 上記第1～第6の構成の何れかに係る電源用半導体装置において、前記制御駆動回路は、前記外部配線を通じて前記監視対象電圧が前記帰還電圧として前記帰還端子に加わるとき、前記帰還電圧に基づく電圧を前記比較用電圧として用いて前記スイッチング回路を制御し、前記監視対象電圧の前記帰還端子への伝達が遮断されるとき、前記出力端子電圧に基づく電圧を前記比較用電圧として用いて前記スイッチング回路を制御する構成（第7の構成）であっても良い。
- [0081] これにより、監視対象電圧の帰還端子への伝達が遮断される状態において、帰還電圧に基づく比較用電圧ではなく出力端子電圧に基づく比較用電圧を用いてスイッチング回路を制御するといったことが可能となり、部品にダメージを与えるような状況の発生（過度の昇圧）を抑制することができる。
- [0082] 上記第1～第7の構成の何れかに係る電源用半導体装置において、スイッチ端子（SW）及びグランド端子（PGND）を更に備え、前記スイッチングトランジスタは前記スイッチ端子及び前記グランド端子間に設けられ、前記インダクタは前記入力電圧が加わる端子と前記スイッチ端子との間に設けられ、前記スイッチング回路は、前記スイッチ端子及び前記出力端子間に設けられた整流素子（12）を有する構成（第8の構成）であっても良い。
- [0083] 本開示の一側面に係る昇圧コンバータは、上記第1～第8の構成の何れかに係る電源用半導体装置と、前記インダクタ（L0）と、前記出力端子に接続された出力コンデンサ（C0）と、を備えた構成（第9の構成）である。

符号の説明

- [0084]
- 1 昇圧コンバータ
 - 2 電源IC（電源用半導体装置）
 - L0 インダクタ
 - C0 出力コンデンサ

LD 負荷
WR 1 出力配線
WR 2 帰還配線
WR 1 1、WR 1 2 内部配線
IN 入力端子
FB 帰還端子
POUT 出力端子
SW スイッチ端子
PGND グランド端子
1 0 スイッチング回路
1 1 スイッチングトランジスタ
1 2 整流素子（同期整流トランジスタ）
2 0 制御駆動回路
 V_{IN} 入力電圧
 V_{POUT} 出力端子電圧
 V_{LD} 負荷電圧
 V_{FB} 帰還電圧
 V_{REF} 基準電圧
 I_{LD} 負荷電流
2 0 A、2 0 B 制御駆動回路
2 1 0 コンパレータ
2 2 0 電圧源
2 3 0、2 3 0 B 比較用電圧生成回路
2 4 0 エラーアンプ
2 5 0 回路（ロジック／駆動回路）
R 1～R 3 抵抗
2 3 1、2 3 3 スイッチ素子

請求の範囲

- [請求項1] 入力電圧を昇圧する昇圧コンバータにて用いられる電源用半導体装置において、
- 出力端子と、
- スイッチングトランジスタを有し、前記入力電圧を受けるインダクタを用いて、前記入力電圧が昇圧された出力端子電圧を前記出力端子に発生させるよう構成されたスイッチング回路と、
- 前記電源用半導体装置の外部配線を通じて前記出力端子電圧に応じた監視対象電圧を受けるべき帰還端子と、
- 前記帰還端子に加わる帰還電圧及び前記出力端子電圧に基づく比較用電圧と、所定の基準電圧と、の誤差に基づき、前記スイッチング回路を制御するよう構成された制御駆動回路と、を備える
- 、電源用半導体装置。
- [請求項2] 前記制御駆動回路は、
- 前記出力端子電圧より所定電圧だけ低い電圧と前記帰還電圧との高低関係に応じ前記帰還電圧及び前記出力端子電圧の何れかを切り替えて用いて前記比較用電圧を生成するよう構成された比較用電圧生成回路と、
- 前記比較用電圧と前記基準電圧との誤差信号を生成するよう構成されたエラーアンプと、を有し、前記誤差信号に基づき前記スイッチング回路を制御する
- 、請求項1に記載の電源用半導体装置。
- [請求項3] 前記比較用電圧生成回路は、
- 前記出力端子電圧より前記所定電圧だけ低い前記電圧と比べて前記帰還電圧の方が高いとき、前記帰還電圧に基づいて前記比較用電圧を生成し、
- 前記出力端子電圧より前記所定電圧だけ低い前記電圧と比べて前記帰還電圧の方が低いとき、前記出力端子電圧に基づいて前記比較用電

圧を生成する

、請求項 2 に記載の電源用半導体装置。

[請求項4]

前記制御駆動回路は、前記出力端子電圧より前記所定電圧だけ低い前記電圧と前記帰還電圧とを比較するよう構成されたコンパレータを更に有し、

前記エラーアンプは、前記比較用電圧を受けるよう構成された第 1 入力端子及び前記基準電圧を受けるよう構成された第 2 入力端子を有し、

前記比較用電圧生成回路は、前記帰還端子及び前記第 1 入力端子間に設けられた第 1 抵抗と、前記第 1 入力端子及びグランド間に設けられた第 2 抵抗と、前記出力端子及び前記第 1 入力端子間に設けられた、スイッチ素子及び第 3 抵抗の直列回路と、を有し、

前記出力端子電圧より前記所定電圧だけ低い前記電圧と比べて前記帰還電圧の方が高いとき、前記コンパレータの出力信号に基づき前記スイッチ素子がオフとされることで、前記第 1 抵抗及び前記第 2 抵抗による前記帰還電圧の分圧が前記比較用電圧として前記第 1 入力端子に加わり、

前記出力端子電圧より前記所定電圧だけ低い前記電圧と比べて前記帰還電圧の方が低いとき、前記コンパレータの出力信号に基づき前記スイッチ素子がオンとされることで、前記出力端子電圧に基づく電圧が前記比較用電圧として前記第 1 入力端子に加わる

、請求項 3 に記載の電源用半導体装置。

[請求項5]

前記エラーアンプは、前記比較用電圧を受けるよう構成された第 1 入力端子及び前記基準電圧を受けるよう構成された第 2 入力端子を有し、

前記比較用電圧生成回路は、前記帰還端子及び前記第 1 入力端子間に設けられた第 1 抵抗と、前記第 1 入力端子及びグランド間に設けられた第 2 抵抗と、前記出力端子及び前記第 1 入力端子間に設けられた

、スイッチ素子及び第3抵抗の直列回路と、を有し、

前記スイッチ素子は、前記出力端子に接続された第1電極、前記第3抵抗に接続された第2電極及び前記帰還端子に接続された制御電極を有するトランジスタであり、

前記出力端子電圧より前記所定電圧だけ低い前記電圧と比べて前記帰還電圧の方が高いとき、前記スイッチ素子がオフとなることで、前記第1抵抗及び前記第2抵抗による前記帰還電圧の分圧が前記比較用電圧として前記第1入力端子に加わり、

前記出力端子電圧より前記所定電圧だけ低い前記電圧と比べて前記帰還電圧の方が低いとき、前記スイッチ素子がオンとなることで、前記出力端子電圧に基づく電圧が前記比較用電圧として前記第1入力端子に加わる

、請求項3に記載の電源用半導体装置。

[請求項6]

前記制御駆動回路は、前記誤差信号に基づき前記比較用電圧と前記基準電圧との前記誤差が低減するように前記スイッチング回路を制御し、

前記帰還電圧に基づき前記比較用電圧が生成される第1状態と比べて前記出力端子電圧に基づき前記比較用電圧が生成される第2状態の方が、前記出力端子電圧が高い

、請求項2～5の何れかに記載の電源用半導体装置。

[請求項7]

前記制御駆動回路は、

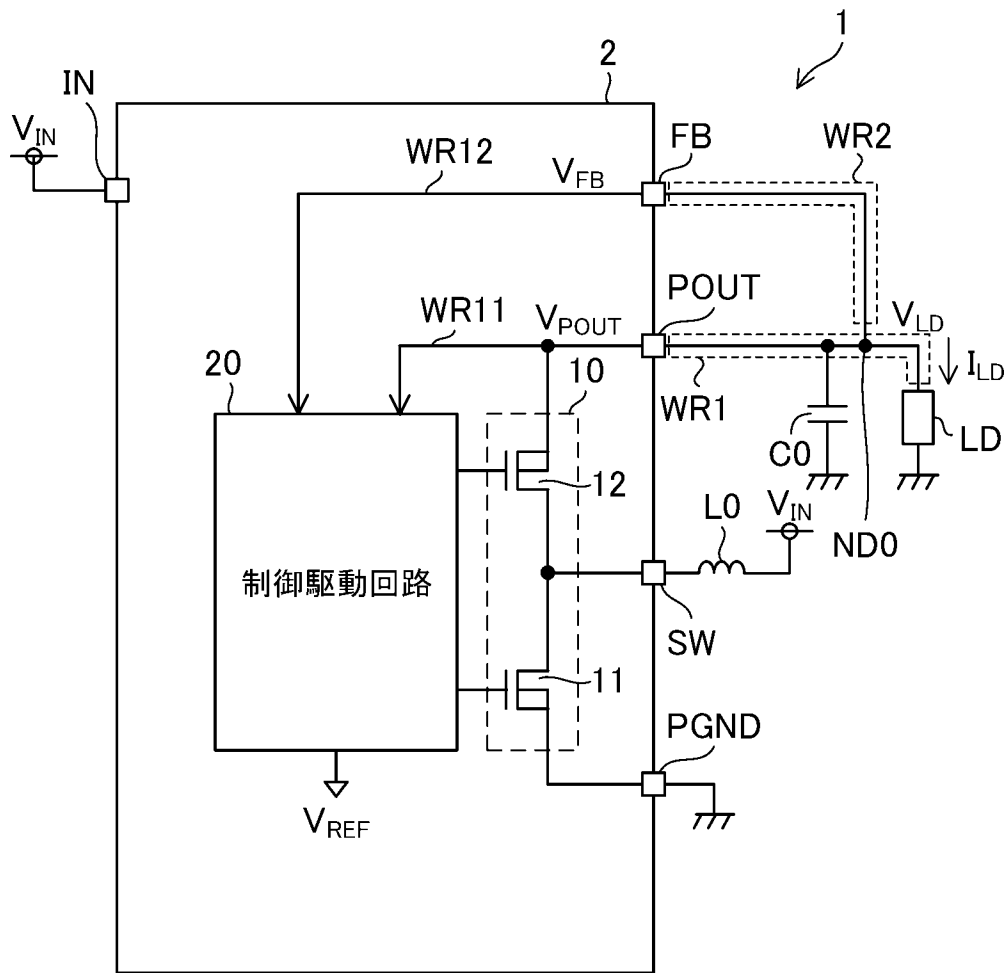
前記外部配線を通じて前記監視対象電圧が前記帰還電圧として前記帰還端子に加わるとき、前記帰還電圧に基づく電圧を前記比較用電圧として用いて前記スイッチング回路を制御し、

前記監視対象電圧の前記帰還端子への伝達が遮断されるとき、前記出力端子電圧に基づく電圧を前記比較用電圧として用いて前記スイッチング回路を制御する

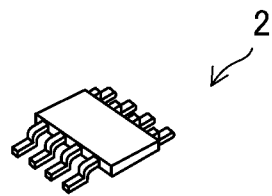
、請求項1～6の何れかに記載の電源用半導体装置。

- [請求項8] スイッチ端子及びグランド端子を更に備え、
 前記スイッチングトランジスタは前記スイッチ端子及び前記グランド端子間に設けられ、
 前記インダクタは前記入力電圧が加わる端子と前記スイッチ端子との間に設けられ、
 前記スイッチング回路は、前記スイッチ端子及び前記出力端子間に設けられた整流素子を有する
 、請求項1～7の何れかに記載の電源用半導体装置。
- [請求項9] 請求項1～8の何れかに記載の電源用半導体装置と、
 前記インダクタと、
 前記出力端子に接続された出力コンデンサと、を備えた
 、昇圧コンバータ。

[図1]

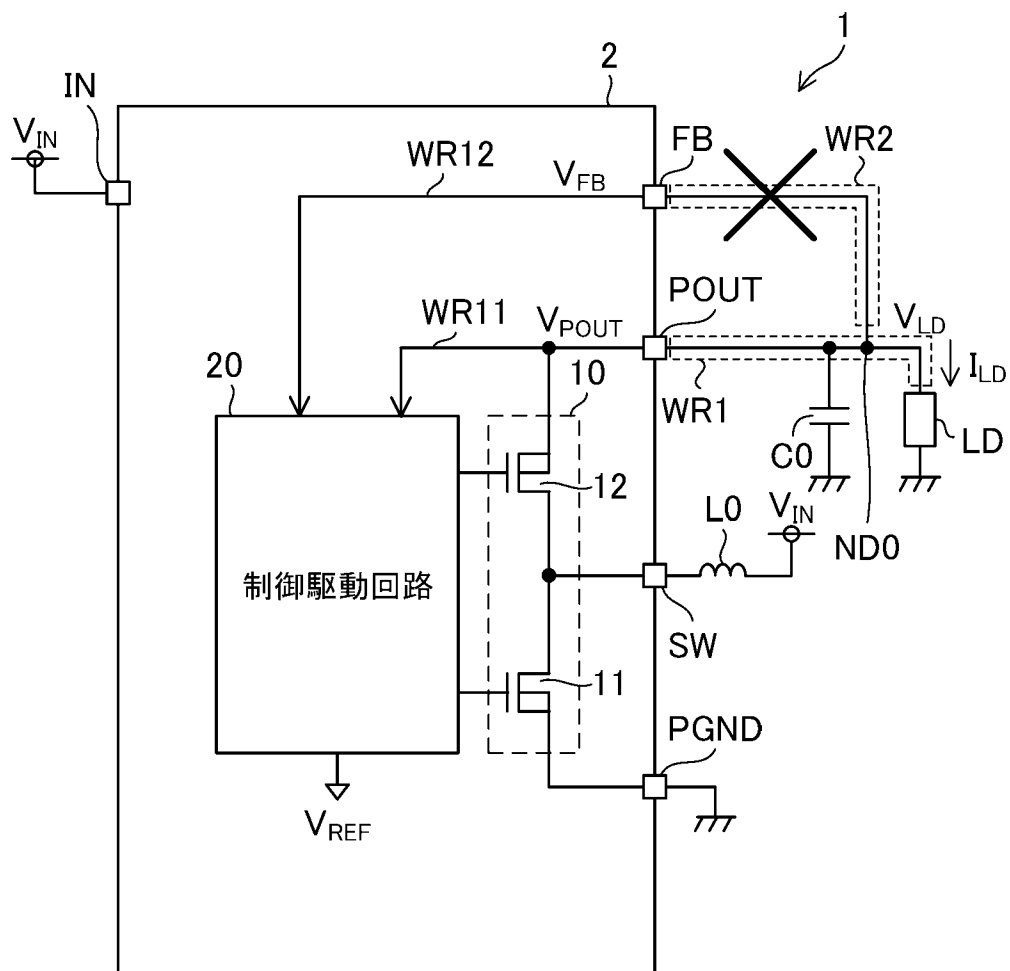


[図2]



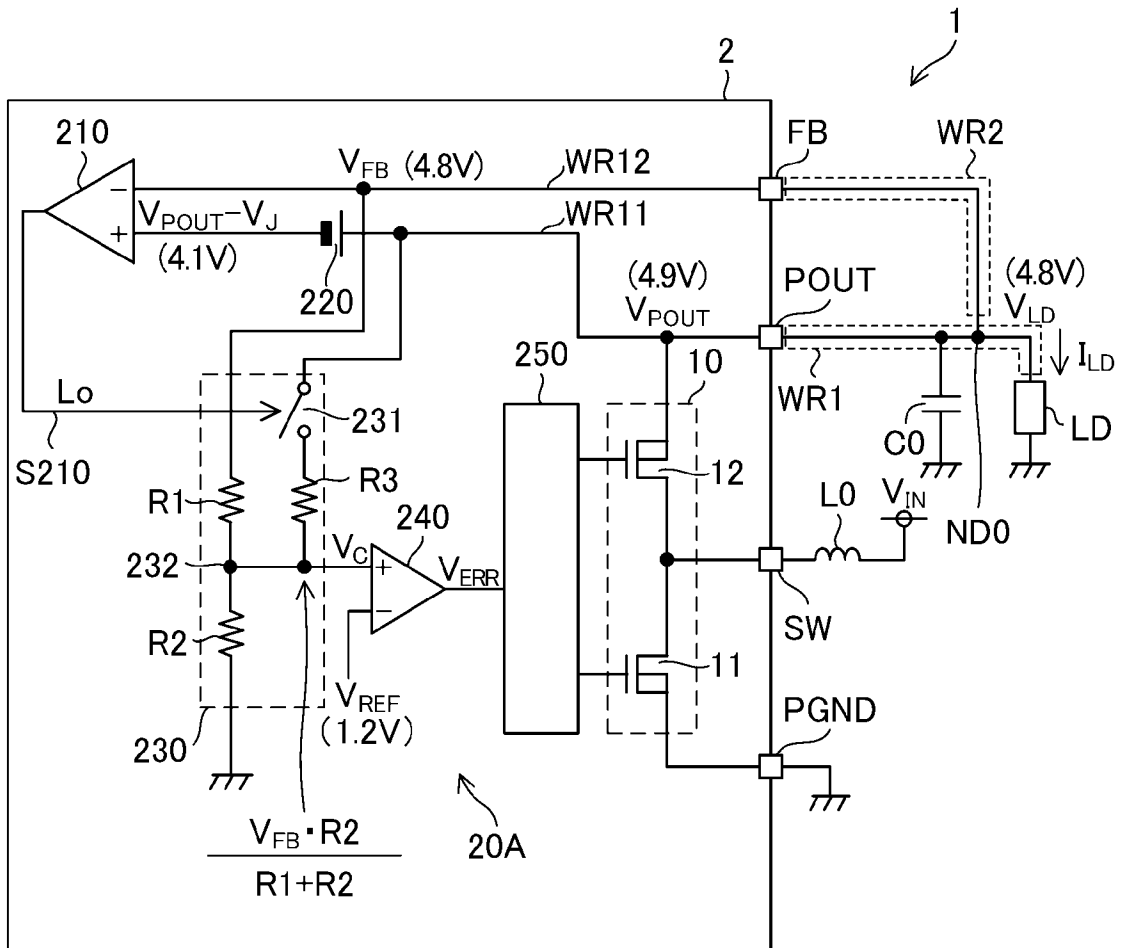
[図3]

オープン故障状態



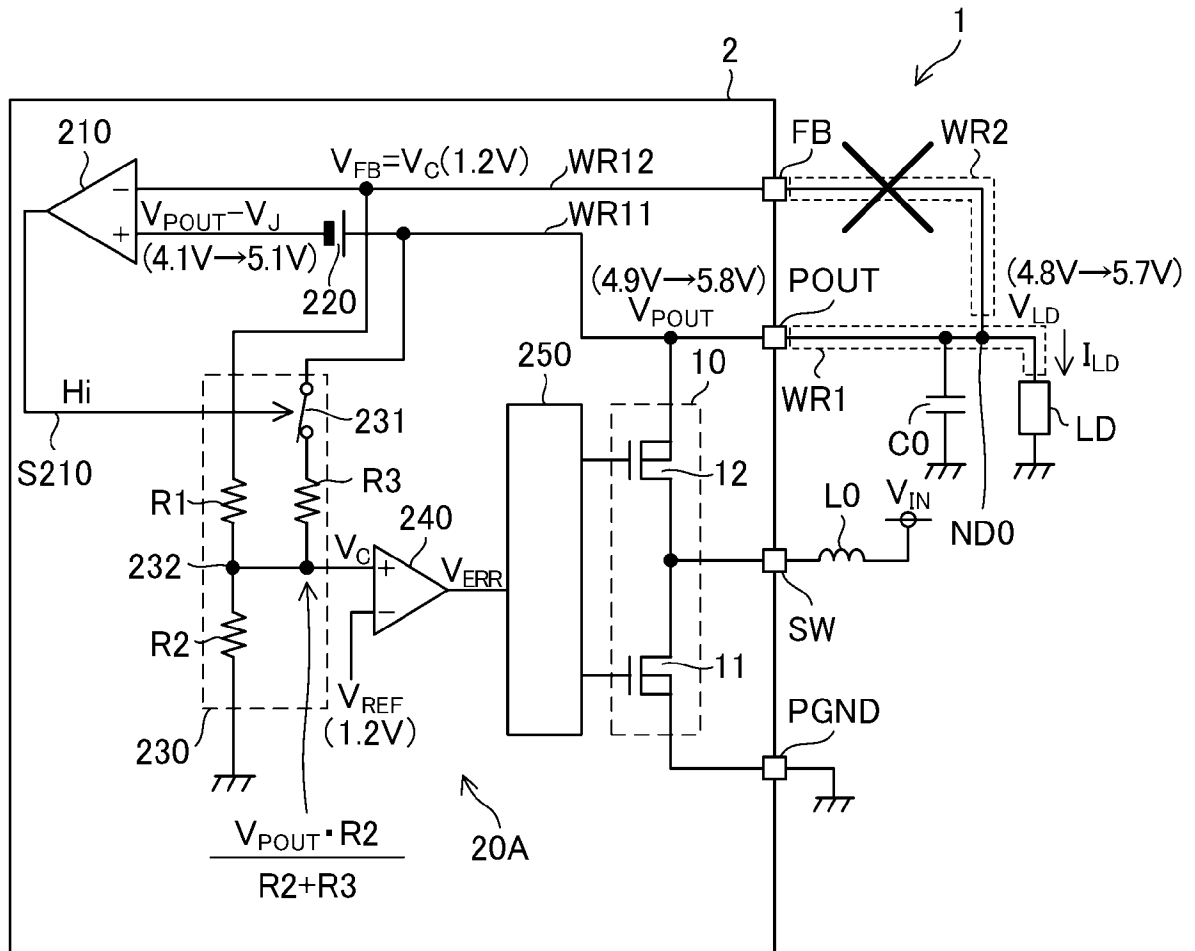
[図5]

正常接続状態

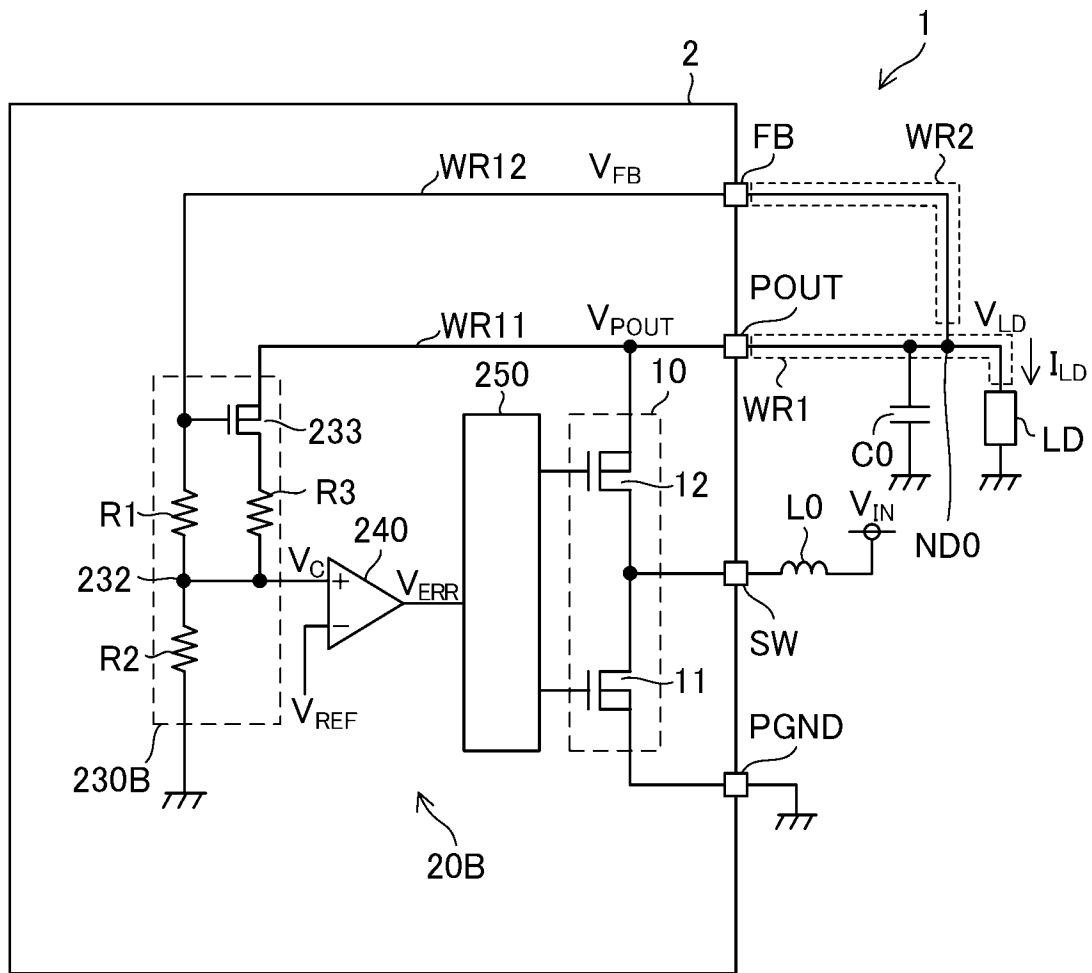


[図6]

オープン故障状態

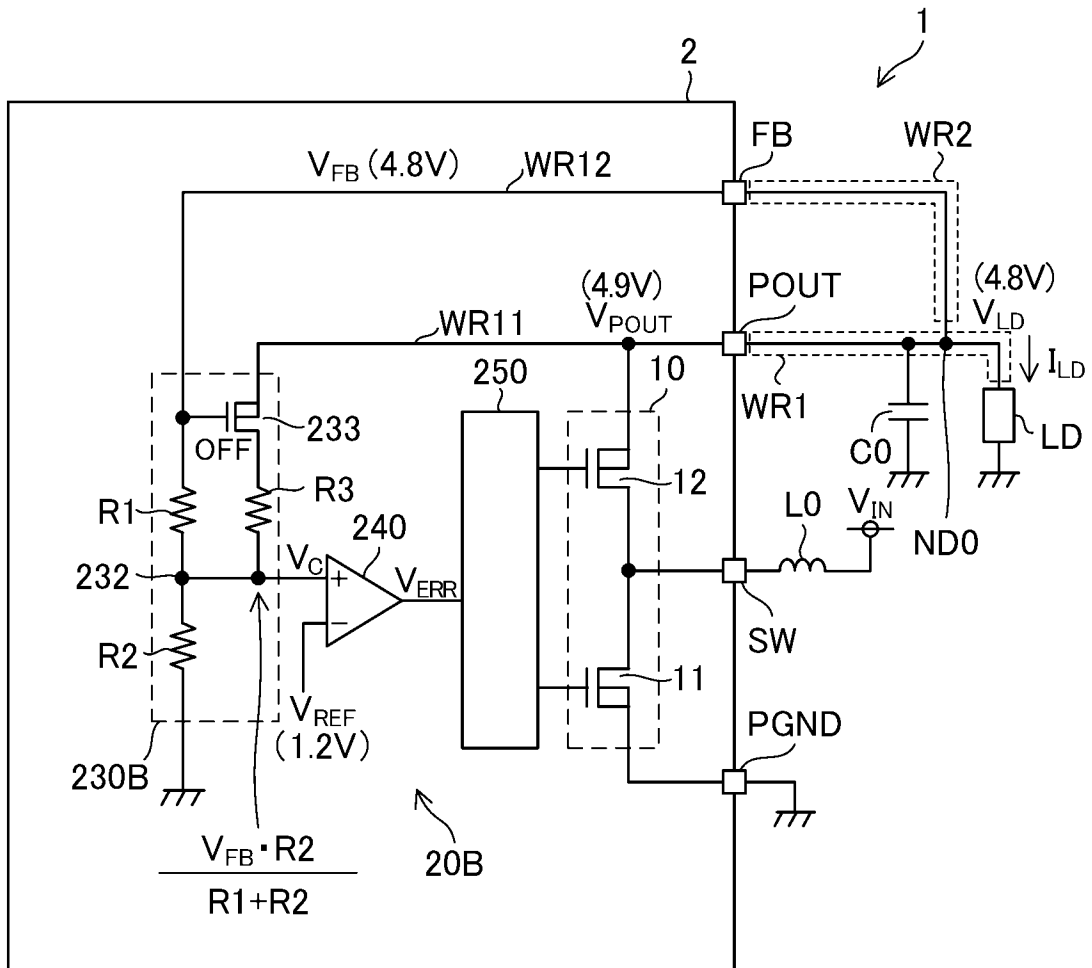


[図7]



[図8]

正常接続状態



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/006174

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H02M 3/155</i> (2006.01)i FI: H02M3/155 H		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02M3/00-3/44		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2017-107551 A (ROHM CO., LTD.) 15 June 2017 (2017-06-15) paragraphs [0001]-[0261], fig. 1-22	1, 7-9 2-6
A	JP 2019-213317 A (ROHM CO., LTD.) 12 December 2019 (2019-12-12) entire text, all drawings	1-9
A	JP 2020-108288 A (NEW JAPAN RADIO CO., LTD.) 09 July 2020 (2020-07-09) entire text, all drawings	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 30 March 2023		Date of mailing of the international search report 11 April 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/006174

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2017-107551 A	15 June 2017	US 2017/0155315 A1 paragraphs [0005]-[0255], fig. 1-22	
JP 2019-213317 A	12 December 2019	(Family: none)	
JP 2020-108288 A	09 July 2020	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/155(2006.01)i FI: H02M3/155 H		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M3/00-3/44 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2017-107551 A（ローム株式会社）15.06.2017（2017-06-15） 段落 [0001] - [0261]，図1-図22	1,7-9 2-6
A	JP 2019-213317 A（ローム株式会社）12.12.2019（2019-12-12） 全文，全図	1-9
A	JP 2020-108288 A（新日本無線株式会社）09.07.2020（2020-07-09） 全文，全図	1-9
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	30.03.2023	国際調査報告の発送日 11.04.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 白井 孝治 5G 8843 電話番号 03-3581-1101 内線 3526	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/006174

引用文献	公表日	パテントファミリー文献	公表日
JP 2017-107551 A	15.06.2017	US 2017/0155315 A1 段落 [0005] - [0255], 図1-図22	
JP 2019-213317 A	12.12.2019	(ファミリーなし)	
JP 2020-108288 A	09.07.2020	(ファミリーなし)	