

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年5月23日(23.05.2019)



(10) 国際公開番号

WO 2019/098271 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) *H01L 29/12* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/739* (2006.01)
H01L 27/06 (2006.01) *H01L 29/78* (2006.01)
H01L 29/06 (2006.01)

(21) 国際出願番号: PCT/JP2018/042289

(22) 国際出願日: 2018年11月15日(15.11.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-221353 2017年11月16日(16.11.2017) JP

(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).

(72) 発明者: 内藤 達也 (NAITO Tatsuya); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).

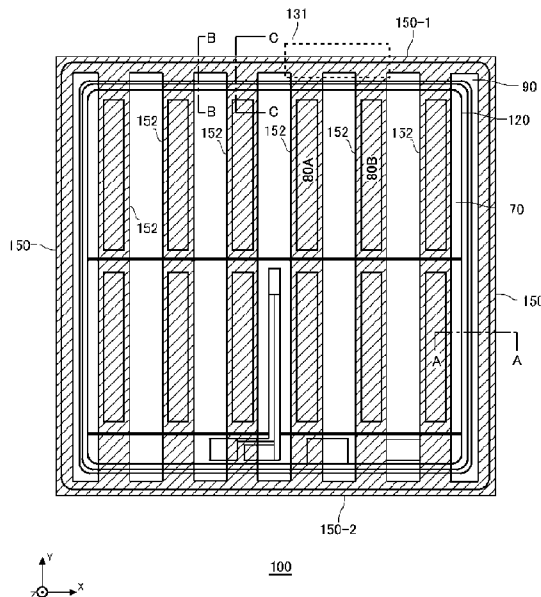
(74) 代理人: 龍華国際特許業務法人 (RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿 1 - 6 - 1 新宿エルタワー 2 2 階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Provided is a semiconductor device that comprises: a semiconductor substrate; an active part that is provided to the semiconductor substrate; and an edge termination structure part that is provided between the active part and an outer peripheral end of the semiconductor substrate at an upper surface of the semiconductor substrate. The active part has: transistor parts; and diode parts that are arranged so as to alternate with the transistor parts in a predetermined first direction at the upper surface of the semiconductor substrate. The semiconductor device also comprises an end part lifetime control part that is provided inside the semiconductor substrate at the edge termination structure part so as to be continuous in the first direction in an area that corresponds to at least two of the diode parts.

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- － 国際調査報告（条約第21条(3)）
- － 補正された請求の範囲（条約第19条(1)）

(57) 要約：半導体基板と、半導体基板に設けられた活性部と、半導体基板の上面において活性部および半導体基板の外周端との間に設けられたエッジ終端構造部とを備え、活性部は、トランジスタ部と、半導体基板の上面において予め定められた第1方向においてトランジスタ部と交互に配置されたダイオード部とを有し、エッジ終端構造部において半導体基板の内部に設けられ、第1方向において少なくとも2つ以上のダイオード部と対向する範囲に連続して設けられた端部ライフタイム制御部を更に備える半導体装置を提供する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 半導体装置として、同一の半導体基板に絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ）と、還流ダイオード（ＦＷＤ）等のダイオードとを設けた逆導通ＩＧＢＴ（ＲＣ－ＩＧＢＴ）が知られている（例えば、特許文献１参照）。

特許文献１ 特開平１１－９７７１５号公報

解決しようとする課題

[0003] 半導体装置においては、ターンオフ耐量等の特性を向上させることが好ましい。

一般的開示

[0004] 上記課題を解決するために、本発明の第１の態様においては、半導体基板を備える半導体装置を提供する。半導体装置は、半導体基板に設けられた活性部を備えてよい。半導体装置は、半導体基板の上面において活性部および半導体基板の外周端との間に設けられたエッジ終端構造部を備えてよい。活性部は、トランジスタ部を有してよい。活性部は、半導体基板の上面において予め定められた第１方向においてトランジスタ部と交互に配置されたダイオード部を有してよい。半導体装置は、エッジ終端構造部において半導体基板の内部に設けられ、第１方向において少なくとも２つ以上のダイオード部と対向する範囲に連続して設けられた端部ライフタイム制御部を備えてよい。

[0005] 端部ライフタイム制御部は、半導体基板の上面と平行な面において活性部を囲んで環状に設けられていてよい。半導体装置は、ダイオード部において半導体基板の内部に設けられた活性部ライフタイム制御部を備えてよい。半

導体基板の上面と平行な面において、端部ライフタイム制御部と活性部ライフタイム制御部とが、第1方向と垂直な第2方向において連続してよい。

[0006] 端部ライフタイム制御部は、半導体基板の上面と垂直な深さ方向において、半導体基板の中央よりも上側に配置された上側端部ライフタイム制御部を有してよい。活性部ライフタイム制御部は、半導体基板の上面と垂直な深さ方向において、半導体基板の中央よりも上側に配置された上側活性部ライフタイム制御部を有してよい。第1方向において、上側活性部ライフタイム制御部と上側端部ライフタイム制御部とが連続してなくてよい。

[0007] 活性部の第1方向における端部にはトランジスタ部が配置されていてよい。上側端部ライフタイム制御部は、第1方向の端部に設けられたトランジスタ部の少なくとも一部と重ならないように配置されていてよい。

[0008] 端部ライフタイム制御部は、半導体基板の上面と垂直な深さ方向において、半導体基板の中央よりも下側に配置された下側端部ライフタイム制御部を有してよい。活性部ライフタイム制御部は、半導体基板の上面と垂直な深さ方向において、半導体基板の中央よりも下側に配置された下側活性部ライフタイム制御部を有してよい。第1方向において、下側活性部ライフタイム制御部と下側端部ライフタイム制御部とが連続してよい。端部ライフタイム制御部は、半導体基板の中央よりも上側に配置された上側端部ライフタイム制御部を有さなくてよい。

[0009] 下側端部ライフタイム制御部は、第1方向の端部に設けられたトランジスタ部の少なくとも一部と重ならないように配置されていてよい。下側端部ライフタイム制御部は、第1方向の端部に設けられたトランジスタ部の全体と重なるように配置されていてよい。

[0010] ダイオード部は、半導体基板の内部において半導体基板の下面に接して設けられたカソード領域を有してよい。半導体基板の上面と平行な面において、下側端部ライフタイム制御部はカソード領域と重ならない領域に配置されていてよい。

- [0011] 第1方向と垂直な第2方向における下側端部ライフタイム制御部の端部と、第2方向におけるカソード領域の端部とは対向して配置されていてよい。半導体装置は、活性部における半導体装置の上面の上方に設けられたゲートランナーを備えてよい。活性部ライフタイム制御部は、ゲートランナーの下方にも設けられていてよい。
- [0012] 活性部の第1方向における端部に設けられたトランジスタ部の第1方向における幅は、他のトランジスタ部の幅よりも大きくてよい。活性部の第1方向における端部に設けられたトランジスタ部の第1方向における幅は、他のトランジスタ部の幅よりも小さくてよい。
- [0013] 本発明の第2の態様においては、半導体基板と、半導体基板に設けられたトランジスタ部と、半導体基板の上面において予め定められた第1方向においてトランジスタ部と交互に配置されたダイオード部とを有し、X軸方向に配列されたトランジスタ部70のうち、第1方向における端部に設けられたトランジスタ部の第1方向における幅が、他のトランジスタ部の幅と異なっている半導体装置を提供する。
- [0014] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

- [0015] [図1]本発明の一つの実施形態に係る半導体装置100の上面の構造を示す図である。
- [図2]半導体基板10の内部に設けられるライフタイム制御部の配置例を示す図である。
- [図3]図1における領域130の近傍を拡大した図である。
- [図4]図2におけるA-A断面の一例を示す図である。
- [図5]図2におけるB-B断面の一例を示す図である。
- [図6]図2におけるC-C断面の一例を示す図である。
- [図7]半導体基板10の内部に設けられるライフタイム制御部の配置例を示す

図である。

[図8A]図7におけるA－A断面の一例を示す図である。

[図8B]図8AのE－E断面における上側端部ライフタイム制御部150および下側端部ライフタイム制御部160のライフタイムキラー濃度分布の一例を示す図である。

[図9]図7におけるB－B断面の一例を示す図である。

[図10]図7におけるC－C断面の一例を示す図である。

[図11]図7における領域132の拡大図である。

[図12]図11におけるD－D断面を示す図である。

[図13]上側端部ライフタイム制御部150の他の例を示す図である。

[図14]上側活性部ライフタイム制御部152の他の例を示す図である。

[図15]下側端部ライフタイム制御部160および下側活性部ライフタイム制御部162の他の例を示す図である。

[図16]下側端部ライフタイム制御部160の他の例を示す図である。

[図17]B－B断面の他の例を示す図である。

[図18]A－A断面の他の例を示す図である。

[図19A]ライフタイム制御部の他の配置例を示す図である。

[図19B]図19AにおけるB－B断面を示す図である。

[図19C]図19AにおけるA－A断面を示す図である。

[図20]半導体装置100の上面構造の他の例を示す図である。

[図21]半導体装置100の上面構造を示す図である。

[図22]図20に示した領域134を拡大した上面図である。

[図23]図22におけるF－F断面の一例を示す図である。

[図24]図21におけるG－G断面の一例を示す図である。

[図25]図20におけるG－G断面の一例を示す図である。

発明を実施するための形態

[0016] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説

明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0017] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は重力方向、または、半導体装置の実装時における基板等への取り付け方向に限定されない。

[0018] 本明細書では、X軸、Y軸およびZ軸の直交座標軸を用いて技術的事項を説明する場合がある。本明細書では、半導体基板の上面と平行な面をXY面とし、半導体基板の上面と垂直な深さ方向をZ軸とする。

[0019] 各実施例においては、第1導電型をN型、第2導電型をP型とした例を示しているが、第1導電型をP型、第2導電型をN型としてもよい。この場合、各実施例における基板、層、領域等の導電型は、それぞれ逆の極性となる。また、本明細書においてP+型（またはN+型）と記載した場合、P型（またはN型）よりもドーピング濃度が高いことを意味し、P-型（またはN-型）と記載した場合、P型（またはN型）よりもドーピング濃度が低いことを意味する。

[0020] 本明細書においてドーピング濃度とは、ドナーまたはアクセプタ化した不純物の濃度を指す。本明細書において、ドナーおよびアクセプタの濃度差をドーピング濃度とする場合がある。また、ドーピング領域におけるドーピング濃度分布のピーク値を、当該ドーピング領域におけるドーピング濃度とする場合がある。

[0021] 図1は、本発明の一つの実施形態に係る半導体装置100の上面の構造を示す図である。半導体装置100は、半導体基板10を備える。半導体基板10は、シリコン基板であってよく、炭化シリコン基板であってよく、窒化ガリウム等の窒化物半導体基板等であってもよい。本例の半導体基板10はシリコン基板である。本明細書では、上面視における半導体基板10の外周の端部を、外周端140とする。上面視とは、半導体基板10の上面側から

Z軸と平行に見た場合を指す。

[0022] 半導体装置100は、活性部120およびエッジ終端構造部90を備える。活性部120は、半導体装置100をオン状態に制御した場合に半導体基板10の上面と下面との間で主電流が流れる領域である。つまり、半導体基板10の上面から下面、または下面から上面に、半導体基板10の内部を深さ方向に電流が流れる領域である。

[0023] 活性部120には、トランジスタ部70およびダイオード部80が設けられている。本明細書では、トランジスタ部70およびダイオード部80をそれぞれ素子部または素子領域と称する場合がある。素子部が設けられた領域を活性部120としてよい。なお、半導体基板10の上面視において2つの素子部に挟まれた領域も活性部120とする。

[0024] 図1の例では、素子部に挟まれてゲートランナー48が設けられている領域も活性部120に含めている。活性部120は、半導体基板10の上面視においてエミッタ電極が設けられた領域、および、エミッタ電極が設けられた領域に挟まれた領域とすることもできる。図1の例では、トランジスタ部70およびダイオード部80の上方にエミッタ電極が設けられる。

[0025] トランジスタ部70は、IGBT等のトランジスタを含む。ダイオード部80は、半導体基板10の上面において、予め定められた第1方向においてトランジスタ部70と交互に配置されている。第1方向は、図1におけるX軸方向である。本明細書では第1方向を配列方向と称する場合がある。

[0026] それぞれのダイオード部80には、半導体基板10の下面に接する領域にN+型のカソード領域が設けられている。図1において実線で示すダイオード部80は、半導体基板10の下面にカソード領域が設けられた領域である。本例の半導体装置100において、半導体基板の下面に接する領域のうちカソード領域以外の領域は、P+型のコレクタ領域である。

[0027] ダイオード部80は、カソード領域をZ軸方向に投影した領域である。トランジスタ部70は、半導体基板10の下面にコレクタ領域が設けられ、且つ、半導体基板10の上面にN+型のエミッタ領域を含む単位構造が周期的

に設けられた領域である。X軸方向におけるダイオード部80とトランジスタ部70との境界は、カソード領域とコレクタ領域との境界である。本明細書では、カソード領域をZ軸方向に投影した領域を、Y軸方向に活性部120の端部まで伸ばした部分（図1において、ダイオード部80の実線をY軸方向に延長した破線で示している）も、ダイオード部80に含める。

[0028] 活性部120において、Y軸方向における両端には、トランジスタ部70が設けられてよい。活性部120は、ゲートランナー48によりY軸方向に分割されてよい。活性部120のそれぞれの分割領域には、トランジスタ部70およびダイオード部80がX軸方向に交互に配置されている。

[0029] エッジ終端構造部90は、半導体基板10の上面において、活性部120と半導体基板10の外周端140との間に設けられる。エッジ終端構造部90は、半導体基板10の上面において活性部120を囲むように環状に配置されてよい。本例のエッジ終端構造部90は、半導体基板10の外周端140に沿って配置されている。エッジ終端構造部90は、半導体基板10の上面側の電界集中を緩和する。エッジ終端構造部90は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。

[0030] 半導体基板10の上面において、エッジ終端構造部90および活性部120の間には、ゲート金属層50が設けられている。ゲート金属層50と半導体基板10の間には層間絶縁膜が設けられているが、図1では省略している。

[0031] ゲート金属層50は、半導体基板10の上面視で、活性部120を囲うように設けられてよい。ゲート金属層50は、活性部120の外に設けられるゲートパッド116と電氣的に接続される。ゲートパッド116は、ゲート金属層50と、活性部120との間に配置されてよい。ゲート金属層50と活性部120の間には、エミッタ電極と電氣的に接続されるエミッタパッド118等のパッドが設けられてよい。

[0032] ゲート金属層50はアルミニウムまたはアルミニウム-シリコン合金で形

成されてよい。ゲート金属層 50 は、トランジスタ部 70 に電氣的に接続され、トランジスタ部 70 にゲート電圧を供給する。

[0033] ゲートランナー 48 は、ゲート金属層 50 と電氣的に接続され、活性部 120 の上方まで延伸する。少なくとも一つのゲートランナー 48 は、活性部 120 を X 軸方向に横断して設けられてよい。ゲートランナー 48 は、トランジスタ部 70 にゲート電圧を供給する。ゲートランナー 48 は、不純物がドーピングされたポリシリコン等の半導体材料で形成されてよく、金属で形成されてもよい。ゲートランナー 48 は、半導体基板 10 の上方または内部に設けられており、半導体基板 10 とゲートランナー 48 とは絶縁膜で絶縁されている。

[0034] 本例の半導体装置 100 は、温度センス部 110、温度センス配線 112 および温度センスパッド 114 を備える。温度センス部 110 は、活性部 120 の上方に設けられる。温度センス部 110 は、半導体基板 10 の上面視で、活性部 120 の中央に設けられてよい。温度センス部 110 は、活性部 120 の温度を検知する。温度センス部 110 は、単結晶または多結晶のシリコンで形成される p n 型温度センスダイオードであってよい。

[0035] 温度センス配線 112 は、半導体基板 10 の上面視で、活性部 120 の上方に設けられる。温度センス配線 112 は、温度センス部 110 と接続される。温度センス配線 112 は、半導体基板 10 の上面において活性部 120 と外周端 140 との間の領域まで延伸し、温度センスパッド 114 と接続される。温度センス配線 112 は、p n 型温度センスダイオードの p 型層に電氣的に接続するアノード電極の配線 112-1 と、n 型層に電氣的に接続するカソード電極の配線 112-2 とを含んでよい。温度センスパッド 114 は、アノードパッド 114-1 と、カソードパッド 114-2 とを含んでよい。

[0036] 図 2 は、半導体基板 10 の内部に設けられるライフタイム制御部の配置例を示す図である。図 2 においては、ライフタイム制御部が設けられる領域を、図 1 に示した上面図にハッチングを付して示している。図 2 においては、

図 1 に示した符号の一部を省略している。

- [0037] ライフタイム制御部は、半導体基板の内部に不純物を注入すること等により意図的にライフタイムキラーが形成された領域である。ライフタイムキラーは、キャリアの再結合中心であって、結晶欠陥であってよく、空孔、複空孔、これらと半導体基板 10 を構成する元素との複合欠陥、転位、ヘリウム、ネオンなどの希ガス元素、白金などの金属元素などでよい。ライフタイム制御部は、半導体基板 10 にヘリウム等を注入することで形成できる。
- [0038] ライフタイム制御部は、エッジ終端構造部 90 に設けられる端部ライフタイム制御部を含む。図 2 においては、端部ライフタイム制御部の一例として、上側端部ライフタイム制御部 150 を示している。上側端部ライフタイム制御部 150 は、エッジ終端構造部 90 において半導体基板 10 の内部に設けられる。また、上側端部ライフタイム制御部 150 は、Z 軸方向において半導体基板 10 の中央と、半導体基板 10 の上面との間に配置されている。
- [0039] 上側端部ライフタイム制御部 150 は、X 軸方向において少なくとも 2 つ以上のダイオード部 80（例えばダイオード部 80A、80B）と対向する範囲 131 に連続して設けられている。これにより、半導体装置 100 のターンオフ時（すなわち、トランジスタ部 70 のターンオフ時）において、エッジ終端構造部 90 からトランジスタ部 70 のエミッタ領域に抜けるキャリアを減少させることができる。このため、半導体装置 100 のターンオフ耐量が向上する。
- [0040] 図 2 の例では、上側端部ライフタイム制御部 150 は、半導体基板 10 の上面と平行な面において活性部 120 を囲んで環状に設けられている。これにより、エッジ終端構造部 90 からトランジスタ部 70 のエミッタ領域に抜けるキャリアを更に減少させることができる。上側端部ライフタイム制御部 150 は、半導体基板 10 の上面において活性部 120 から離れて配置されてよい。
- [0041] ライフタイム制御部は、活性部 120 に設けられる活性部ライフタイム制御部を更に備えてよい。図 2 においては、活性部ライフタイム制御部の一例

として、上側活性部ライフタイム制御部 152 を示している。上側活性部ライフタイム制御部 152 は、活性部 120 において半導体基板 10 の内部に設けられる。また、上側活性部ライフタイム制御部 152 は、Z 軸方向において半導体基板 10 の中央と、半導体基板 10 の上面との間に配置されている。

[0042] 本例の上側活性部ライフタイム制御部 152 の少なくとも一部は、ダイオード部 80 に設けられる。上側活性部ライフタイム制御部 152 は、ダイオード部 80 の全体と重なってよい。図 2 の例においては、上側活性部ライフタイム制御部 152 の X 軸方向の幅は、ダイオード部 80 の X 軸方向の幅よりも大きい。

[0043] また、上側活性部ライフタイム制御部 152 は、半導体基板 10 の上面と平行な面内で、第 1 方向と垂直な第 2 方向（本例では Y 軸方向）において上側端部ライフタイム制御部 150 と連続している。なお、ライフタイム制御部が連続する（または接続する）とは、ほぼ同一濃度のライフタイムキラーが連続して設けられている状態を指してよく、ライフタイムキラーが設けられていない領域（例えば、半導体基板 10 の深さ方向における中心領域）よりも高濃度のライフタイムキラーが連続して設けられている状態を指してもよい。ほぼ同一濃度とは、例えば 2 倍以内の濃度を指す。本例において第 2 方向は Y 軸方向である。上側活性部ライフタイム制御部 152 は、Y 軸方向において、活性部 120 を横断するように設けられてよい。この場合、上側端部ライフタイム制御部 150 のうち、Y 軸方向において対向する上側端部ライフタイム制御部 150-1 および 150-2 を接続するように、上側活性部ライフタイム制御部 152 が設けられる。

[0044] 半導体基板 10 の上面において、トランジスタ部 70 の少なくとも一部の領域には、上側活性部ライフタイム制御部 152 が設けられていない。これにより、上側活性部ライフタイム制御部 152 に起因する、トランジスタ部 70 におけるリーク電流を低減できる。

[0045] なお X 軸方向において、上側活性部ライフタイム制御部 152 と上側端部

ライフタイム制御部１５０とは、連続してなくてよい。つまり、上側活性部ライフタイム制御部１５２と上側端部ライフタイム制御部１５０との間に、上側のライフタイム制御部が設けられていない領域が存在する。当該領域は、Ｘ軸方向において活性部１２０の端部に設けられたトランジスタ部７０の上方の領域であってよい。つまり、上側端部ライフタイム制御部１５０および上側活性部ライフタイム制御部１５２は、活性部１２０のＸ軸方向端部のトランジスタ部７０の少なくとも一部分と重ならないように配置されている。これにより、トランジスタ部７０におけるリーク電流を低減できる。

[0046] 図３は、図１における領域１３０の近傍を拡大した図である。本例の半導体装置１００は、半導体基板１０の内部に設けられ、且つ、半導体基板１０の上面に露出する、ガードリング９２、ゲートトレンチ部４０、ダミートレンチ部３０、Ｐ＋型のウェル領域１１、Ｎ＋型のエミッタ領域１２、Ｐ－型のベース領域１４およびＰ＋型のコンタクト領域１５を備える。本明細書では、ゲートトレンチ部４０またはダミートレンチ部３０を単にトレンチ部と称する場合がある。また、本例の半導体装置１００は、半導体基板１０の上面の上方に設けられたエミッタ電極５２およびゲート金属層５０を備える。エミッタ電極５２およびゲート金属層５０は互いに分離して設けられる。

[0047] ゲート金属層５０の外側（Ｙ軸方向正側）には、エッジ終端構造部９０が配置されている。エッジ終端構造部９０は、上述したように１つ以上のガードリング９２を有してよい。ガードリング９２は、半導体基板１０の内部に設けられた、Ｐ型の領域である。ガードリング９２は、ゲート金属層５０の外側において、活性部１２０を囲んで環状に設けられる。

[0048] エミッタ電極５２およびゲート金属層５０と、半導体基板１０の上面との間には層間絶縁膜が設けられるが、図３では省略している。本例の層間絶縁膜には、コンタクトホール５６、コンタクトホール４９およびコンタクトホール５４が、当該層間絶縁膜を貫通して設けられる。

[0049] エミッタ電極５２は、コンタクトホール５４を通して、半導体基板１０の上面におけるエミッタ領域１２、コンタクト領域１５およびベース領域１４

と接触する。また、エミッタ電極 5 2 は、コンタクトホール 5 6 を通って、ダミートレンチ部 3 0 内のダミー導電部と接続される。エミッタ電極 5 2 とダミー導電部との間には、不純物がドーピングされたポリシリコン等の、導電性を有する材料で形成された接続部 2 5 が設けられてよい。接続部 2 5 と半導体基板 1 0 の上面との間には、酸化膜等の絶縁膜が設けられる。

[0050] ゲート金属層 5 0 は、コンタクトホール 4 9 を通って、ゲートランナー 4 8 と接触する。なお図 1 においては、領域 1 3 0 におけるゲートランナー 4 8 を省略している。活性部 1 2 0 の端部においては、ゲートランナー 4 8 を介さずに、ゲート金属層 5 0 とゲートトレンチ部 4 0 とが接続されてもよい。

[0051] ゲートランナー 4 8 は、不純物がドーピングされたポリシリコン等で形成される。ゲートランナー 4 8 は、半導体基板 1 0 の上面において、ゲートトレンチ部 4 0 内のゲート導電部と接続される。ゲートランナー 4 8 は、ダミートレンチ部 3 0 内のダミー導電部とは接続されない。本例のゲートランナー 4 8 は、コンタクトホール 4 9 の下方から、ゲートトレンチ部 4 0 の先端部 4 1 まで設けられる。

[0052] ゲートランナー 4 8 と半導体基板 1 0 の上面との間には、酸化膜等の絶縁膜が設けられる。ゲートトレンチ部 4 0 の先端部 4 1 においてゲート導電部は半導体基板 1 0 の上面に露出している。ゲート導電部の上方における絶縁膜には、ゲート導電部およびゲートランナー 4 8 を接続するコンタクトホールが設けられている。なお、図 3 では平面視で、エミッタ電極 5 2 とゲートランナー 4 8 が重なっている箇所があるが、エミッタ電極 5 2 とゲートランナー 4 8 は図示しない絶縁膜を挟んで互いに電氣的に絶縁している。

[0053] エミッタ電極 5 2 およびゲート金属層 5 0 は、金属を含む材料で形成される。例えば、各電極の少なくとも一部の領域はアルミニウムまたはアルミニウム-シリコン合金で形成される。各電極は、アルミニウム等で形成された領域の下層にチタンやチタン化合物等で形成されたバリアメタルを有してよく、コンタクトホール内においてタングステン等で形成されたプラグを有し

てもよい。

[0054] 1つ以上のゲートトレンチ部40および1つ以上のダミートレンチ部30は、半導体基板10の上面において所定の配列方向（本例ではX軸方向）に沿って所定の間隔で配列される。本例のトランジスタ部70においては、配列方向に沿って1つ以上のゲートトレンチ部40と、1つ以上のダミートレンチ部30とが交互に設けられている。

[0055] 本例のゲートトレンチ部40は、配列方向と垂直な長手方向（本例ではY軸方向）に沿って直線状に延伸する2つの直線部39と、2つの直線部39を接続する先端部41とを有してよい。先端部41の少なくとも一部は、半導体基板10の上面において曲線状に設けられることが好ましい。ゲートトレンチ部40の2つの直線部39において、長手方向に沿った直線形状の端である端部どうしを先端部41が接続することで、直線部39の端部における電界集中を緩和できる。本明細書では、ゲートトレンチ部40のそれぞれの直線部39を、一つのゲートトレンチ部40として扱う。

[0056] 少なくとも一つのダミートレンチ部30は、ゲートトレンチ部40のそれぞれの直線部39の間に設けられる。これらのダミートレンチ部30は、ゲートトレンチ部40と同様に直線部29および先端部31を有してよい。他の例では、ダミートレンチ部30は直線部29を有し、先端部31を有さなくてもよい。図3に示した例では、トランジスタ部70において、ゲートトレンチ部40の2つの直線部39の間に、ダミートレンチ部30の2つの直線部29が配置されている。

[0057] ダイオード部80においては、複数のダミートレンチ部30が、半導体基板10の上面においてX軸方向に沿って配置されている。ダイオード部80におけるダミートレンチ部30のXY面における形状は、トランジスタ部70に設けられたダミートレンチ部30と同様であってよい。

[0058] ダミートレンチ部30の先端部31および直線部29は、ゲートトレンチ部40の先端部41および直線部39と同様の形状を有する。ダイオード部80に設けられたダミートレンチ部30と、トランジスタ部70に設けられ

た直線形状のダミートレンチ部30は、Y軸方向における長さが同一であってよい。

[0059] エミッタ電極52は、ゲートトレンチ部40、ダミートレンチ部30、ウェル領域11、エミッタ領域12、ベース領域14およびコンタクト領域15の上方に設けられる。ウェル領域11と、コンタクトホール54の長手方向の端のうちゲート金属層50が設けられる側の端とは、XY面内において離れて設けられる。ウェル領域11の拡散深さは、ゲートトレンチ部40およびダミートレンチ部30の深さよりも深くてよい。ゲートトレンチ部40およびダミートレンチ部30の、ゲート金属層50側の一部の領域はウェル領域11に設けられる。ゲートトレンチ部40の先端部41のZ軸方向における底部、ダミートレンチ部30の先端部31のZ軸方向における底部は、ウェル領域11に覆われていてよい。

[0060] トランジスタ部70およびダイオード部80のそれぞれには、各トレンチ部に挟まれたメサ部60が1つ以上設けられる。メサ部60とは、トレンチ部に挟まれた半導体基板10の領域において、トレンチ部の最も深い底部よりも上面側の領域である。

[0061] 各トレンチ部に挟まれたメサ部60には、ベース領域14が設けられる。ベース領域14は、ウェル領域11よりもドーピング濃度の低い第2導電型（P-型）である。

[0062] メサ部60のベース領域14の上面には、ベース領域14よりもドーピング濃度の高い第2導電型のコンタクト領域15が設けられる。本例のコンタクト領域15はP+型である。半導体基板10の上面においてウェル領域11は、コンタクト領域15のうちY軸方向において最も端に配置されたコンタクト領域15から、ゲート金属層50の方向に離れて設けられてよい。半導体基板10の上面において、ウェル領域11とコンタクト領域15との間には、ベース領域14が露出している。

[0063] トランジスタ部70においては、半導体基板10の内部に設けられたドリフト領域よりもドーピング濃度が高い第1導電型のエミッタ領域12が、メ

サ部60-1の上面に選択的に設けられる。本例のエミッタ領域12はN+型である。エミッタ領域12の半導体基板10の深さ方向(-Z軸方向)に接するベース領域14のうち、ゲートトレンチ部40に接する部分が、チャネル部として機能する。ゲートトレンチ部40にオン電圧が印加されると、Z軸方向においてエミッタ領域12とドリフト領域との間に設けられたベース領域14において、ゲートトレンチ部40に接する部分に電子の反転層であるチャネルが形成される。ベース領域14にチャネルが形成されることで、エミッタ領域12とドリフト領域との間にキャリアが流れる。

[0064] 本例では、各メサ部60のY軸方向における両端部には、ベース領域14-eが配置されている。本例では、それぞれのメサ部60の上面において、ベース領域14-eに対してメサ部60の中央側で接する領域は、コンタクト領域15である。また、ベース領域14-eに対して、コンタクト領域15とは逆側で接する領域はウェル領域11である。

[0065] 本例のトランジスタ部70のメサ部60-1においてY軸方向両端のベース領域14-eに挟まれる領域には、コンタクト領域15およびエミッタ領域12がY軸方向に沿って交互に配置されている。コンタクト領域15およびエミッタ領域12のそれぞれは、X軸方向においてメサ部60-1を挟む一方のトレンチ部から、他方のトレンチ部まで設けられている。

[0066] トランジスタ部70のメサ部60のうち、ダイオード部80との境界に設けられた1つ以上のメサ部60-2には、メサ部60-1のコンタクト領域15よりも面積の大きいコンタクト領域15が設けられている。メサ部60-2にはエミッタ領域12が設けられていなくてよい。本例のメサ部60-2においては、ベース領域14-eに挟まれた領域全体に、コンタクト領域15が設けられている。

[0067] 本例のトランジスタ部70の各メサ部60-1においてコンタクトホール54は、コンタクト領域15およびエミッタ領域12の各領域の上方に設けられる。メサ部60-2におけるコンタクトホール54は、コンタクト領域15の上方に設けられる。各メサ部60においてコンタクトホール54は、

ベース領域 14-e およびウェル領域 11 に対応する領域には設けられていない。トランジスタ部 70 の各メサ部 60 におけるコンタクトホール 54 は、Y 軸方向において同一の長さを有してよい。

[0068] ダイオード部 80 において、半導体基板 10 の下面と接する領域には、N+ 型のカソード領域 82 が設けられる。図 3 においては、カソード領域 82 が設けられる領域を破線で示している。半導体基板 10 の下面と接する領域においてカソード領域 82 が設けられていない領域には、P+ 型のコレクタ領域が設けられてよい。

[0069] トランジスタ部 70 は、Z 軸方向においてコレクタ領域と重なる領域のうち、コンタクト領域 15 およびエミッタ領域 12 が設けられたメサ部 60 と、当該メサ部 60 に接するトレンチ部とが設けられた領域であってよい。ただし、ダイオード部 80 との境界におけるメサ部 60-2 には、エミッタ領域 12 に代えてコンタクト領域 15 が設けられていてよい。

[0070] ダイオード部 80 のメサ部 60-3 の上面には、ベース領域 14 が配置されている。ただし、ベース領域 14-e に接する領域には、コンタクト領域 15 が設けられてもよい。コンタクト領域 15 の上方で、コンタクトホール 54 が終端している。なお、図 3 の例ではダイオード部 80 が 5 つのメサ部 60-3 とメサ部 60-3 を挟む 7 つのダミートレンチ部 30 を有しているが、ダイオード部 80 におけるメサ部 60-3 とダミートレンチ部 30 の数はこれに限定されない。ダイオード部 80 には、より多くのメサ部 60-3 およびダミートレンチ部 30 が設けられてよい。

[0071] 図 2 に示したように、X 軸方向においてダイオード部 80 よりも広い範囲に、上側活性部ライフタイム制御部 152 が設けられてよい。図 3 では、上側活性部ライフタイム制御部 152 が設けられる範囲を矢印で示している。上側活性部ライフタイム制御部 152 は、トランジスタ部 70 の領域のうち、X 軸方向においてダイオード部 80 に接する一部の領域にも設けられる。

[0072] 上側活性部ライフタイム制御部 152 が、X 軸方向においてトランジスタ部 70 に設けられる長さ L1 は、例えば 100 μm 以上、150 μm 以下で

ある。他の例では、 L_1 は、半導体基板10のZ軸方向における厚みの1倍以上、1.5倍以下であってもよい。 L_1 は、トランジスタ部70のX軸方向における長さの $1/5$ 以下であってもよく、 $1/10$ 以下であってもよい。

[0073] また、半導体装置100は、下側活性部ライフタイム制御部162を有してもよい。下側活性部ライフタイム制御部162については後述する。図3においては、下側活性部ライフタイム制御部162が設けられるX軸方向の範囲を矢印で示している。下側活性部ライフタイム制御部162は、トランジスタ部70の少なくとも一部の領域に設けられ、ダイオード部80の少なくとも一部の領域には設けられていない。本例の下側活性部ライフタイム制御部162は、トランジスタ部70およびダイオード部80のX軸方向における境界と、トランジスタ部70の一部およびダイオード部80の一部を含む範囲に設けられている。

[0074] トランジスタ部70における上側活性部ライフタイム制御部152の端部と、トランジスタ部70における下側活性部ライフタイム制御部162の端部とのX軸方向の距離 L_2 は、例えば $50\mu\text{m}$ 以上、 $100\mu\text{m}$ 以下である。他の例では、距離 L_2 は半導体基板10のZ軸方向における厚みの0.5倍以上、1.0倍以下であってもよい。

[0075] 図4は、図2におけるA-A断面の一例を示す図である。A-A断面は、ダイオード部80、トランジスタ部70およびエッジ終端構造部90を含むXZ面と平行な断面である。

[0076] 本例の半導体装置100は、当該断面において、半導体基板10、層間絶縁膜38、エミッタ電極52およびコレクタ電極24を有する。層間絶縁膜38は、半導体基板10の上面のすくなくとも一部を覆って設けられる。層間絶縁膜38には、コンタクトホール54等の貫通孔が設けられている。コンタクトホール54により、半導体基板10の上面が露出する。層間絶縁膜38は、PSG、BPSG等のシリケートガラスであってもよく、酸化膜または窒化膜等であってもよい。

[0077] エミッタ電極52は、トランジスタ部70およびダイオード部80におい

て、半導体基板 10 および層間絶縁膜 38 の上面に設けられる。エミッタ電極 52 は、コンタクトホール 54 の内部にも設けられており、コンタクトホール 54 により露出する半導体基板 10 の上面 21 と接触している。

[0078] コレクタ電極 24 は、半導体基板 10 の下面 23 に設けられる。コレクタ電極 24 は、半導体基板 10 の下面 23 全体と接触してよい。エミッタ電極 52 およびコレクタ電極 24 は、金属等の導電材料で形成される。本明細書において、エミッタ電極 52 とコレクタ電極 24 とを結ぶ方向を深さ方向（Z 軸方向）と称する。コレクタ電極 24 からエミッタ電極 52 に向かう方向を Z 軸方向の正方向とする。

[0079] 上述したように、エッジ終端構造部 90 には、上側端部ライフタイム制御部 150 が設けられている。また、ダイオード部 80 の全体と、トランジスタ部 70 の一部の領域には、上側活性部ライフタイム制御部 152 が設けられている。上側端部ライフタイム制御部 150 および上側活性部ライフタイム制御部 152 は、半導体基板 10 の上面 21 と垂直な深さ方向において、半導体基板 10 の中央よりも上側に配置されている。上側端部ライフタイム制御部 150 および上側活性部ライフタイム制御部 152 は、半導体基板 10 の上面 21 から、半導体基板 10 の厚みの $1/4$ 以内の深さに設けられてよい。上側端部ライフタイム制御部 150 および上側活性部ライフタイム制御部 152 は、上面 21 からみて、トレンチ部の底部よりも深い位置に設けられてよく、ウェル領域 11 の底部よりも深い位置に設けられてもよい。上側端部ライフタイム制御部 150 および上側活性部ライフタイム制御部 152 は、同一の深さ位置に設けられてよく、異なる深さ位置に設けられてもよい。

[0080] 本例の上側端部ライフタイム制御部 150 は、X 軸方向においてエッジ終端構造部 90 の一部の領域だけに設けられているが、エッジ終端構造部 90 の全体に設けられていてもよい。また、活性部 120（本例ではトランジスタ部 70）の一部にも上側端部ライフタイム制御部 150 が設けられてよい。

- [0081] 上側端部ライフタイム制御部１５０を設けることで、エッジ終端構造部９０から活性部１２０にキャリアが流れることを抑制できる。また、上側活性部ライフタイム制御部１５２を設けることで、ダイオード部８０等のトレンチ部底部近傍におけるキャリアのライフタイムが低下する。これにより、ダイオード部８０の逆回復特性が改善する。また、トランジスタ部７０とダイオード部８０との境界部にも上側活性部ライフタイム制御部１５２を設けることで、境界部近傍におけるキャリアの集中を抑制してターンオフ破壊、逆回復破壊、短絡破壊等の破壊耐量を改善できる。
- [0082] エッジ終端構造部９０には、複数のガードリング９２、複数のフィールドプレート９４およびチャネルストッパ１７４が設けられている。ガードリング９２の上面は、層間絶縁膜３８により覆われている。フィールドプレート９４は、金属またはポリシリコン等の導電材料で、層間絶縁膜３８上に形成されている。フィールドプレート９４は、層間絶縁膜３８に設けられた貫通孔を通して、ガードリング９２に接続されている。
- [0083] チャネルストッパ１７４は、半導体基板１０の外周端１４０における上面２１および側面に露出して設けられる。チャネルストッパ１７４は、ドリフト領域１８よりもドーピング濃度の高いＮ型の領域である。
- [0084] 活性部１２０（本例ではトランジスタ部７０）とエッジ終端構造部９０との間には、ウェル領域１１およびゲート金属層５０が設けられる。ウェル領域１１は、半導体基板１０の上面２１に露出してよい。ウェル領域１１の上面は層間絶縁膜３８で覆われており、層間絶縁膜３８上にゲート金属層５０が配置されている。層間絶縁膜３８上には、ゲートランナー４８が設けられていてもよい。ウェル領域１１は、Ｘ軸方向においてゲート金属層５０よりも広い範囲に設けられることが好ましい。
- [0085] ダイオード部８０およびトランジスタ部７０における半導体基板１０の上面側には、Ｐ－型のベース領域１４が設けられる。半導体基板１０の内部においてベース領域１４の下方には、Ｎ－型のドリフト領域１８が配置されている。それぞれのトレンチ部は、半導体基板１０の上面から、ベース領域１

4を貫通して、ドリフト領域18に達して設けられる。

[0086] 当該断面において、トランジスタ部70の各メサ部60-1には、N+型のエミッタ領域12、P-型のベース領域14およびN+型の蓄積領域16が、半導体基板10の上面側から順番に配置されている。蓄積領域16は、ドリフト領域18よりもドナーが高濃度に蓄積している。蓄積領域16の下方にはドリフト領域18が設けられる。蓄積領域16は、各メサ部60におけるベース領域14の下面全体を覆うように設けられてよい。つまり、蓄積領域16はトレンチ部にX軸方向で挟まれてよい。ドリフト領域18とベース領域14との間に、ドリフト領域18よりも高濃度の蓄積領域16を設けることで、キャリア注入促進効果（I E効果、I n j e c t i o n - E n h a n c e m e n t e f f e c t）を高めて、トランジスタ部70におけるオン電圧を低減することができる。

[0087] なお、トランジスタ部70のコンタクト領域15を通過するXZ断面においては、トランジスタ部70の各メサ部60-1には、エミッタ領域12に代えて、コンタクト領域15が設けられている。また、メサ部60-2には、エミッタ領域12に代えて、コンタクト領域15が設けられている。コンタクト領域15は、ラッチアップを抑制するラッチアップ抑制層として機能してよい。

[0088] 当該断面においてダイオード部80の各メサ部60-3には、P-型のベース領域14およびN+型の蓄積領域16が、半導体基板10の上面側から順番に配置される。蓄積領域16の下方にはドリフト領域18が設けられる。ダイオード部80には、蓄積領域16が設けられていなくともよい。

[0089] トランジスタ部70において、半導体基板10の下面23に接する領域には、P+型のコレクタ領域22が設けられている。ダイオード部80において半導体基板10の下面23に接する領域には、N+型のカソード領域82が設けられている。

[0090] 本例の半導体基板10には、ドリフト領域18とコレクタ領域22との間、および、ドリフト領域18とカソード領域82との間に、N+型のバッフ

ァ領域 20 が設けられている。バッファ領域 20 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。バッファ領域 20 は、ベース領域 14 の下面側から広がる空乏層が、P+型のコレクタ領域 22 および N+型のカソード領域 82 に到達することを防ぐフィールドストップ層として機能してよい。

[0091] 半導体基板 10 の上面 21 側には、1 以上のゲートトレンチ部 40、および、1 以上のダミートレンチ部 30 が設けられる。各トレンチ部は、半導体基板 10 の上面 21 から、ベース領域 14 を貫通して、ドリフト領域 18 に到達する。エミッタ領域 12、コンタクト領域 15 および蓄積領域 16 の少なくともいずれかが設けられている領域においては、各トレンチ部はこれらの領域も貫通して、ドリフト領域 18 に到達する。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したものも、トレンチ部がドーピング領域を貫通しているものに含まれる。

[0092] ゲートトレンチ部 40 は、半導体基板 10 の上面側に設けられたゲートトレンチ、ゲート絶縁膜 42 およびゲート導電部 44 を有する。ゲート絶縁膜 42 は、ゲートトレンチの内壁を覆って設けられる。ゲート絶縁膜 42 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部 44 は、ゲートトレンチの内部においてゲート絶縁膜 42 よりも内側に設けられる。つまりゲート絶縁膜 42 は、ゲート導電部 44 と半導体基板 10 とを絶縁する。ゲート導電部 44 は、ポリシリコン等の導電材料で形成される。

[0093] ゲート導電部 44 は、ゲート絶縁膜 42 を挟んで、ベース領域 14 と対向する領域を含む。当該断面におけるゲートトレンチ部 40 は、半導体基板 10 の上面において層間絶縁膜 38 により覆われる。ゲート導電部 44 に所定の電圧が印加されると、ベース領域 14 のうちゲートトレンチに接する界面の表層に電子の反転層によるチャネルが形成される。

[0094] ダミートレンチ部30は、当該断面において、ゲートトレンチ部40と同一の構造を有してよい。ダミートレンチ部30は、半導体基板10の上面21側に設けられたダミートレンチ、ダミー絶縁膜32およびダミー導電部34を有する。ダミー絶縁膜32は、ダミートレンチの内壁を覆って設けられる。ダミー導電部34は、ダミートレンチの内部に設けられ、且つ、ダミー絶縁膜32よりも内側に設けられる。ダミー絶縁膜32は、ダミー導電部34と半導体基板10とを絶縁する。ダミー導電部34は、ゲート導電部44と同一の材料で形成されてよい。例えばダミー導電部34は、ポリシリコン等の導電材料で形成される。ダミー導電部34は、深さ方向においてゲート導電部44と同一の長さを有してよい。当該断面におけるダミートレンチ部30は、半導体基板10の上面21において層間絶縁膜38により覆われる。なお、ダミートレンチ部30およびゲートトレンチ部40の底部は、下側に凸の曲面状（断面においては曲線状）であってよい。

[0095] 図5は、図2におけるB-B断面の一例を示す図である。B-B断面は、トランジスタ部70およびエッジ終端構造部90を含むYZ面と平行な断面である。エッジ終端構造部90、ゲート金属層50およびウェル領域11の構造は、図4に示したA-A断面とほぼ同一である。

[0096] トランジスタ部70は、半導体基板10の上面において、Y軸方向に沿ってコンタクト領域15およびエミッタ領域12を交互に有する。コンタクト領域15およびエミッタ領域12は、コンタクトホール54を介してエミッタ電極52と接続している。Y軸方向において最もウェル領域11に近いコンタクト領域15と、ウェル領域11との間には、ベース領域14が設けられている。当該ベース領域14の上面は層間絶縁膜38で覆われている。ベース領域14は、コンタクト領域15およびエミッタ領域12の下方にも設けられている。ベース領域14とドリフト領域18の間には、蓄積領域16が設けられている。

[0097] 上述したように、エッジ終端構造部90には、上側端部ライフタイム制御部150が設けられている。なお、当該断面におけるトランジスタ部70に

は、上側活性部ライフタイム制御部 152 が設けられていない。

[0098] 本例の上側端部ライフタイム制御部 150 は、Y 軸方向においてエッジ終端構造部 90 の一部の領域だけに設けられているが、エッジ終端構造部 90 の全体に設けられていてもよい。また、活性部 120（本例ではトランジスタ部 70）の一部にも上側端部ライフタイム制御部 150 が設けられてよい。

[0099] 上側端部ライフタイム制御部 150 を設けることで、エッジ終端構造部 90 から活性部 120 にキャリアが流れることを抑制できる。また、トランジスタ部 70 に上側活性部ライフタイム制御部 152 を設けないことで、上側活性部ライフタイム制御部 152 を起因とするトランジスタ部 70 におけるリーク電流を抑制できる。

[0100] 図 6 は、図 2 における C-C 断面の一例を示す図である。C-C 断面は、ダイオード部 80 およびエッジ終端構造部 90 を含む YZ 面と平行な断面である。エッジ終端構造部 90、ゲート金属層 50 およびウェル領域 11 の構造は、図 4 に示した A-A 断面とほぼ同一である。

[0101] ダイオード部 80 は、半導体基板 10 の上面において、Y 軸方向に沿ってベース領域 14 を有する。コンタクトホール 54 の Y 軸方向の端部の下方には、コンタクト領域 15 が設けられていてもよい。コンタクト領域 15 とウェル領域 11 との間のベース領域 14 は、層間絶縁膜 38 により覆われている。ベース領域 14 とドリフト領域 18 との間には、蓄積領域 16 が設けられている。

[0102] 上述したように、エッジ終端構造部 90 には、上側端部ライフタイム制御部 150 が設けられている。また、ダイオード部 80 には、上側活性部ライフタイム制御部 152 が設けられている。

[0103] 上側端部ライフタイム制御部 150 と、上側活性部ライフタイム制御部 152 は、半導体基板 10 の上面視において連続して設けられている。図 6 の例では、上側端部ライフタイム制御部 150 と、上側活性部ライフタイム制御部 152 は、同一の深さ位置に設けられている。他の例では、上側端部ラ

イフタイム制御部 150 と、上側活性部ライフタイム制御部 152 は、異なる深さ位置に設けられてもよい。この場合、上側端部ライフタイム制御部 150 の端部と、上側活性部ライフタイム制御部 152 の端部とは重なりあってもよい。例えば上側活性部ライフタイム制御部 152 は、上側端部ライフタイム制御部 150 よりも上面 21 から離れて設けられてよい。これにより、上側活性部ライフタイム制御部 152 に起因するリーク電流を抑制できる。また、上側端部ライフタイム制御部 150 が、上側活性部ライフタイム制御部 152 よりも上面 21 から離れて設けられてもよい。これにより、エッジ終端構造部 90 の下面 23 側から、活性部 120 の上面 21 側にキャリアが流れることを、より抑制できる。

[0104] 図 7 は、半導体基板 10 の内部に設けられるライフタイム制御部の配置例を示す図である。図 7 においては、ライフタイム制御部が設けられる領域を、図 1 に示した上面図にハッチングを付して示している。図 7 においては、図 1 に示した符号の一部を省略している。

[0105] 図 7 においては、端部ライフタイム制御部の一例として、下側端部ライフタイム制御部 160 を示している。下側端部ライフタイム制御部 160 は、エッジ終端構造部 90 において半導体基板 10 の内部に設けられる。また、下側端部ライフタイム制御部 160 は、Z 軸方向において半導体基板 10 の中央と、半導体基板 10 の下面との間に配置されている。

[0106] 下側端部ライフタイム制御部 160 は、X 軸方向において少なくとも 2 つ以上のダイオード部 80 と対向する範囲に連続して設けられている。これにより、半導体装置 100 のターンオフ時（すなわち、トランジスタ部 70 のターンオフ時）において、エッジ終端構造部 90 からトランジスタ部 70 のエミッタ領域に抜けるキャリアを減少させることができる。このため、半導体装置 100 のターンオフ耐量が向上する。

[0107] 図 7 の例では、下側端部ライフタイム制御部 160 は、半導体基板 10 の上面と平行な面において活性部 120 を囲んで環状に設けられている。これにより、エッジ終端構造部 90 からトランジスタ部 70 のエミッタ領域に抜

けるキャリアを更に減少させることができる。下側端部ライフタイム制御部 160 は、半導体基板 10 の上面において活性部 120 から離れて配置されてよい。下側端部ライフタイム制御部 160 は、カソード領域 82 の全面とは重ならないようにカソード領域 82 の一部に重なるように配置されてよい。これにより、ダイオード部 80 の特性への影響を低減しつつ、エッジ終端構造部 90 から活性部 120 へのキャリアの移動を抑制できる。

[0108] 図 7 においては、活性部ライフタイム制御部の一例として、下側活性部ライフタイム制御部 162 を示している。半導体装置 100 は、図 1 から図 6 において説明した上側のライフタイム制御部に加えて図 7 に示す下側のライフタイム制御部を有してよく、上側のライフタイム制御部を有さずに下側のライフタイム制御部を有してもよい。下側活性部ライフタイム制御部 162 は、活性部 120 において半導体基板 10 の内部に設けられる。また、下側活性部ライフタイム制御部 162 は、Z 軸方向において半導体基板 10 の中央と、半導体基板 10 の上面との間に配置されている。

[0109] 本例の下側活性部ライフタイム制御部 162 の少なくとも一部は、ダイオード部 80 およびトランジスタ部 70 と重なるように配置されている。ただし、ダイオード部 80 の一部と、トランジスタ部 70 の一部は、下側活性部ライフタイム制御部 162 と重なっていない。より具体的には、それぞれのダイオード部 80 において、X 軸方向におけるトランジスタ部 70 との境界近傍に下側活性部ライフタイム制御部 162 が設けられている。つまり、それぞれのダイオード部 80 に対して、X 軸方向の 2 つの端部のそれぞれに下側活性部ライフタイム制御部 162 が設けられている。ただし、下側活性部ライフタイム制御部 162 は、ダイオード部 80 の X 軸方向の中央の領域には重なっていない。

[0110] また、下側活性部ライフタイム制御部 162 は、半導体基板 10 の上面と平行な面内で、第 2 方向において下側端部ライフタイム制御部 160 と連続している。下側活性部ライフタイム制御部 162 は、Y 軸方向において活性部 120 を横断するように設けられてよい。この場合、下側端部ライフタイ

ム制御部 160 のうち、Y 軸方向において対向する下側端部ライフタイム制御部 160-1 および 160-2 を接続するように、下側活性部ライフタイム制御部 162 が設けられる。

[0111] 半導体基板 10 の上面において、トランジスタ部 70 の少なくとも一部の領域には、下側活性部ライフタイム制御部 162 が設けられていない。X 軸方向において、下側活性部ライフタイム制御部 162 と下側端部ライフタイム制御部 160 とは、連続してなくてよい。つまり、下側活性部ライフタイム制御部 162 と下側端部ライフタイム制御部 160 との間に、下側のライフタイム制御部が設けられていない領域が存在する。当該領域は、X 軸方向において活性部 120 の端部に設けられたトランジスタ部 70 の上方の領域であってよい。つまり、下側端部ライフタイム制御部 160 および下側活性部ライフタイム制御部 162 は、活性部 120 の端部のトランジスタ部 70 の少なくとも一部分と重ならないように配置されている。

[0112] 図 8A は、図 7 における A-A 断面の一例を示す図である。本例の半導体装置 100 は、上側および下側のライフタイム制御部を備えている。A-A 断面は、ダイオード部 80、トランジスタ部 70 およびエッジ終端構造部 90 を含む XZ 面と平行な断面である。上側のライフタイム制御部の構造は、図 4 と同様である。

[0113] 上述したように、エッジ終端構造部 90 には、下側端部ライフタイム制御部 160 が設けられている。また、ダイオード部 80 の一部と、トランジスタ部 70 の一部の領域には、下側活性部ライフタイム制御部 162 が設けられている。下側端部ライフタイム制御部 160 および下側活性部ライフタイム制御部 162 は、半導体基板 10 の上面 21 と垂直な深さ方向において、半導体基板 10 の中央よりも下側に配置されている。下側端部ライフタイム制御部 160 および下側活性部ライフタイム制御部 162 は、半導体基板 10 の下面 23 から、半導体基板 10 の厚みの $1/4$ 以内の深さに設けられてよい。下側端部ライフタイム制御部 160 および下側活性部ライフタイム制御部 162 は、同一の深さ位置に設けられてよく、異なる深さ位置に設けら

れてもよい。

- [0114] 本例の下側端部ライフタイム制御部 160 は、X 軸方向においてエッジ終端構造部 90 の一部の領域だけに設けられているが、エッジ終端構造部 90 の全体に設けられていてもよい。また、活性部 120（本例ではトランジスタ部 70）の一部にも下側端部ライフタイム制御部 160 が設けられてよい。
- [0115] 下側端部ライフタイム制御部 160 を設けることで、エッジ終端構造部 90 から活性部 120 にキャリアが流れることを効率よく抑制できる。また、下側活性部ライフタイム制御部 162 を設けることで、上側活性部ライフタイム制御部 152 に起因するリーク電流特性を改善できる。下側活性部ライフタイム制御部 162 を設けることで、ドリフト領域 18 に生じた少数キャリアの正孔が、短いライフタイムで多数キャリアの電子と相殺する。このため、トランジスタ部 70 のリーク電流特性を改善できる。また、トランジスタ部 70 のオン電圧とターンオン損失のトレードオフを良好にできる。
- [0116] X 軸方向における上側端部ライフタイム制御部 150 の端部位置 X_{150} と、下側端部ライフタイム制御部 160 の端部位置 X_{160} とは、同一であってよい。他の例では、端部位置 X_{150} は、端部位置 X_{160} よりも、活性部 120 側に配置されていてもよい。つまり、上側端部ライフタイム制御部 150 のほうが、下側端部ライフタイム制御部 160 よりも、X 軸方向において活性部 120 側に広い範囲に設けられてよい。
- [0117] 他の例では、端部位置 X_{150} は、端部位置 X_{160} よりも、半導体基板 10 の外周端 140 側に配置されていてもよい。これにより、エッジ終端構造部 90 の下面 23 側から、活性部 120 の上面 21 側に流れるキャリアを抑制しつつ、リーク電流の起因となりうる上側端部ライフタイム制御部 150 を、トランジスタ部 70 から遠く配置できる。
- [0118] 上側活性部ライフタイム制御部 152 の、トランジスタ部 70 における X 軸方向の端部位置（X 軸正側の端部位置）を X_{T152} とする。また、下側活性部ライフタイム制御部 162 の、トランジスタ部 70 における X 軸方向の端

部位置（X軸正側の端部位置）を $X T_{162}$ とする。

[0119] 端部位置 $X T_{162}$ は、端部位置 $X T_{152}$ よりも、ダイオード部80側（X軸負側）に配置されてよい。つまり、下側活性部ライフタイム制御部162がトランジスタ部70に設けられる長さは、上側活性部ライフタイム制御部152がトランジスタ部70に設けられる長さよりも小さい。これにより、ダイオード部80の動作時に、トランジスタ部70のエミッタ領域12からダイオード部80のカソード領域82への正孔の注入を抑制することができる。このため、ダイオード部80の逆回復特性を改善することができる。

[0120] 図8Bは、図8AのE-E断面における上側端部ライフタイム制御部150および下側端部ライフタイム制御部160のライフタイムキラークラウド分布の一例を示す図である。上側活性部ライフタイム制御部152は、上側端部ライフタイム制御部150と同様のライフタイムキラークラウド分布を有してよい。下側活性部ライフタイム制御部162は、下側端部ライフタイム制御部160と同様のライフタイムキラークラウド分布を有してよい。

[0121] 上側端部ライフタイム制御部150は、ヘリウムイオンを上面側から照射した例である。下側端部ライフタイム制御部160は、ヘリウムイオンを下面側から照射した例である。本明細書の各図では、キラークラウドのライフタイムキラークラウドのピーク位置を×印で示している。ヘリウムイオン等を上面側から照射する場合は、ピーク位置より上面側に、ピーク濃度より低い濃度のライフタイムキラークラウド（ライフタイムキラークラウドの濃度分布におけるテイル部分）が分布してよい。

[0122] ヘリウムイオンを下面側から照射する場合は、ピーク位置よりも下面側に、ピーク濃度より低い濃度のライフタイムキラークラウドが分布してよい。下側端部ライフタイム制御部160のライフタイムキラークラウドのピーク濃度は、上側端部ライフタイム制御部150のライフタイムキラークラウドのピーク濃度より高くてもよく、低くてもよい。下側端部ライフタイム制御部160のライフタイムキラークラウドは、上側端部ライフタイム制御部150のライフタイムキラークラウドよりも2倍以上、5倍以下の範囲で高くてもよい。

[0123] 上側端部ライフタイム制御領域 150 のライフタイムキラー濃度分布の幅 w_1 は、下側端部ライフタイム制御領域 160 のライフタイムキラー濃度分布の幅 w_2 より大きくてよい。幅 w_1 および w_2 は、ピーク濃度 P_1 またはピーク濃度 P_2 の半値全幅 (FWHM) であってよい。あるいは、幅 w_1 および w_2 は、ピーク濃度 P_1 またはピーク濃度 P_2 の 10% の値における全幅 (F10%WHM) であってよい。あるいは、幅 w_1 および w_2 は、ピーク濃度 P_1 またはピーク濃度 P_2 の 1% の値における全幅 (F1%WHM) であってよい。

[0124] 幅 w_1 が幅 w_2 よりも大きい場合は、上面 21 からピーク濃度 P_1 の深さ位置 D_{p1} までの距離が、下面 23 からピーク濃度 P_2 の深さ位置 D_{p2} までの距離より大きくてよい。逆に、幅 w_1 が幅 w_2 よりも小さい場合は、上面 21 からピーク濃度 P_1 の深さ位置 D_{p1} までの距離が、下面 23 からピーク濃度 P_2 の深さ位置 D_{p2} までの距離より小さくてよい。ピーク濃度の位置を深くする場合、半導体基板 10 の深さ方向において、ライフタイム制御領域を大きな幅で形成すると、再結合中心の濃度分布がなだらかにできる。これにより、印加電圧の増加によってリーク電流が急激に増加することを防ぐことができる。

[0125] なお、図 8B の縦軸に示されるライフタイムキラーの濃度分布は、ヘリウム濃度であってもよいし、ヘリウム照射によって形成された結晶欠陥密度であってもよい。結晶欠陥は、格子間ヘリウム、空孔、複空孔等であってよい。これらの結晶欠陥により、キャリアの再結合中心が形成される。形成された再結合中心のエネルギー準位 (トラップ準位) を介して、キャリアの再結合が促進される。ライフタイムキラー濃度は、トラップ準位密度に対応する。

[0126] 本例においては、下側のライフタイム制御部のライフタイムキラー濃度を、上側のライフタイム制御部のライフタイムキラー濃度よりも高くすることで、リーク電流に寄与する上側のライフタイムキラー濃度を維持しつつ、全体のライフタイムキラー濃度を高めることができる。これにより、トランジ

スタ部 70 のリーク電流特性を維持しつつ、トランジスタ部 70 のオン電圧とターンオフ損失のトレードオフを調整することができる。

[0127] 図 9 は、図 7 における B-B 断面の一例を示す図である。上述したように、エッジ終端構造部 90 には、下側端部ライフタイム制御部 160 が設けられている。また、当該断面におけるトランジスタ部 70 には、下側活性部ライフタイム制御部 162 が設けられていない。

[0128] 本例の下側端部ライフタイム制御部 160 は、Y 軸方向においてエッジ終端構造部 90 の一部の領域だけに設けられているが、エッジ終端構造部 90 の全体に設けられていてもよい。また、活性部 120（本例ではトランジスタ部 70）の一部にも下側端部ライフタイム制御部 160 が設けられてよい。下側端部ライフタイム制御部 160 を設けることで、エッジ終端構造部 90 から活性部 120 にキャリアが流れることを効率よく抑制できる。

[0129] X 軸方向における上側端部ライフタイム制御部 150 の端部位置 Y_{150} と、下側端部ライフタイム制御部 160 の端部位置 Y_{160} とは、同一であってよい。他の例では、端部位置 Y_{150} は、端部位置 Y_{160} よりも、活性部 120 側に配置されていてもよい。つまり、上側端部ライフタイム制御部 150 のほうが、下側端部ライフタイム制御部 160 よりも、Y 軸方向において活性部 120 側に広い範囲に設けられてよい。

[0130] 他の例では、端部位置 Y_{150} は、端部位置 Y_{160} よりも、半導体基板 10 の外周端 140 側に配置されていてもよい。これにより、エッジ終端構造部 90 の下面 23 側から、活性部 120 の上面 21 側に流れるキャリアを抑制しつつ、リーク電流の起因となりうる上側端部ライフタイム制御部 150 を、トランジスタ部 70 から遠く配置できる。

[0131] 図 10 は、図 7 における C-C 断面の一例を示す図である。上述したように、エッジ終端構造部 90 には、下側端部ライフタイム制御部 160 が設けられている。また、ダイオード部 80 には、下側活性部ライフタイム制御部 162 が設けられている。

[0132] 下側端部ライフタイム制御部 160 と、下側活性部ライフタイム制御部 1

62は、半導体基板10の上面視において連続して設けられている。図10の例では、下側端部ライフタイム制御部160と、下側活性部ライフタイム制御部162は、同一の深さ位置に設けられている。他の例では、下側端部ライフタイム制御部160と、下側活性部ライフタイム制御部162は、異なる深さ位置に設けられてもよい。この場合、下側端部ライフタイム制御部160の端部と、下側活性部ライフタイム制御部162の端部とは重なりあってもよい。例えば下側端部ライフタイム制御部160は、下側活性部ライフタイム制御部162よりも下面23に近く設けられてよい。これにより、エッジ終端構造部90の下面23側から活性部120の上面21側に流れるキャリアを減少させやすくなる。

[0133] 図11は、図7における領域132の拡大図である。領域132は、ダイオード部80と、X軸方向においてダイオード部80の両側に配置されたトランジスタ部70を含んでいる。

[0134] 上述したように、上側活性部ライフタイム制御部152は、X軸方向においてダイオード部80よりも広い範囲に設けられる。下側活性部ライフタイム制御部162は、ダイオード部80のX軸方向における各端部81と、端部81に接するダイオード部80の一部と、端部81に接するトランジスタ部70の一部とに重なるように設けられる。ただし、上側活性部ライフタイム制御部152がトランジスタ部70に重なるX軸方向の長さは、下側活性部ライフタイム制御部162がトランジスタ部70に重なるX軸方向の長さより大きい。また、下側活性部ライフタイム制御部162は、上面視でカソード領域82とコレクタ領域22とのpn接合に重なるように設けられてよい。

[0135] 図12は、図11におけるD-D断面を示す図である。D-D断面は、トランジスタ部70およびダイオード部80を含むXZ面である。上述したように、上側活性部ライフタイム制御部152は、X軸方向においてダイオード部80の全体と、トランジスタ部70の一部の領域とに設けられる。上側活性部ライフタイム制御部152のX軸方向における端部位置を XT_{152} とす

る。

[0136] また、下側活性部ライフタイム制御部 162 は、X 軸方向において、端部 81 の両側におけるダイオード部 80 の一部の領域と、トランジスタ部 70 の一部の領域とに設けられる。下側活性部ライフタイム制御部 162 のトランジスタ部 70 における X 軸方向の端部位置を $X T_{162}$ とし、ダイオード部 80 における X 軸方向の端部位置を $X D_{162}$ とする。

[0137] X 軸方向における端部位置 $X T_{152}$ と端部位置 $X T_{162}$ との距離 L_2 は、上述したように $50\mu m$ 以上、 $100\mu m$ 以下であってよい。X 軸方向における端部 81 と端部位置 $X D_{162}$ との距離 L_3 は、一例として $10\mu m$ 以上、 $20\mu m$ 以下である。

[0138] 図 13 は、上側端部ライフタイム制御部 150 の他の例を示す図である。本例の上側端部ライフタイム制御部 150 は、半導体基板 10 の上面視において、エッジ終端構造部 90 の全体と重なるように設けられている。上側端部ライフタイム制御部 150 は、ゲート金属層 50 の少なくとも一部と重なっていてよく、ゲート金属層 50 の全体と重なっていてよく、活性部 120 の一部と重なっていてよい。本例の上側端部ライフタイム制御部 150 は、図 1 から図 12 において説明した、各態様の半導体装置 100 に適用してよい。

[0139] 図 14 は、上側活性部ライフタイム制御部 152 の他の例を示す図である。本例の上側活性部ライフタイム制御部 152 は、半導体基板 10 の上面視において、ゲートランナー 48、温度センス部 110 および温度センス配線 112 の少なくとも一部の領域の下方に設けられている。上側活性部ライフタイム制御部 152 は、ゲートランナー 48、温度センス部 110 および温度センス配線 112 の全ての領域の下方に設けられてよい。また、上側活性部ライフタイム制御部 152 は、半導体基板 10 の内部に設けられたウェル領域 11 の全体と重なるように設けられてもよい。このような構成によっても、ウェル領域 11 等の下方から、トランジスタ部 70 およびダイオード部 80 にキャリアが移動することを抑制できる。本例の上側活性部ライフタイ

ム制御部 152 は、図 1 から図 13 において説明した、各態様の半導体装置 100 に適用してよい。

[0140] 図 15 は、下側端部ライフタイム制御部 160 および下側活性部ライフタイム制御部 162 の他の例を示す図である。本例の下側端部ライフタイム制御部 160 は、半導体基板 10 の上面視において、エッジ終端構造部 90 の全体と重なるように設けられている。下側端部ライフタイム制御部 160 は、ゲート金属層 50 の少なくとも一部と重なっていてよく、ゲート金属層 50 の全体と重なっていてよく、活性部 120 の一部と重なっていてよい。

[0141] 図 15 に示すように、下側端部ライフタイム制御部 160 の Y 軸方向における端部は、カソード領域 82 の Y 軸方向における端部と対向して配置されてよい。つまり、下側端部ライフタイム制御部 160 の Y 軸方向における端部と、カソード領域 82 の Y 軸方向における端部とは、Y 軸方向における位置が同一であってよい。これにより、ダイオード部 80 の特性への影響を低減しつつ、エッジ終端構造部 90 から活性部 120 へのキャリアの移動を効率よく抑制できる。本例の下側端部ライフタイム制御部 160 は、図 1 から図 14 において説明した、各態様の半導体装置 100 に適用してよい。

[0142] また、本例の下側活性部ライフタイム制御部 162 は、半導体基板 10 の上面視において、ゲートランナー 48、温度センス部 110 および温度センス配線 112 の少なくとも一部の領域と重なるように設けられている。下側活性部ライフタイム制御部 162 は、ゲートランナー 48、温度センス部 110 および温度センス配線 112 の全ての領域と重なるように設けられてよい。また、下側活性部ライフタイム制御部 162 は、半導体基板 10 の内部に設けられたウェル領域 11 の全体と重なるように設けられてもよい。このような構成によっても、ウェル領域 11 等の下方から、トランジスタ部 70 およびダイオード部 80 にキャリアが移動することを抑制できる。本例の下側活性部ライフタイム制御部 162 は、図 1 から図 14 において説明した、各態様の半導体装置 100 に適用してよい。

[0143] 図 16 は、下側端部ライフタイム制御部 160 の他の例を示す図である。

本例の下側端部ライフタイム制御部 160 は、活性部 120 の X 軸方向の端部に配置されたトランジスタ部 70 の全体と重なるように配置されている。これにより、エッジ終端構造部 90 から Y 軸方向にキャリアが移動して、ダイオード部 80 に到達することを更に抑制できる。本例の下側端部ライフタイム制御部 160 は、図 1 から図 15 において説明した、各態様の半導体装置 100 に適用してよい。

[0144] 図 17 は、B-B 断面の他の例を示す図である。上述したように、上側端部ライフタイム制御部 150 は、エッジ終端構造部 90 より広い範囲に設けられてよい。本例の上側端部ライフタイム制御部 150 は、エッジ終端構造部 90 の全体と、ゲート金属層 50 の下方に設けられたウェル領域 11 の一部と重なる範囲に設けられている。上側端部ライフタイム制御部 150 は、ウェル領域 11 の全体と重なる範囲に設けられてもよい。

[0145] 下側端部ライフタイム制御部 160 も、エッジ終端構造部 90 より広い範囲に設けられてよい。本例の下側端部ライフタイム制御部 160 は、エッジ終端構造部 90 の全体と、ゲート金属層 50 の下方に設けられたウェル領域 11 の全体と、トランジスタ部 70 の一部と重なる範囲に設けられている。下側端部ライフタイム制御部 160 は、コンタクトホール 54 と重なる位置まで設けられてもよい。

[0146] 図 17 においては、カソード領域 82 の端部 81 の Y 軸上の位置を点線で示している。上述したように、下側端部ライフタイム制御部 160 の端部位置 Y_{160} は、端部 81 と対向して配置されてよい。本明細書においてライフタイム制御部の端部は、各軸方向においてドリフト領域 18 からキラー領域に向けてライフタイムキラーの濃度分布を測定した場合に、ライフタイムキラーの濃度がドリフト領域 18 におけるライフタイムキラーの濃度よりも高くなり始める点である。ただし、当該点が不明瞭な場合には、ライフタイムキラーの濃度が、ライフタイム制御部におけるピーク濃度の半値（または 1/10）となる位置を端部としてもよい。

[0147] 図 18 は、A-A 断面の他の例を示す図である。上述したように、上側端

部ライフタイム制御部 150 は、エッジ終端構造部 90 より広い範囲に設けられてよい。本例の上側端部ライフタイム制御部 150 は、エッジ終端構造部 90 の全体と、ゲート金属層 50 の下方に設けられたウェル領域 11 の一部と重なる範囲に設けられている。上側端部ライフタイム制御部 150 は、ウェル領域 11 の全体と重なる範囲に設けられてもよい。

[0148] 下側端部ライフタイム制御部 160 も、エッジ終端構造部 90 より広い範囲に設けられてよい。本例の下側端部ライフタイム制御部 160 は、エッジ終端構造部 90 の全体と、ゲート金属層 50 の下方に設けられたウェル領域 11 の全体と、トランジスタ部 70 の一部と重なる範囲に設けられている。

[0149] また、いずれかのライフタイム制御部は、半導体基板 10 の深さ方向におけるライフタイムキラーの濃度分布において複数のピークを有してよい。図 18 の例では、下側活性部ライフタイム制御部 162 が複数のピークを有している。より下面 23 に近い下側活性部ライフタイム制御部 162 は、トランジスタ部 70 において X 軸方向により長く設けられてよい。このような構造により、トランジスタ部 70 のコレクタ領域 22 から、ダイオード部 80 の上面 21 側に移動するキャリアを、効率よく再結合させることができる。

[0150] 図 19A は、上側ライフタイム制御部の他の配置例を示す図である。本例の半導体装置 100 は、端部ライフタイム制御部が、上側端部ライフタイム制御部 150 を有さない点で、図 1 から図 18 において説明した各例と相違する。他の構造は、図 1 から図 18 において説明したいずれかの態様の半導体装置 100 と同一である。端部ライフタイム制御部は、下側端部ライフタイム制御部 160 を有している。

[0151] 本例のそれぞれの上側活性部ライフタイム制御部 152 は、Y 軸方向においてエッジ終端構造部 90 まで延伸して設けられている。上側活性部ライフタイム制御部 152 は、エッジ終端構造部 90 までには設けられていなくてもよい。この場合であっても、上側活性部ライフタイム制御部 152 は、カソード領域 82 の全体と重なるように設けられている。上側活性部ライフタイム制御部 152 の Y 軸方向の端部は、活性部 120 に設けられてよく、ゲー

ト金属層 50 の下方に設けられていてよく、ウェル領域 11 の下方に設けられていてもよい。

[0152] 図 19B は、図 19A における B-B 断面を示す図である。本例の半導体装置 100 は、上側端部ライフタイム制御部 150 を有さない点で、図 17 に示した B-B 断面と相違する。他の構造は、図 17 の例と同一である。エッジ終端構造部 90 において上側端部ライフタイム制御部 150 を有さない場合、活性部からエッジ終端構造部 90 に広がる空乏層は、ライフタイム制御部のライフタイムキラーを含まない。これにより、リーク電流の発生を抑えることができる。さらに、エッジ終端構造部 90 において下側端部ライフタイム制御部 160 を有することで、エッジ終端構造部 90 のコレクタ領域 22 からコンタクトホール 54 の端部に正孔が集中することを抑えることができる。

[0153] 図 19C は、図 19A における A-A 断面を示す図である。本例の半導体装置 100 は、上側端部ライフタイム制御部 150 を有さない点で、図 18 に示した A-A 断面と相違する。他の構造は、図 18 の例と同一である。

[0154] 図 20 は、半導体装置 100 の上面構造の他の例を示す図である。本例の半導体装置 100 は、X 軸方向に配列されたトランジスタ部 70 のうち、X 軸方向における端部に設けられたトランジスタ部 70-e の X 軸方向における幅 W1 が、他のトランジスタ部 70 の幅 W2 と異なっている。図 20 に示すように、トランジスタ部 70-e の幅 W1 は、他のトランジスタ部 70 の幅 W2 よりも大きくてよい。幅 W1 は、幅 W2 の 1.1 倍以上であってよく、1.2 倍以上であってよく、1.5 倍以上であってもよい。

[0155] 図 21 は、半導体装置 100 の上面構造を示す図である。図 21 における上面構造は、図 1 に示した半導体装置 100 と同一である。図 21 に示すように、トランジスタ部 70-e の幅 W1 は、他のトランジスタ部 70 の幅 W2 より小さくてもよい。幅 W1 は、幅 W2 の $2/3$ 以下であってよく、半分以下であってよく、 $1/3$ 以下であってもよい。

[0156] 図 22 は、図 20 に示した領域 134 を拡大した上面図である。領域 13

4の構造は、図1から図21において説明した各態様の半導体装置100に適用してよい。図22においては、ライフタイム制御部を省略している。

[0157] 領域134は、活性部120のX軸方向における端部を含む。活性部120のX軸方向の端部には、トランジスタ部70が設けられている。本例では、X軸方向におけるトランジスタ部70とゲート金属層50との間に、第1終端領域182および第2終端領域184が設けられている。半導体装置100は、第1終端領域182および第2終端領域184の一方だけを備えていてもよい。第1終端領域182および第2終端領域184において、半導体基板10の下面23にはコレクタ領域22が設けられている。

[0158] 図23は、図22におけるF-F断面の一例を示す図である。F-F断面は、ゲート金属層50、第1終端領域182、第2終端領域184およびトランジスタ部70を含むYZ断面である。図23においては、ライフタイム制御部を省略している。

[0159] 第2終端領域184は、X軸方向においてトランジスタ部70と接している。第2終端領域184は、X軸方向に配列された複数のダミートレンチ部30が設けられている。図22に示すように、第2終端領域184には、トランジスタ部70のメサ部60よりも、コンタクト領域15の上面視の面積が大きいメサ部60が設けられてよい。これにより、第2終端領域184において正孔が引き抜きやすくなる。このため、エッジ終端構造部90等の外周端140側の構造と、トランジスタ部70との間に流れる電流を抑制できる。

[0160] 第2終端領域184の少なくとも一部のメサ部60は、蓄積領域16が設けられなくてよい。図22および図23の例では、第2終端領域184において、トランジスタ部70側の一部のメサ部60には蓄積領域16が設けられ、ゲート金属層50側の一部のメサ部60には蓄積領域16が設けられていない。

[0161] 第2終端領域184の少なくとも一部のダミートレンチ部30は、ウェル領域11の内部に設けられてもよい。図22および図23の例では、第2終

端領域 184 において、ゲート金属層 50 側の一部のダミートレンチ部 30 が、ウェル領域 11 の内部に設けられている。つまり、活性部 120 において、X 軸方向に配列されたトレンチ部のうち、最も外側に配置されたトレンチ部が、ウェル領域 11 の内部に設けられている。これにより、比較的電界が集中しやすいトレンチ部を保護できる。

[0162] 第 1 終端領域 182 は、X 軸方向において第 2 終端領域 184 とゲート金属層 50 との間に設けられている。第 1 終端領域 182 には、トレンチ部が設けられていない。第 1 終端領域 182 の上面には、コンタクト領域 15 が露出している。第 1 終端領域 182 は、Y 軸方向に延伸する複数のコンタクトホール 54 を有している。コンタクトホール 54 は、エミッタ電極 52 と、コンタクト領域 15 とを接続する。第 1 終端領域 182 は、上面視においてウェル領域 11 と重なって設けられている。第 1 終端領域 182 におけるコンタクトホール 54 の Y 軸方向における長さは、トランジスタ部 70 におけるコンタクトホール 54 の Y 軸方向における長さと同じであってよく、より長くてもよい。

[0163] 第 1 終端領域 182 を設けることで、第 2 終端領域 184 の外側でも正孔を引き抜くことができる。このため、エッジ終端構造部 90 等の外周端 140 側の構造と、トランジスタ部 70 との間に流れる電流を抑制できる。

[0164] 図 24 は、図 21 における G-G 断面の一例を示す図である。G-G 断面は、エッジ終端構造部 90、ゲート金属層 50、第 1 終端領域 182、第 2 終端領域 184、複数のトランジスタ部 70 および複数のダイオード部 80 を含む YZ 断面である。G-G 断面においては、下側ライフタイム制御部を省略している。本例の半導体装置 100 は、図 1 から図 23 において説明したいずれの下側ライフタイム制御部を有していてもよい。また、図 24 においては、半導体基板 10 の下面から上面に流れる電流の大きさを、模式的に矢印の太さで示している。

[0165] 本例においては、トランジスタ部 70-e の幅 W1 が、他のトランジスタ部 70 の幅 W2 よりも小さい。このため、トランジスタ部 70-e において

流れる電流は、他のトランジスタ部 70 において流れる電流よりも小さくなる。このため、トランジスタ部 70-e から、活性部 120 とウェル領域 11 との境界 153 に流れる電流を緩和できる。境界 153 は、ウェル領域 11 の X 軸方向の端部のうち、トランジスタ部 70-e に最も近い端部である。

[0166] 活性部 120 と、ウェル領域 11 との境界 153 には電界が集中しやすい。このため、活性部 120 と、ウェル領域 11 との境界 153 に電流が多く流れると、境界 153 に電界と電流の両方が集中して破壊されやすくなる。本例では、活性部 120 とウェル領域 11 との境界 153 に流れる電流を緩和できるので、境界 153 における破壊を抑制できる。

[0167] 図 25 は、図 20 における G-G 断面の一例を示す図である。本例においては、トランジスタ部 70-e の幅 W1 が、他のトランジスタ部 70 の幅 W2 よりも大きい。この場合、半導体装置 100 は、上側境界ライフタイム制御部 151 を有してよい。上側境界ライフタイム制御部 151 は、活性部 120 とウェル領域 11 との境界 153 と重なって配置されている。当該ウェル領域 11 は、ゲート金属層 50 の下方に配置されたウェル領域 11 である。上側境界ライフタイム制御部 151 は、境界 153 から、第 2 終端領域 184 と重なる位置まで X 軸方向に延伸して設けられていてよく、トランジスタ部 70-e と重なる位置まで X 軸方向に延伸して設けられていてもよい。

[0168] また、上側境界ライフタイム制御部 151 は、境界 153 から、第 1 終端領域 182 と重なる位置まで X 軸方向に延伸して設けられていてよく、ゲート金属層 50 と重なる位置まで X 軸方向に延伸して設けられていてよく、エッジ終端構造部 90 と重なる位置まで X 軸方向に延伸して設けられていてもよい。上側境界ライフタイム制御部 151 は、上側端部ライフタイム制御部 150 と接続されていてもよい。つまり、上側境界ライフタイム制御部 151 が、上側境界ライフタイム制御部 151 の位置まで延伸していてもよい。

[0169] 本例によれば、トランジスタ部 70-e の幅 W1 が大きいので、トランジスタ部 70-e には、比較的に大きな電流が流れる。一方で、境界 153 の

下方に上側境界ライフタイム制御部 151 を設けることで、境界 153 に流れる電流を緩和できる。このため境界 153 における破壊を抑制できる。

[0170] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

符号の説明

[0171] 10・・・半導体基板、11・・・ウェル領域、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・蓄積領域、18・・・ドリフト領域、20・・・バッファ領域、21・・・上面、22・・・コレクタ領域、23・・・下面、24・・・コレクタ電極、25・・・接続部、29・・・直線部、30・・・ダミートレンチ部、31・・・先端部、32・・・ダミー絶縁膜、34・・・ダミー導電部、38・・・層間絶縁膜、39・・・直線部、40・・・ゲートレンチ部、41・・・先端部、42・・・ゲート絶縁膜、44・・・ゲート導電部、48・・・ゲートランナー、49・・・コンタクトホール、50・・・ゲート金属層、52・・・エミッタ電極、54・・・コンタクトホール、56・・・コンタクトホール、60・・・メサ部、70・・・トランジスタ部、80・・・ダイオード部、81・・・端部、82・・・カソード領域、90・・・エッジ終端構造部、92・・・ガードリング、94・・・フィールドプレート、100・・・半導体装置、110・・・温度センス部、112・・・温度センス配線、114・・・温度センスパッド、116・・・ゲートパッド、118・・・エミッタパッド、120・・・活性部、130・・・領域、131・・・範囲、132・・・領域、134・・・領域、140・・・外周端、150・・・上側端部ライフタイム制御部、151・・・上側境界ライフタイム制御部、152・・・上側活性部ライフタイム制御部、153・・・境界、160・・・下側端部ライフタイム制御部、162・・・下側活性部ライフタ

イム制御部、 1 7 4 . . . チャンネルストッパ、 1 8 2 . . . 第 1 終端領域、
1 8 4 . . . 第 2 終端領域

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板に設けられた活性部と、
 前記半導体基板の上面において前記活性部および前記半導体基板の外周端との間に設けられたエッジ終端構造部と
 を備え、
 前記活性部は、
 トランジスタ部と、
 前記半導体基板の上面において予め定められた第1方向において前記トランジスタ部と交互に配置されたダイオード部と
 を有し、
 前記エッジ終端構造部において前記半導体基板の内部に設けられ、
 前記第1方向において少なくとも2つ以上の前記ダイオード部と対向する範囲に連続して設けられた端部ライフタイム制御部を更に備える半導体装置。
- [請求項2] 前記端部ライフタイム制御部は、前記半導体基板の上面と平行な面において前記活性部を囲んで環状に設けられている
 請求項1に記載の半導体装置。
- [請求項3] 前記ダイオード部において前記半導体基板の内部に設けられた活性部ライフタイム制御部を更に備え、
 前記半導体基板の上面と平行な面において、前記端部ライフタイム制御部と前記活性部ライフタイム制御部とが、前記第1方向と垂直な第2方向において連続している
 請求項1または2に記載の半導体装置。
- [請求項4] 前記端部ライフタイム制御部は、前記半導体基板の上面と垂直な深さ方向において、前記半導体基板の中央よりも上側に配置された上側端部ライフタイム制御部を有する
 請求項3に記載の半導体装置。

- [請求項5] 前記活性部ライフタイム制御部は、前記半導体基板の上面と垂直な深さ方向において、前記半導体基板の中央よりも上側に配置された上側活性部ライフタイム制御部を有し、
- 前記第1方向において、前記上側活性部ライフタイム制御部と前記上側端部ライフタイム制御部とが連続していない
- 請求項4に記載の半導体装置。
- [請求項6] 前記活性部の前記第1方向における端部には前記トランジスタ部が配置されており、
- 前記上側端部ライフタイム制御部は、前記第1方向の端部に設けられた前記トランジスタ部の少なくとも一部と重ならないように配置されている
- 請求項4または5に記載の半導体装置。
- [請求項7] 前記端部ライフタイム制御部は、前記半導体基板の上面と垂直な深さ方向において、前記半導体基板の中央よりも下側に配置された下側端部ライフタイム制御部を有する
- 請求項4から6のいずれか一項に記載の半導体装置。
- [請求項8] 前記活性部ライフタイム制御部は、前記半導体基板の上面と垂直な深さ方向において、前記半導体基板の中央よりも下側に配置された下側活性部ライフタイム制御部を有し、
- 前記第2方向において、前記下側活性部ライフタイム制御部と前記下側端部ライフタイム制御部とが連続している
- 請求項7に記載の半導体装置。
- [請求項9] 前記活性部の前記第1方向における端部には前記トランジスタ部が配置されており、
- 前記下側端部ライフタイム制御部は、前記第1方向の端部に設けられた前記トランジスタ部の少なくとも一部と重ならないように配置されている
- 請求項7または8に記載の半導体装置。

- [請求項10] 前記活性部の前記第1方向における端部には前記トランジスタ部が配置されており、
前記下側端部ライフタイム制御部は、前記第1方向の端部に設けられた前記トランジスタ部の全体と重なるように配置されている
請求項7または8に記載の半導体装置。
- [請求項11] 前記ダイオード部は、前記半導体基板の内部において前記半導体基板の下面に接して設けられたカソード領域を有し、
前記半導体基板の上面と平行な面において、前記下側端部ライフタイム制御部は前記カソード領域と重ならない領域に配置されている
請求項7から10のいずれか一項に記載の半導体装置。
- [請求項12] 前記第1方向と垂直な第2方向における前記下側端部ライフタイム制御部の端部と、前記第2方向における前記カソード領域の端部とは対向して配置されている
請求項11に記載の半導体装置。
- [請求項13] 前記活性部における前記半導体装置の上面の上方に設けられたゲートランナーを更に備え、
前記活性部ライフタイム制御部は、前記ゲートランナーの下方にもれている
請求項3から12のいずれか一項に記載の半導体装置。
- [請求項14] 前記活性部の前記第1方向における端部に設けられた前記トランジスタ部の前記第1方向における幅は、他の前記トランジスタ部の幅よりも大きい
請求項6、9および10のいずれか一項に記載の半導体装置。
- [請求項15] 前記活性部の前記第1方向における端部に設けられた前記トランジスタ部の前記第1方向における幅は、他の前記トランジスタ部の幅よりも小さい
請求項6、9および10のいずれか一項に記載の半導体装置。
- [請求項16] 前記端部ライフタイム制御部は、前記半導体基板の上面と垂直な深

さ方向において、前記半導体基板の中央よりも下側に配置された下側端部ライフタイム制御部を有し、且つ、前記半導体基板の中央よりも上側に配置された上側端部ライフタイム制御部を有さない

請求項 1 から 3 のいずれか一項に記載の半導体装置。

補正された請求の範囲
[2019年3月25日(25.03.2019) 国際事務局受理]

- [請求項1] (補正後)
- 半導体基板と、
- 前記半導体基板に設けられた活性部と、
- 前記半導体基板の上面において前記活性部および前記半導体基板の外周端との間に設けられたエッジ終端構造部と
- を備え、
- 前記活性部は、
- トランジスタ部と、
- 前記半導体基板の上面において予め定められた第1方向において前記トランジスタ部と交互に配置されたダイオード部と
- を有し、
- 前記第1方向と垂直な第2方向において前記活性部と対向する前記エッジ終端構造部において前記半導体基板の内部に設けられ、前記第1方向に並んでいる少なくとも2つ以上の前記ダイオード部と対向する範囲に連続して設けられた端部ライフタイム制御部を更に備える半導体装置。
- [請求項2] 前記端部ライフタイム制御部は、前記半導体基板の上面と平行な面において前記活性部を囲んで環状に設けられている
- 請求項1に記載の半導体装置。
- [請求項3] (補正後)
- 前記ダイオード部において前記半導体基板の内部に設けられた活性部ライフタイム制御部を更に備え、
- 前記半導体基板の上面と平行な面において、前記端部ライフタイム制御部と前記活性部ライフタイム制御部とが、前記第2方向において連続している
- 請求項1または2に記載の半導体装置。

- [請求項4] 前記端部ライフタイム制御部は、前記半導体基板の上面と垂直な深さ方向において、前記半導体基板の中央よりも上側に配置された上側端部ライフタイム制御部を有する
請求項3に記載の半導体装置。
- [請求項5] 前記活性部ライフタイム制御部は、前記半導体基板の上面と垂直な深さ方向において、前記半導体基板の中央よりも上側に配置された上側活性部ライフタイム制御部を有し、
前記第1方向において、前記上側活性部ライフタイム制御部と前記上側端部ライフタイム制御部とが連続していない
請求項4に記載の半導体装置。
- [請求項6] 前記活性部の前記第1方向における端部には前記トランジスタ部が配置されており、
前記上側端部ライフタイム制御部は、前記第1方向の端部に設けられた前記トランジスタ部の少なくとも一部と重ならないように配置されている
請求項4または5に記載の半導体装置。
- [請求項7] 前記端部ライフタイム制御部は、前記半導体基板の上面と垂直な深さ方向において、前記半導体基板の中央よりも下側に配置された下側端部ライフタイム制御部を有する
請求項4から6のいずれか一項に記載の半導体装置。
- [請求項8] 前記活性部ライフタイム制御部は、前記半導体基板の上面と垂直な深さ方向において、前記半導体基板の中央よりも下側に配置された下側活性部ライフタイム制御部を有し、
前記第2方向において、前記下側活性部ライフタイム制御部と前記下側端部ライフタイム制御部とが連続している
請求項7に記載の半導体装置。
- [請求項9] 前記活性部の前記第1方向における端部には前記トランジスタ部が配置されており、

前記下側端部ライフタイム制御部は、前記第 1 方向の端部に設けられた前記トランジスタ部の少なくとも一部と重ならないように配置されている

請求項 7 または 8 に記載の半導体装置。

[請求項10] 前記活性部の前記第 1 方向における端部には前記トランジスタ部が配置されており、

前記下側端部ライフタイム制御部は、前記第 1 方向の端部に設けられた前記トランジスタ部の全体と重なるように配置されている

請求項 7 または 8 に記載の半導体装置。

[請求項11] 前記ダイオード部は、前記半導体基板の内部において前記半導体基板の下面に接して設けられたカソード領域を有し、

前記半導体基板の上面と平行な面において、前記下側端部ライフタイム制御部は前記カソード領域と重ならない領域に配置されている

請求項 7 から 10 のいずれか一項に記載の半導体装置。

[請求項12] (補正後)

前記第 2 方向における前記下側端部ライフタイム制御部の端部と、前記第 2 方向における前記カソード領域の端部とは対向して配置されている

請求項 11 に記載の半導体装置。

[請求項13] (補正後)

前記活性部における前記半導体装置の上面の上方に設けられたゲートランナーを更に備え、

前記活性部ライフタイム制御部は、前記ゲートランナーの下方にも配置されている

請求項 3 から 12 のいずれか一項に記載の半導体装置。

[請求項14] 前記活性部の前記第 1 方向における端部に設けられた前記トランジスタ部の前記第 1 方向における幅は、他の前記トランジスタ部の幅よ

りも大きい

請求項 6、9 および 10 のいずれか一項に記載の半導体装置。

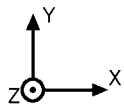
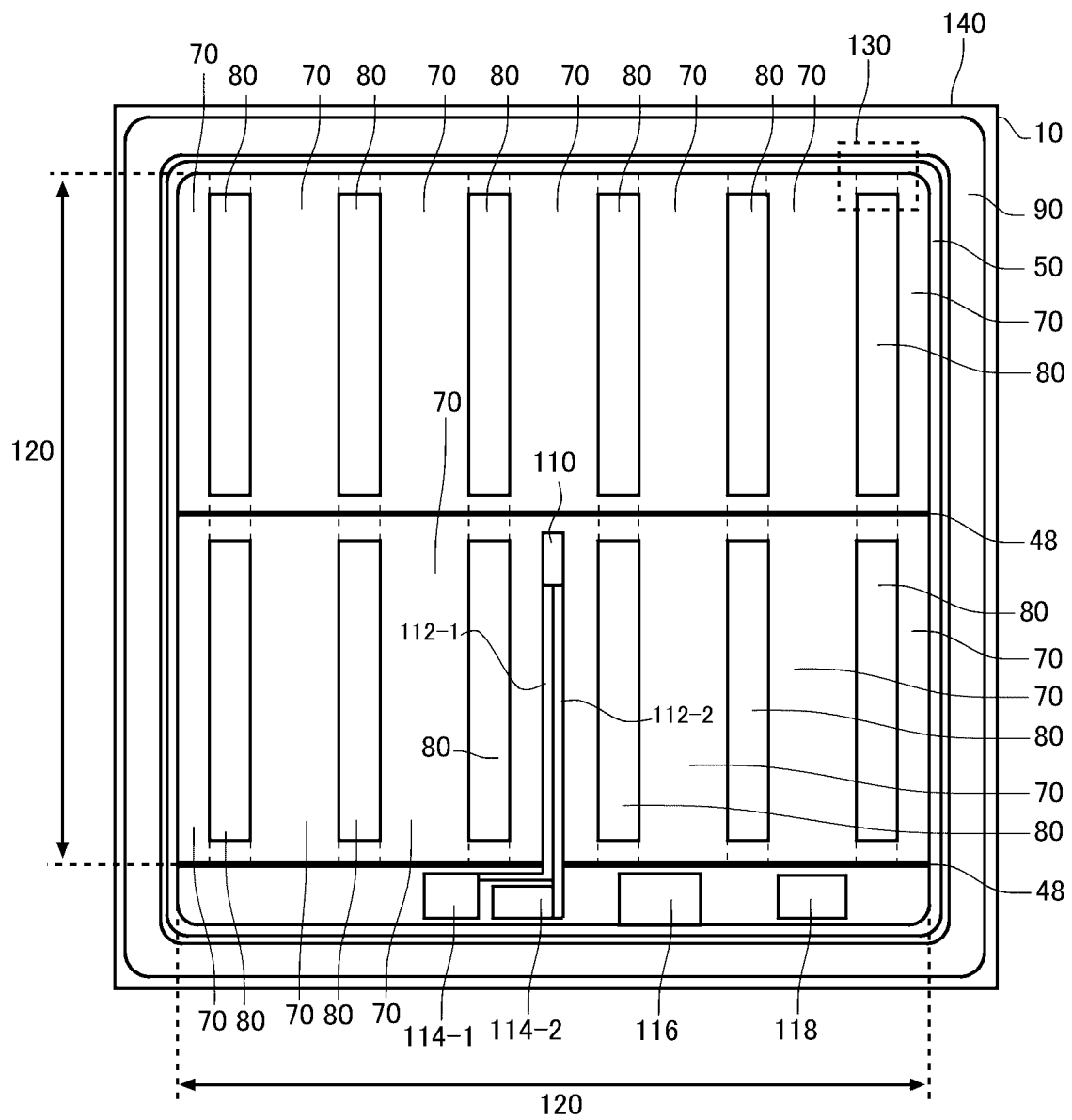
[請求項15] 前記活性部の前記第 1 方向における端部に設けられた前記トランジスタ部の前記第 1 方向における幅は、他の前記トランジスタ部の幅よりも小さい

請求項 6、9 および 10 のいずれか一項に記載の半導体装置。

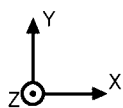
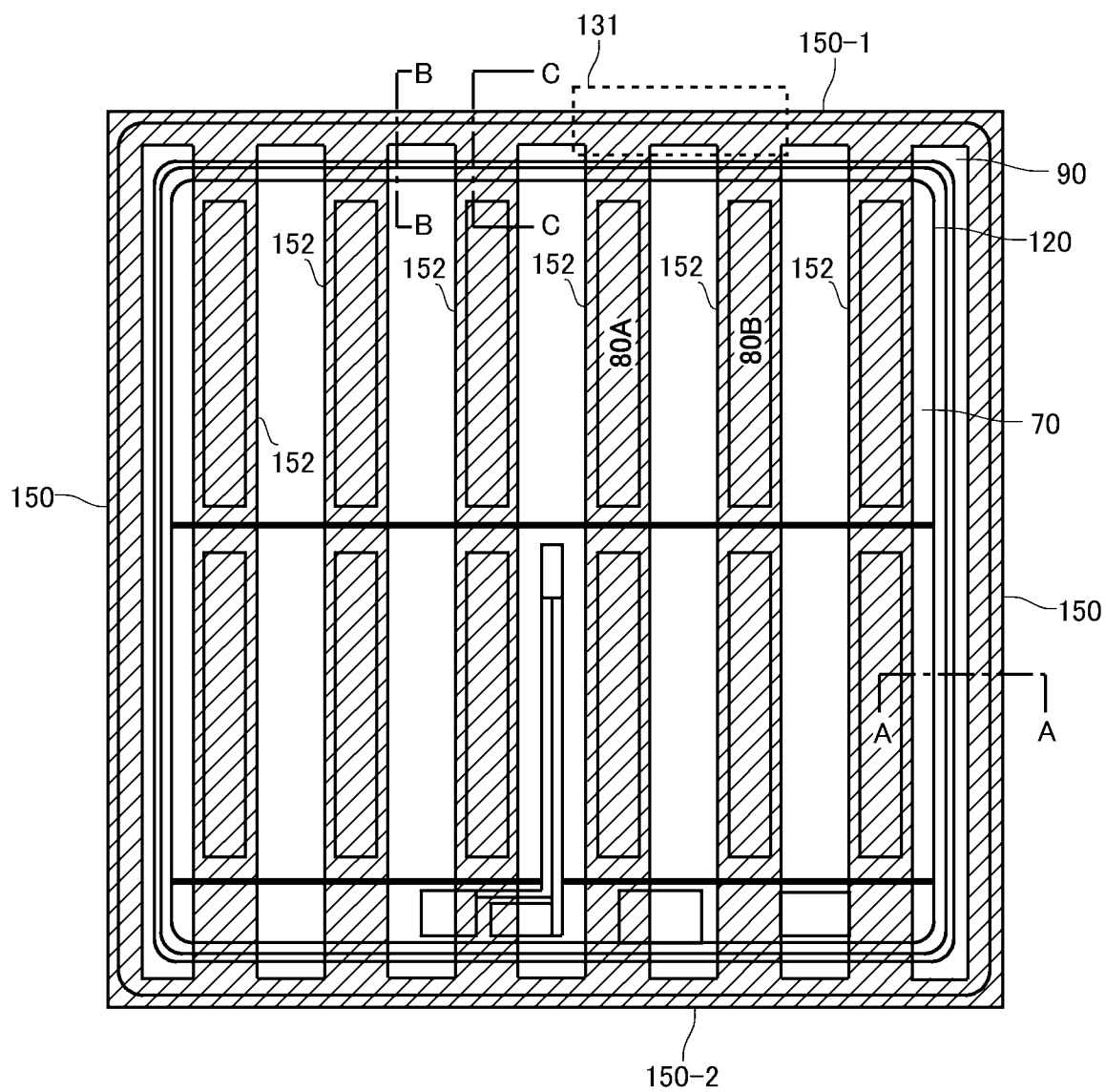
[請求項16] 前記端部ライフタイム制御部は、前記半導体基板の上面と垂直な深さ方向において、前記半導体基板の中央よりも下側に配置された下側端部ライフタイム制御部を有し、且つ、前記半導体基板の中央よりも上側に配置された上側端部ライフタイム制御部を有さない

請求項 1 から 3 のいずれか一項に記載の半導体装置。

[図1]

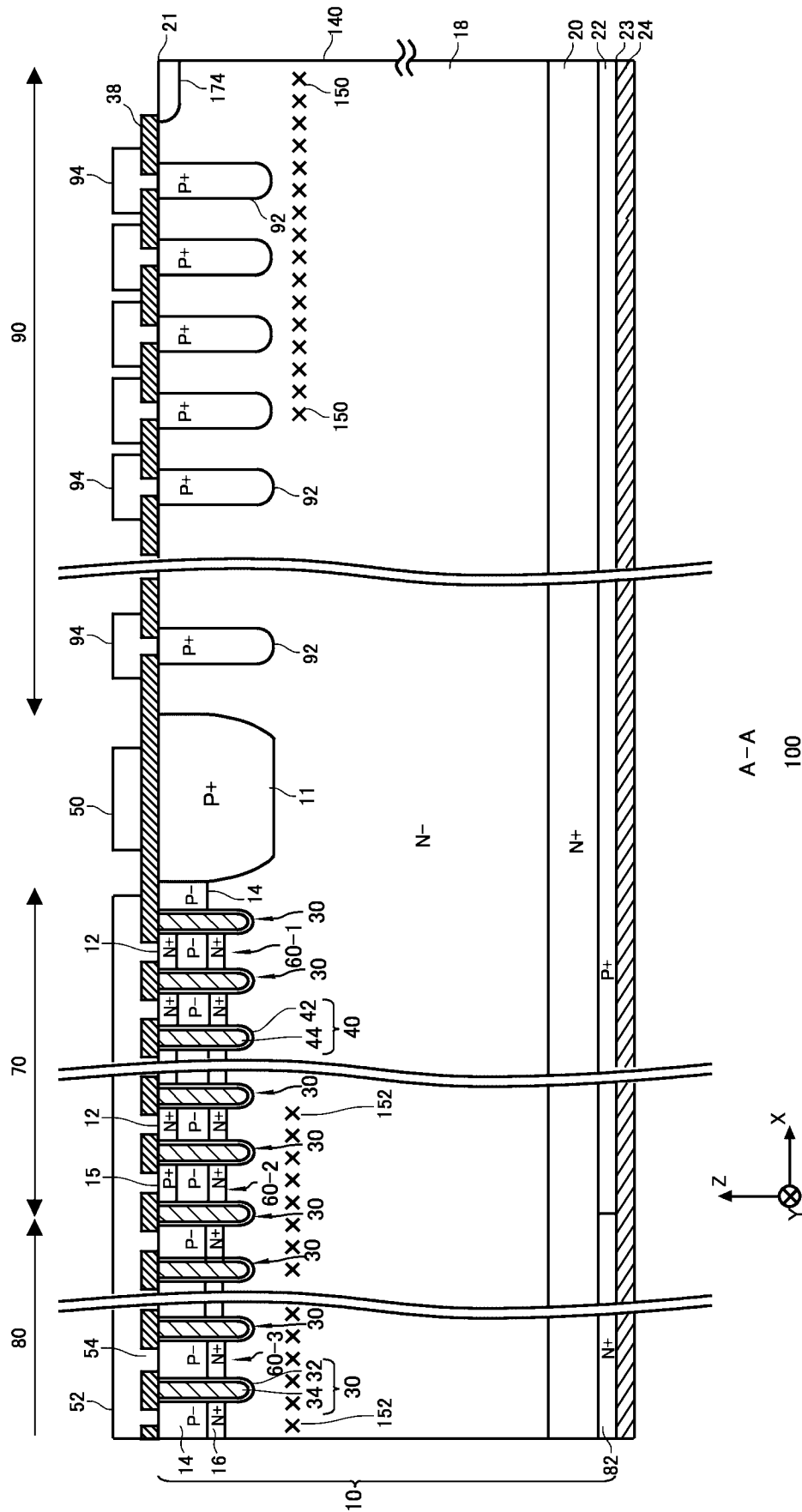
100

[図2]



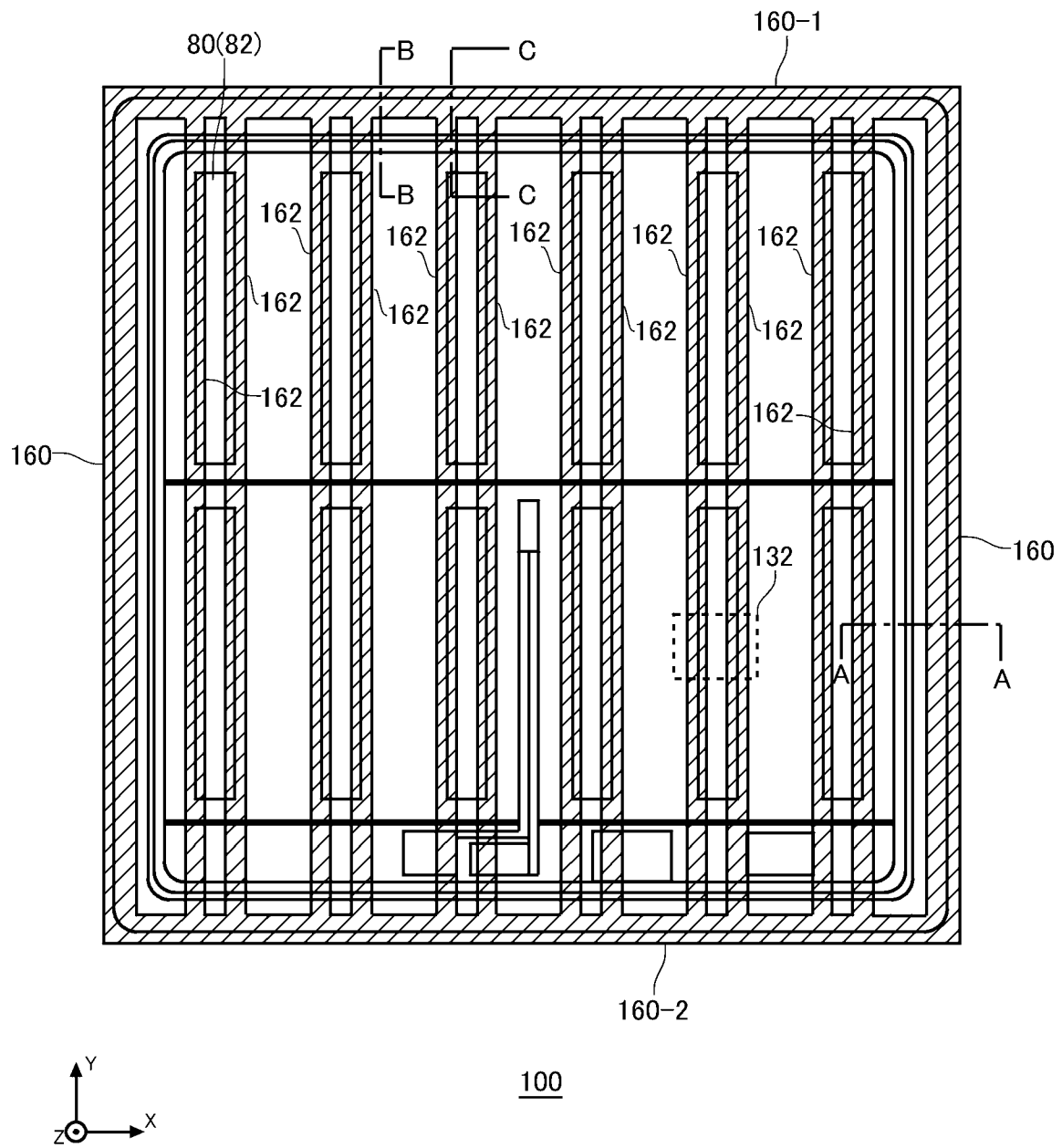
100

[図4]

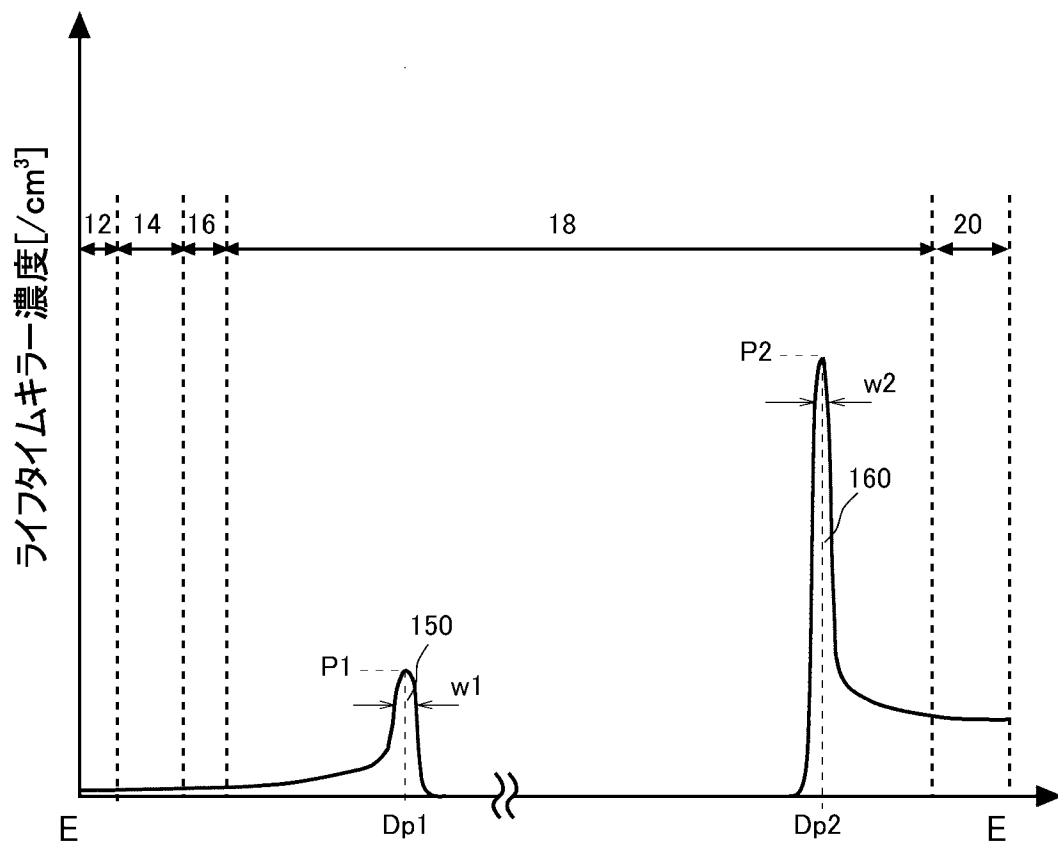


[illegible]

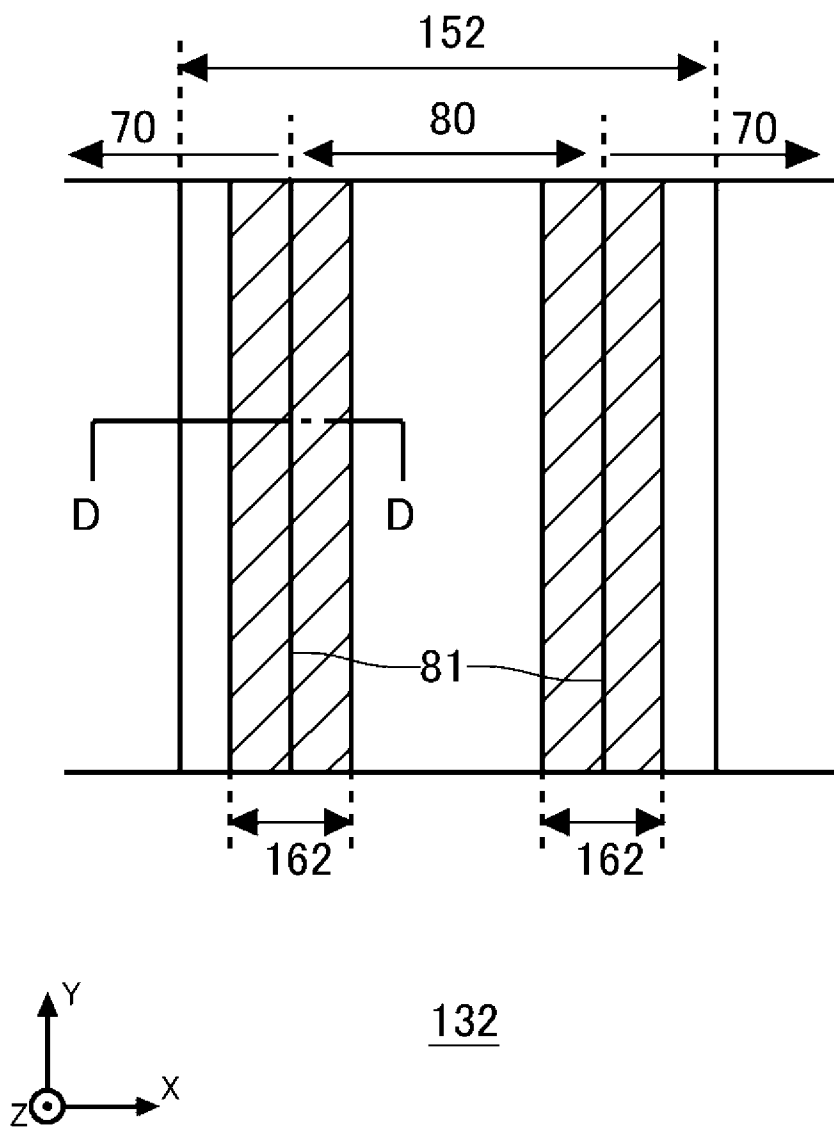
[図7]



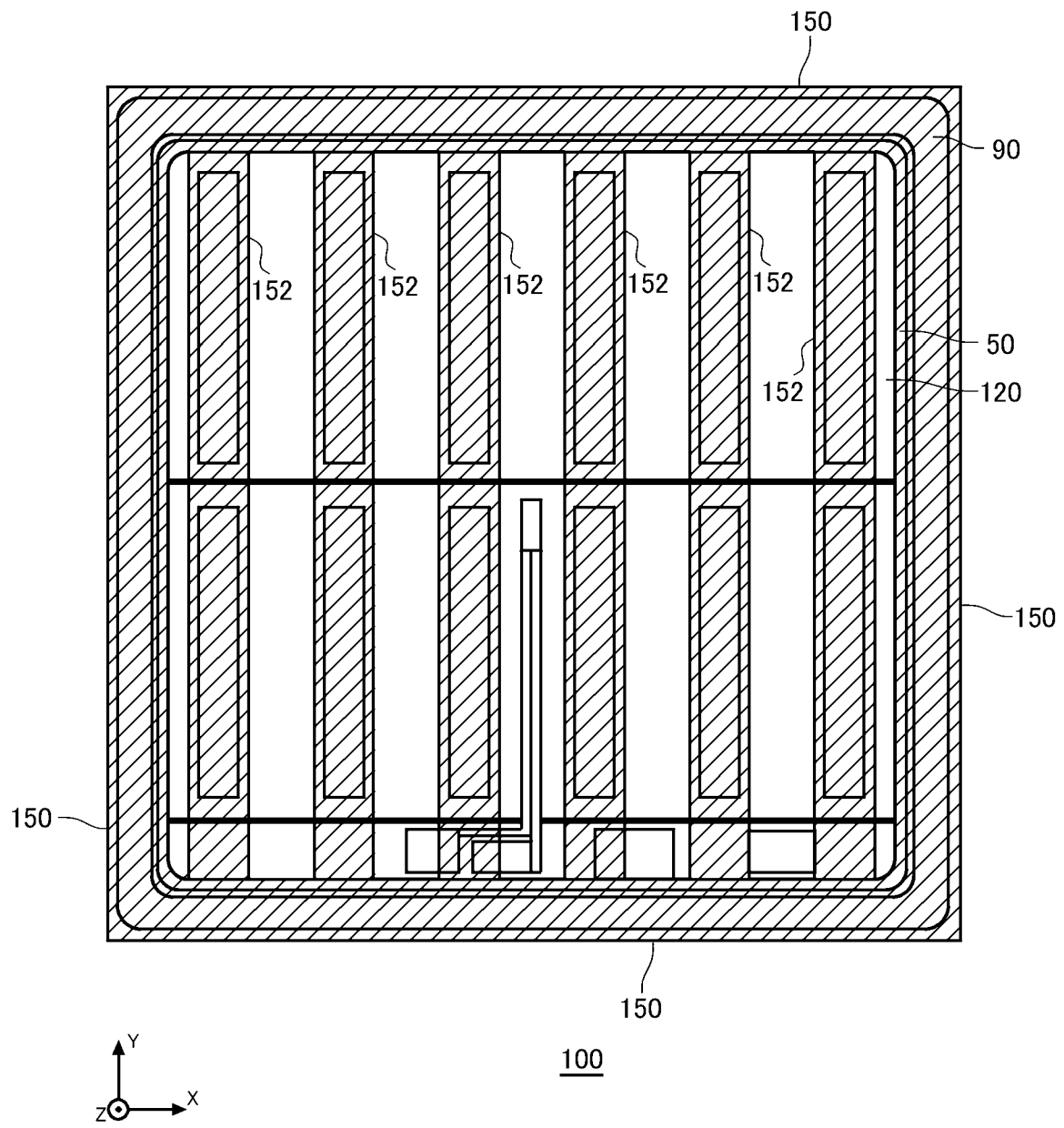
[図8B]



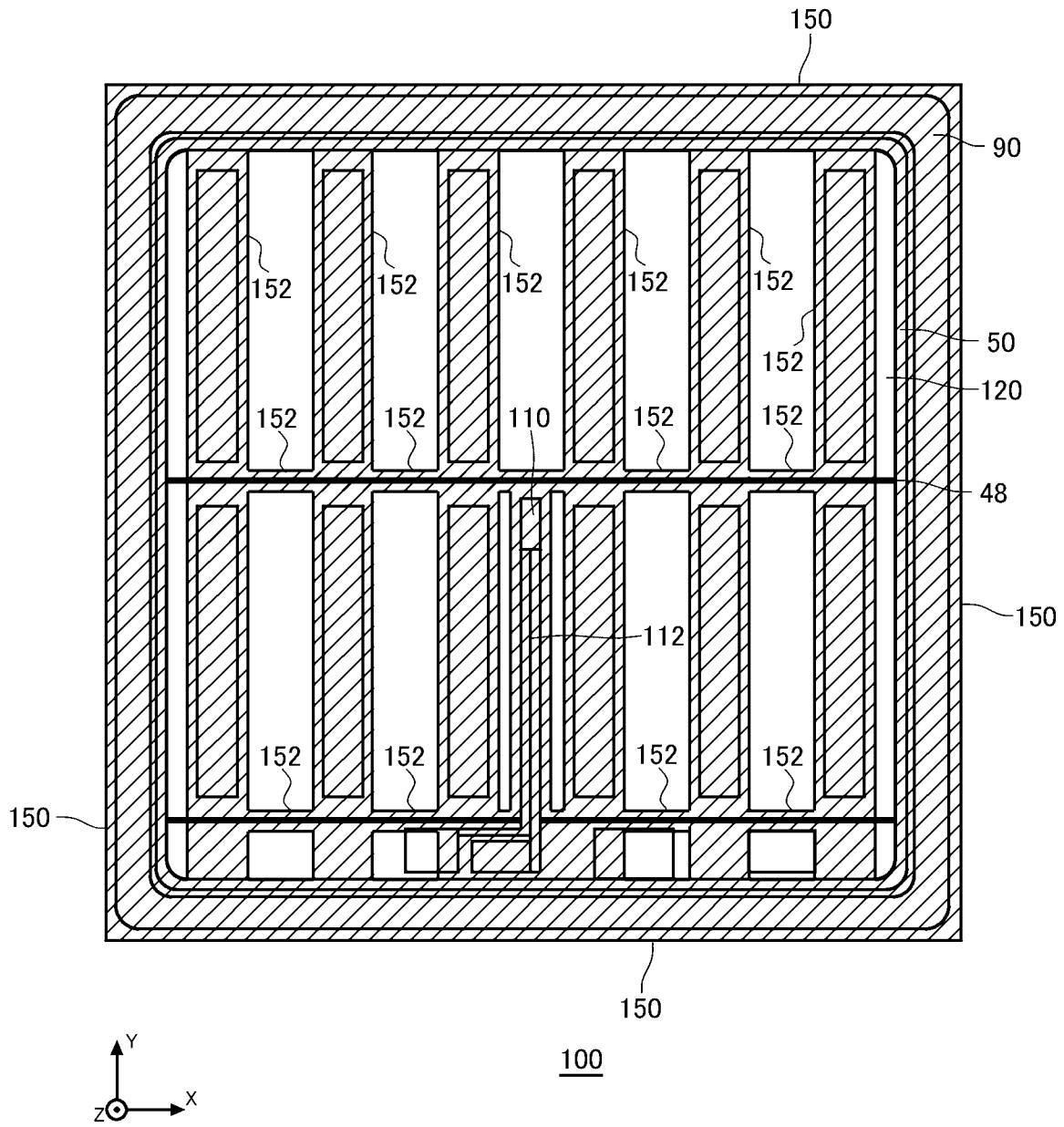
[図11]



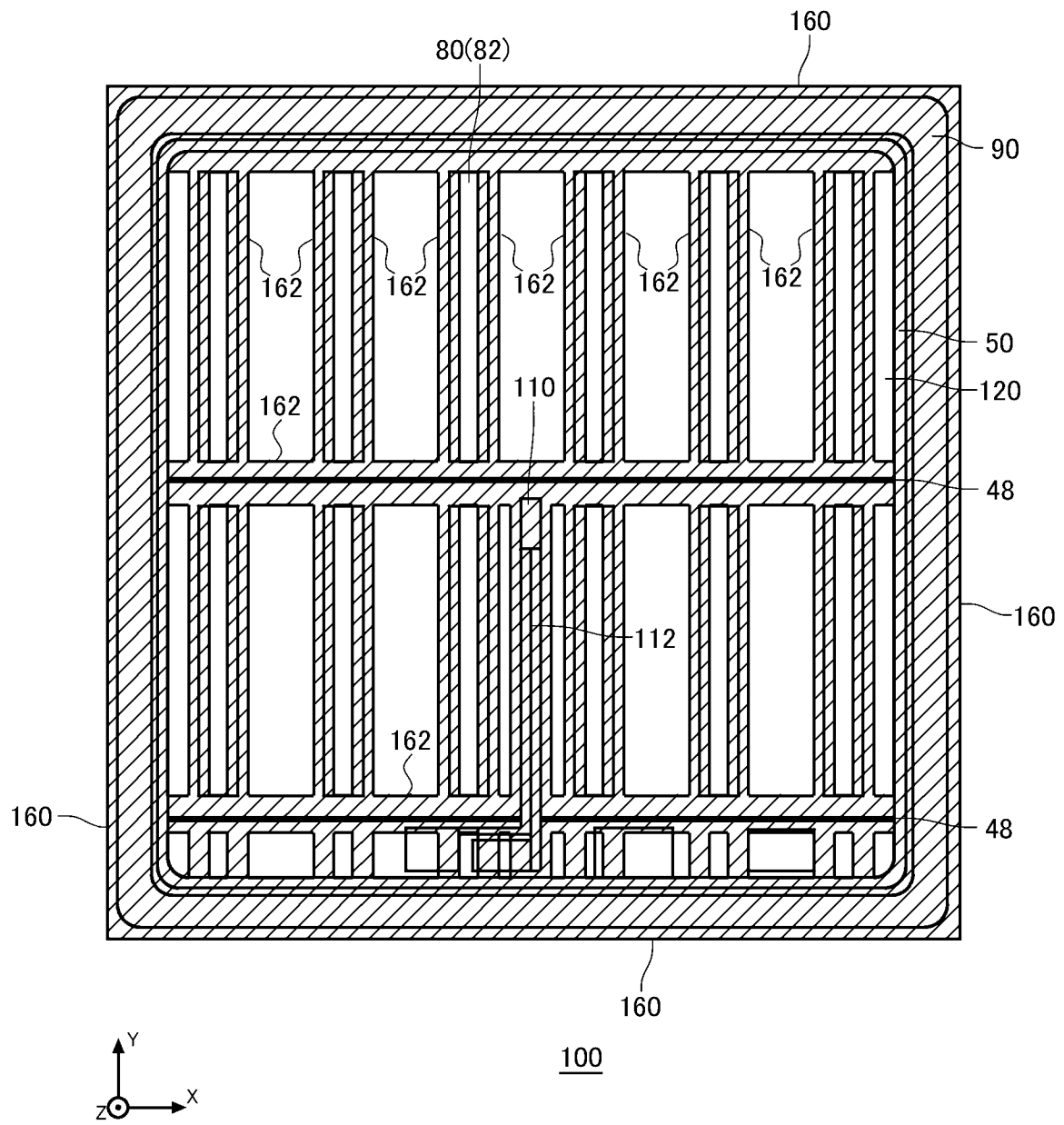
[図13]



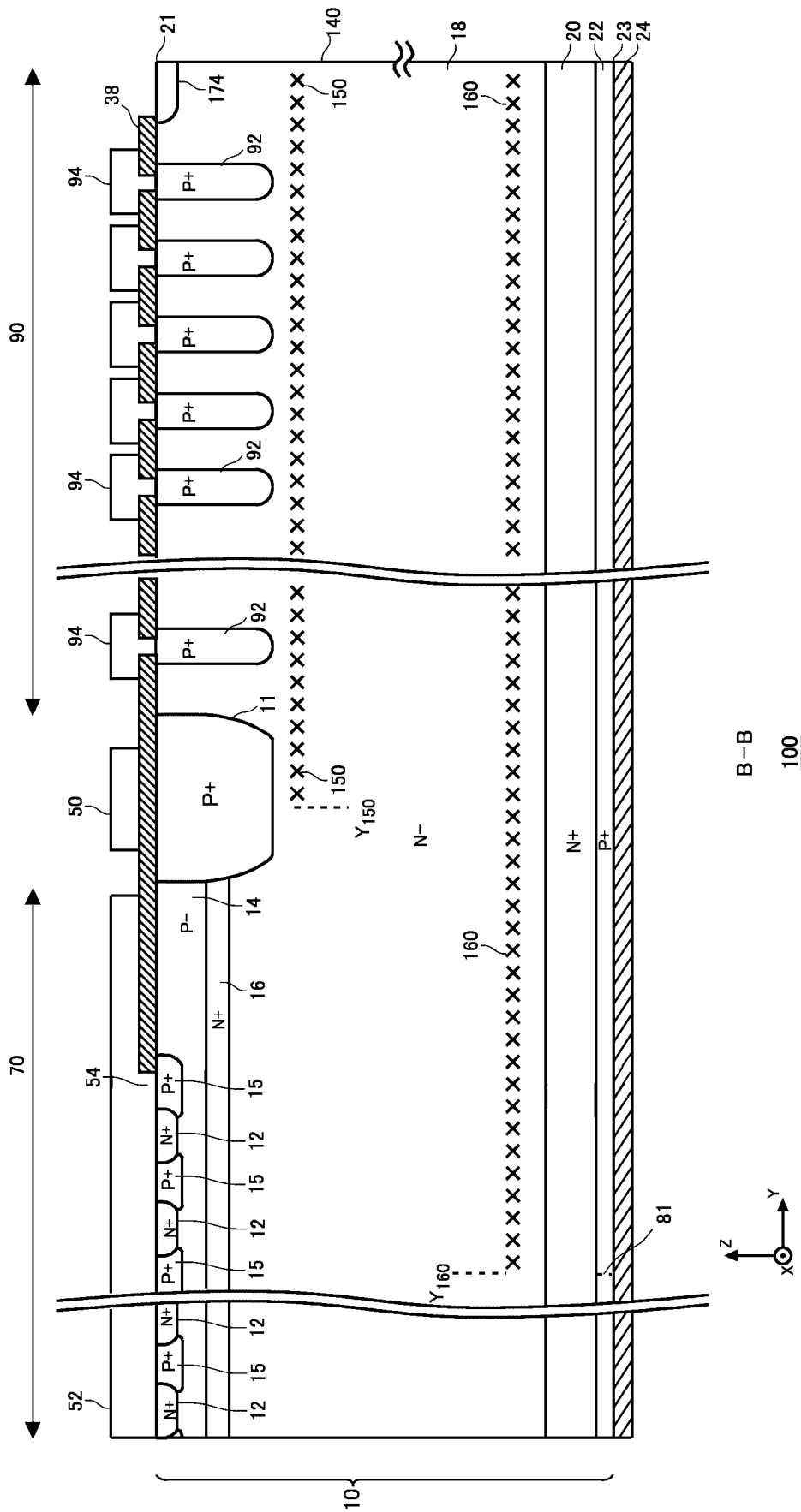
[図14]



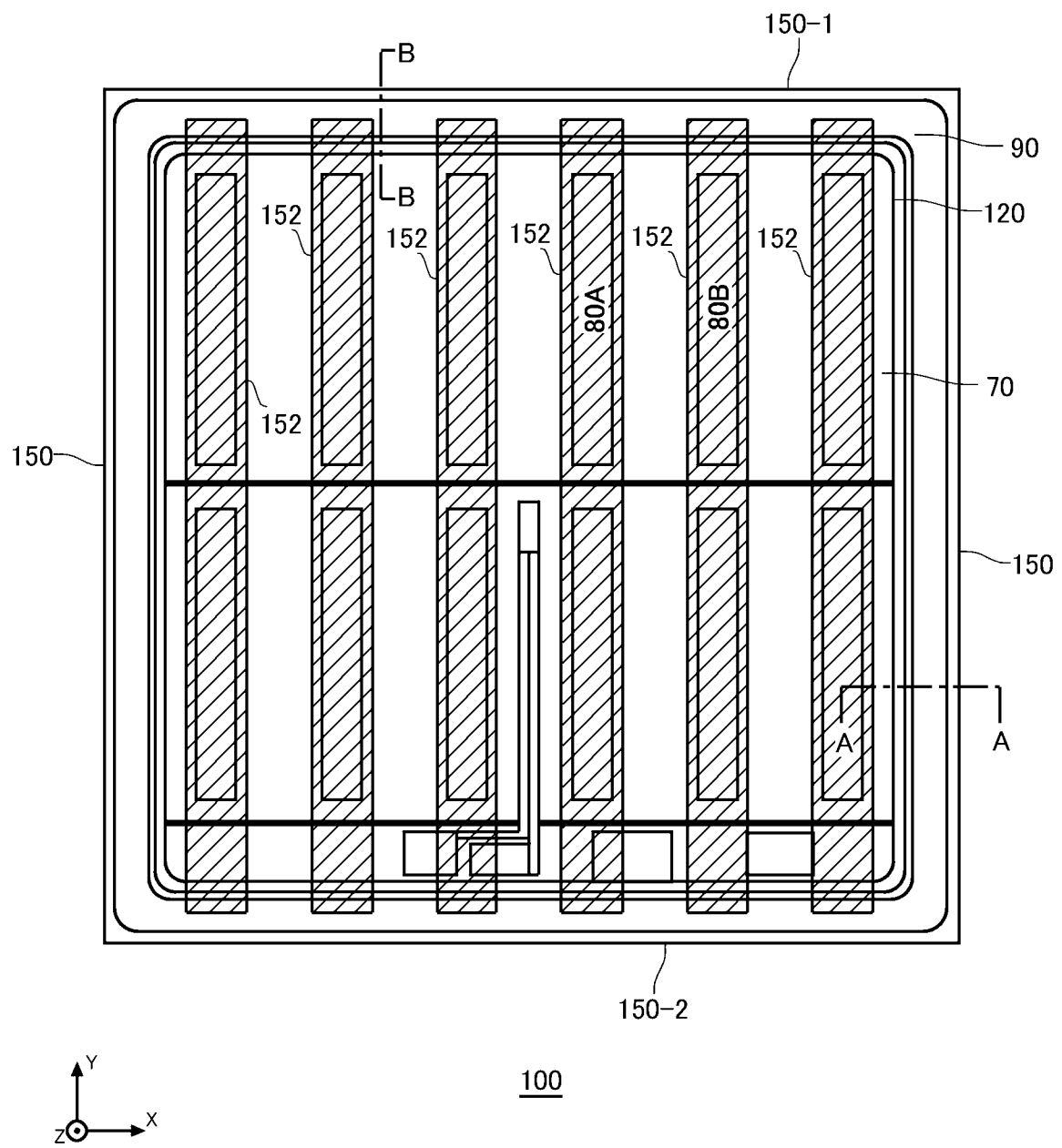
[図15]



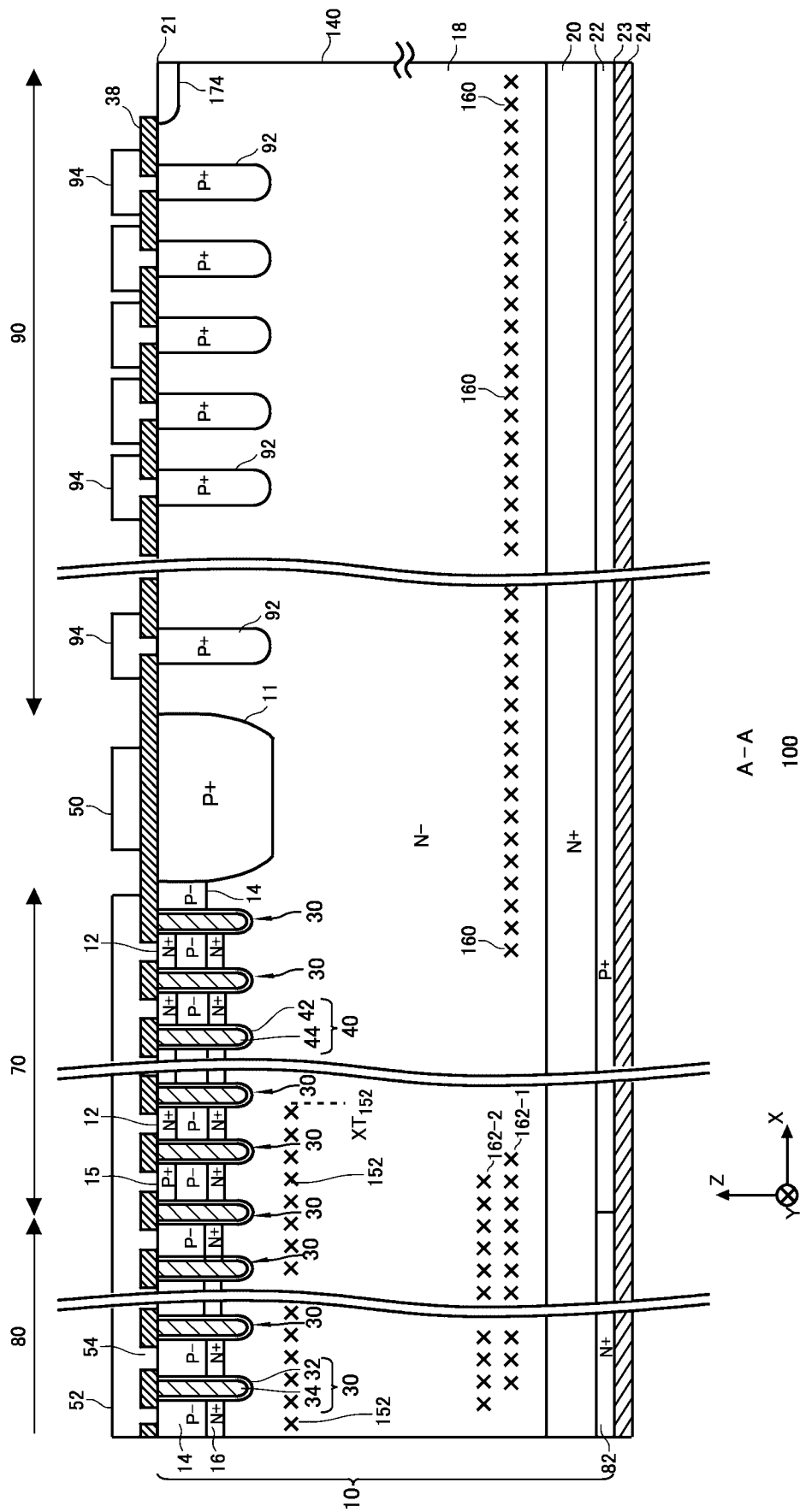
[図17]

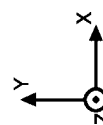


[図19A]

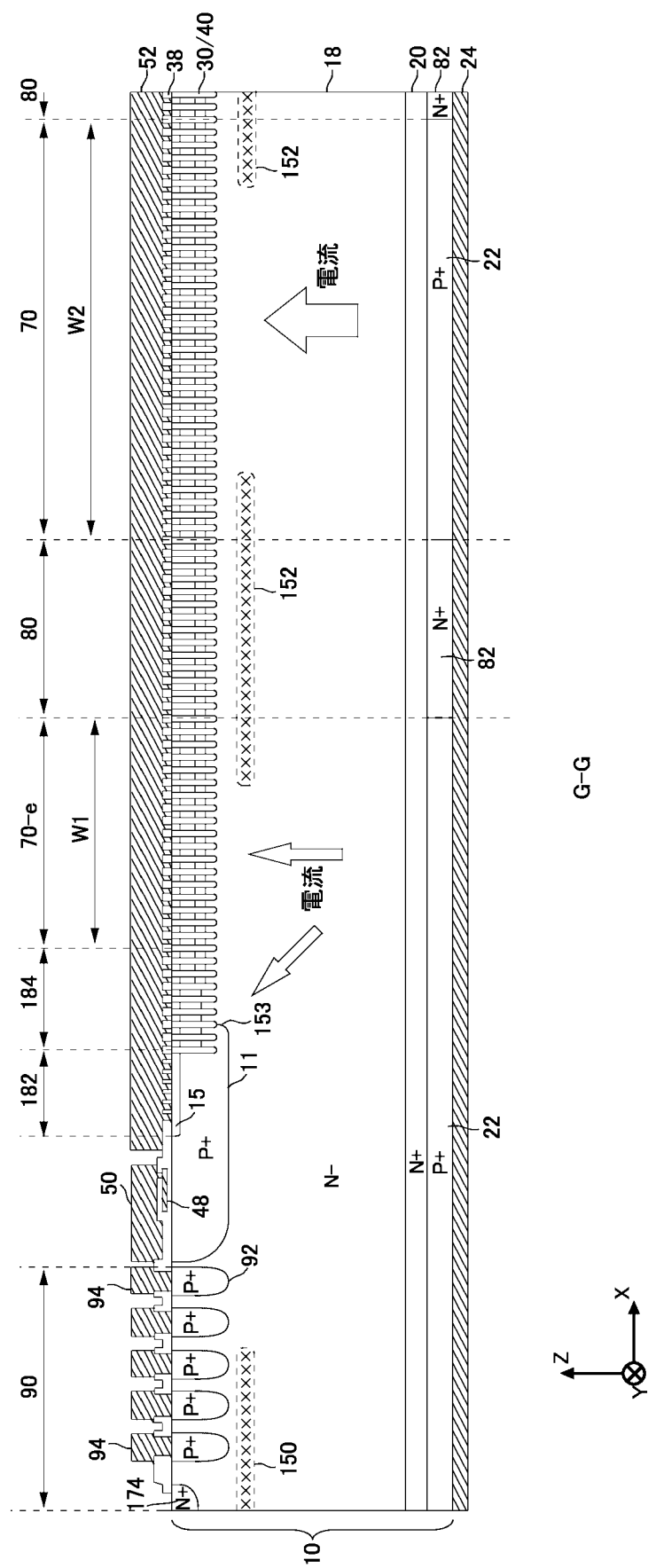


[図19C]



[illegible]

[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/042289

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i,
H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/336, H01L21/8234, H01L27/06, H01L29/06, H01L29/12, H01L29/739,
H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2017-135339 A (DENSO CORP.) 03 August 2017, paragraphs [0018]-[0075], fig. 1-3 & US 2017/0222029 A1, paragraphs [0035]-[0091], fig. 1-3	1-3, 16 4-15
Y A	JP 2015-153784 A (TOYOTA MOTOR CORP.) 24 August 2015, paragraphs [0015]-[0046], [0054], fig. 1-2 & US 2015/0228717 A1, paragraphs [0013]-[0044], [0058]-[0059], fig. 1-2	1-13 14-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 January 2019 (17.01.2019)

Date of mailing of the international search report
29 January 2019 (29.01.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/042289

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2016-72359 A (TOYOTA MOTOR CORP.) 09 May 2016, paragraphs [0013]-[0063], fig. 1-3 & US 2017/0263603 A1, paragraphs [0013]-[0063], fig. 1-3 & WO 2016/051953 A1 & DE 112015004439 T5 & KR 10-2017-0003686 A & CN 106688083 A	1-13 14-16
Y A	JP 2013-149909 A (DENSO CORP.) 01 August 2013, paragraphs [0054]-[0071], fig. 15, 21 (Family: none)	9, 11-13 10, 14-16
Y A	JP 2017-147435 A (FUJI ELECTRIC CO., LTD.) 24 August 2017, paragraphs [0033]-[0070], fig. 1-3 & US 2017/0236908 A1, paragraphs [0059]-[0097], fig. 1-3 & CN 107086217 A	13 14-16

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/8234, H01L27/06, H01L29/06, H01L29/12, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2017-135339 A（株式会社デンソー） 2017.08.03, 段落[0018]-[0075], 図 1-3 & US 2017/0222029 A1, 段落[0035]-[0091], 図 1-3	1-3, 16 4-15
Y A	JP 2015-153784 A（トヨタ自動車株式会社） 2015.08.24, 段落[0015]-[0046], [0054], 図 1-2 & US 2015/0228717 A1, 段落[0013]-[0044], [0058]-[0059], 図 1-2	1-13 14-16

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

17.01.2019

国際調査報告の発送日

29.01.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

杉山 芳弘

電話番号 03-3581-1101 内線 3516

5 F

6311

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2016-72359 A (トヨタ自動車株式会社) 2016.05.09, 段落[0013]-[0063], 図 1-3 & US 2017/0263603 A1, 段落 [0013]-[0063], 図 1-3 & WO 2016/051953 A1 & DE 112015004439 T5 & KR 10-2017-0003686 A & CN 106688083 A	1-13 14-16
Y A	JP 2013-149909 A (株式会社デンソー) 2013.08.01, 段落[0054]-[0071], 図 15, 21 (ファミリーなし)	9, 11-13 10, 14-16
Y A	JP 2017-147435 A (富士電機株式会社) 2017.08.24, 段落[0033]-[0070], 図 1-3 & US 2017/0236908 A1, 段落[0059]-[0097], 図 1-3 & CN 107086217 A	13 14-16