



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0004724
(43) 공개일자 2012년01월13일

(51) Int. Cl.

H01L 21/302 (2006.01)

(21) 출원번호 10-2010-0065368

(22) 출원일자 2010년07월07일

심사청구일자 없음

(71) 출원인

울산대학교 산학협력단

울산 남구 무거2동 산29

(72) 발명자

김용수

울산광역시 남구 옥동 옥동현대아파트 101동 1205호

최학순

울산광역시 북구 호계로 371, 신동아아파트 101동 1407호 (신천동, 노인정)

(74) 대리인

이현수, 김태현, 정홍식

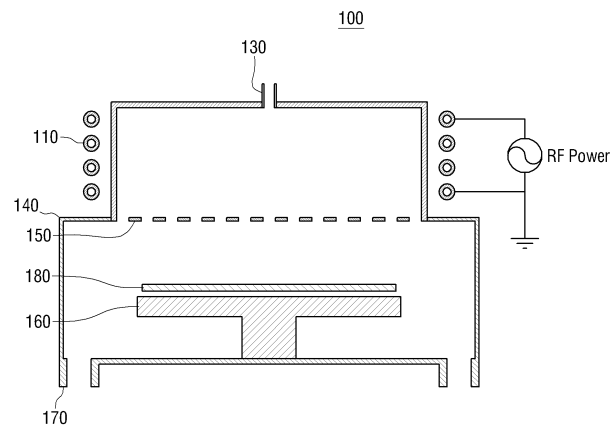
전체 청구항 수 : 총 15 항

(54) 반도체 소자의 표면 처리 방법 및 그 표면 처리 장치

(57) 요약

반도체 소자의 표면 처리 방법이 개시된다. 플라즈마를 이용하여 건식 세정을 수행하기 위한 반도체 소자의 표면 처리 방법은, 플라즈마 발생장치에 수소(H₂) 및 사일렌(SiH₂)계 물질을 포함하는 공정가스를 유입하여 플라즈마를 발생시키는 단계 및 발생된 플라즈마에 의해 활성화된 라디칼(Radical)을 이용하여 반도체 소자의 실리콘 기판 표면을 건식 세정하는 단계를 포함한다. 이에 따라 실리콘 기판의 표면을 효율적으로 세정할 수 있게 된다.

대표도 - 도4



특허청구의 범위

청구항 1

플라즈마를 이용하여 건식 세정을 수행하기 위한 반도체 소자의 표면 처리 방법에 있어서,

플라즈마 발생장치에 수소(H₂) 및 사일렌(SiH₂)계 물질을 포함하는 공정가스를 유입하여 플라즈마를 발생시키는 단계; 및

상기 발생된 플라즈마에 의해 활성화된 라디칼(Radical)을 이용하여 반도체 소자의 실리콘 기판 표면을 건식 세정하는 단계;를 포함하는 반도체 소자의 표면 처리 방법.

청구항 2

제1항에 있어서,

상기 실리콘 기판 표면을 건식 세정하는 단계는,

상기 실리콘 기판 표면 상에 형성된 폴리머층, 불순물막 및 원치 않는 실리콘 산화막 중 적어도 하나를 세정하는 것을 특징으로 하는 반도체 소자의 표면 처리 방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 건식 세정된 실리콘 기판 표면 상에 전도성 물질을 도포하는 단계;를 더 포함하며,

상기 전도성 물질은 폴리 실리콘 또는 실리콘 게르마늄 또는 에피 실리콘 또는 에피 실리콘 게르마늄 또는 금속인 것을 특징으로 하는 반도체 소자의 표면 처리 방법.

청구항 4

제1항 또는 제2항에 있어서,

상기 수소에 대한 상기 사일렌계 물질의 비율은 0% 초과 5% 이하인 것을 특징으로 하는 반도체 소자의 표면 처리 방법.

청구항 5

제1항 또는 제2항에 있어서,

상기 플라즈마 발생 장치에서 상기 플라즈마를 발생시키기 위한 전력은 50 Watt ~ 5000 Watt의 범위인 것을 특징으로 하는 반도체 소자의 표면 처리 방법.

청구항 6

제1항 또는 제2항에 있어서,

1mTorr ~ 10 Torr 범위의 공정 압력이 적용되는 것을 특징으로 하는 반도체 소자의 표면 처리 방법.

청구항 7

제1항 또는 제2항에 있어서,

실리콘 기판의 온도는 25° C ~ 800° C 범위인 것을 특징으로 하는 반도체 소자의 표면 처리 방법.

청구항 8

제1항 또는 제2항에 있어서,

수소(H₂) 및 사일렌(SiH₂)계 물질은,

독립적으로 유입되거나, 미리 혼합된 혼합 가스 형태로 유입되거나, 유입 전에 혼합기를 이용하여 혼합된 상태

로 유입되는 것을 특징으로 하는 반도체 소자의 표면 처리 방법.

청구항 9

제1항 또는 제2항에 있어서,

상기 플라즈마를 발생시키기 위한 방식으로 ICP, CCP, 및 Microwave Type 중 적어도 하나가 사용되는 것을 특징으로 하는 반도체 소자의 표면 처리 방법.

청구항 10

제1항 또는 제2항에 있어서,

상기 사일렌계 물질은,

SiH₄, Si₂H₆ 및 Si₃H₈ 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체 소자의 표면 처리 방법.

청구항 11

제1항 또는 제2항에 있어서,

HF, BOE, H₂SO₄ 및 H₂O₂ 중 적어도 하나를 사용하여 상기 실리콘 기판 표면을 습식 세정하는 단계;를 더 포함하는 것을 특징으로 하는 반도체 소자의 표면 처리 방법.

청구항 12

제1항 또는 제2항에 있어서,

상기 플라즈마 발생 장치는,

CCP, ICP, Microwave, ECR Type, TCP, Helical, Helicon, Multi Rotational Coi 안테나 중 적어도 하나로 구현되는 것을 특징으로 하는 반도체 소자의 표면 처리 방법.

청구항 13

제12항에 있어서,

상기 적어도 하나의 안테나로 구현되는 플라즈마 발생 장치는,

전자석을 구비하는 것을 특징으로 하는 반도체 소자의 표면 처리 방법.

청구항 14

플라즈마를 이용하여 건식세정을 수행하는 반도체 소자의 표면 처리 장치에 있어서,

실리콘 기판을 적재하는 기판 적재부;

진공 유지가 가능한 챔버부;

수소(H₂) 및 사일렌(SiH₂) 계 물질을 포함하는 공정가스를 상기 챔버부 내로 유입시키는 공정가스 유입부; 및

상기 유입된 공정가스를 이용하여 플라즈마를 발생시켜 상기 실리콘 기판의 표면이 건식세정되도록 하는 플라즈마 생성부;를 포함하는 반도체 소자의 표면 처리 장치.

청구항 15

제14항에 있어서,

상기 플라즈마 생성부에 의해 생성된 플라즈마 중 라디칼을 상기 실리콘 기판 쪽으로 통과시키는 여과부;를 더 포함하는 것을 특징으로 하는 반도체 소자의 표면 처리 장치.

명세서

기술분야

[0001] 본 발명은 반도체 소자의 표면 처리 방법 및 그 표면 처리 장치에 관한 것으로서, 보다 상세하게는, 플라스마를 이용한 표면 처리 방법 및 그 표면 처리 장치에 관한 것이다.

배경 기술

[0002] 일반적으로 반도체 또는 TFT LCD, FPD(Flat Panel Display) 등의 집적 회로 제조에 있어서, 폴리 실리콘(poly-Si) 혹은 단결정 실리콘(single crystal Si) 기판 상에 형성된 소자들을 상부 전도층(conducting layer) 혹은 금속 배선(metal line)에 연결하기 위해 폴리 실리콘(Poly-Silicon) 증착공정 혹은 금속 배선공정(Metalization)이 필요하며, 이를 위해서는 콘택 홀의 형성이 선행되어야 한다.

[0003] 콘택 홀은 플라스마(Plasma)를 이용한 산화막 혹은 절연막의 건식 식각(Dry Etch)에 의하여 일반적으로 구현되며, 이 콘택 홀을 형성하는 과정에서 하부의 실리콘 표면이 드러나게 된다.

[0004] 이러한 건식 식각공정을 진행하는 동안 실리콘 표면은 플라스마 내에 존재하는 높은 에너지를 갖는 이온(Ion)에 의한 충격 등으로 표면에 손상층 (Damaged Layer)이 형성되며, 또한 식각을 위한 반응성 가스들로부터 해리된 물질들과 식각된 물질들로 구성된 오염물질들이 실리콘 표면 및 측벽에 부착되게 된다.

[0005] 이러한 손상 층 및 오염물질은 콘택 접촉 저항(Contact Resistance)의 증가나 누설전류(Leakage Current) 증가 등의 원인이 되어 소자특성을 열화시키는 치명적인 결함의 원인이 될 수 있기 때문에, 일반적으로 집적회로 제조공정에서는 건식세정 또는 습식세정을 통하여 이들 층을 제거하고 있다.

[0006] 또한 이러한 손상층 및 흡착된 불순물 이외에도 실리콘 표면에는 다음 공정을 위한 이동 시 대기 중의 산소와 반응하여 자연 산화막(Native Oxide layer)이 또한 생성되므로, 콘택 홀 형성 이후 전도성 물질의 증착 이전에 건식세정 또는 습식세정 등의 표면 사전 처리 공정이 필요하게 된다.

[0007] 하지만 기존의 화학적 표면 습식 세정 과정에서 자체 생성되는 얇은 산화막 또는 절연막도 전기적 특성 열화의 원인이 된다. 실리콘 표면에 식각 후처리 공정에서 H₂O₂, H₂SO₄, HF 및 순수한 물(DI)의 혼합용액을 사용하는데, 이때 화학적 산화막(Chemical Oxide)이 형성되기도 한다. 이렇게 형성된 산화막은 후속 공정에 영향을 주고 전기적 접촉 특성을 나쁘게 하는 등 제조된 반도체, TFT, LCD 소자의 특성을 저하시키는 원인이 된다.

[0008] 최근에는 집적회로 선품의 감소추세가 가속화됨에 따라 콘택 홀의 크기가 수 나노미터(nm) 정도로 미세화되어 있으며, 이 나노미터 크기의 홀에서 상기 여러 이유로 생성된 산화막을 포함한 절연막은 기존의 습식 건식 세정 방법으로는 제거가 용이하지 않음은 물론 기존에는 어느 정도 용납되던 아주 소량의 산화막으로도 치명적인 수율 저하를 일으킴으로 공정상 각별한 주의가 요망되고 있다.

[0009] 식각 후 생성된 산화막등의 절연막을 제거하는 기존의 방법은 크게 습식 세정 방법과 플라스마를 이용한 건식세정 2가지로 분류가 된다.

[0010] 도 1은 대표적인 습식 세정 방법에 관한 것으로 종래의 불산 도포장치의 개략적인 구성도이다. 불산 액(1), 가열 챔버(2), 기관(3), 기관 적재부(4), 불산 용액 저장 탱크(5), 상기 탱크내의 불산 용액(6), 불산이 공급되는 유입 관(7, 8) 등을 구비한다.

[0011] 이 방법은 산화막 형성을 방지하기 위하여 실리콘 표면에 산소와 반응하는 불산 층을 형성하여 산소를 사전에 제거함으로써 자연 산화막의 형성을 방지하는 방법으로 미세한 공정변수들을 효과적으로 제어하기 어렵다는 문제가 있다.

[0012] 도 2는 대표적인 종래의 건식 세정 방법으로, 플라스마를 이용한 식각장치의 개략적인 구성도이다.

[0013] 제1공정가스 유입부(9)로 H₂와 N₂를 유입시켜 플라스마 발생부(10)에서 플라스마를 발생시킨 후 제2가스 유입구(11)를 통해 NF₃를 유입시키는 방법이다. 이렇게 하여 반응기(14) 내의 실리콘 기관(12)을 식각하고 배출구(13)를 통하여 가스가 배출된다.

[0014] 이 방법은 NF₃ 가스를 공정 가스로 주로 사용하는데, 이 경우 플라스마에 의한 해리 및 활성화가 활발하여 식각 과정에 직접 참여하는 불소 원자 및 이온의 발생이 과다하여 실리콘 표면이 손상 층을 넘어 과다 식각되거나 이 때 식각되지 말아야 할 산화막 또는 질화 막이 함께 식각되는 문제가 발생할 수 있다.

[0015] 도 3은 종래의 또 다른 응용 예로 마이크로웨이브 플라스마를 이용한 건식 세정장치의 구성도이다.

[0016] 진공 챔버(24) 하단에 위치한 기관 적재부(26)에 실리콘 기관(28)을 올려놓고, N₂ 및 H₂ 가스를 제1 공정가스

유입부(23)와, 마이크로웨이브 소스 모듈(Microwave Source Module)(21)과 플라즈마 애플리케이터(22)를 가동하여 플라즈마를 발생시키고, 제2 공정가스 유입구(29)를 통해 HF가스를 유입시키도록 구성되어 있다. 이러한 과정에서 형성된 플라즈마는 기관 쪽으로 내려오는 도중에 라디칼 만을 통과시키는 여과부(25)에 의해 실리콘 기관(28)에는 이온이 없는 순수 라디칼(Radical) 만 내려오도록 되어 있으며, 반응기 벽면에는 적정 온도를 유지하도록 하는 히터(31)를 구비한다.

[0017] 또한 컨디셔닝 가스 HF 가스를 제3 공정가스 유입 부(30)를 통해 유입한다. 컨디셔닝 가스(Conditional Gas)로는 H, F, O 또는 N를 포함하는 가스 또는 이들 가스의 혼합가스를 사용할 수 있도록 구성되어 있다.

[0018] 이 방법은 플라즈마에 의해 NH₄F(HF) 화학물질을 발생시키고 이들 물질이 실리콘 산화막에 흡착시켜 실리콘 산화막과 화학 반응하여 실리콘 산화막을 제거하는 방법으로, 매우 복잡하고 NH₄F(HF) 화학물질이 결정화되어 공정 중 파티클 소스(Particle Source)로써 작용하고 치명적인 수율 저하의 원인이 된다는 문제점이 있다.

발명의 내용

[0019] 따라서, 본 발명의 목적은, 사일렌계 물질의 공정가스를 이용하여 건식 세정을 수행하는 반도체 소자의 표면 처리 방법 및 그 표면 처리 장치를 제공함에 있다.

[0020] 상기 목적을 달성하기 위한 본 발명에 따른 플라즈마를 이용하여 건식 세정을 수행하기 위한 반도체 소자의 표면 처리 방법은, 플라즈마 발생장치에 수소(H₂) 및 사일렌(SiH₂)계 물질을 포함하는 공정가스를 유입하여 플라즈마를 발생시키는 단계 및 상기 발생된 플라즈마에 의해 활성화된 라디칼(Radical)을 이용하여 반도체 소자의 실리콘 기관 표면을 건식 세정하는 단계를 포함한다.

[0021] 또한, 상기 실리콘 기관 표면을 건식 세정하는 단계는, 상기 실리콘 기관 표면 상에 형성된 폴리머층, 불순물막 및 자연/화학적 실리콘 산화막 중 적어도 하나를 세정할 수 있다.

[0022] 또한, 상기 건식 세정된 실리콘 기관 표면 상에 전도성 물질을 도포하는 단계를 더 포함하며, 상기 전도성 물질은 폴리 실리콘 또는 실리콘 게르마늄, 에피 실리콘 또는 에피 실리콘 게르마늄 또는 그 밖의 금속일 수 있다.

[0023] 여기서, 상기 수소에 대한 상기 사일렌계 물질의 비율은 0% 초과 5% 이하일 수 있다.

[0024] 또한, 상기 플라즈마 발생 장치에서 상기 플라즈마를 발생시키기 위한 전력은 50 Watt ~ 5000 Watt의 범위일 수 있다.

[0025] 이 경우, 1mTorr ~ 10 Torr 범위의 공정 압력이 적용될 수 있다.

[0026] 또한, 실리콘 기관의 온도는 25° C ~ 800° C 범위가 될 수 있다.

[0027] 또한, 수소(H₂) 및 사일렌(SiH₂)계 물질은, 독립적으로 유입되거나, 미리 혼합된 혼합 가스 형태로 유입되거나, 유입 전에 혼합기를 이용하여 혼합된 상태로 유입될 수 있다.

[0028] 또한, 상기 플라즈마를 발생시키기 위한 방식으로 ICP, CCP, 및 Microwave Type 중 적어도 하나가 사용될 수 있다.

[0029] 이 경우, 상기 사일렌계 물질은, SiH₄, Si₂H₆ 및 Si₃H₈ 중 적어도 하나를 포함할 수 있다.

[0030] 또한, 상기 표면 세정시 식각 효율 및 균질도를 확보하기 위해 기관의 온도를 25℃에서 800℃ 범위를 사용할 수 있다.

[0031] 또한, HF, BOE, H₂SO₄ 및 H₂O₂ 중 적어도 하나 이상을 사용하여 상기 실리콘 기관 표면을 습식 세정하는 단계를 미리 거칠 수 있다.

[0032] 이 경우, 상기 플라즈마 발생 장치는, CCP, ICP, Microwave, ECR Type, TCP, Helical, Helicon, Multi Rotational Coil 안테나 중 적어도 하나로 구현될 수 있다.

[0033] 또한, 상기 적어도 하나의 안테나로 구현되는 플라즈마 발생 장치는, 플라즈마 혹은 라디칼의 밀도 증가 및 균일도를 확보하기 위해 전자석을 구비할 수 있다.

[0034] 한편, 본 발명의 일 실시 예에 따른 플라즈마를 이용하여 건식세정을 수행하는 반도체 소자의 표면 처리 장치는, 실리콘 기관을 적재하는 기관 적재부, 진공 유지가 가능한 챔버부, 수소(H₂) 및 사일렌(SiH₂) 계 물질을 포함하는 공정가스를 상기 챔버부 내로 유입시키는 공정가스 유입부 및 상기 유입된 공정가스를 이용하여 플

라즈마를 발생시켜 상기 실리콘 기판의 표면이 건식세정되도록 하는 플라즈마 생성부를 포함한다.

[0035] 또한, 상기 플라즈마 생성부에 의해 생성된 플라즈마 중 라디칼을 상기 실리콘 기판 쪽으로 통과시키는 여과부를 더 포함할 수 있다.

[0036] 이에 따라 콘택홀 절연막 식각 후 노출되는 실리콘 표면에 형성되는 자연 산화막, 화학적 산화막 및 식각 시 발생하는 실리콘 표면 손상부위 등을 효율적으로 제거할 수 있게 된다.

도면의 간단한 설명

[0037] 도 1은 종래의 불산 도포장치의 개략적인 구성을 나타내는 도면이다.

도 2는 종래의 플라즈마를 이용한 식각장치의 개략적인 구성을 나타내는 도면이다.

도 3은 종래의 NF₃, HF 가스를 사용한 플라즈마 세정(Cleaning) 장치의 구성을 나타내는 도면이다.

도 4는 본 발명의 실시 예에 따른 반도체 소자의 표면 처리 장치의 구성을 나타내는 도면이다.

도 5a 내지 도 5d는 본 발명의 일 실시 예에 따른 기판 표면에 형성된 자연 산화막, 화학적 산화막 등 절연막 및 실리콘 기판 표면의 손상부위 제거과정을 나타내는 도면이다.

도 6 및 도 7은 본 발명의 다른 실시 예에 따른 표면 처리 장치의 구성을 나타내는 도면이다.

도 8은 본 발명의 일 실시 예에 따른 반도체 소자의 표면 처리 방법을 설명하기 위한 흐름도이다.

도 9a 및 도 9b는 본 발명의 일 실시 예에 따른 반도체 소자의 표면 처리 장치의 효과를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0038] 이하에서는 첨부된 도면을 참조하여 본 발명을 보다 자세하게 설명한다.

[0039] 도 4는 본 발명의 일 실시 예에 따른 반도체 소자의 표면 처리 장치를 나타내는 도면이다.

[0040] 도 4에 따르면 반도체 소자의 표면 처리 장치(100)는, 플라즈마 발생부(110), 공정가스 유입부(130), 챔버부(140), 여과부(150) 및 기판 적재부(160)를 포함한다.

[0041] 본 발명의 일 실시 예에 따른 반도체 소자의 표면 처리 장치(100)는 구체적으로 공정가스를 이용하여 발생된 플라즈마를 이용하여 건식 세정을 수행하는 플라즈마 건식 세정 장치로 구현될 수 있다.

[0042] 반도체 소자의 표면 처리 장치(100)는 반도체 또는 TFT(Thin Film Transistor), LCD(Liquid Crystal Display) 등 집적회로의 제조 과정에서 대기 중의 산소가 실리콘 기판과 반응하여 표면에 생성되는 자연 산화막(Native oxide)이나 제조 공정과정에서 실리콘 표면에 화학적으로 성장된 산화막을 포함한 절연막, 건식 식각 과정에서 발생하는 실리콘 표면의 손상 층(Damaged layer) 또는 실리콘 표면 및 콘택 홀(Contact hole)의 측벽에 발생하는 오염 물질 등의 얇은 막(예를 들어 10nm 이하)을 제거하는 기능을 수행할 수 있다.

[0043] 플라즈마 발생부(110)는 공정가스 유입부(130)로 유입된 혼합 가스를 이용하여 플라즈마를 발생시킬 수 있다.

[0044] 구체적으로, 플라즈마 발생부(110)는 인가되는 전력을 이용하여 플라즈마를 발생시킬 수 있다. 이 경우 인가되는 전력은 500 Watt ~ 5000 Watt의 범위, 예를 들어 1000 Watt가 될 수 있다.

[0045] 한편, 플라즈마 발생부(110)는 CCP Type, ICP(Inductive Coupled Plasma) Type, Microwave Type, ECR Type, TCP Type, Helical Type, Helicon Type, Multi Rotational Coils Type 안테나 중 적어도 하나로 구현될 수 있다. 또한 경우에 따라서는 플라즈마 발생부(110)를 구현하는 안테나는 전자석을 구비할 수 있다.

[0046] 또한, 플라즈마 발생부(110)에서 플라즈마를 발생시키기 위한 방식으로 CCP(Capacitor Coupled Plasma), ICP(Inductive Coupled Plasma) 및 MICROWAVE 형을 사용할 수 있음을 특징으로 한다.

[0047] 공정가스 유입부(130)는 챔버부(140) 내에 공정가스 즉, 반응가스를 유입시키기 위한 것으로 수소 및 사일렌계 물질이 공정가스로 유입될 수 있다. 여기서, 사일렌계 물질은 SiH₄, Si₂H₆ 및 Si₃H₈ 중 적어도 하나가 될 수 있다.

[0048] 이 경우 수소에 대한 상기 사일렌계 물질의 비율은 0% 보다 크고 5% 미만일 수 있다.

- [0049] 구체적으로, 수소/사일렌계 물질 비율은 1 ~ 5/100 ~ 5000 sccm, 예를 들어 2.5/1000 sccm이 될 수 있다.
- [0050] 챔버부(140)는 진공 유지가 가능한 상태로, 챔버부(140) 내에서는 플라즈마 발생부(110)에서 생성된 플라즈마를 통해 실리콘 기관(180)의 세정이 이루어질 수 있다. 예를 들어, 실리콘 기관 표면 상에 형성된 폴리머층, 불순물막 및 실리콘 산화막 등에 대한 세정이 이루어질 수 있다. 여기서 챔버부(140)의 압력은 100 ~ 1000 mTorr, 예를 들어, 500mTorr 정도가 될 수 있으며, 밸브를 통해 조절할 수 있다.
- [0051] 여과부(150)는 플라즈마 발생부(110)에서 발생된 플라즈마 중 라디칼 만을 실리콘 기관(180) 쪽으로 통과시키는 역할을 한다. 여기서, 여과부(150)는 챔버부(140) 내의 플라즈마 발생부(110)와 기관 적재부(160) 사이에 설치될 수 있다.
- [0052] 또한, 여과부(150)는 필요시에 사용할 시는 접지되어 있거나, 구형과 또는 정현파의 교류전압이 인가된 배플(Baffle) 또는 그리드(Grid)를 사용할 수 있다.
- [0053] 기관 적재부(160)는 실리콘 기관(180)을 적재하는 기능을 한다.
- [0054] 또한, 기관 적재부(160)는 웨이퍼 온도를 일정 온도로 유지시키기 위한 히터를 포함하는 형태로 구현될 수 있다. 이 경우 온도는 200 ~ 800 ° C, 예를 들어, 500 ° C가 될 수 있다.
- [0055] 여기서, 사용된 공정 가스는 배출구(170)를 통해 배출될 수 있다.
- [0056] 또한, 도면에는 도시되지 않았지만, 챔버부(140)의 벽면을 소정 온도로 유지하도록 하는 가열부(미도시)를 더 포함할 수 있다.
- [0057] 또한, 세정이 완료된 이후에 전도성 물질, 예를 들어 폴리 실리콘 또는 실리콘 게르마늄, 에피 실리콘 또는 에피 실리콘 게르마늄 또는 그 밖에 금속이 실리콘 기관 상(180)에 형성될 수 있다.
- [0058] 또한, 경우에 따라서는, 상술한 플라즈마에 의한 건식 세정이 이루어지기 전에 실리콘 기관(180) 상에서 습식 세정이 이루어질 수 있다. 여기서, 습식 세정에는 HF, BOE, H₂SO₄ 및 H₂O₂ 등이 이용될 수 있다.
- [0059] 한편, 본 발명에서 사용 가능한 공정을 예를 들어 간략히 설명하도록 한다.
- [0060] 우선, 플러그(Plug)용 폴리 실리콘(또는 에피 실리콘 및 에피 실리콘-게르마늄 증착) 증착용 클러스터 장비에서 본 발명은 In-situ 세정 장비로 사용될 수 있다. 있다. 기존의 에피 실리콘 증착을 위해 사전 습식 세정(Wet Chemical Cleaning)으로 표면 산화물을 제거한 후, 이동 중에 형성된 자연 산화막은 800 ° C의 고온에서 H₂ 베이킹(baking)을 적용하여 제거하였는데, 이 방법은 높은 열 부담(thermal budget)으로 사용이 제한적이다. 구체적으로 본 발명은 이를 대체할 경우 thermal budget을 크게 낮출 수 있다.
- [0061] 또한, 본 발명은 건식 식각 손상(Dry Etch Damage) 받은 실리콘 기관 표면층을 제거하기 위해 현재 적용 중인 미소 건식 식각 (Light-Etch; 수소 또는 H₂O Plasma/radical) 방법을 적용하는 모든 공정에 적용될 수 있다. 예를 들어 Gate Etch, Gate Space Etch(Source/Drain) 보호, (Plug/Metal) Contact Open Etch 등이 적용될 수 있다.
- [0062] 이에 따라 콘택 홀 형성을 위한 절연막 식각 시 노출되는 다결정 혹은 단결정 실리콘 표면에 형성된 자연 산화막, 화학적 산화막, 실리콘 표면의 손상층, 콘택 홀 표면 및 측면 오염물질을 제거함으로써 콘택 홀 저항 증가 및 누설전류의 증가를 억제할 수 있다.
- [0063] 특히, H₂, SiH₄, (사이렌), Si₂H₆ (디사일렌) 및 Si₃H₈가스 각각 또는 둘 이상의 혼합가스를 사용하여 기존의 건식 세정(Dry Cleaning) 장치의 치명적인 약점인 공정 파티클 발생의 문제를 근원적으로 차단할 수 있다.
- [0064] 또한, 하부의 폴리 실리콘 층과 배선을 위한 콘택 홀 식각 시, 콘택 홀 측벽과 하부의 폴리 실리콘층 상부에 발생하는 실리콘 산화막 및 폴리머 등의 오염물질을 제거할 수 있다.
- [0065] 또한, 에피택셜(Epitaxial) 실리콘 성장 공정에서 실리콘 표면의 자연 산화막 또는 화학적 산화막을 제거하여 양질의 에피택셜 실리콘을 성장하기 위한 플라즈마를 이용한 표면처리를 수행할 수 있게 된다.
- [0066] 도 5a 내지 도 5d는 본 발명의 일 실시 예에 따른 반도체 소자의 표면 처리 방법을 설명하기 위한 도면들이다.
- [0067] 도 5a는 본 발명의 일 실시 예에 따라 DRAM(Dynamic Random Access Memory)의 랜딩 플러그(Landing Plug) 콘택 홀 영역의 중간 절연층(320)을 식각 후, 식각 방지층(Barrier Layer)으로써 질화막(SiNx, 310) 증착 후, 게이트 스페이스(Gate Spacer) 식각 공정까지 진행된 시료의 단면도를 도시한다.

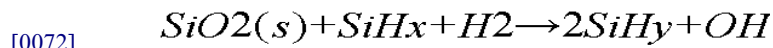
[0068] 도 5a에 도시된 각각의 참조 부호는 소자 분리 역할을 하는 STI OXIDE(Shallow Trench Isolation용 Oxide, 300), 전도 층 분리를 위한 층간 절연층(320), 리세스 게이트 폴리 실리콘(330), 게이트 텅스텐 실리사이드(350), 게이트 산화막(340) 및 질화 하드 마스크(360)를 나타낸다.

[0069] 먼저, 도 5a는 식각 방지층인 질화막(310)인 게이트 스페이서를 형성한 후 랜딩 플러그(Landing-plug) 콘택 홀(contact hole) 영역을 식각한 상태를 나타낸다. 이 때, 콘택 영역의 노출된 실리콘 기판(380) 표면이 콘택홀 식각 시 손상되어 손상층이 형성되고 그 상부에 자연 산화막(370)이 형성될 수 있다. 이 경우, 손상층과 산화막(370)은 콘택 저항을 증가시켜 소자특성을 저하시키는 치명적인 결함요인으로 작용하므로 이를 제거하는 공정이 필요하게 된다.

[0070] 이어서, 도 5b는 H₂, SiH₄의 혼합 가스를 유입시키고 외부 안테나에서 전력을 인가하여 플라즈마를 발생시키고, 이에 따라 자연 산화막(370)과 반응성이 매우 강한 라디칼(SiH_x)이 형성되는 상태를 나타낸다.

[0071] 이어서, 도 5c는 플라즈마에 형성된 라디칼(SiH_x)과 수소(H₂)가 실리콘 기판 상부에 존재하는 자연 산화막(370) 구성성분과 아래 반응식과 같이 반응하여 SiH_y, OH의 반응 생성물을 만들고 콘택 홀 영역 밖으로 방출되어 실리콘 기판에서 자연 산화막이 분해 제거된 상태를 나타낸다.

수학적 식 1



[0073] 아래 표 1은 본 발명의 H₂ 및 SiH₄를 사용하였을 경우와 종래 일반적인 NF₃를 사용하였을 경우의 식각 특성을 비교한 표를 나타낸다.

표 1

[0074]

항목	본 발명 (SiH ₄ /H ₂)	기존 발명 (NF ₃)	참조
산화막 식각 속도(Å/min)	30~50	30~40	
질화막 식각 속도(Å/min)	~0	3~7	
실리콘 식각 속도(Å/min)	~0	5~10	
표면 거칠기 (RMS:nm)	0.11~0.2	0.25~0.4	0.105

[0075] 표 1에 기재된 바와 같이, 본 발명에 다른 건식 식각을 수행하게 되면 식각율(Etch Rate)과 실리콘 기판 평탄도 등의 항목에서 크게 개선됨을 알 수 있다.

[0076] 특히 기존 방법에서는 F(불소)를 포함하는 가스를 사용하기 때문에 질화막(310)과 실리콘 기판(380)의 식각이 필연적으로 발생되지만, 본 발명은 H₂, SiH₄ 가스만을 사용함으로 대부분의 공정 조건에서 질화막(310) 혹은 실리콘 기판(380)의 식각 현상이 발생되지 않는다. 이에 따라 실리콘 기판이 식각되지 않음으로써 기판의 표면 거칠기(Roughness)도 크게 개선됨을 알 수 있다.

[0077] 도 6은 본 발명의 다른 실시 예에 따른 반도체 소자의 표면 처리 장치의 구성을 나타내는 도면이다.

[0078] 도 6에 도시된 반도체 소자의 표면 처리 장치(100-1)는 도 5에 도시된 반도체 소자의 표면 처리 장치(100)에 전자석(220)이 추가 장착된 경우를 도시한다.

[0079] 도 6에 따르면, 반도체 소자의 표면 처리 장치(100-1)는 플라즈마를 발생시키기 위하여 두 가지 타입 이상의 결합에 있어서 플라즈마 밀도를 증가시키거나 혹은 플라즈마 밀도의 균일도(Uniformity)를 개선하기 위해 전자석(220)을 추가 장착 할 수 있다. 예를 들어, 도시된 바와 같이 CP 타입 안테나와 안테나 안쪽 반응기 외벽에 전자석을 추가로 결합하는 방식으로 구현될 수 있다.

[0080] 도 7은 본 발명의 또 다른 실시 예에 따른 반도체 소자의 표면 처리 장치의 구성을 나타내는 도면이다.

[0081] 도 7에 도시된 반도체 소자의 표면 처리 장치(100-2)는 도 5에 도시된 반도체 소자의 표면 처리 장치에 CCP가 추가로 장착된 경우를 도시한다.

[0082] 도 7에 따르면, 반도체 소자의 표면 처리 장치(100-2)는 플라즈마를 발생시키기 위하여 두 가지 타입 이상의

방식을 결합(예를 들어, MW+CCP 결합)하여 사용하는 경우를 도시한다.

- [0083] 도 7에 따르면, 일 예로써 2.45 GHz의 마이크로 웨이브 방식과 웨이퍼를 위치시키는 기관에 13.56 MHz의 CCP를 추가로 결합한 장치를 플라즈마 발생장치로 이용하고, 마이크로웨이브 형태로 발생되는 플라즈마의 특성을 개선하기 위해 Radical Line Slot Antenna(230)와 Dielectric Plate(240)가 사용된 경우를 도시한다.
- [0084] 도 8은 본 발명의 일 실시 예에 따른 반도체 소자의 표면 처리 방법을 설명하기 위한 도면이다.
- [0085] 도 8에 도시된 플라즈마를 이용한 반도체 소자의 표면 처리 방법에 따르면, 플라즈마 발생장치에 수소(H₂) 및 사일렌(SiH₂)계 물질을 포함하는 공정가스(반응가스)를 유입하여 플라즈마를 생성한다(S810). 여기서 사일렌계 물질로서 SiH₄, Si₂H₆, 및 Si₃H₈ 중 적어도 하나 즉, 각각을 사용하거나, 이들을 단독 또는 둘 이상 혼합하여 사용할 수 있다.
- [0086] 또한, 공정 가스를 유입시키기 전에 기관온도 안정화/균일화를 위한 불활성 기체(N₂/Ar/H₂)를 흘리면서 고압(10Torr)을 유지하도록 할 수 있다. 또한, 공정가스(수소 및 사일렌계 물질)을 유입시킨 후에 압력을 공정 압력으로 낮출 수 있다.
- [0087] 또한, H₂ 및 사일렌(SiH₂)계 물질을 포함하는 공정가스를 유입함에 있어서 두 개의 가스를 독립적으로 사용하거나, 미리 혼합한 혼합 가스를 사용하거나, 또는 혼합기를 사용하여 반응기 유입 전에 혼합하여 사용할 수 있다.
- [0088] 이에 따라 플라즈마가 흐르는 형태(downflow type)의 플라즈마가 발생될 수 있다.
- [0089] 이어서, 생성된 플라즈마에 의해 활성화된 라디칼(Radical)을 이용하여 소정 시간 동안 에칭을 진행하여 반도체 소자의 실리콘 기관 표면을 세정한다(S820).
- [0090] 이어서, 플라즈마 전력을 오프시키고, 반응가스 Flow를 정지시킬 수 있다.
- [0091] 또한, 생성 가스를 챔버 내에서 제거하기 위해 초저진공 단계를 수행할 수 있다.
- [0092] 또한, 경우에 따라서는 세정된 실리콘 기관 표면 상에 전도성 물질을 도포할 수 있다. 여기서, 전도성 물질은 물질은 폴리 실리콘 또는 실리콘 게르마늄, 에피 실리콘 또는 에피 실리콘 게르마늄 또는 그 밖에 금속일 수 있다.
- [0093] 한편, 반응가스로써 H₂ 및 SiH₄를 사용함에 있어서 가스 유량에 상관없이 SiH₄의 비율을 0%에서 5%를 사용할 수 있다.
- [0094] 또한, 플라즈마를 발생시키기 위한 방법으로 ICP, CCP, 및 Microwave Type을 사용할 수 있다.
- [0095] 또한, 플라즈마를 발생시키기 위한 전력을 50 Watt에서 5000Watt의 범위를 사용할 수 있다.
- [0096] 또한, 폴리머막 구성 물질 및 원치 않는 산화막 구성 물질을 분해하여 제거하는 데 있어서 압력을 1mTorr에서 10Torr로 사용할 수 있다.
- [0097] 또한, 실리콘 기관(또는 웨이퍼)을 위치시키는데 있어서 실리콘 기관의 온도를 25℃에서 800℃ 범위를 사용할 수 있다.
- [0098] 또한, 실리콘 기관 온도를 유지시키기 위해, 전기 저항형 히터에 의한 컨벡션(전도) 방법이나 혹은 IR Lamp (적외선 램프)를 사용할 수 있다.
- [0099] 또한, 반도체, FPD 또는 LCD 공정 중 Fluoro_Carbon(F-C) 계열의 식각 가스를 사용하여 산화막 건식 식각 후 실리콘 표면에 발생된 산화막이나 불순물 및 폴리머를 세정할 수 있다.
- [0100] 또한, 반도체 FPD 혹은 LCD 공정 중 HF, BOE, H₂SO₄, H₂O₂를 사용하여 웨이퍼 표면을 습식 세정한 이후에 상술한 방법에 의해 실리콘 기관 표면에 발생된 산화막을 세정할 수 있다.
- [0101] 또한, 여러 형태의 안테나, 예를 들어 CCP, ICP, Microwave, ECR, TCP, Helical, Helicon, Multi Rotational CoLi Type 안테나 등을 플라즈마 발생장치로 사용할 수 있다.
- [0102] 또한, 실리콘 산화막을 보다 효과적으로 제거하기 위해 산화막 제거 전에 H₂, SiH₄, Si₂H₆ 및 Si₃H₈ 각각 또는 이 중 둘 이상의 혼합 가스로 미리 반응기 내부를 컨디셔닝(Conditioning) 또는 시즈닝(Seasoning) 할 수 있다.
- [0103] 또한, H₂와 SiH₄, Si₂H₆ 및 Si₃H₈ 각각 또는 이 중 둘 이상의 혼합 가스를 사용하여 원하지 않는 실리콘 산화막을 제거시키기 위한 챔버부(반응기)만이 별도의 시스템 장치로 구현될 수 있다.

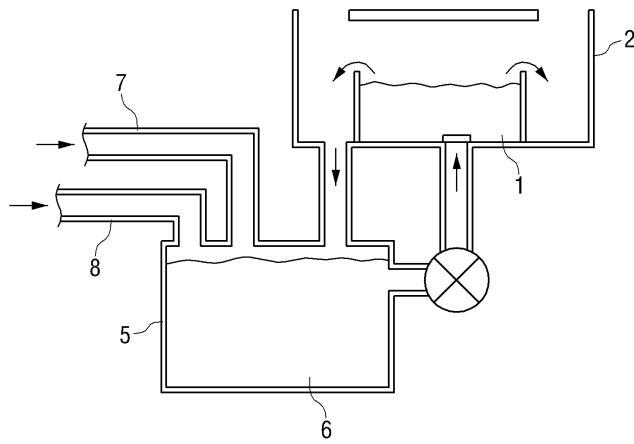
- [0104] 또는, 이후 공정인 폴리 실리콘 증착 혹은 메탈 증착용 반응기를 클러스터로 구성하여 하나의 시스템 장치 내에서 산화막 제거 기능과 폴리 실리콘 혹은 메탈층을 증착하는 기능을 동시에 시행할 수 있도록 구현될 수도 있다.
- [0105] 도 9a 및 도 9b는 본 발명의 일 실시 예에 따른 반도체 소자의 표면 처리 장치의 성능을 실험한 실험 결과를 나타내는 도면들이다.
- [0106] 본 발명의 일 실시 예에 따르면, 플라즈마 발생 전력 500 Watt ~ 5000 Watt의 범위, 예를 들어 1000 Watt, 챔버부 압력 100 ~ 1000 mTorr, 예를 들어, 500mTorr 정도, 수소/사일렌계 물질 비율 1~5/100~5000 sccm, 예를 들어 2.5/1000 sccm, 기판의 온도 200 ~ 800 ° C, 예를 들어, 500 ° C의 환경에서 표면 처리가 수행될 수 있다.
- [0107] 도 9a에 따르면, 500 ° C의 기판 온도, 0.5 Torr의 공정 압력, 1kW의 RF 플라즈마 전력의 조건에서의 SiH₄와 H₂의 비율에 따른 Oxide 식각률을 도시한다.
- [0108] 도 9b에 따르면, 500 ° C의 기판 온도, 1kW의 RF 플라즈마 전력의 조건에서의 SiH₄/(SiH₄+H₂)의 비율 및 공정 압력에 따른 Oxide 식각률을 도시한다.
- [0109] 이에 따라 폴리머 막 및 원하지 않는 산화막 구성 물질을 분해하여 세정할 수 있다.
- [0110] 상술한 바와 같이 본 발명에 따르면 콘택홀 절연막 식각 후 노출되는 실리콘 표면에 형성되는 자연 산화막, 화학적 산화막 및 식각 시 발생하는 실리콘표면 손상부위를 제거하여 콘택홀 저항 증가 및 콘택 부위 누전을 방지할 수 있다.
- [0111] 또한, 메탈 콘택홀 식각할 때 콘택홀 측벽과 하부메탈 경계부위에 존재하는 폴리머등 유기오염물을 제거하여 메탈 콘택 저항을 작게 할 수 있다.
- [0112] 또한, 에피택셜(Epitaxial) 실리콘 성장공정에서 실리콘표면의 자연 산화막 또는 화학적 산화막을 제거하여 양질의 에피택셜 실리콘을 성장시킬 수 있다.
- [0113] 그리고, 이상에서는 본 발명의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안 될 것이다.

부호의 설명

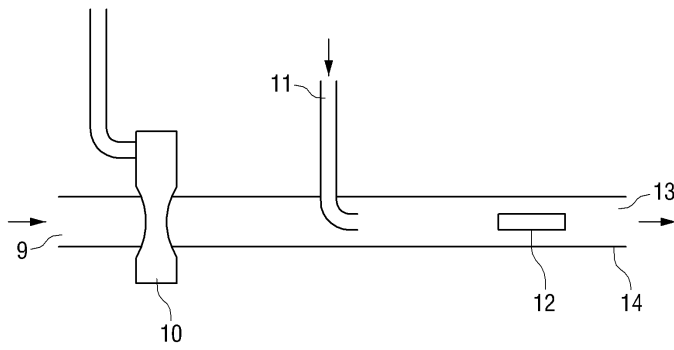
- | | | |
|--------|---------------|---------------|
| [0114] | 100: 표면 처리 장치 | 110: 플라즈마 발생부 |
| | 130: 공정가스 유입부 | 140: 챔버부 |
| | 150: 여과부 | 160: 기판 적재부 |

도면

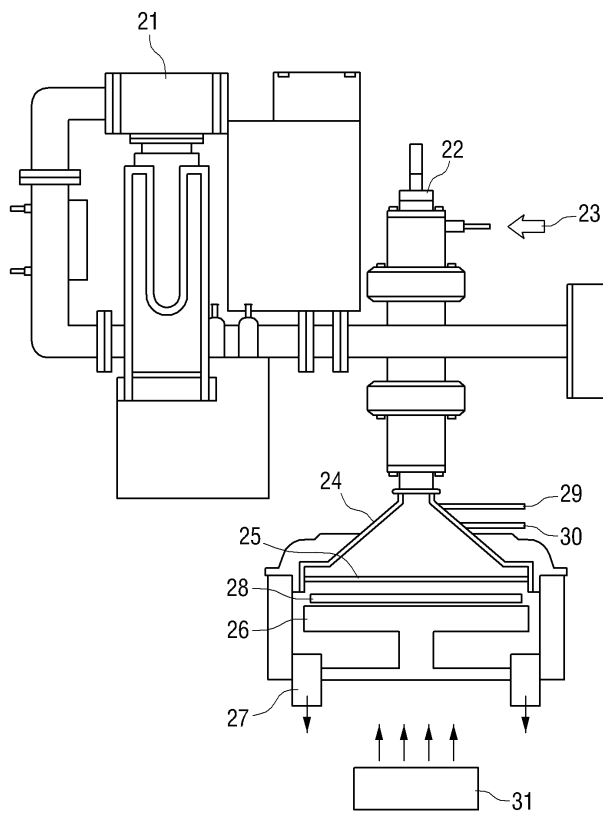
도면1



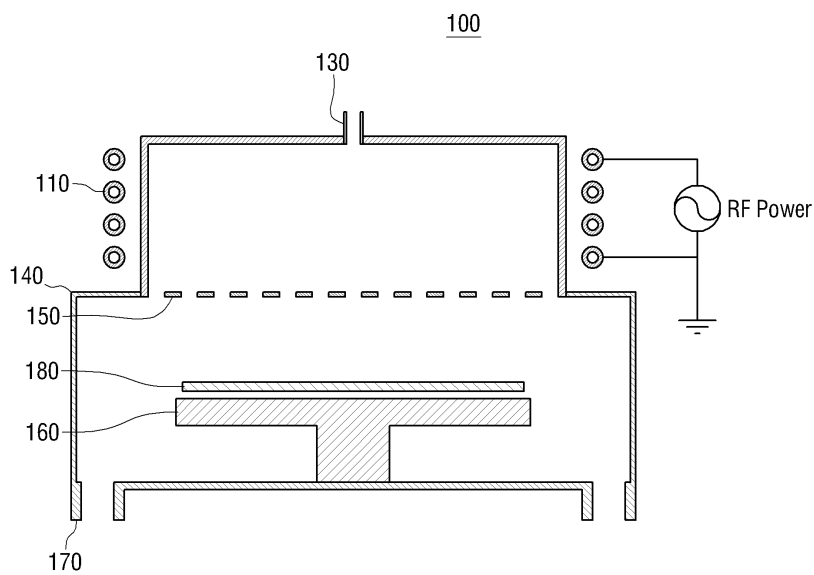
도면2



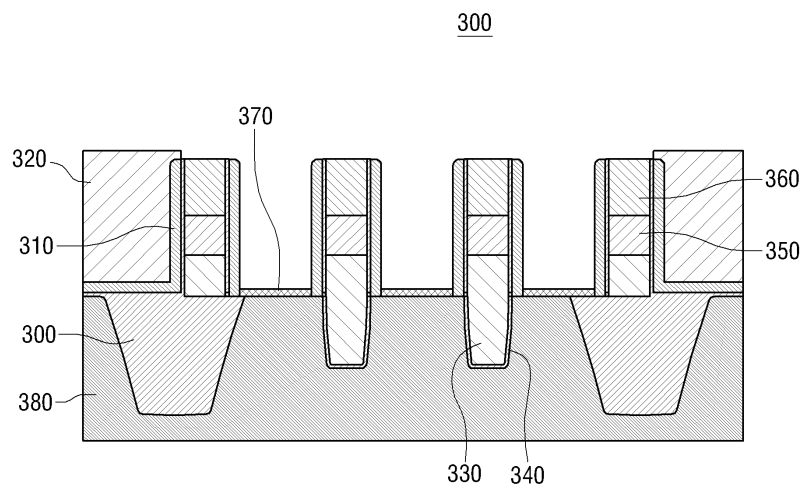
도면3



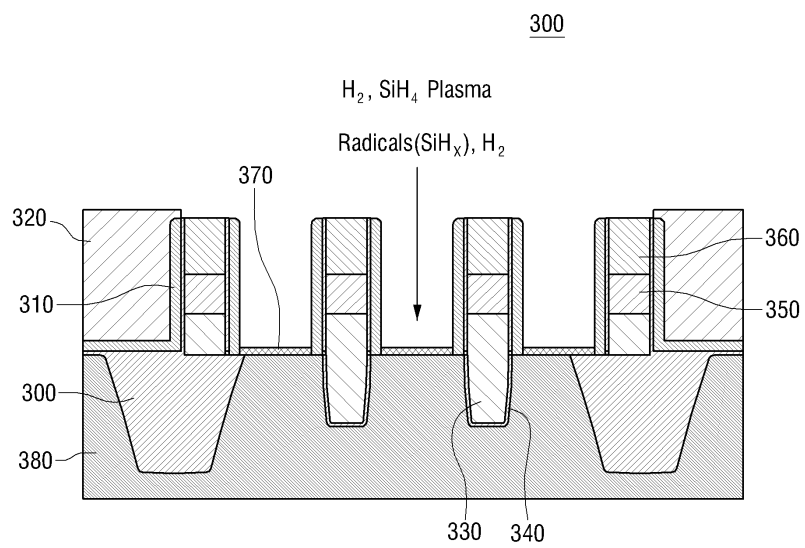
도면4



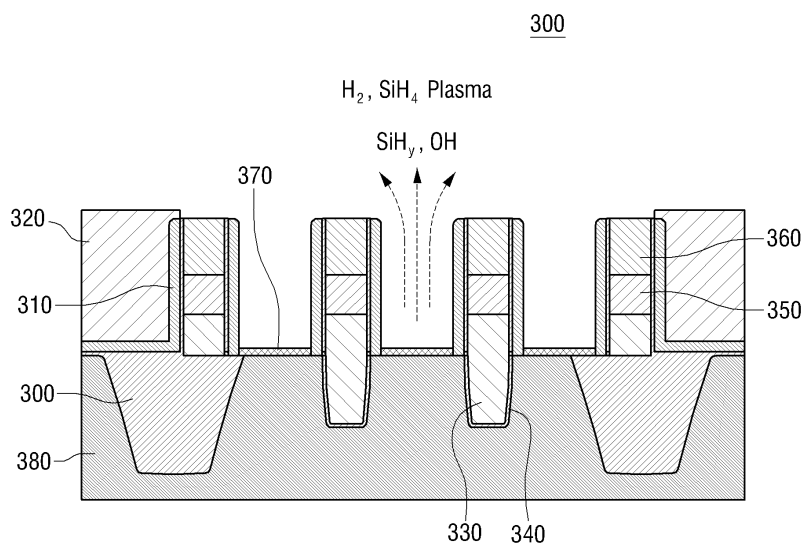
도면5a



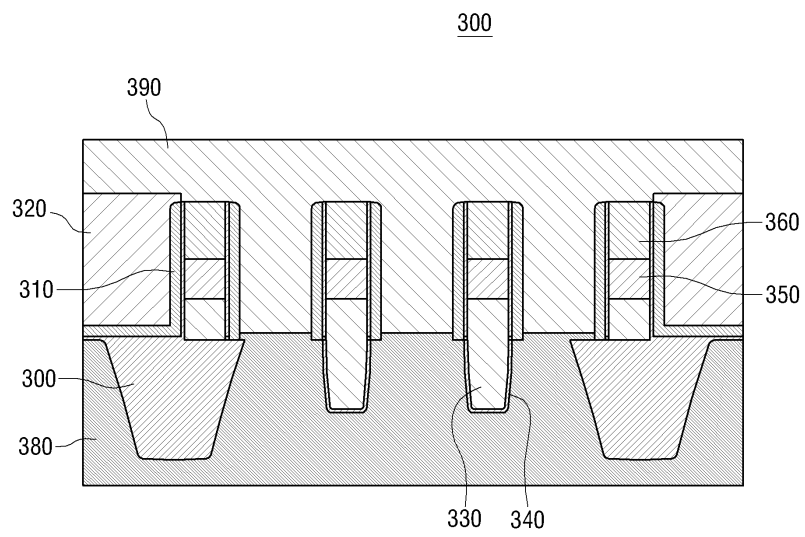
도면5b



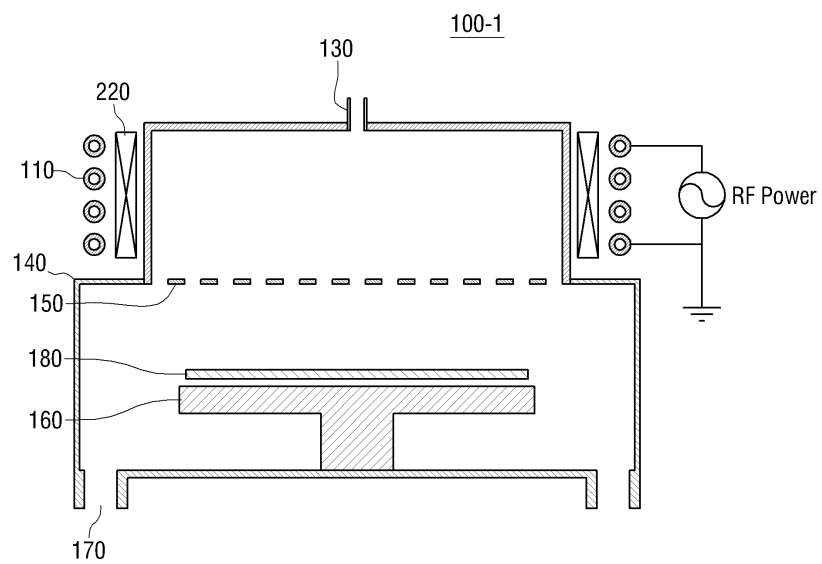
도면5c



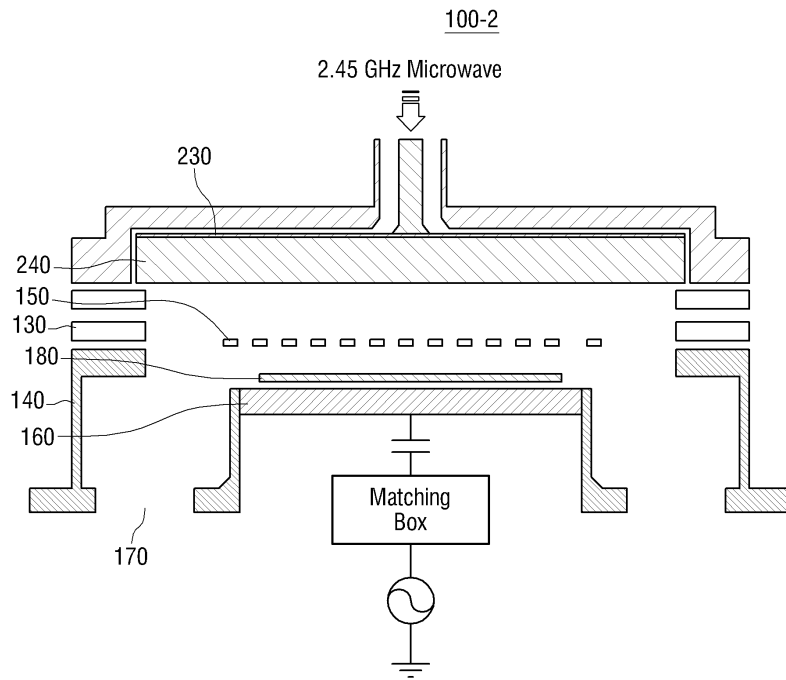
도면5d



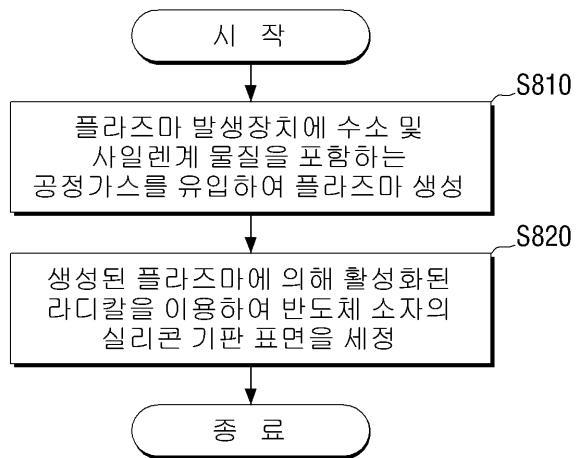
도면6



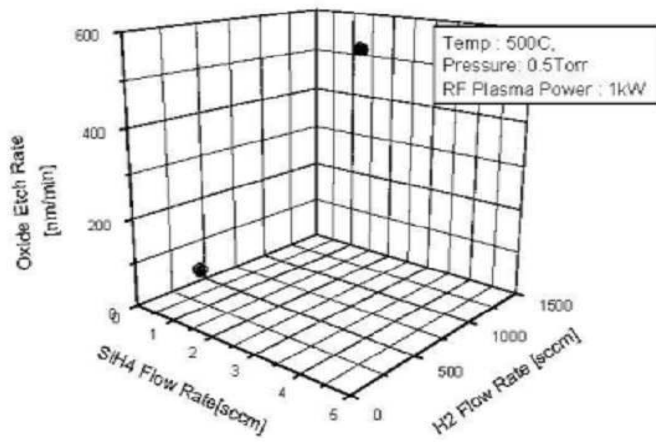
도면7



도면8



도면9a



도면9b

