



(12) 发明专利申请

(10) 申请公布号 CN 103295461 A

(43) 申请公布日 2013. 09. 11

(21) 申请号 201310192162. 5

(22) 申请日 2013. 05. 13

(71) 申请人 西安电子科技大学  
地址 710071 陕西省西安市太白南路 2 号

(72) 发明人 张犁 黄仁尊 李甫 石光明  
周佳社

(74) 专利代理机构 陕西电子工业专利中心  
61205

代理人 田文英 王品华

(51) Int. Cl.  
G09B 25/02 (2006. 01)

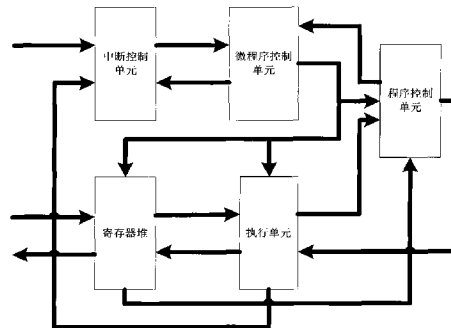
权利要求书3页 说明书6页 附图4页

(54) 发明名称

一种用于实验的微处理器及其实验方法

(57) 摘要

本发明公开了一种用于实验的微处理器及其实验方法,微处理器包括程序控制单元、微程序控制单元、执行单元、寄存器堆和中断控制单元。实验方法包括编写指令、执行指令、判断编写的指令是否正确、编写实验程序、执行程序 and 判断编写的程序是否正确六个步骤。本发明的微处理器功能适当,电路结构简单清晰,易于实验者理解。本发明的微处理器能以软知识产权 IP 核的形式,在 FPGA 平台上实现,具有灵活性和一定的实用性。本发明的实验方法对实验者理解微处理器内部体系结构、电路结构有很大帮助。同时,本发明的微处理器还可以应用在学生的课外电子系统设计实践中,从而极大地提高学生的复杂系统的设计与工程实践能力。



1. 一种用于实验的微处理器,包括程序控制单元、微程序控制单元、执行单元、寄存器堆、中断控制单元;所述的程序控制单元的输出分别与微程序控制单元、执行单元相连;所述的微程序控制单元的输出分别与程序控制单元、执行单元、寄存器堆、中断控制单元相连;所述的执行单元的输出分别与程序控制单元、寄存器堆、中断控制单元相连;所述的寄存器堆有输入来自外部设备接口,输出分别与程序控制单元、执行单元、外部设备接口相连;所述的中断控制单元有输入来自外部设备接口,输出与微程序控制单元相连;

所述的程序控制单元,用于在微程序控制单元输出信号的控制下,控制程序的顺序执行或跳转,对指令地址、指令、访存数据、访存中间地址以及堆栈地址的寄存,同时实现对程序/数据存储器的读写操作;

所述的微程序控制单元,用于对来自程序控制单元的指令寄存器中的指令进行译码,按照 CISC 指令集处理器的指令格式译出全部控制信号,利用控制信号,分别控制程序控制单元控制程序流向和寄存指令执行时的中间数据、执行单元执行运算、寄存器堆为执行单元提供操作数、寄存其操作结果或与外部设备接口交换数据、中断控制单元,实现对外部设备中断请求的管理;

所述的执行单元,用于在微程序控制单元输出信号的控制下,从算术运算、逻辑运算、移位运算、访存地址计算和下一条指令地址计算中选择执行相应的运算,并将获得的运算结果数据,同时输给程序控制单元、寄存器堆、中断控制单元;

所述的寄存器堆,用于在微程序控制单元输出信号的控制下,提供运算操作数给执行单元并寄存执行单元的输出数据、与外部设备接口交换数据、寄存来自外部设备的中断向量;

所述的中断控制单元,用于在微程序控制单元输出信号的控制下,管理外部设备中断请求。

2. 根据权利要求 1 所述的一种用于实验的微处理器,其特征在于,所述的程序控制单元包括程序/数据存储器、指令寄存器 IR、数据寄存器 DBB、堆栈指针 SP、中间地址寄存器 ABB、中断服务入口地址映射存储器、PC 地址数据选择器、程序计数器 PC 和内部数据总线数据选择器;所述的程序/数据存储器的输出与指令寄存器 IR、数据寄存器 DBB 相连;所述的指令寄存器 IR 的输出与执行单元的状态标志寄存器、微程序控制器单元的指令映射存储器相连;所述的数据寄存器 DBB 的输出与程序/数据存储器、内部数据总线数据选择器相连;所述的堆栈指针 SP 的输出与内部数据总线数据选择器相连;所述的中间地址寄存器 ABB 的输出与内部数据总线数据选择器相连;所述的中断服务入口地址映射存储器的输出与 PC 地址数据选择器相连;所述的 PC 地址数据选择器的输出与程序计数器 PC 相连;所述的程序计数器 PC 的输出与内部数据总线数据选择器、执行单元的 ALU 源操作数数据选择器相连;所述的内部数据总线数据选择器的输出与程序/数据存储器、数据寄存器 DBB、执行单元的两个数据选择器相连。

3. 根据权利要求 1 所述的一种用于实验的微处理器,其特征在于,所述的微程序控制单元包括指令映射存储器、微程序计数器、地址增量器、微程序地址数据选择器、微程序存储器和微指令寄存器;所述的指令映射存储器的输出与微程序地址数据选择器相连;所述的微程序计数器的输出与微程序地址数据选择器相连;所述的地址增量器的输出与微程序计数器相连;所述的微程序地址数据选择器的输出与地址增量器、微程序存储器相连;所

述的微程序存储器的输出与微指令寄存器相连；所述的微指令寄存器的输出与程序控制单元、执行单元、寄存器堆、中断控制单元相连。

4. 根据权利要求 1 所述的一种用于实验的微处理器，其特征在于，所述的执行单元包括 ALU 源操作数数据选择器、算术逻辑运算单元 ALU、状态标志数据选择器和状态标志寄存器；所述的 ALU 源操作数数据选择器的输出与算术逻辑运算单元 ALU 相连；所述的算术逻辑运算单元 ALU 的输出与状态标志数据选择器、程序控制单元的内部数据总线数据选择器、寄存器堆相连；所述的状态标志数据选择器的输出与状态标志寄存器相连；所述的状态标志寄存器的输出与程序控制单元的内部数据总线数据选择器相连。

5. 根据权利要求 1 所述的一种用于实验的微处理器，其特征在于，所述的寄存器堆包括通用寄存器、输入与输出接口寄存器、中断向量寄存器；所述的寄存器堆的输出分别与程序控制单元的内部数据总线数据选择器、执行单元的 ALU 源操作数数据选择器、外部设备接口和程序控制单元的中断服务入口地址映射存储器相连。

6. 根据权利要求 1 所述的一种用于实验的微处理器，其特征在于，所述的中断控制单元包括中断屏蔽寄存器、中断置位寄存器、逻辑与门和中断控制数据选择器；所述的中断屏蔽寄存器的输出与逻辑与门相连；所述的中断置位寄存器的输出与逻辑与门相连；所述的逻辑与门的输出与中断控制数据选择器相连；所述的中断控制数据选择器的输出与微程序控制单元中的微程序地址数据选择器相连。

7. 一种用于实验的微处理器实验方法，具体步骤如下：

(1) 编写指令：

实验者在微处理器上编写实验所需要的指令；

(2) 执行指令：

实验者将微处理器以软知识产权 IP 核的形式置于实验平台上运行，指令执行结果以数据的形式显示；

(3) 判断编写的指令是否正确：

实验者观察数据是否与指令执行预期结果相同，以此判断编写的指令是否正确，如果正确，则继续下一步骤，否则返回步骤 (1) 重新编写指令；

(4) 编写实验程序：

实验者根据步骤 (1) 所编写的指令，在微处理器上编写实验程序；

(5) 执行程序：

实验者将微处理器以软知识产权 IP 核的形式置于实验平台上运行，程序执行结果以数据显示；

(6) 判断编写的程序是否正确：

实验者观察数据是否与程序执行预期结果相同，以此判断编写的程序是否正确，如果正确，则实验结束，否则返回步骤 (4) 重新编写程序。

8. 根据权利要求 7 所述的一种用于实验的微处理器实验方法，其特征在于，步骤 (3) 所述的指令执行预期结果是指，微处理器执行编写的指令之后得到的数据及指令功能达到实验要求的目标。

9. 根据权利要求 7 所述的一种用于实验的微处理器实验方法，其特征在于，步骤 (6) 所述的程序执行预期结果是指，微处理器执行编写的程序之后得到的数据及程序功能达到实

验要求的目标。

## 一种用于实验的微处理器及其实验方法

### 技术领域

[0001] 本发明属于电子器件技术领域,更进一步涉及半导体集成电路微处理器技术领域中的一种用于实验的微处理器及其实验方法。本发明可作为微机原理、计算机组成原理以及计算机体系结构等相关课程的实验教学辅助工具,以及作为学生课外电子系统工程实践中的实践教学辅助工具。

### 背景技术

[0002] 随着数字信号处理技术的发展,传统的通用处理器已越来越不能满足需求,由此发展出了专用指令集处理器(ASIP)设计方法,其基本思想是针对特定应用提取一套专用处理器指令集,并据此设计出相应的处理器体系结构和实现电路,以此达到性能、功耗最优的设计目标。因此对于现代信号处理,除了能够熟练应用各种类型的微处理器外,还需要了解微处理器的体系结构及其电路设计的基本原理与方法,这样才能根据实际的任务需求进行定制的ASIP系统设计,来适应电子系统设计未来发展的需求。目前,尚未发现可以满足上述要求的专门设计用于实验的微处理器。相关课程的实验教学,如微机原理课程实验通常采用通用微处理器,但通用微处理器内部过于复杂,实验者不可能通过实验完全了解通用微处理器的内部体系结构及具体的电路结构;计算机组成原理以及计算机体系结构课程实验采用的实验装置或者软件仿真也具有单一性和局限性,不利于未来电子系统设计人才的培养。

[0003] 清华同方股份有限公司拥有的专利技术“一种计算机组成原理的实验装置”(专利申请号01104164.1,授权公告号CN1137454C)公开了一种计算机组成原理的实验装置。该装置由数据通路(包括主运算器、数据选择器、三态门、寄存器堆、暂存寄存器、双端口存储器、地址寄存器、中断地址寄存器和程序计数器等)、控制器、可插拔的导线组成,用于设计硬布线控制器的实验。该专利技术所公开的实验装置存在的不足是,该装置由分立器件构成,并不是集成在一个微处理器中,导致其灵活性低,同时该装置只能用于设计硬布线控制器的实验,与微处理器还存在差距,导致其实用性低,应用范围窄。

[0004] 浙江工业大学拥有的专利技术“一种《计算机组成原理》仿真实验系统”(专利申请号200810060959.9,授权公告号CN101261783B)公开了一种《计算机组成原理》仿真实验系统。该系统包括单模块实验仿真子系统和整机实验仿真子系统。单模块实验仿真子系统包括寄存器组、运算器及存储器和总线等模块仿真单元。整机实验仿真子系统包括初始化模块、运行模式识别模块、取指令模块、分析指令模块和执行指令模块等。单模块仿真子系统用来实现微处理器中单个模块的功能仿真,整机实验仿真子系统用来实现一个简单微处理器指令执行过程的仿真,通过软件界面进行参数配置从而实现上述仿真。该专利技术所公开的仿真实验系统存在的不足是,脱离了具体的电路设计与实现,导致实验者对微处理器内部功能单元所对应的具体电路部件不清晰,同时由于是一个仿真系统,并不需要经过实际器件的调试验证,脱离了实际的工程实践,实验者无法获得工程经验的生长。

## 发明内容

[0005] 本发明的目的在于克服上述现有技术的不足,提出一种功能适当,具体电路结构简单,可以在 FPGA 上实现,具备灵活性与实用性,且能够满足实验者通过实验了解整个微处理器内部体系结构和具体电路结构的用于实验的微处理器及其实验方法。

[0006] 实现本发明目的的思路是:将用于实验的微处理器划分为五个功能模块,即程序控制单元、微程序控制单元、执行单元、寄存器堆和中断控制单元。微处理器采用 CISC 体系结构加以设计,并且针对各个功能模块进行了具体的电路结构设计,使得微处理器可以在 FPGA 平台上加以实现,以满足实验的需求。

[0007] 本发明的微处理器,包括程序控制单元、微程序控制单元、执行单元、寄存器堆和中断控制单元。程序控制单元的输出与微程序控制单元、执行单元相连。微程序控制单元的输出分别与程序控制单元、执行单元、寄存器堆、中断控制单元相连。执行单元的输出分别与程序控制单元、寄存器堆、中断控制单元相连。寄存器堆有输入来自外部设备接口,输出分别与程序控制单元、执行单元、外部设备接口相连。中断控制单元有输入来自外部设备接口,输出与微程序控制单元相连。

[0008] 程序控制单元,用于在微程序控制单元输出信号的控制下,控制程序的顺序执行或跳转,对指令地址、指令、访存数据、访存中间地址以及堆栈地址的寄存,同时实现对程序/数据存储器的读写操作。

[0009] 微程序控制单元,用于对来自程序控制单元的指令寄存器中的指令进行译码,按照 CISC 指令集处理器的指令格式译出操作数和全部控制信号,利用控制信号,分别控制程序控制单元控制程序流向和寄存指令执行时的中间数据、执行单元执行运算、寄存器堆为执行单元提供操作数、寄存其操作结果或与外部设备接口交换数据、中断控制单元,实现对外部设备中断请求的管理。

[0010] 执行单元,用于在微程序控制单元输出信号的控制下,从算术运算、逻辑运算、移位运算,访存地址计算和下一条指令地址计算中选择执行相应的运算,并将获得的运算结果数据,同时输出到程序控制单元、寄存器堆和中断控制单元。

[0011] 寄存器堆,用于在微程序控制单元输出信号的控制下,提供运算操作数给执行单元并寄存执行单元的输出数据、与外部设备接口交换数据、寄存来自外部设备的中断向量。

[0012] 中断控制单元,用于在微程序控制单元输出信号的控制下,管理外部设备中断请求。

[0013] 本发明用于实验微处理器的实验方法,具体步骤如下:

[0014] (1) 编写指令:

[0015] 实验者在微处理器上编写实验所需要的指令。

[0016] (2) 执行指令:

[0017] 实验者将微处理器以软知识产权 IP 核的形式置于实验平台上运行,指令执行结果以数据的形式显示。

[0018] (3) 判断编写的指令是否正确:

[0019] 实验者观察数据是否与指令执行预期结果相同,以此判断编写的指令是否正确,如果正确,则继续下一步骤,否则返回步骤(1)重新编写指令。

[0020] (4) 编写实验程序:

[0021] 实验者根据步骤(1)所编写的指令,在微处理器上编写实验程序。

[0022] (5) 执行程序:

[0023] 实验者将微处理器以软知识产权 IP 核的形式置于实验平台上运行,程序执行结果以数据的形式显示。

[0024] (6) 判断编写的程序是否正确:

[0025] 实验者观察数据是否与程序执行预期结果相同,以此判断编写的程序是否正确,如果正确,则实验结束,否则返回步骤(4)重新编写程序。

[0026] 本发明与现有技术相比具有以下优点:

[0027] 第一,由于本发明的微处理器,采用了功能适当、功能模块少、具体电路结构简单的设计,克服了现有技术的通用微处理器内部过于复杂,导致实验者无法了解其内部体系结构及具体电路结构的不足,提高了实验者对微处理器的理解,有利于实验者适应未来的电子系统设计。

[0028] 第二,由于本发明的微处理器是对应具体电路结构的可实现的微处理器,通过结合 FPGA 进行实验,克服了现有技术中软件实验平台脱离实际工程实践的不足,提高了实验者工程实践的能力。

[0029] 第三,由于本发明的实验方法中,需要结合本发明的微处理器进行指令的编写,克服了现有实验方法中只能根据已有指令编写程序进行实验的不足,使得实验的层次更接近于微处理器中的具体电路结构,有利于实验者理解微处理器的具体电路结构。

#### 附图说明

[0030] 图 1 为本发明的微处理器整体结构示意图;

[0031] 图 2 为本发明的微处理器程序控制单元结构示意图;

[0032] 图 3 为本发明的微处理器微程序控制单元结构示意图;

[0033] 图 4 为本发明的微处理器执行单元结构示意图;

[0034] 图 5 为本发明的微处理器寄存器堆结构示意图;

[0035] 图 6 为本发明的微处理器中断控制单元结构示意图;

[0036] 图 7 为本发明的微处理器实验方法流程图。

#### 具体实施方式

[0037] 下面结合附图对本发明做进一步的详细描述。

[0038] 参照附图 1,本发明一种用于实验的微处理器划分为五个功能模块,分为程序控制单元、微程序控制单元、执行单元、寄存器堆和中断控制单元。程序控制单元的输出与微程序控制单元、执行单元相连。微程序控制单元的输出分别与程序控制单元、执行单元、寄存器堆、中断控制单元相连。执行单元的输出分别与程序控制单元、寄存器堆、中断控制单元相连。寄存器堆有输入来自外部设备接口,输出分别与程序控制单元、执行单元、外部设备接口相连。中断控制单元有输入来自外部设备接口,输出与微程序控制单元相连。

[0039] 本发明用于实验的微处理器的五个功能模块是根据实验教学的需要和复杂度进行设计的,相比于通用微处理器,既保证其基本功能又在很大程度上对其进行简化,使得实验者通过实验能够完全了解该微处理器的内部体系结构以及具体的电路结构。

[0040] 参照附图 2, 程序控制单元包括程序 / 数据存储器、指令寄存器 IR、数据寄存器 DBB、堆栈指针 SP、中间地址寄存器 ABB、中断服务入口地址映射存储器、PC 地址数据选择器、程序计数器 PC 和内部数据总线数据选择器。程序控制单元用于在微程序控制单元输出信号的控制下, 控制程序的顺序执行或跳转, 对指令地址、指令、访存数据、访存中间地址以及堆栈地址的寄存, 同时实现对程序 / 数据存储器的读写操作。

[0041] 程序 / 数据存储器采用普林斯顿结构用以存储程序和数据, 其输出与指令寄存器 IR、数据寄存器 DBB 相连。指令寄存器 IR 用于寄存从程序 / 数据存储器读出的指令, 其输出与执行单元的状态标志寄存器、微程序控制器单元的指令映射存储器相连。数据寄存器 DBB 用于寄存从程序 / 数据存储器中读出的数据或即将写入程序 / 数据存储器中的数据, 其有输入来自于执行单元的算术逻辑运算单元 ALU, 输出与程序 / 数据存储器、内部数据总线数据选择器相连。堆栈指针 SP 用于寄存堆栈地址, 其输入来自于执行单元的算术逻辑运算单元 ALU, 输出与内部数据总线数据选择器相连。中间地址寄存器 ABB 用于寄存访存中间地址, 其输入来自于执行单元的算术逻辑运算单元 ALU, 输出与内部数据总线数据选择器相连。中断服务入口地址映射存储器用于完成从中断向量到中断服务入口地址的映射, 其输入来自于寄存器堆的中断向量寄存器, 输出与 PC 地址数据选择器相连。PC 地址数据选择器用于选择下一条指令的地址, 其有输入来自于执行单元的算术逻辑运算单元 ALU, 输出与程序计数器 PC 相连。程序计数器 PC 用于寄存下一条指令地址, 其输入来自于执行单元的算术逻辑运算单元 ALU, 输出与内部数据总线数据选择器、执行单元的 ALU 源操作数数据选择器相连。内部数据总线数据选择器用于选择访存的地址, 其有输入为逻辑 0, 即表示该输入为 0, 还有输入分别来自于执行单元的状态标志寄存器、执行单元的算术逻辑运算单元 ALU、寄存器堆的通用寄存器, 输出分别与程序 / 数据存储器、数据寄存器 DBB、执行单元的两个数据选择器相连。

[0042] 参照附图 3, 微程序控制单元包括指令映射存储器、微程序计数器、地址增量器、微程序地址数据选择器、微程序存储器和微指令寄存器。微程序控制单元用于对来自程序控制单元的指令寄存器中的指令进行译码, 按照 CISC 指令集处理器的指令格式译出操作数和全部控制信号, 利用控制信号, 分别控制程序控制单元控制程序流向和寄存指令执行时的中间数据、执行单元执行运算、寄存器堆为执行单元提供操作数、寄存其操作结果或与外部设备接口交换数据、中断控制单元, 实现对外部设备中断请求的管理。

[0043] 在 CISC 指令集处理器中, 不同指令的执行即不同微程序的执行, 微程序由微指令序列构成, 每一条微指令都存储在微程序存储器的一个地址空间中, 微指令包含了一个时钟周期中微处理器进行内部操作所需要的全部控制信号, 一条指令的执行需要多个连续时钟周期, 因此多个连续时钟周期的微指令序列按顺序组成微程序并存储在微程序存储器的一段连续地址空间中, 不同指令的微程序具有不同的微程序起始地址。

[0044] 指令映射存储器用于完成从指令到微程序起始地址的映射, 输入来自指令寄存器 IR, 输出与微程序地址数据选择器相连。微程序计数器用于寄存下一条微指令地址, 其输出与微程序地址数据选择器相连。地址增量器用于完成微指令地址的加 1 操作, 其输出与微程序计数器相连。微程序地址数据选择器的控制输入来自于中断控制单元的中断控制选择器的输出, 微程序地址数据选择器有输入为逻辑 0、设置的固定地址, 分别表示输入为 0、固定的值, 微程序地址数据选择器的输出与地址增量器、微程序存储器相连。微程序存储器用

于存储微程序,其输出与微指令寄存器相连。微指令寄存器用于寄存微指令,其输出分别与程序控制单元、执行单元、寄存器堆、中断控制单元相连。

[0045] 参照附图 4,执行单元包括 ALU 源操作数数据选择器、算术逻辑运算单元 ALU、状态标志数据选择器和状态标志寄存器。执行单元用于在微程序控制单元输出信号的控制下,从算术运算、逻辑运算、移位运算,访存地址计算和下一条指令地址计算中选择执行相应的运算,并将获得的运算结果数据,同时输出到程序控制单元、寄存器堆和中断控制单元。

[0046] ALU 源操作数数据选择器是一个五输入二输出的数据选择器,五个输入中有一个输入为逻辑 0,即表示该输入为 0,有两个输入来自于寄存器堆的通用寄存器,另两个输入分别来自程序控制单元的程序计数器 PC、内部数据总线数据选择器,ALU 源操作数数据选择器的输出与算术逻辑运算单元 ALU 相连。算术逻辑运算单元 ALU 用于完成逻辑运算(逻辑与、逻辑非、逻辑或和逻辑异或)、移位运算(逻辑左移、逻辑右移和算术右移)、算术运算(加法、带进位加法、减法和带借位减法)、计算访存地址和计算下一条指令地址等,其输出分别与状态标志数据选择器、程序控制单元的内部数据总线数据选择器、寄存器堆相连。状态标志数据选择器的两个输入分别来自程序控制单元的内部数据总线数据选择器、算术逻辑运算单元 ALU,其输出与状态标志寄存器相连。状态标志寄存器用于寄存状态标志,其输出与程序控制单元的内部数据总线数据选择器相连。

[0047] 参照附图 5,寄存器堆用于在微程序控制单元输出信号的控制下,提供运算操作数给执行单元并寄存执行单元的输出数据、与外部设备接口交换数据、寄存来自外部设备的中断向量。寄存器堆具有三个输入四个输出,输入 1 来自程序控制单元的内部数据总线数据选择器并输入到通用寄存器中,输入 2 来自外部设备接口并输入到输入/输出接口寄存器中,输入 3 来自外部设备接口并输入到中断向量寄存器中,输出 1 来自通用寄存器并与程序控制单元的内部数据总线数据选择器、执行单元的 ALU 源操作数数据选择器相连,输出 2 来自通用寄存器并与执行单元的 ALU 源操作数数据选择器相连,输出 3 来自输入/输出接口寄存器并与外部设备接口相连,输出 4 来自中断向量寄存器并与程序控制单元的中断服务入口地址映射存储器相连。

[0048] 寄存器堆中通用寄存器用于寄存算术逻辑运算单元 ALU 的运算结果数据输出,输入/输出接口寄存器用于寄存微处理器输入/输出接口的数据,与外部设备进行数据交换,中断向量寄存器用于寄存来自外部设备的中断向量。

[0049] 参照附图 6,中断控制单元包括中断屏蔽寄存器、中断置位寄存器、逻辑与门和中断控制数据选择器。中断控制单元用于在微程序控制单元输出信号的控制下,管理外部设备中断请求,其中外部设备中断只针对外部设备可屏蔽中断。

[0050] 中断屏蔽寄存器用于寄存中断屏蔽信号,其输入来自于执行单元的算术逻辑运算单元 ALU,其输出与逻辑与门的一个输入相连。中断置位寄存器用于寄存来自外部设备提出的中断请求信号,其输出与逻辑与门的一个输入相连。逻辑与门还有一个输入来自于微程序控制单元的微指令寄存器。逻辑与门用于对输入信号进行逻辑与操作,其输出与中断控制数据选择器的控制输入相连。中断控制数据选择器有一个输入为逻辑 11,即表示输入为 11,另一个输入来自微程序控制单元的微指令寄存器,中断控制数据选择器的输出与微程序控制单元中的微程序地址数据选择器的控制输入相连。

[0051] 下面结合附图 7 对本发明微处理器的实验方法的具体步骤描述如下:

[0052] 步骤 1, 编写指令。

[0053] 实验者在微处理器上编写实验所需要的指令。

[0054] 实验者将所需指令执行时需要的控制信号, 按时钟周期编写出来, 并存储在微程序存储器中。

[0055] 步骤 2, 执行指令。

[0056] 实验者将微处理器以软知识产权 IP 核的形式置于仿真平台上运行, 指令执行结果以仿真数据的形式在计算机屏幕上显示。

[0057] 步骤 3, 判断编写的指令是否正确。

[0058] 实验者观察仿真数据是否与指令执行预期结果数据相同, 以此判断编写的指令是否正确, 如果正确, 则执行步骤 4, 否则, 返回步骤 1, 重新编写指令。

[0059] 步骤 4, 编写实验程序。

[0060] 实验者根据步骤 1 所编写的指令, 在微处理器上编写实验程序, 并将其存储在程序 / 数据存储器中。

[0061] 步骤 5, 执行程序。

[0062] 实验者将微处理器以软知识产权 IP 核的形式, 置于 FPGA 评估板硬件平台上运行, 程序执行结果以输出数据的形式, 在 FPGA 评估板硬件平台上的显示屏或数码管显示。

[0063] 步骤 6, 判断编写的程序是否正确。

[0064] 实验者观察输出数据是否与程序执行预期结果数据相同, 以此判断编写的程序是否正确, 如果正确, 则实验结束, 否则, 返回步骤 4, 重新编写实验程序。

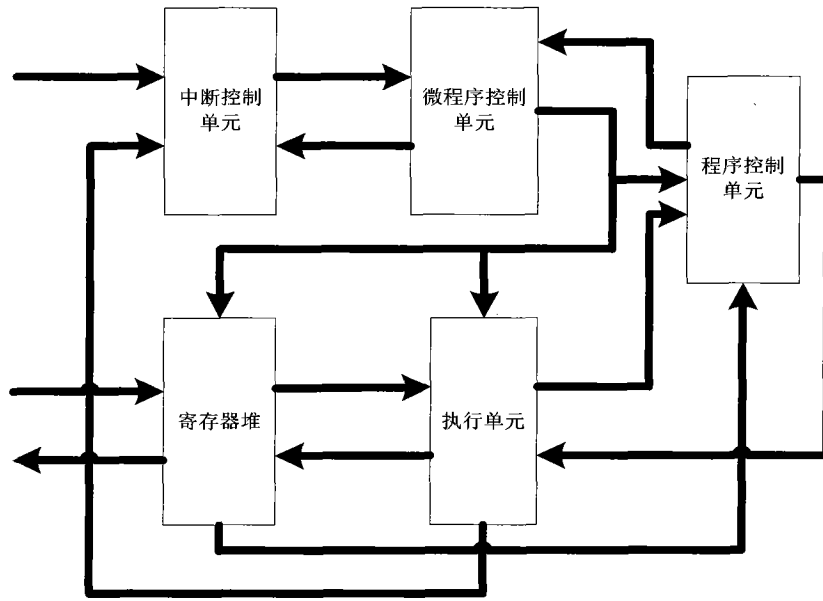


图 1

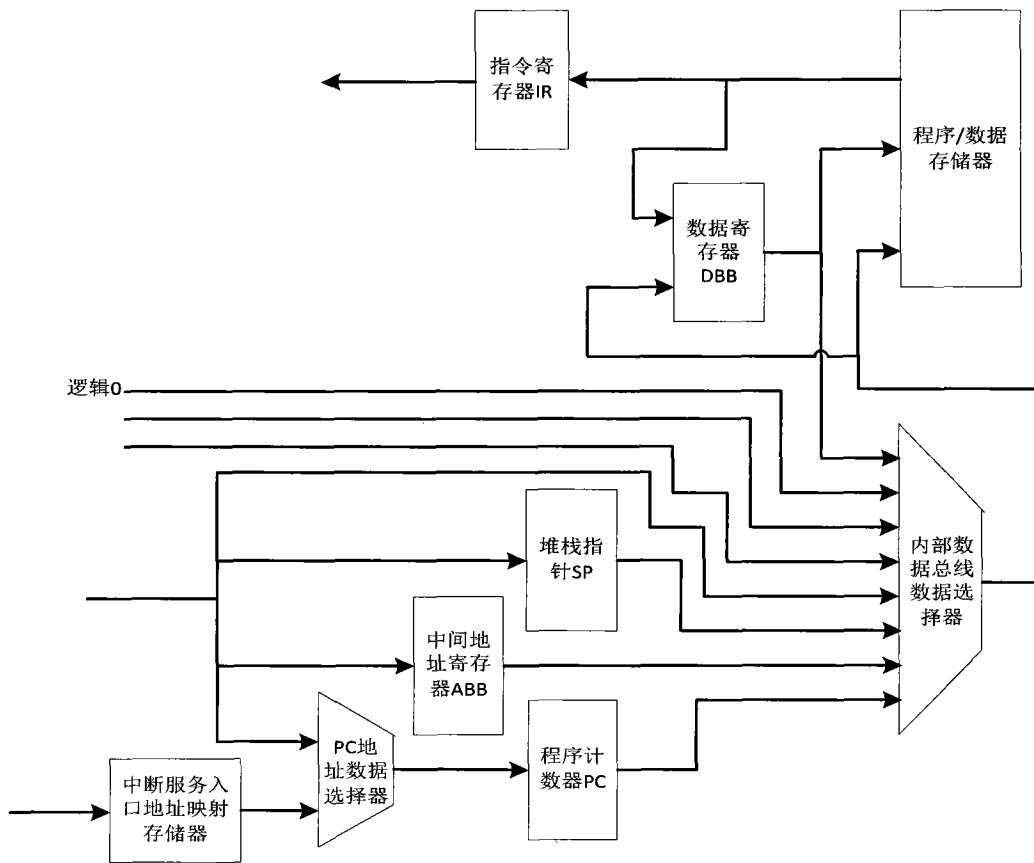


图 2

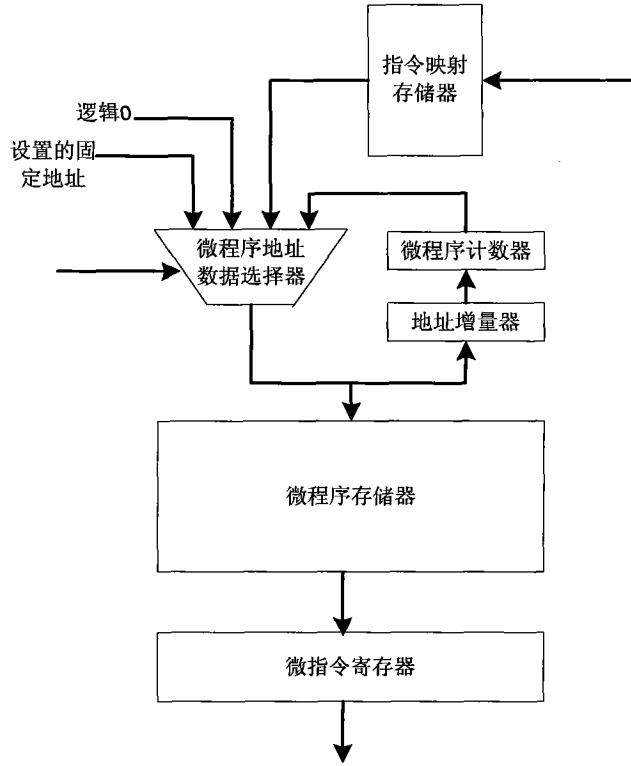


图 3

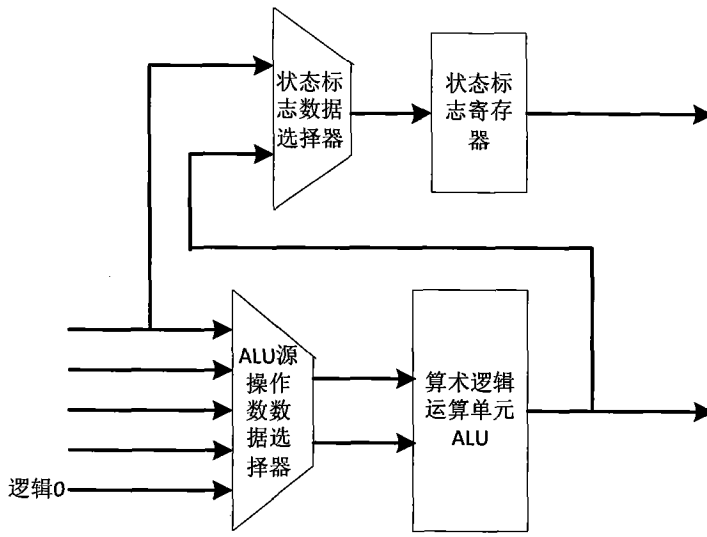


图 4

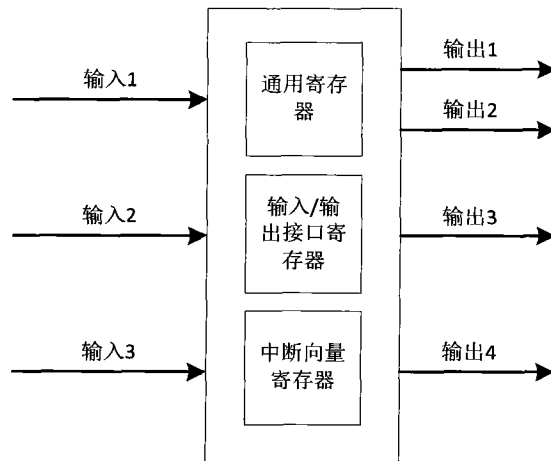


图 5

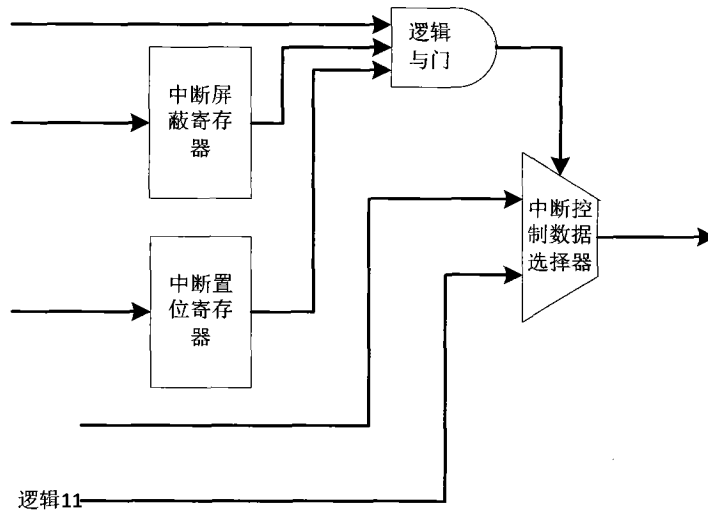


图 6

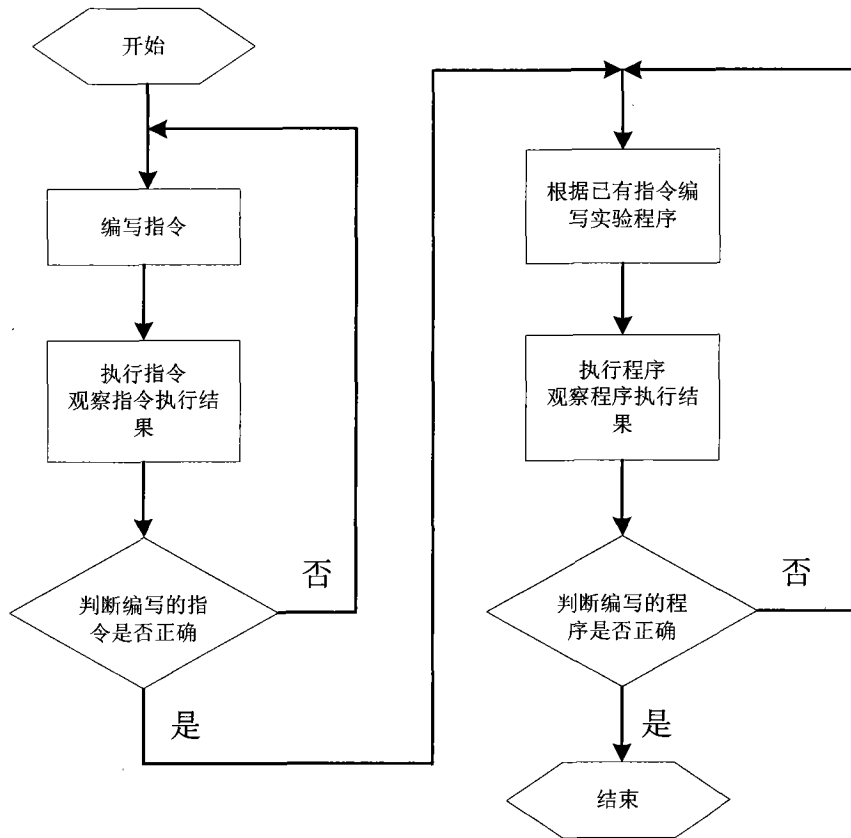


图 7