

(12) 发明专利

(10) 授权公告号 CN 101055757 B

(45) 授权公告日 2012. 09. 19

(21) 申请号 200710095834. 5

(22) 申请日 2007. 04. 05

(30) 优先权数据

60/789, 760 2006. 04. 06 US

11/381, 356 2006. 05. 02 US

(73) 专利权人 阿尔特拉公司

地址 美国加利福尼亚

(72) 发明人 王小宝 宋家康 K·Q·盖伊恩

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

G11C 7/10(2006. 01)

(56) 对比文件

US 6603329 B1, 2003. 08. 05, 全文.

US 6094069 A, 2000. 07. 25, 全文.

审查员 吴士芬

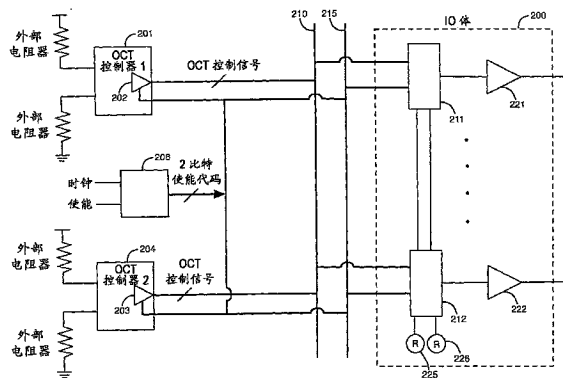
权利要求书 2 页 说明书 6 页 附图 7 页

(54) 发明名称

用于提供灵活的集成电路上片内终端控制的技术

(57) 摘要

提供了片内终端 (OCT) 校准技术, 其使用 OCT 控制器支持集成电路 (IC) 上的多个输入 / 输出 (I/O) 体。OCT 控制器使用一条共享并行总线或多条独立并行总线来校准 IO 体中的片内终端阻抗。每个 IO 体中的复用器或选择逻辑响应于选择信号而从 OCT 控制器选择控制信号。根据某些实施方式, IC 上的每个 IO 体可以从该 IC 上的任一 OCT 控制器接收 OCT 控制信号。



1. 一种集成电路,包括:

第一片内终端控制器,其产生第一组控制信号;

第二片内终端控制器,其产生第二组控制信号;

第一总线;

其中所述第一片内终端控制器包括第一驱动器,所述第一驱动器响应于具有第一值的使能代码,将来自所述第一片内终端控制器的第一组控制信号驱动到所述第一总线,其中所述使能代码包括至少 1 比特;

其中所述第二片内终端控制器包括第二驱动器,所述第二驱动器响应于具有第二值的使能代码,将来自所述第二片内终端控制器的第二组控制信号驱动到所述第一总线;以及

第一输入/输出体,其响应于所述使能代码,使得来自所述第一总线的控制信号控制至少一个缓冲器的片内终端阻抗。

2. 根据权利要求 1 所述的集成电路,其中所述第一总线环绕所述集成电路的外围而被路由到邻近所述集成电路的每个边缘的输入/输出体。

3. 根据权利要求 1 所述的集成电路,还包括:

第二总线,其被耦合以向所述第一片内终端控制器、所述第二片内终端控制器以及所述第一输入/输出体发送所述使能代码。

4. 根据权利要求 1 所述的集成电路,其中所述第一组控制信号控制第一缓冲器中的第一上拉晶体管和第一下拉晶体管,并且所述第二组控制信号控制第二缓冲器中的第二上拉晶体管和第二下拉晶体管。

5. 根据权利要求 1 所述的集成电路,其中所述第一输入/输出体包括第一选择逻辑块,所述第一选择逻辑块响应于具有所述第一值的使能代码,使得所述第一总线上的第一组控制信号控制第一缓冲器中的片内终端阻抗,以及

其中所述集成电路还包括第二选择逻辑块,所述第二选择逻辑块响应于具有所述第二值的使能代码,使得所述第一总线上的第二组控制信号控制第二缓冲器中的片内终端阻抗。

6. 根据权利要求 5 所述的集成电路,其中所述第一选择逻辑块和所述第二选择逻辑块中的每一个都包括一个锁存器,所述锁存器响应于所述使能代码而存储在所述第一总线上接收到的信号。

7. 根据权利要求 1 所述的集成电路,其中所述第一输入/输出体包括选择逻辑块,所述选择逻辑块在所述使能代码和 CRAM 比特具有所述第一值时,使得所述第一总线上的第一组控制信号控制缓冲器中的片内终端阻抗。

8. 根据权利要求 1 所述的集成电路,还包括:

第三片内终端控制器,其产生第三组控制信号,其中所述第三片内终端控制器包括第三驱动器,所述第三驱动器响应于具有第三值的使能代码,将来自所述第三片内终端控制器的第三组控制信号驱动到所述第一总线;以及

第二输入/输出体,其响应于所述使能代码,使得来自所述第一总线的控制信号控制至少一个缓冲器的片内终端阻抗。

9. 根据权利要求 1 所述的集成电路,其中所述集成电路是现场可编程门阵列。

10. 根据权利要求 9 所述的集成电路,其中所述现场可编程门阵列是包括处理器和存

储器的数字系统的一部分。

11. 一种用于控制集成电路上的片内终端阻抗的方法,所述方法包括:

使用第一控制器产生第一组片内终端控制信号;

使用第二控制器产生第二组片内终端控制信号;

响应于具有第一值的使能代码,使用第一驱动器,将所述第一组片内终端控制信号传送到第一并行总线;

响应于具有第二值的使能代码,使用第二驱动器,将所述第二组片内终端控制信号传送到第一并行总线;以及

对第一输入/输出体中的片内终端阻抗进行控制,所述第一输入/输出体被可编程地耦合以从所述第一并行总线接收片内终端控制信号,并且响应于所述使能代码,将所述片内终端控制信号传送到第一缓冲器。

12. 根据权利要求 11 所述的方法,其中沿着第二总线传送所述使能代码。

13. 根据权利要求 12 所述的方法,其中所述使能代码由计数器电路产生。

14. 根据权利要求 11 所述的方法,其中对被可编程地耦合以从所述第一并行总线接收片内终端控制信号的所述第一输入/输出体中的片内终端阻抗进行控制进一步包括:

响应于在选择逻辑块处接收到 CRAM 比特和所述使能代码的预定值,可编程地将所述第一输入/输出体耦合到所述第一并行总线。

15. 根据权利要求 14 所述的方法,其中所述选择逻辑块包括锁存器,所述锁存器响应于所述使能代码而存储在所述第一并行总线上接收到的信号。

16. 根据权利要求 11 所述的方法,还包括:

在第三控制器处产生第三组片内终端控制信号;

响应于具有第三值的使能代码,使用第三驱动器,将所述第三组片内终端控制信号传送到所述第一并行总线;以及

对第二输入/输出体中的片内终端阻抗进行控制,所述第二输入/输出体被可编程地耦合以从所述第一并行总线接收片内终端控制信号,并且响应于所述使能代码,将来自所述第一并行总线的片内终端控制信号传送到第二缓冲器。

17. 根据权利要求 11 所述的方法,其中所述集成电路是现场可编程门阵列。

用于提供灵活的集成电路上片内终端控制的技术

[0001] 相关申请的交叉引用

[0002] 本专利申请要求于 2006 年 4 月 6 日提交的美国临时专利申请 60/789,760 的优先权,在此通过参考将其引入。

技术领域

[0003] 本发明涉及片内终端阻抗控制,并且更特别地涉及为集成电路上片内终端阻抗控制提供更大灵活性的技术。

背景技术

[0004] 当传输线的阻抗与发射机和 / 或接收机的阻抗之间出现失配时,传输线上可能发生信号反射。反射的信号可能与所发射的信号发生干扰,引起失真并降低信号完整性。

[0005] 为了解决这一问题,传输线电阻性地端接匹配阻抗以最小化或消除信号反射。通常通过将外部终端电阻器耦合到适当的 I/O 管脚而端接集成电路封装上的输入 / 输出 (I/O) 管脚。然而,很多集成电路封装由于具有大量的 I/O 管脚而需要大量的终端电阻器。因此,越来越普遍的做法是使用片内终端 (OCT) 来电阻性地端接传输线,以便减少外部元件的数量。

[0006] 加利福尼亚州圣何塞市的 Altera 公司生产的 Stratix® II 现场可编程门阵列 (FPGA) 具有支持单个器件中众多高速存储器接口的校准片内终端。由于不同的存储器接口需要不同的电源电压,因此在输入 / 输出 (I/O) 体中配置输入 / 输出 (I/O) 缓冲器,以便灵活地支持存储器接口。每个 I/O 体具有其自己的独立于其他 I/O 体的电源。同一 I/O 体内的 I/O 缓冲器共享同一电源。在顶部的 I/O 体和底部的 I/O 体中支持校准的片内源终端 (Rs) 和并行终端 (Rt) 以获得较高的存储器接口性能。但是 FPGA 上的侧面的 I/O 体不支持校准的源片内终端和并行片内终端。作为结果,侧面的 I/O 体可能只支持较低性能的存储器接口。

[0007] 因此,希望通过允许更多的 I/O 体支持高速存储器接口来提高 FPGA 上的灵活性。

发明内容

[0008] 本发明提供片内终端 (OCT) 校准技术,该技术使用 OCT 控制器支持集成电路 (IC) 上的多个输入 / 输出 (I/O) 体。OCT 控制器使用一条共享并行总线或多条独立并行总线来校准 I/O 体中的片内终端阻抗。每个 I/O 体中的选择逻辑或复用器响应于选择信号选择来自 OCT 控制器的控制信号。

[0009] 根据本发明的某些实施方式,IC 上的每个 I/O 体可以从该 IC 上的任一 OCT 控制器接收 OCT 控制信号。本发明提高了 I/O 体中 OCT 支持的效率和利用。

[0010] 在考虑下述详细描述和附图之后,本发明的其他目的、特征和优势将变得明显,各图中相同的参考标号代表相同的特征。

附图说明

[0011] 图 1A 示出了根据本发明的一个实施方式的集成电路,该集成电路具有四个 OCT 控制器,这些 OCT 控制器可以将 OCT 控制信号路由到该芯片上的任一 IO 体。

[0012] 图 1B 示出了可以用于实现本发明的实施方式的片内终端 (OCT) 控制器的下拉部分。

[0013] 图 1C 示出了可以用于实现本发明的实施方式的片内终端 (OCT) 控制器的上拉部分。

[0014] 图 2 示出了根据本发明的一个实施方式的集成电路的一部分,该集成电路具有 OCT 控制器,该 OCT 控制器可以通过由 OCT 选择逻辑块共享的总线选择性地耦合到 IO 体。

[0015] 图 3 示出了根据本发明的另一实施方式的 OCT 选择逻辑块的详细视图。

[0016] 图 4 示出了根据本发明的另一实施方式的集成电路的一部分,该集成电路具有 OCT 控制器,该 OCT 控制器可以通过一组复用器选择性地耦合到 IO 体。

[0017] 图 5 是可以实施本发明的技术的现场可编程门阵列的简化框图。

[0018] 图 6 是可以实施本发明的实施方式的电子系统的框图。

具体实施方式

[0019] 图 1A 中示出了本发明的第一实施方式。根据图 1A 的实施方式,在集成电路 (IC) 100 上的所有 IO 体中都支持片内源终端和片内并行终端。IC100 包含 4 个片内终端 (OCT) 控制器 1、2、3 和 4 以及 8 个 IO 体 101-108。OCT 控制器 1-4 可以沿着总线 110 驱送控制信号,以控制任一 IO 体 101-108 中的 IO 缓冲器处的片内终端阻抗。作为结果,IC100 的结构提供高度的灵活性。

[0020] IC100 的架构允许 IC 上更多的 IO 体支持高性能的存储器接口,因为来自 OCT 控制器的 OCT 控制信号可以被驱送到该芯片上的任一 IO 体。在图 1A 中,为了便于说明,只示出了 8 个 IO 体和 4 个 OCT 控制器。根据其他的实施方式,可以以类似的方式在 IC 上提供更多或更少的 IO 体和 OCT 控制器。

[0021] 在图 1A 中,任一 OCT 控制器可以被用于控制任一 IO 体,只要该 OCT 控制器和由它控制的 IO 体中的电源电压相同即可。例如,IO 体 101、IO 体 103 和 IO 体 105 可以由 OCT 控制器 1 来控制,只要 IO 体 101、103 和 105 的电源电压相同。IC100 提高了 IO 体中 OCT 支持的效率和利用。

[0022] 本发明提供了灵活且普遍存在的 OCT 校准架构,其最大化地开发了支持 FPGA (和 ASIC) 器件中具有不同电压的不同存储器接口的潜力。在 IC 上的所有 IO 体之间共享 OCT 控制器。顶部、底部和侧面的 IO 体都支持根据该芯片上的任一 OCT 控制器的 OCT 校准。提供这种程度的 OCT 支持的成本不高,但是其提供的灵活性为用户极大地增强了 FPGA 器件的效率和利用。

[0023] 图 1B 和图 1C 示出并针对图 1B 和图 1C 描述了 OCT 控制器实现的更多细节。每个 OCT 控制器典型地具有如图 1B 中所示的一组下拉晶体管 (NMOS) 123 和如图 1C 中所示的一组上拉晶体管 (PMOS) 131 (例如每组中有 7 个晶体管)。该组上拉晶体管 131 并联地耦合在一起,该组下拉晶体管 123 也并联地耦合。

[0024] 对 OCT 控制器中的晶体管的尺寸 (W/L 沟道比) 进行二进制加权。例如,可以使用下述比来确定上拉晶体管和下拉晶体管的尺寸: $1/8x$, $1/4x$, $1/2x$, $1x$, $2x$, $4x$, $8x$ 。具有 $1/8x$

尺寸的晶体管是最小的,而具有 8x 尺寸的晶体管是最大的。每个晶体管可以通过数字信号单独地启用或禁用。

[0025] 参考图 1B,比较器 121 将由电阻器 125 和 126 产生的参考电压与管脚 124 处的电压进行比较。管脚 124 耦合到晶体管 123 和外部电阻器 127。比较器 121 的输出耦合到 OCT 校准逻辑 122。OCT 校准逻辑 122 响应于比较器 121 的输出而在 7 比特总线 128 上产生一组数字 OCT 控制信号。总线 128 上的 OCT 控制信号动态地启用或禁用晶体管 123,直到阻抗匹配。

[0026] 参考图 1C,比较器 133 将由电阻器 135 和 136 产生的参考电压与管脚 134 处的电压进行比较。管脚 134 耦合到晶体管 131 和外部电阻器 137。比较器 133 的输出耦合到 OCT 校准逻辑 132。OCT 校准逻辑 132 响应于比较器 133 的输出而在 7 比特总线 138 上产生一组数字 OCT 控制信号。该 OCT 控制信号动态地启用或禁用晶体管 131,直到阻抗匹配。

[0027] 在校准完成之后,PMOS 晶体管 131 的阻抗与外部电阻器 137 匹配,并且 NMOS 晶体管 123 的阻抗与外部电阻器 127 匹配。总线 128 和 138 上的 OCT 控制信号随后被发送到 IO 体,在 IO 体中使用这些 OCT 控制信号来控制 IO 缓冲器中的上拉二进制加权晶体管和下拉二进制加权晶体管的片内终端阻抗。OCT 校准处理补偿了 IC 上的工艺、电压和温度 (PVT) 差异。

[0028] 除了同时启用 PMOS 晶体管和 NMOS 晶体管以形成戴维南 (Thevenin) 电路以外,使用与源片内终端 (R_s) 相同的晶体管来实现并行片内终端 (R_t)。并行 OCT (R_t) 通常选择为 50 欧姆,因为典型的传输线阻抗是 50 欧姆。由于晶体管的 I-V 曲线是非线性的,并且当 $V_{ds} = 1/2 * V_{CCN}$ 或更高时通常处于饱和区,因此 $V_{ds} = V_{CCN}$ 时晶体管的阻抗约为 $V_{ds} = 1/2 * V_{CCN}$ 时阻抗的两倍,其中 V_{CCN} 是电源电压。当晶体管的源漏电流 (I_{ds}) 不再随着源漏电压 (V_{ds}) 的增大而增大时,晶体管处于饱和区。具有当 $V_{ds} = 1/2 * V_{CCN}$ 时 $R_s = 50$ 欧姆的校准阻抗的相同 PMOS 晶体管和 NMOS 晶体管可以用于实现 $R_t = 50$ 欧姆。

[0029] 根据本发明的另一实施方式,集成电路 (IC) 上的 OCT 控制器可以环绕该 IC 的外围 (如图 1A 所示) 沿着共享总线将 OCT 控制信号发送到任一 IO 体。图 2 示出并针对图 2 描述了该实施方式的更多细节。

[0030] 芯片上的每个 OCT 控制器 (诸如 OCT 控制器 201 和 204) 可以沿并行总线 210 将 OCT 控制信号发送到芯片上的任一 IO 体 (诸如 IO 体 200)。每个 OCT 控制器产生一组并行 OCT 控制信号。例如,OCT 控制器 201 和 204 可以分别产生 14 个并行 OCT 控制信号。OCT 控制信号沿总线 210 并行地路由到一个或多个 IO 体。

[0031] 在图 2 的实施方式中,沿一条共享总线 210 发送来自所有 OCT 控制器的 OCT 控制信号。然而,在任意给定时间 OCT 控制器中只有一个 OCT 控制器可以沿总线 210 发送 OCT 控制信号。图 2 中的 2 比特计数器 206 控制沿总线 210 的流量。将 2 比特计数器 206 的两个输入进行耦合以接收时钟信号和使能信号。时钟信号和使能信号可以由用户控制。

[0032] 2 比特计数器 206 输出 2 比特编码的 OCT 使能代码,该代码环绕芯片沿总线 215 并行地发送到 IC 上的每个 OCT 控制器 (包括控制器 201 和 204) 以及每个 IO 体。在图 2 的实施方式中,计数器 206 产生 2 比特使能代码,该代码被编码为提供 4 种不同的状态 (00, 01, 10, 11),以控制来自 4 个不同 OCT 控制器的信号何时沿总线 210 进行发送。根据其他实施方式,计数器 206 可以输出具有 1 比特 (用于控制来自 2 个 OCT 控制器的信号)、3 比特

(用于控制来自达 8 个 OCT 控制器的信号) 或多于 3 比特 (用于控制来自多于 8 个 OCT 控制器的信号) 的使能代码。使能代码中使能信号的数量为至少 $\log_2(M)$, 其中 M 是 OCT 控制器的数量。

[0033] 当使能信号输入为低时, 计数器 206 保持 2 比特使能代码的值不变。当使能信号输入为高时, 计数器 206 将总线 215 上的 2 比特使能代码的值从 00 增大到 01, 增大到 10, 增大到 11。时钟信号控制计数器的定时。当用户想要重新校准一个或多个 IO 体中的片内终端阻抗时, 用户可以使得使能信号转为高。

[0034] 由计数器 206 产生的 2 比特编码的 OCT 使能代码控制每个 OCT 控制器中的三态驱动器的状态。例如, 2 比特使能代码控制 OCT 控制器 201 中的三态驱动器 202 和 OCT 控制器 204 中的三态驱动器 203 的状态。当 2 比特使能代码处于特定的预定状态时, IC 上每个 OCT 控制器中的三态驱动器将来自 OCT 控制器的 OCT 控制信号驱送至总线 210。当 2 比特使能代码不处于该预定状态时, OCT 控制器的输出处于三态 (禁用)。2 比特计数器 206 依次使能 OCT 控制器。

[0035] 例如, 当 2 比特使能代码是 00 时, 三态驱动器 202 仅将来自 OCT 控制器 201 的 14 比特 OCT 控制信号驱送至总线 210, 并且当 2 比特使能代码是 11 时, 三态驱动器 203 仅将来自 OCT 控制器 204 的 14 比特 OCT 控制信号驱送至总线 210。以这种方式, 2 比特使能代码在某一时间只允许一个 OCT 控制器在总线 210 上向 IO 体发送 OCT 控制信号。

[0036] 因此, 在任意时间 IC 上只有一个 OCT 控制器提供激活的输出。2 比特使能代码的二进制状态指示了哪个 OCT 控制器激活地向总线 210 输出 OCT 控制信号 (例如, 00 表示 OCT 控制器 201 是激活的)。通过响应于使能信号而依次增大 2 比特代码, 计数器 206 可以依次使得每个 OCT 控制器通过总线 210 控制所选 IO 体中的片内终端。

[0037] 在每个 IO 体中于一组 OCT 选择逻辑块 (包括选择逻辑块 211 和 212) 处从总线 210 接收 OCT 控制信号。OCT 选择逻辑块确定何时将总线 210 上的 OCT 控制信号耦合到相应的 IO 缓冲器。例如, OCT 选择逻辑块 211 可以将总线 210 上的 OCT 控制信号耦合到 IO 缓冲器 221, 并且 OCT 选择逻辑块 212 可以将总线 210 上的 OCT 控制信号耦合到 IO 缓冲器 222。

[0038] CRAM 比特 225-226 的状态和来自计数器 206 的 2 比特使能代码决定 OCT 选择逻辑块 211-212 何时将总线 210 上的 OCT 控制信号发送到 IO 缓冲器。图 3 示出了本发明的 OCT 选择逻辑块的例子。图 3 只示出了 OCT 选择逻辑块的一种实施方式。还有很多其他的 OCT 选择逻辑块的实施方式可以用于实现本发明。

[0039] 图 3 的 OCT 选择逻辑块包括两个异或非 (XNOR) 门 301 和 302 以及与 (AND) 门 303 以及一组锁存器 304。异或非门 301 和 302 是各自产生异或函数的反函数的异或非门。只有当两个输入均为低或两个输入均为高时异或非门的输出才为高。异或非门 301 在第一输入处接收 CRAM 比特 225 并在第二输入处接收来自计数器 206 的 2 比特使能代码的第一比特 en0。异或非门 302 在第一输入处接收 CRAM 比特 226 并在第二输入处接收来自计数器 206 的 2 比特使能代码的第二比特 en1。

[0040] 将异或非门 301-302 的输出传送到与门 303 的两个输入。与门 303 产生使能信号, 该使能信号被传送到一组锁存器 304 的输入。只有当 en0 等于 CRAM 比特 225 且 en1 等于 CRAM 比特 226 时, 与门 303 的使能信号输出才为高。

[0041] 根据图 3 的一个特定例子, 锁存器 304 包括 14 个锁存器。将每个锁存器进行耦合

以从总线 210 接收并行 OCT 控制信号中的一个信号。锁存器 304 的输出耦合到一个 IO 缓冲器（或多个 IO 缓冲器）。

[0042] 当来自与门 303 的使能信号为高时，锁存器 304 存储总线 210 上的 OCT 控制信号的状态并将存储的信号发送到 IO 缓冲器。当来自与门 303 的使能信号为低时，锁存器 304 阻止总线 210 上的 OCT 控制信号被发送到 IO 缓冲器。OCT 控制信号的每个比特选择性地使 IO 缓冲器中的晶体管控制 IO 管脚处的片内终端阻抗。

[0043] 选择 CRAM 比特 225 和 226 的状态以允许来自特定 OCT 控制器的 OCT 控制信号被发送到 IO 体 200 中的 IO 缓冲器。例如，CRAM 比特 225 和 226 可以被设置为 00，以允许来自控制器 201 的 OCT 控制信号当 2 比特使能代码（en0 和 en1）等于 00 时对 IO 体 200 中的 IO 缓冲器进行控制。

[0044] 一般而言，每个 IO 体中的 CRAM 比特被预配置为选择来自特定 OCT 控制器的 OCT 控制信号以控制该 IO 体中的片内终端阻抗。如果需要，则通过针对相应的 IO 体选择适当的 CRAM 比特，来自一个 OCT 控制器的 OCT 控制信号可以控制两个（或更多）IO 体中的片内终端阻抗。本发明提供了允许任意 OCT 控制器控制芯片上任意 IO 体中的片内终端阻抗的灵活性。

[0045] 根据本发明的其他实施方式，集成电路可以具有多于 4 个（或少于 4 个）OCT 控制器，该 OCT 控制器可以沿共享并行总线向芯片上的任一 IO 体发送 OCT 控制信号。

[0046] 根据本发明的又一实施方式，集成电路（IC）上的 OCT 控制器环绕该 IC 的外围沿独立总线向每个 IO 体并行地发送 OCT 控制信号。图 4 中示出了本发明的该实施方式。图 4 示出了具有四个 OCT 控制器的 IC 的部分框图，该 OCT 控制器可以选择性地控制该 IC 上的任一 IO 体中的片内终端。为了简化视图，图 4 中仅示出了两个 OCT 控制器 401 和 404。

[0047] 图 4 的 IC 具有四条总线 431-434。总线 431-434 的每一条具有一组并行信号线（例如，每条总线中 14 比特）。四个 OCT 控制器中的每个 OCT 控制器都可以仅通过总线 431-434 中的一条总线并行地向该 IC 上的任意 IO 体发送 OCT 控制信号。例如，OCT 控制器 401 可以通过总线 431 向 IO 体 400 发送 OCT 控制信号。作为另一个例子，OCT 控制器 404 可以通过总线 434 向 IO 体 400 发送 OCT 控制信号。

[0048] 两个 CRAM 比特 409 和 410 用于 IO 体 400 中以使用一组 4 至 1 复用器从 4 个不同 OCT 控制器中的一个 OCT 控制器选择 OCT 控制信号。例如，复用器 411 和 412 可以从 OCT 控制器 401 或 404 选择 OCT 控制信号。

[0049] 每个 IO 体中的复用器的数量取决于每个 OCT 控制器产生的 OCT 控制信号的数量。例如，如果每个 OCT 控制器产生 14 个 OCT 控制信号，则每个 IO 体包含 14 个可从任一 OCT 控制器选择信号的 4 至 1 复用器。复用器将从总线 431-434 之一接收到的 OCT 控制信号耦合到 IO 缓冲器以提供片内终端控制。根据本发明的其他实施方式，一个 IC 可以具有多于 4 个（或少于 4 个）OCT 控制器，每个 OCT 控制器沿独立总线向 IC 上的任一 IO 体发送 OCT 控制信号。

[0050] 图 5 是可以包括本发明的各方面的 FPGA500 的简化部分框图。FPGA500 仅仅是可以包括本发明的特征的集成电路的一个例子。应当理解，本发明可以应用到多种类型的电路，诸如现场可编程门阵列（FPGA）、可编程逻辑器件（PLD）、复杂可编程逻辑器件（CPLD）、可编程逻辑阵列（PLA）以及专用集成电路（ASIC）。

[0051] FPGA500 包括可编程逻辑阵列块（或 LAB）502 的二维阵列，这些 LAB502 通过长度和速度变化的列互连导体和行互连导体的网络而互连。LAB502 包括多个（例如 10 个）逻辑单元（或 LE）。

[0052] LE 是提供用户定义的逻辑功能的有效实施的可编程逻辑块。FPGA 具有多个逻辑单元，这些逻辑单元可配置为实现各种组合功能和有序功能。逻辑单元可以接入可编程互连结构。可编程互连结构可以被编程为以几乎任意期望配置对逻辑单元进行互连。

[0053] FPGA500 还包括分布式的存储器结构，其包括在整个阵列上提供的大小变化的 RAM 块。RAM 块包括例如块 504、块 506 和块 508。这些存储器块还可以包括移位寄存器和 FIFO 缓冲器。

[0054] FPGA500 还包括数字信号处理 (DSP) 块 510，其能够实现例如具有加法或减法功能的乘法器。在本例中处于环绕芯片的外围的 IO 块 (IO) 512 支持多种单端和差分输入 / 输出标准。IO 块包含 IO 缓冲器，并通常被分组为 IO 体。可以理解，在此仅出于说明的目的描述了 FPGA500，并且本发明可以在很多不同类型的 PLD、FPGA 等中实现。

[0055] 本发明还可以在将 FPGA 作为若干组件之一的系统中实现。图 6 示出了可以实施本发明的技术的示例性数字系统 600 的框图。系统 600 可以是编程的数字计算机系统、数字信号处理系统、专用数字交换网络或其他的处理系统。此外，可以针对种类繁多的应用设计这些系统，诸如电信系统、汽车传动系统、控制系统、消费电子、个人计算机、因特网通信和联网等。另外，系统 600 可以提供于单板上、多板上或在多个外壳之内。

[0056] 系统 600 包括通过一条或多条总线互连在一起的处理单元 602、存储器单元 604 和 I/O 单元 606。根据该示例性实施方式，FPGA608 内嵌于处理单元 602 中。FPGA608 可以服务于图 6 中的系统内的很多不同的目的。例如，FPGA608 可以是处理单元 602 的逻辑构成块，支持其内部和外部的操作。FPGA608 被编程为实现对在系统操作中发挥其特定作用来说所需的逻辑功能。FPGA608 可以通过连接 610 专门耦合到存储器 604，并通过连接 612 专门耦合到 I/O 单元 606。

[0057] 处理单元 602 可以将数据导向适当的系统组件以便处理或存储，可以执行存储在存储器 604 中的程序或者可以经由 I/O 单元 606 接收和发送数据，或者完成其他类似功能。处理单元 602 可以是中央处理单元 (CPU)、微处理器、浮点协处理器、图形协处理器、硬件控制器、微控制器、编程为用作控制器的现场可编程门阵列、网络控制器，或者任意类型的处理器或控制器。而且，在很多实施方式中，经常不需要 CPU。

[0058] 例如，一个或多个 FPGA608 可以取代 CPU 来控制系统的逻辑操作。作为另一个例子，FPGA608 充当可重新配置的处理器，其可以根据需要重新编程以处理特定的计算任务。可选地，FPGA608 自身可以包括内嵌的微处理器。存储器单元 604 可以是随机存取存储器 (RAM)、只读存储器 (ROM)、固定或可变磁盘介质、PC 卡闪存存储器、磁带或任意其他存储装置，或这些存储装置的任意组合。

[0059] 已经出于说明和描述的目的提供了对本发明的示例性实施方式的以上描述。这并非对本发明的穷举，或要将本发明限于公开的精确形式。本发明旨在包含大量的修改、各种变化以及替换。在某些情况下，本发明的特征可以在脱离所阐述的其他特征的相应使用的情况下使用。在不偏离本发明的范围的情况下，根据上述启示可以得到很多修改和变型。本发明的范围不应受到这些具体描述的限制，而是由所附的权利要求书来限定。

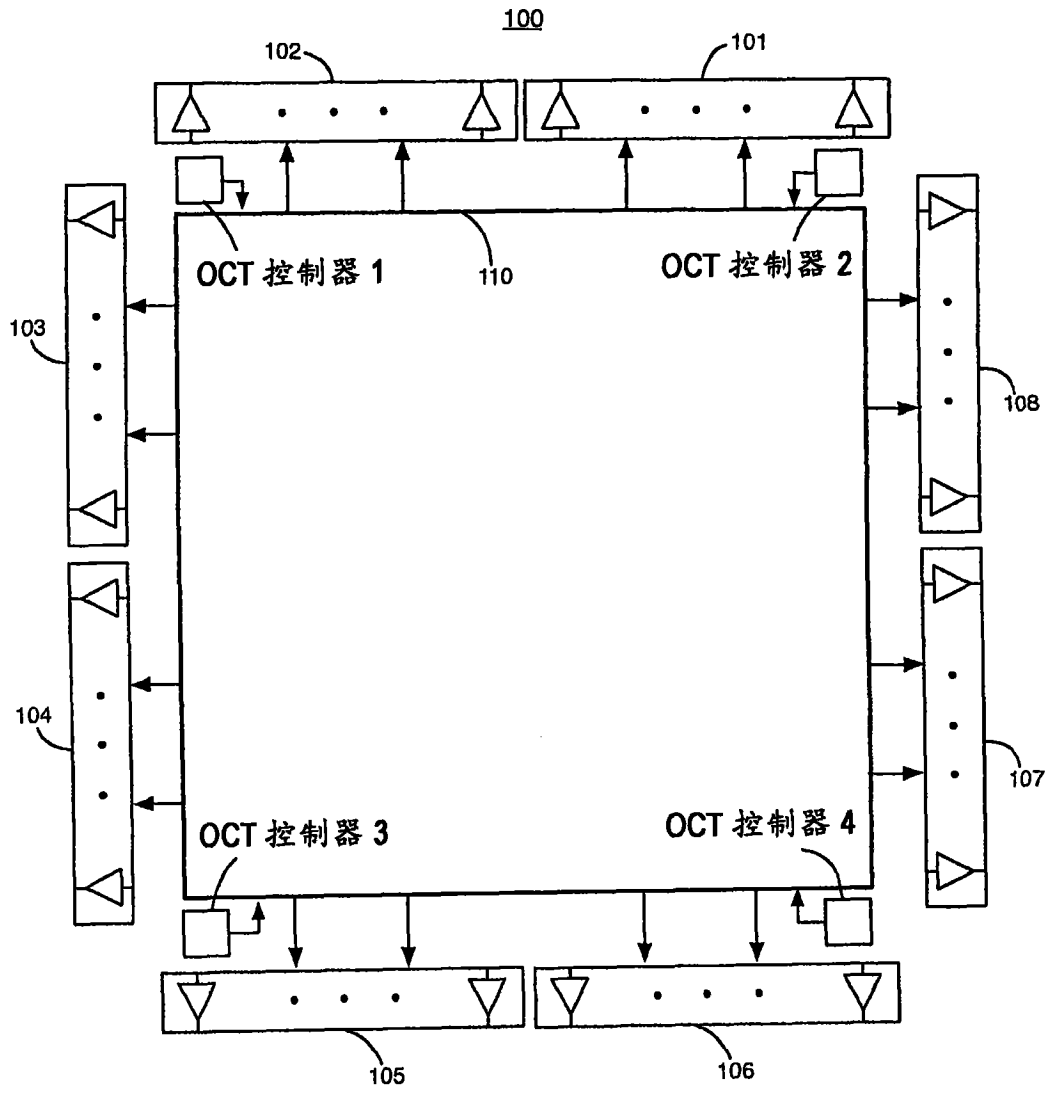


图 1A

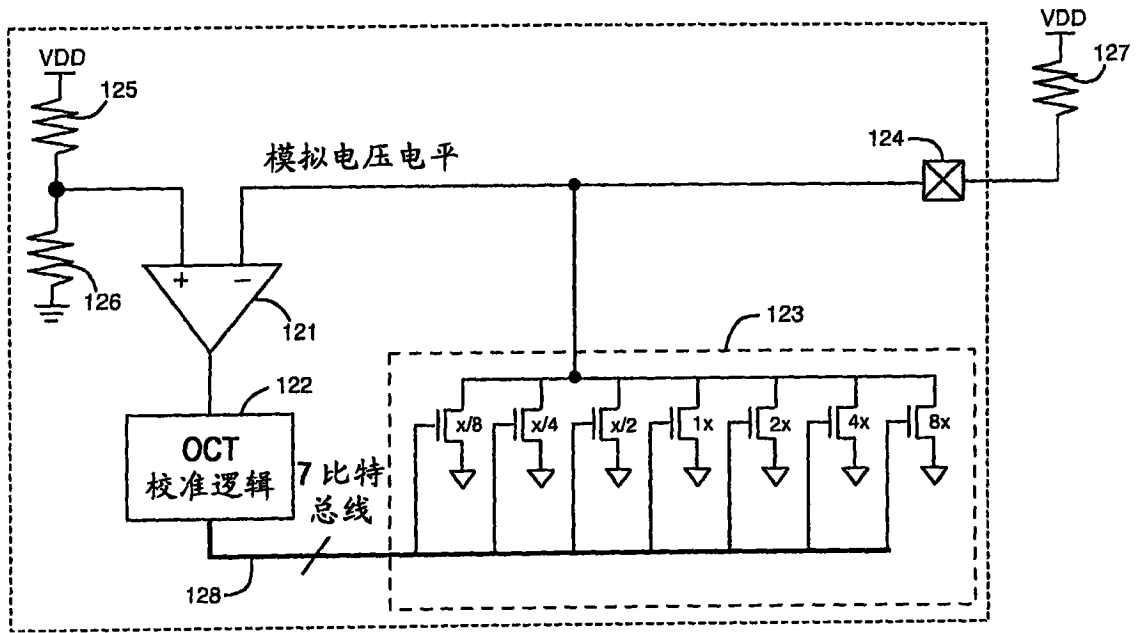


图 1B

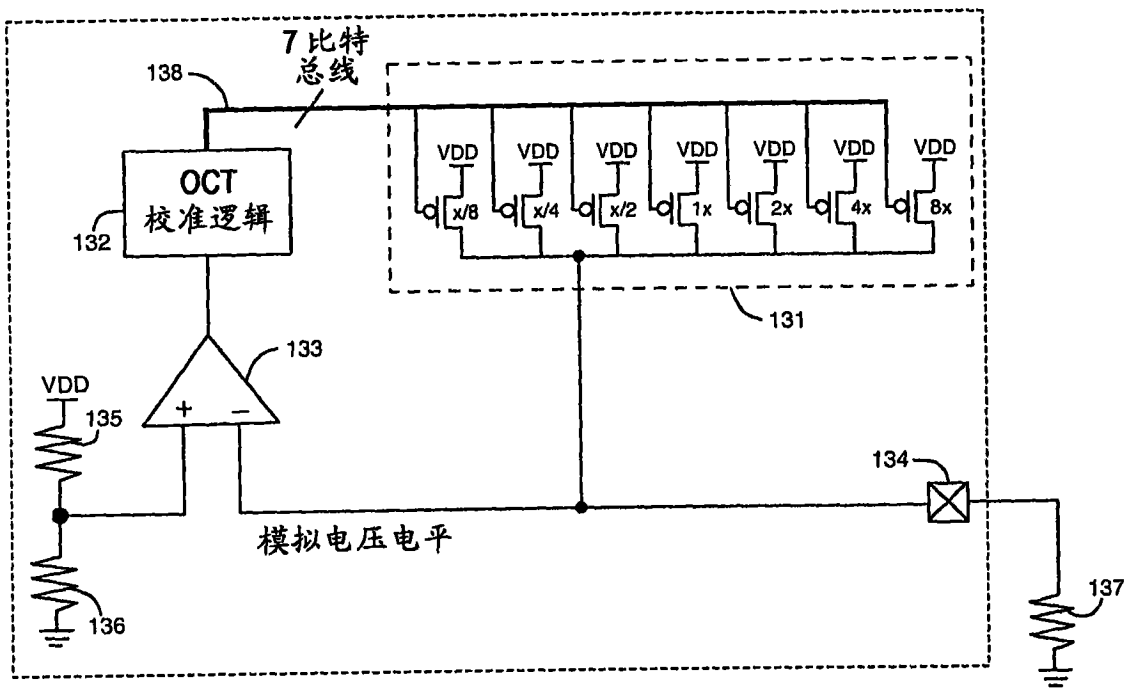


图 1C

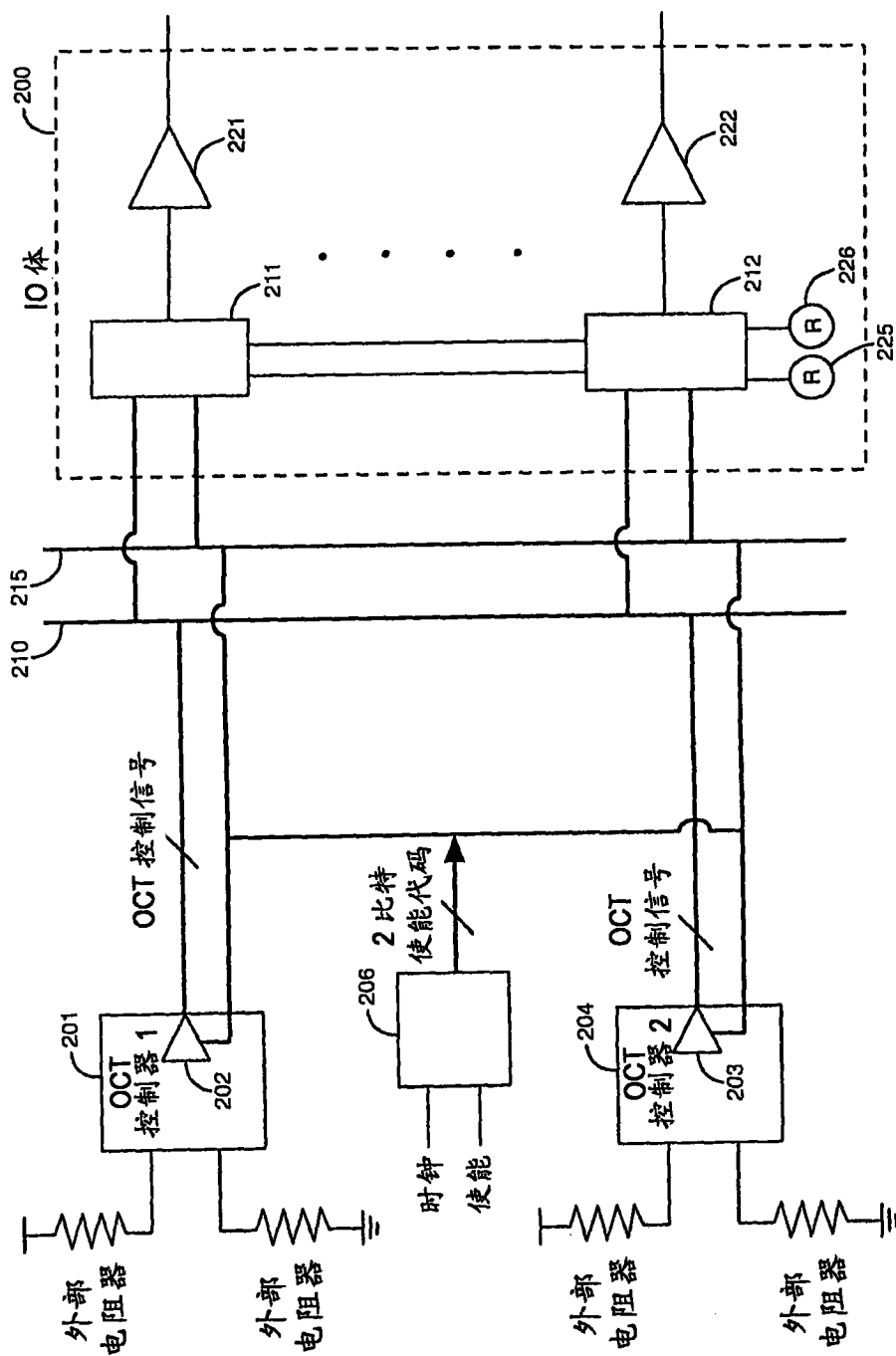


图 2

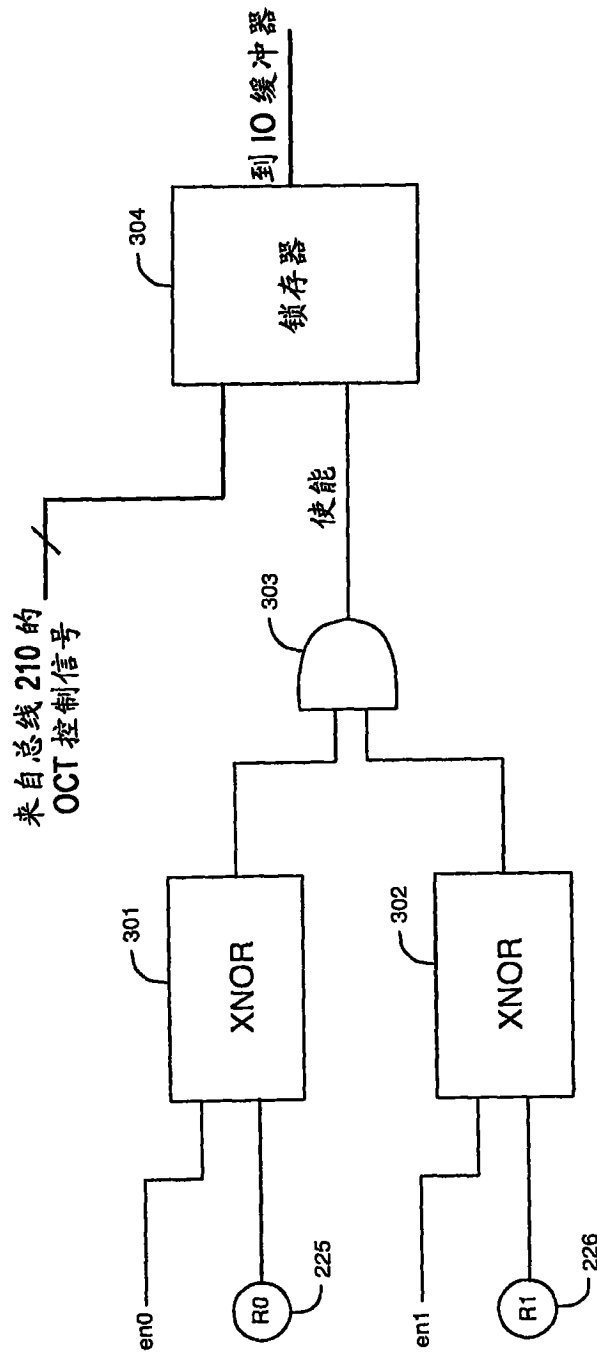


图 3

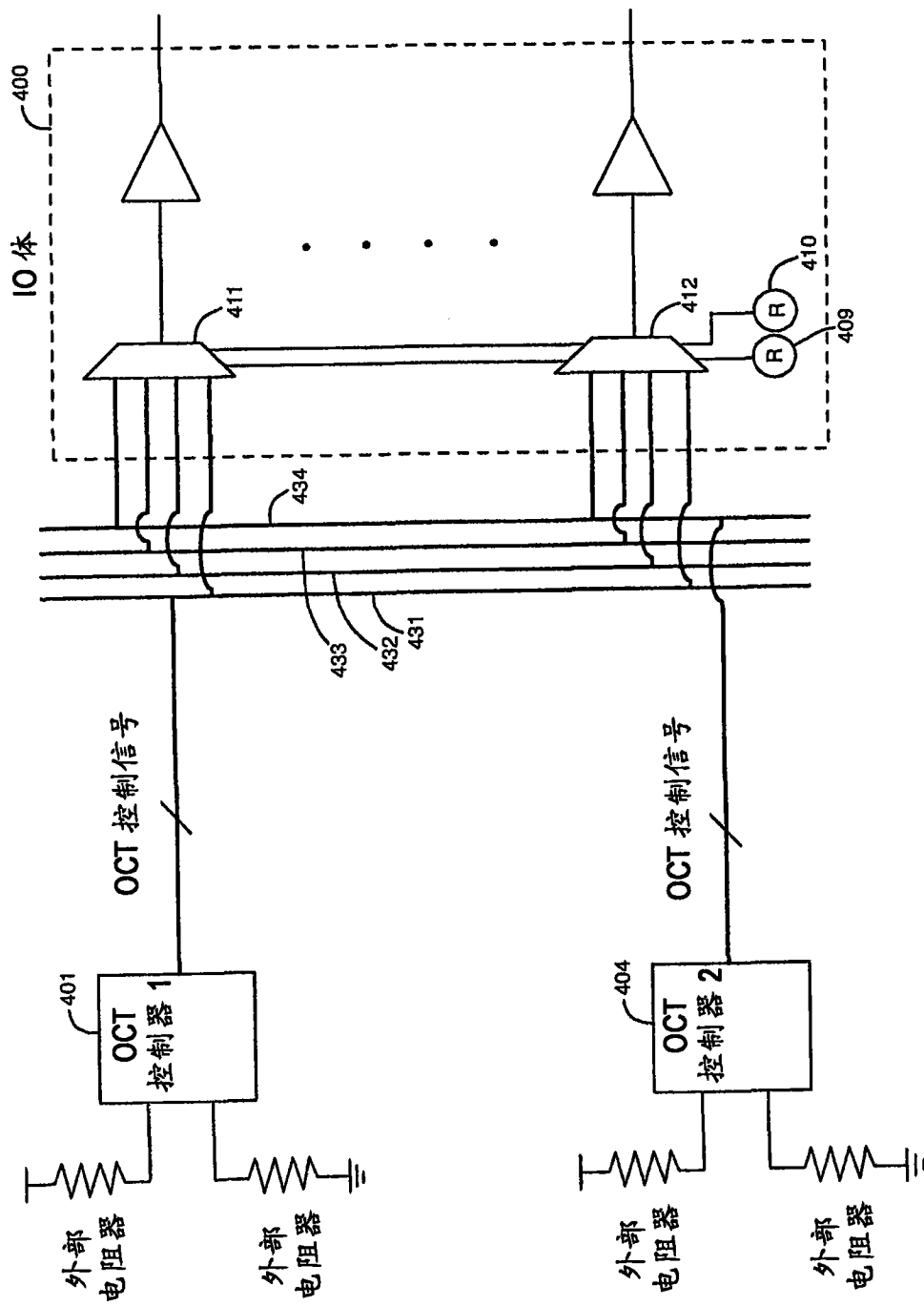


图 4

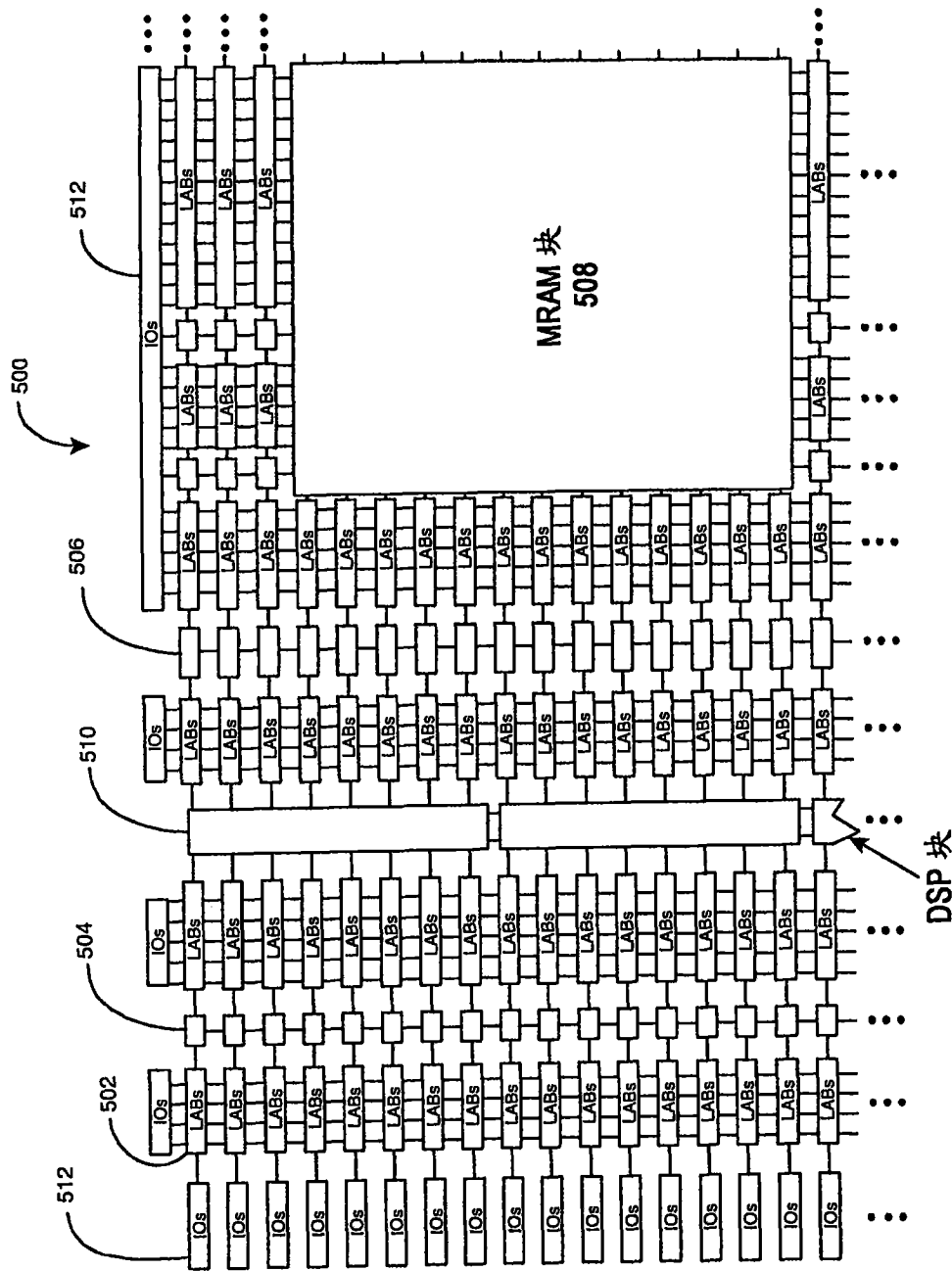


图 5

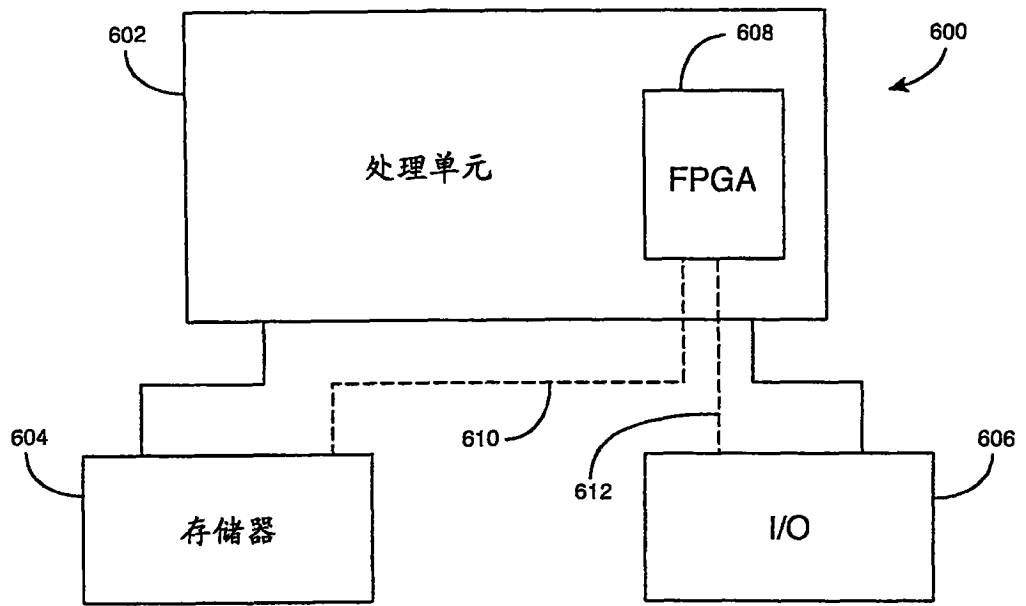


图 6