

拾壹、圖式：

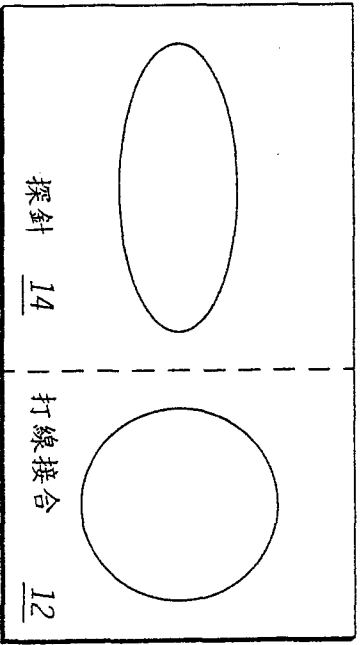


圖 1

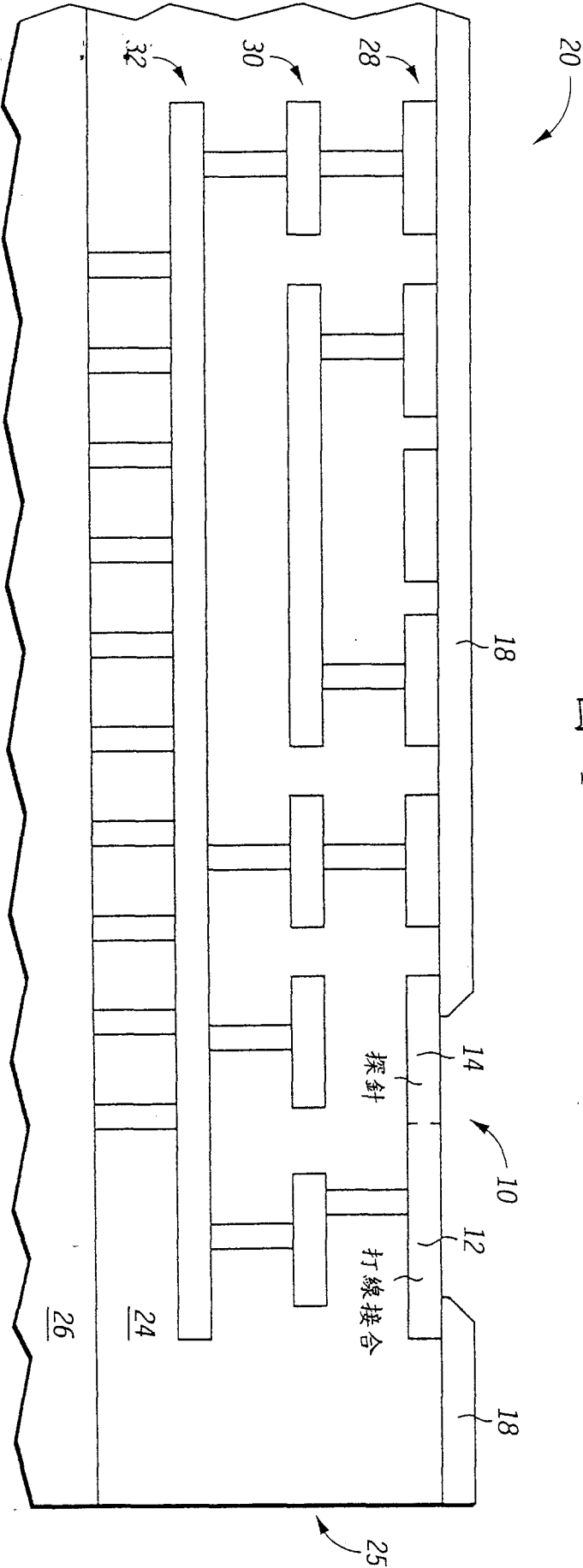


圖 2

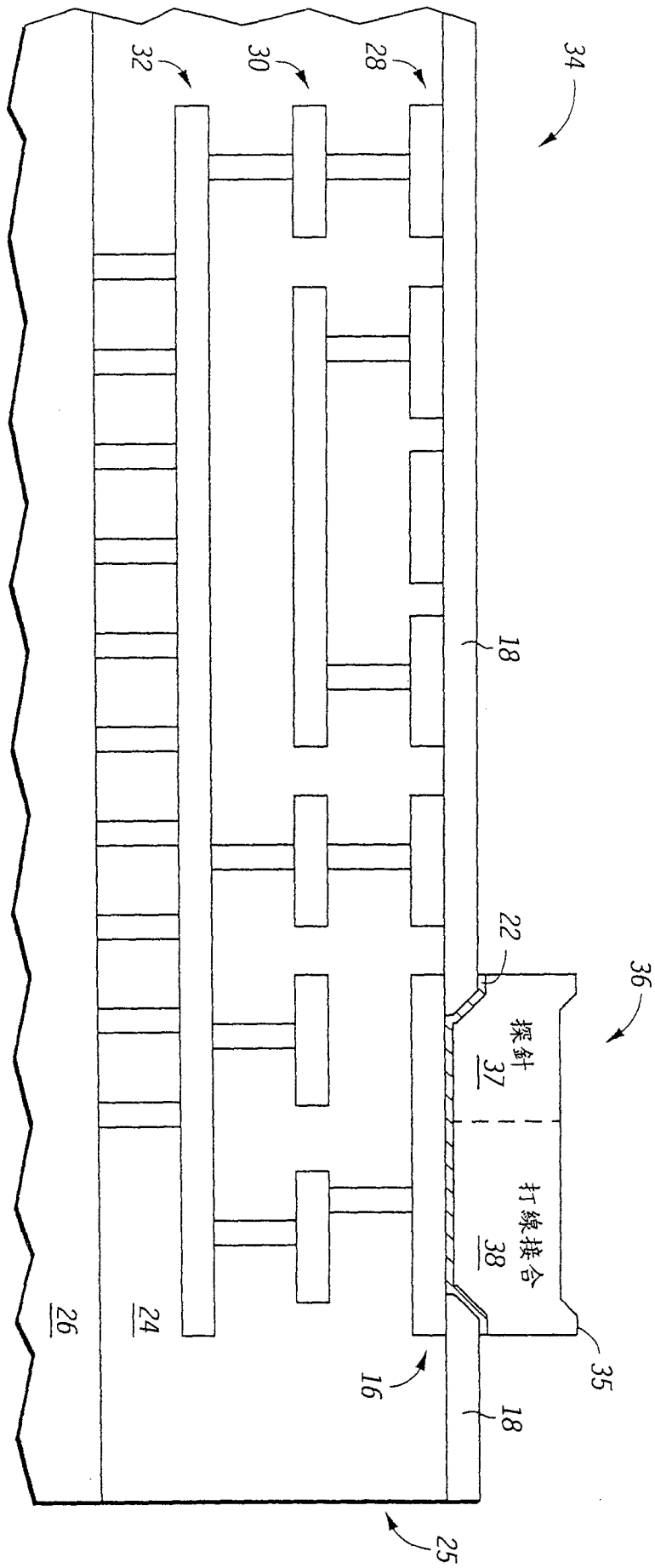


圖 3

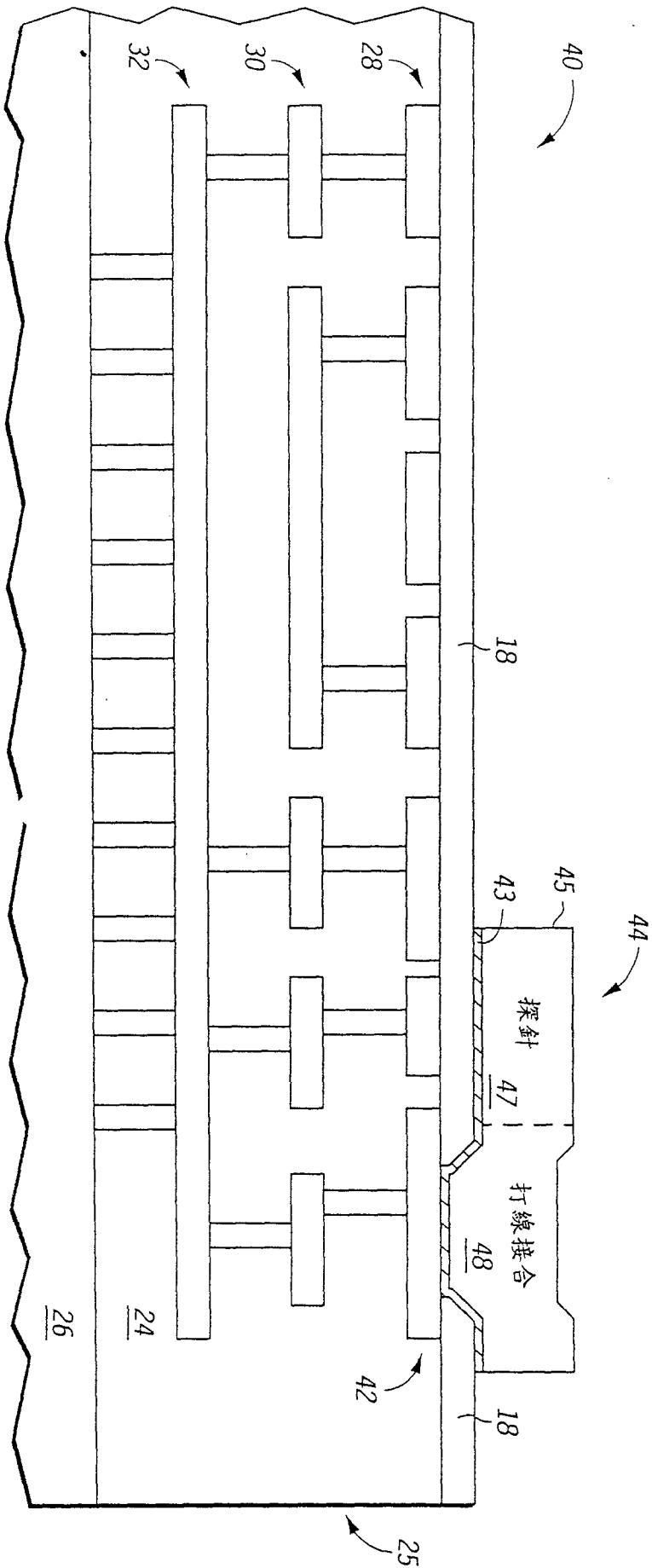


圖 4

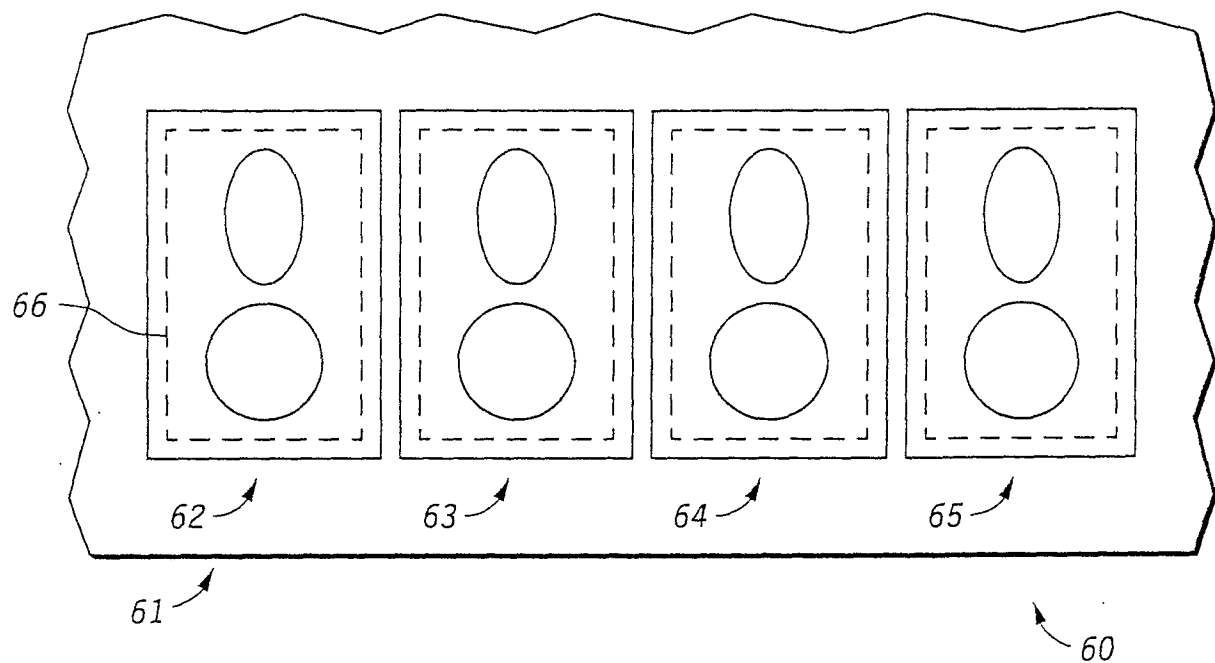


圖 5

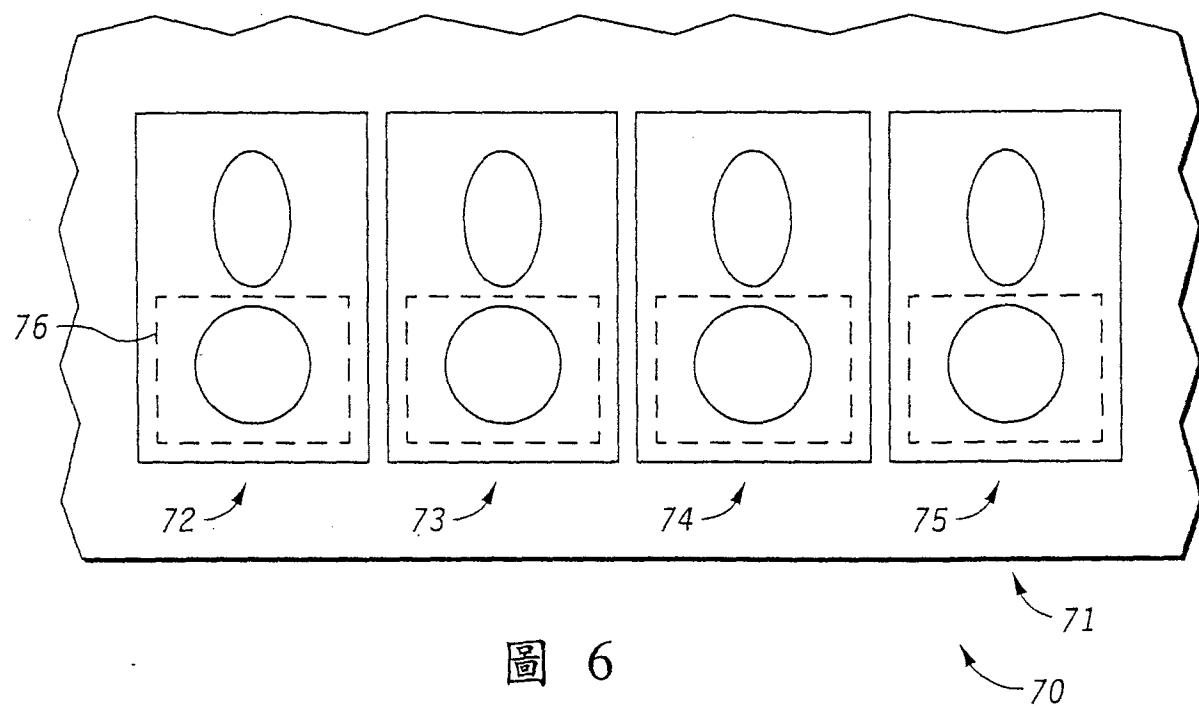


圖 6

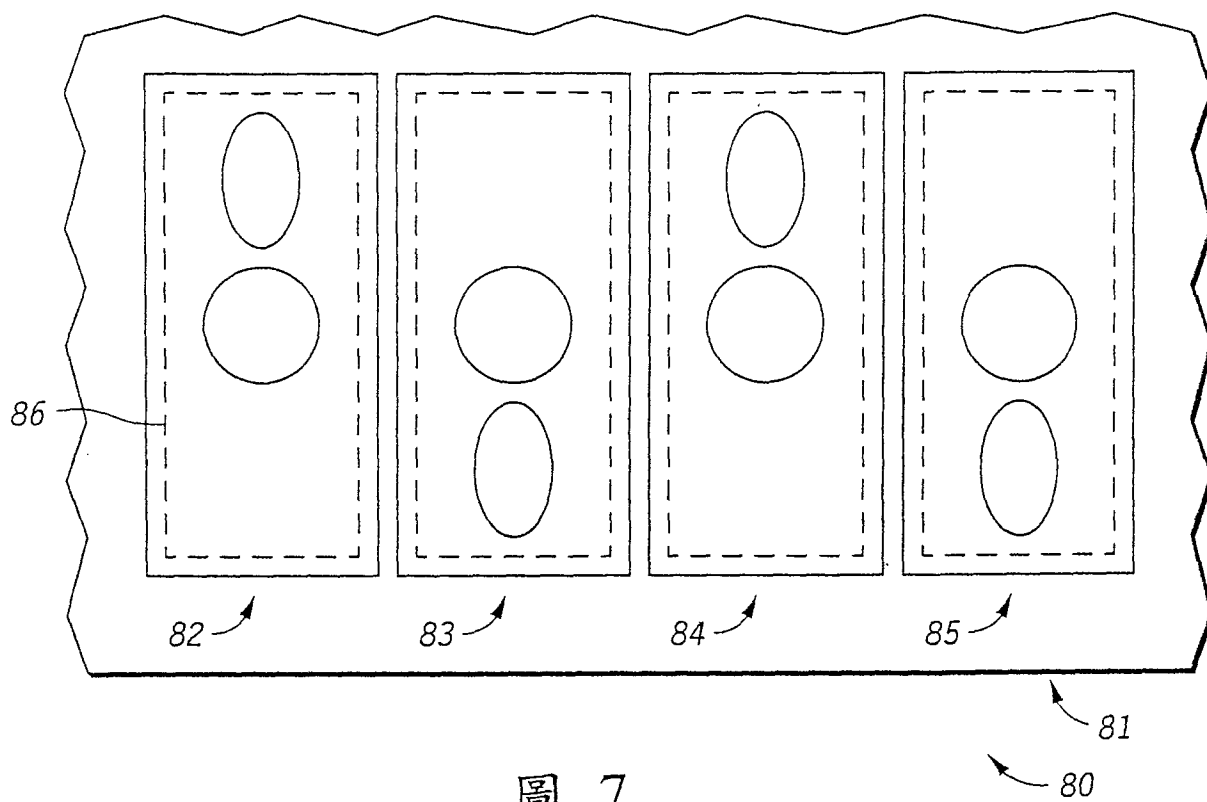


圖 7

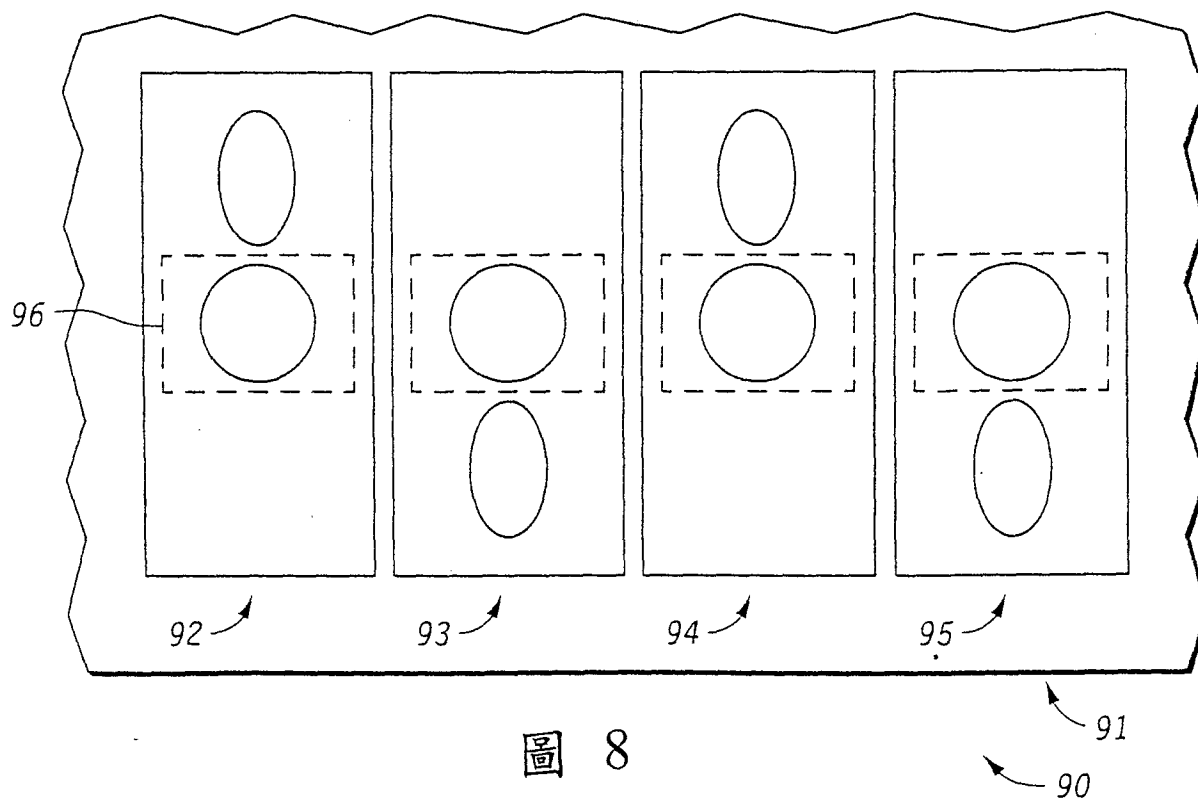


圖 8

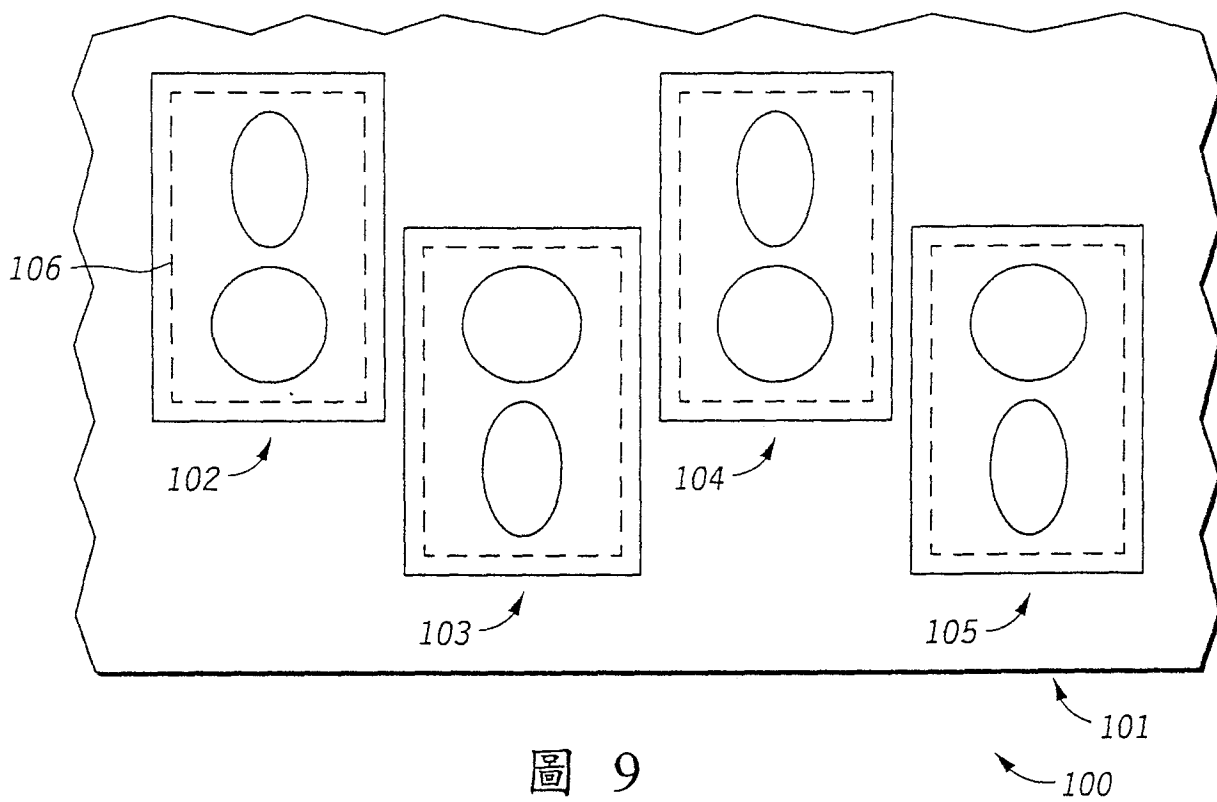


圖 9

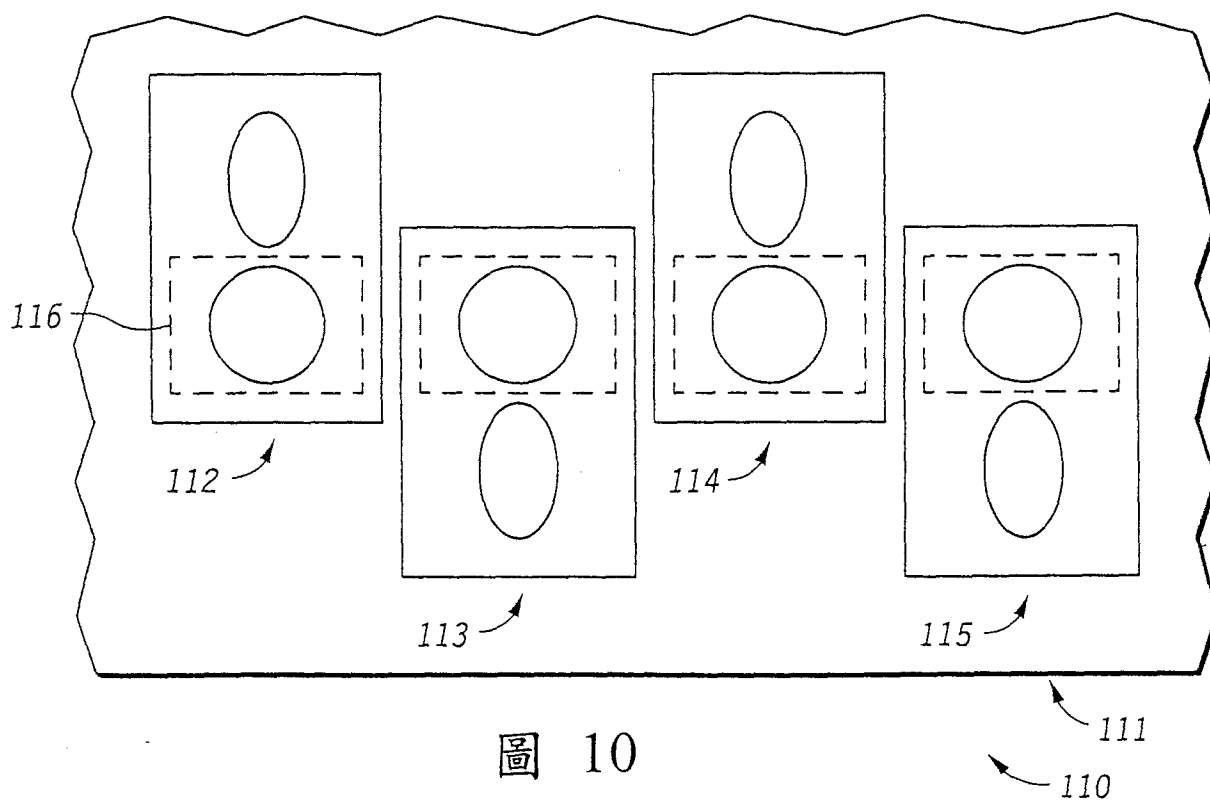


圖 10

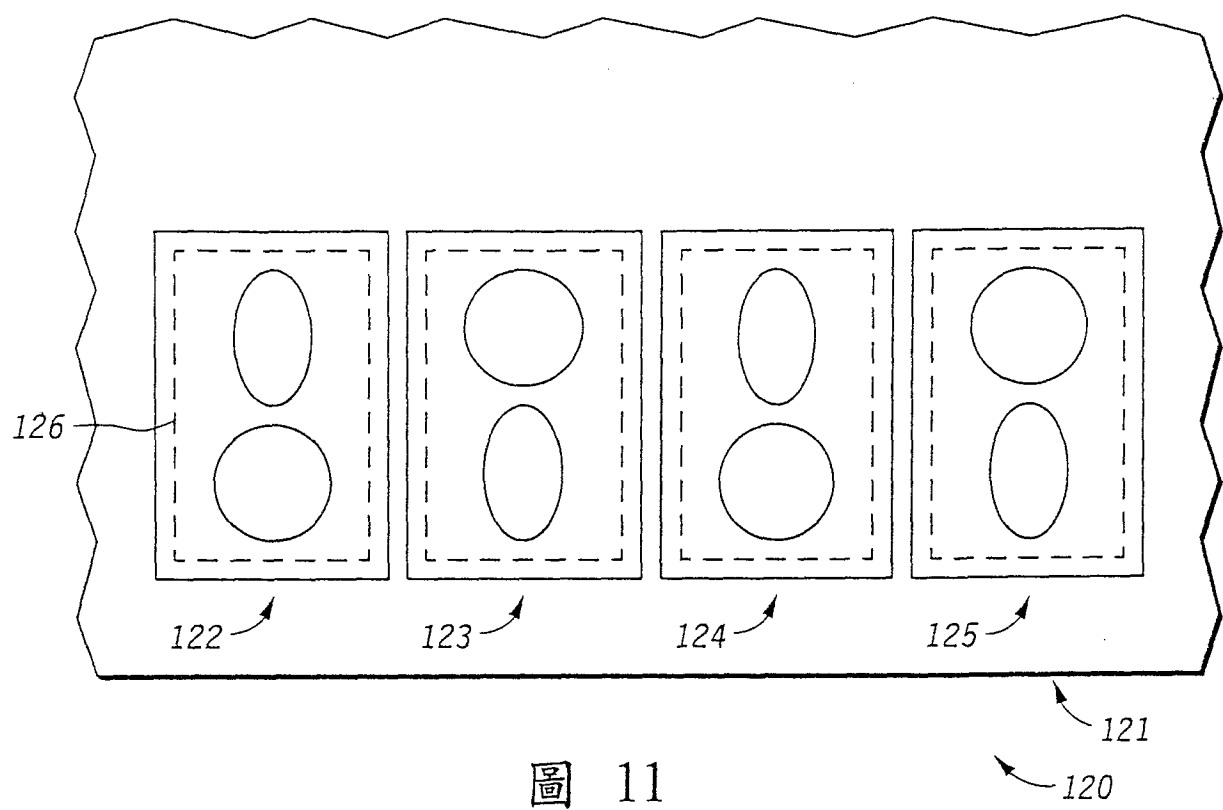


圖 11

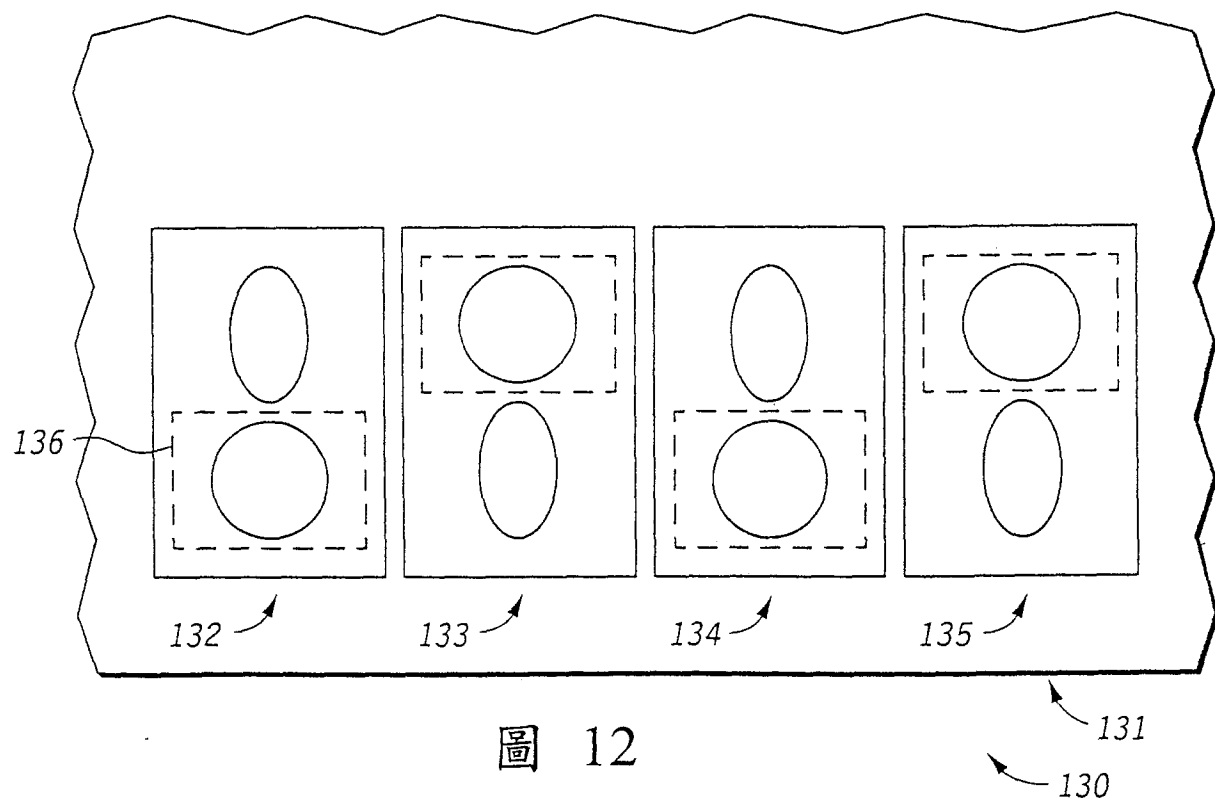


圖 12

圖 13

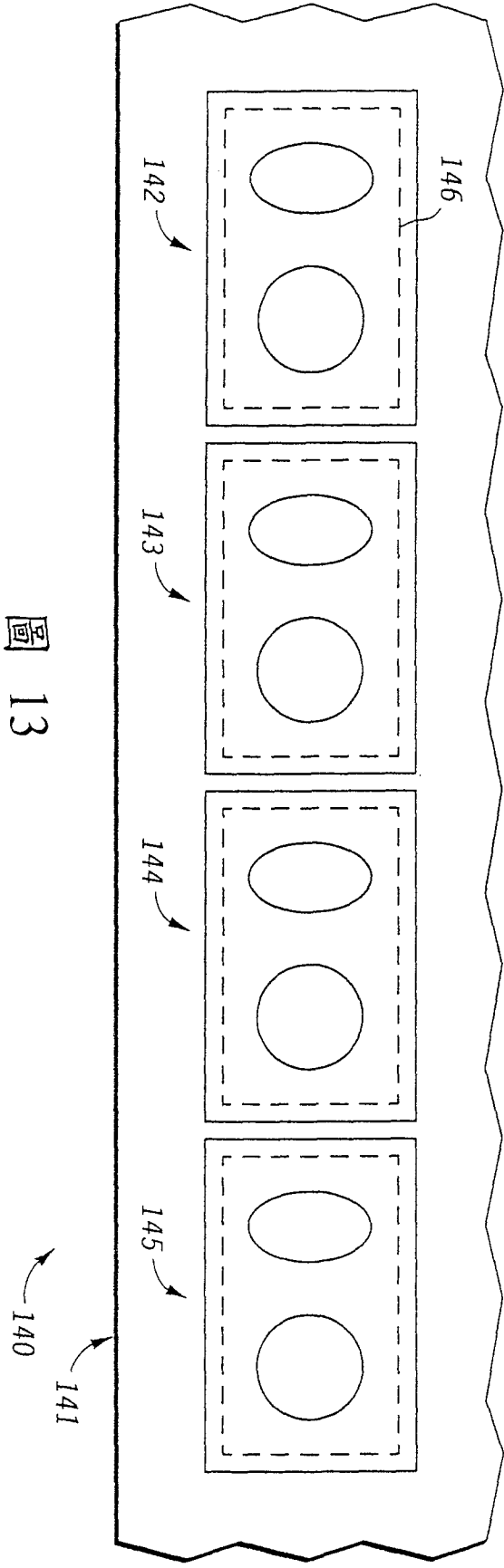
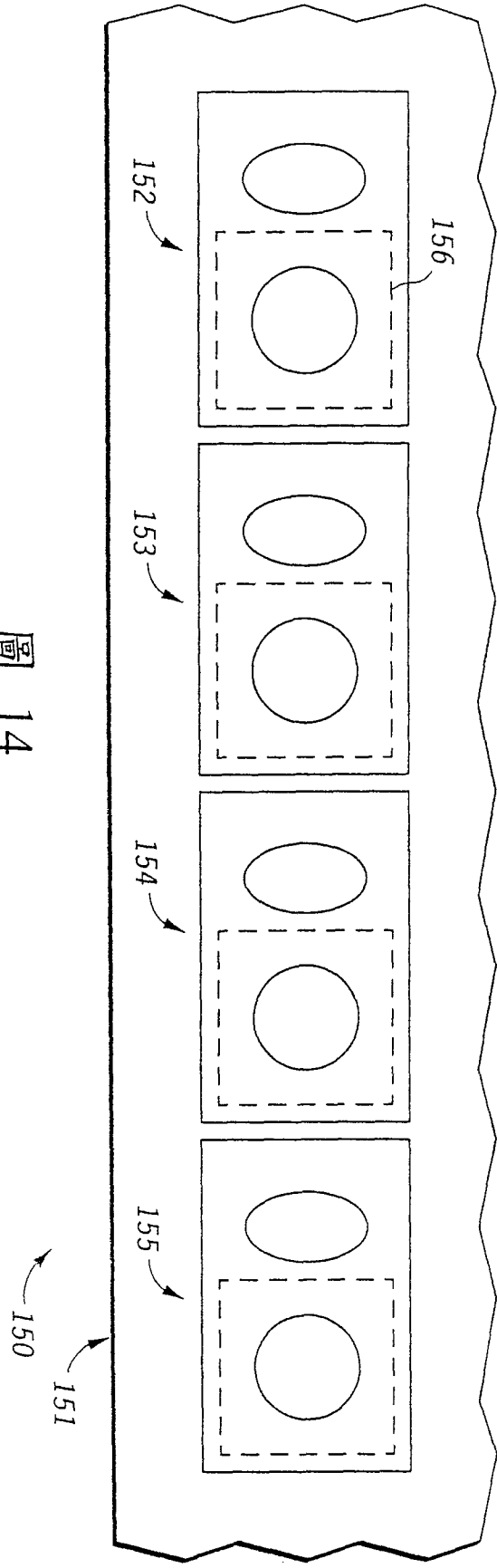


圖 14



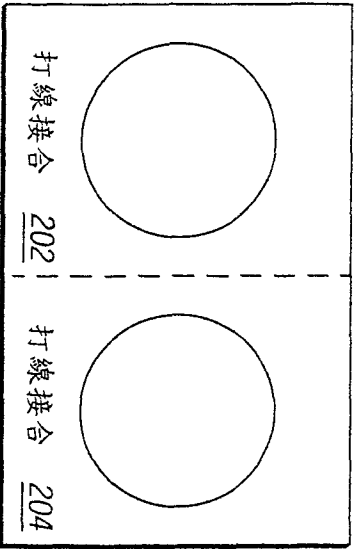


圖 15

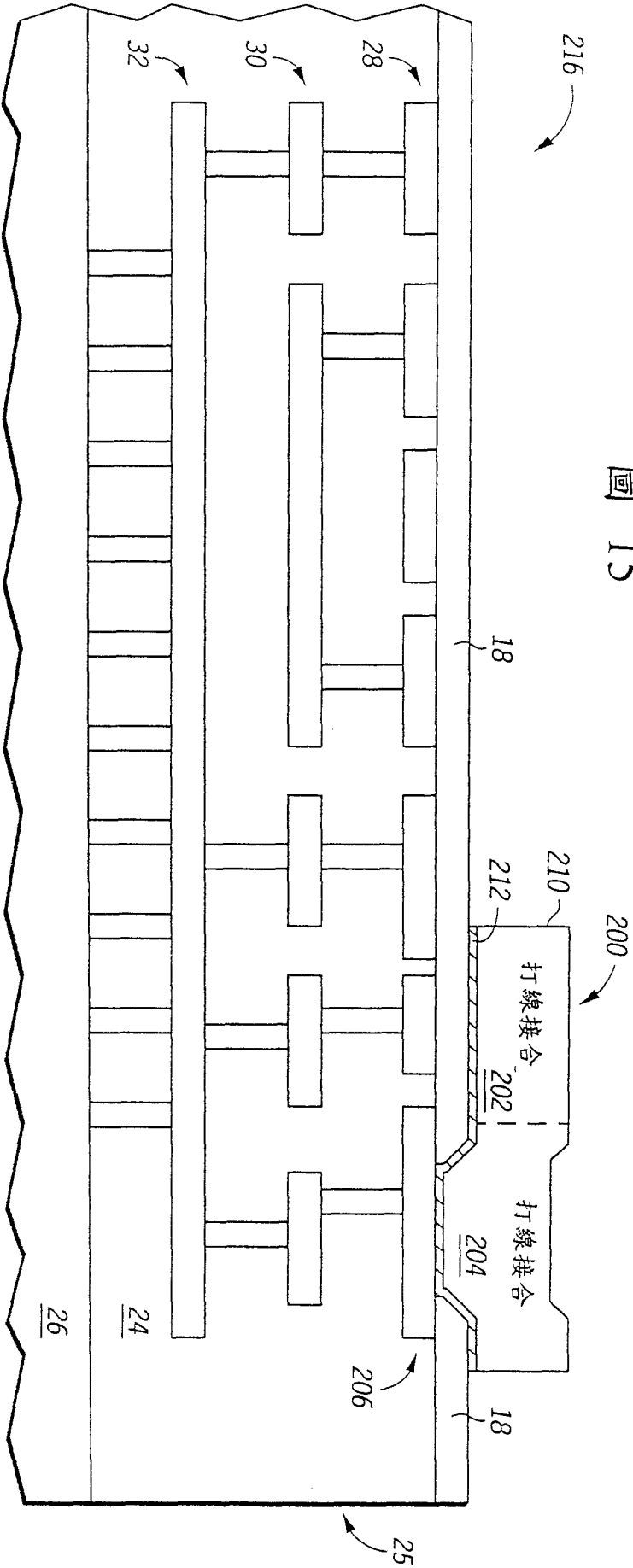


圖 16

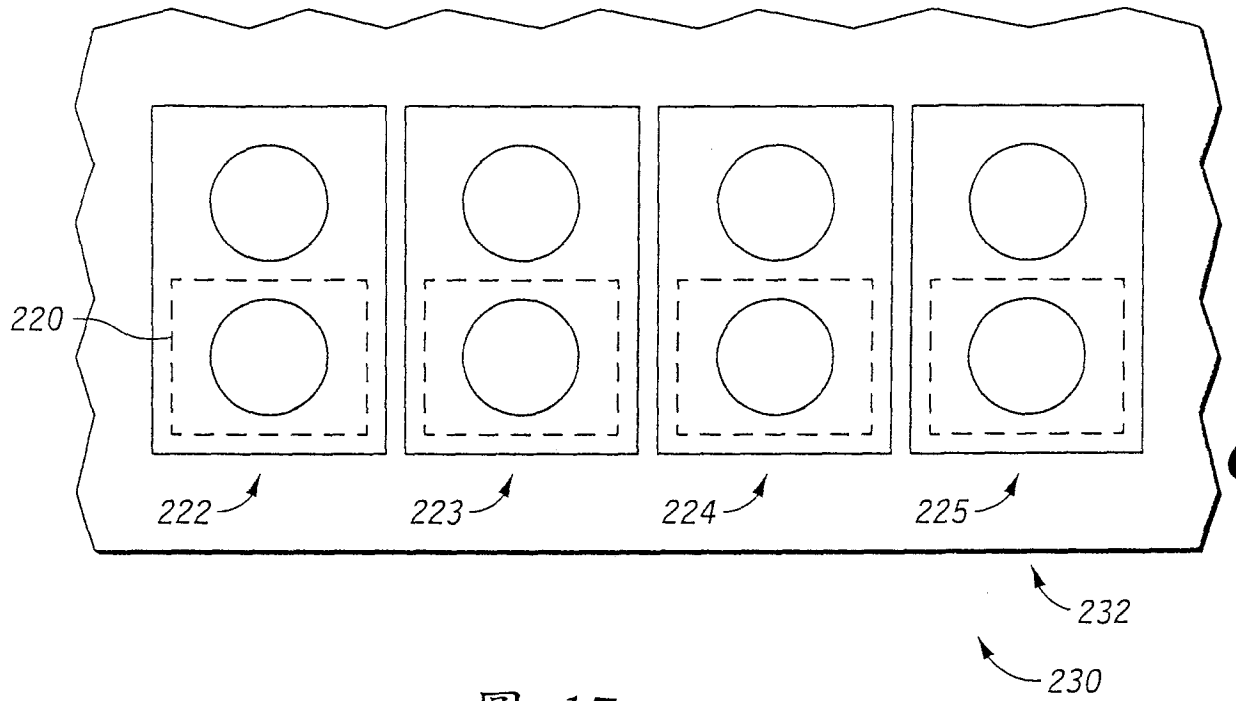


圖 17

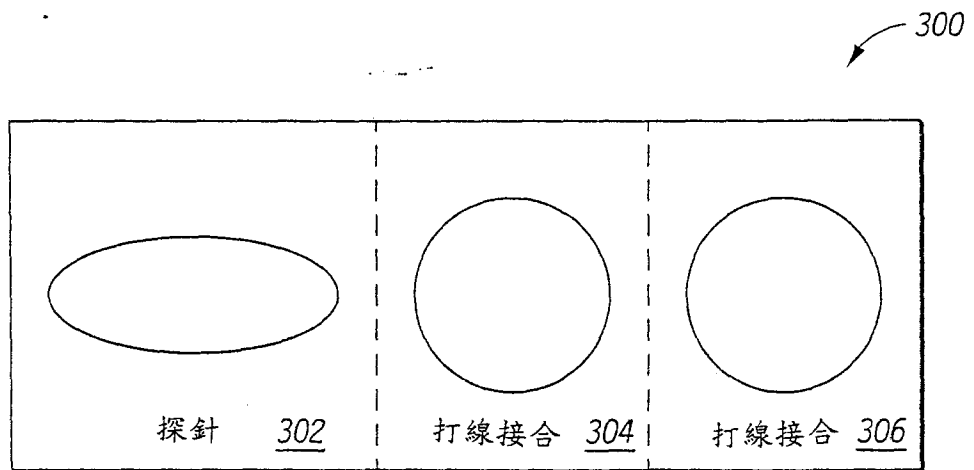
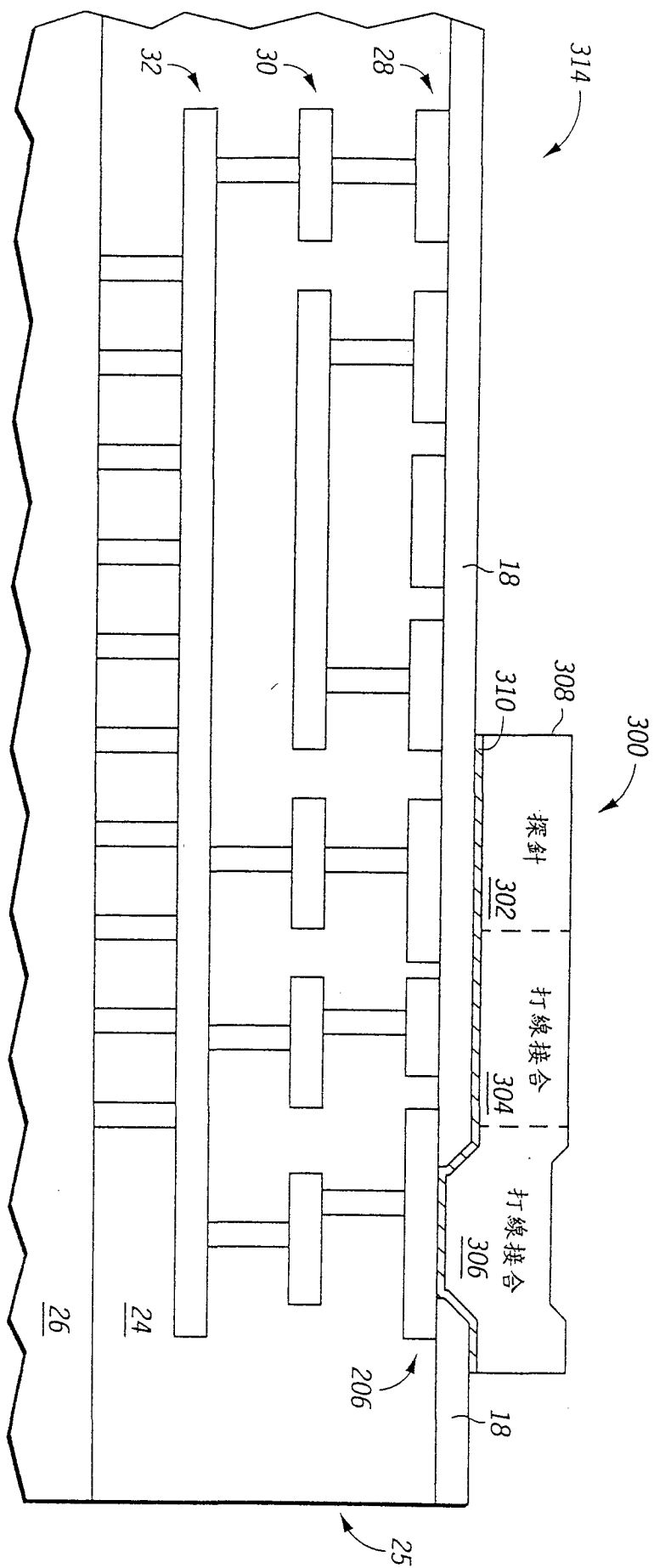


圖 18



19

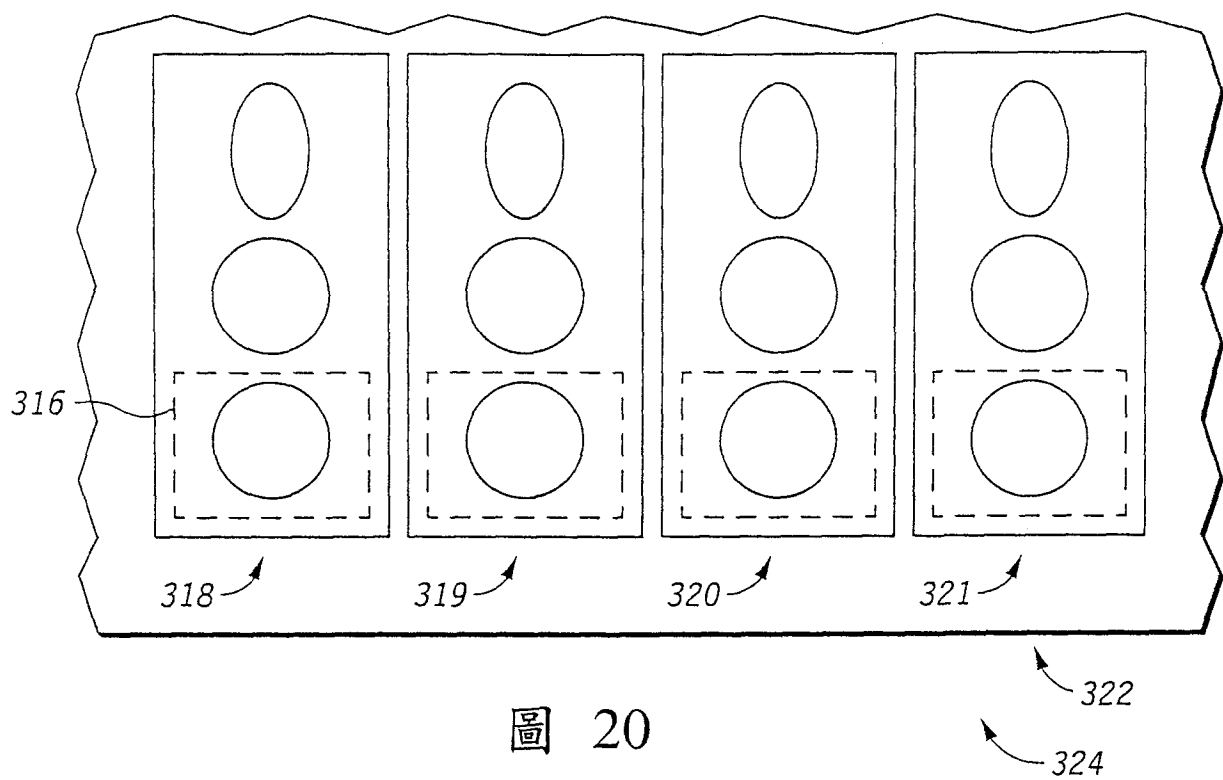


圖 20

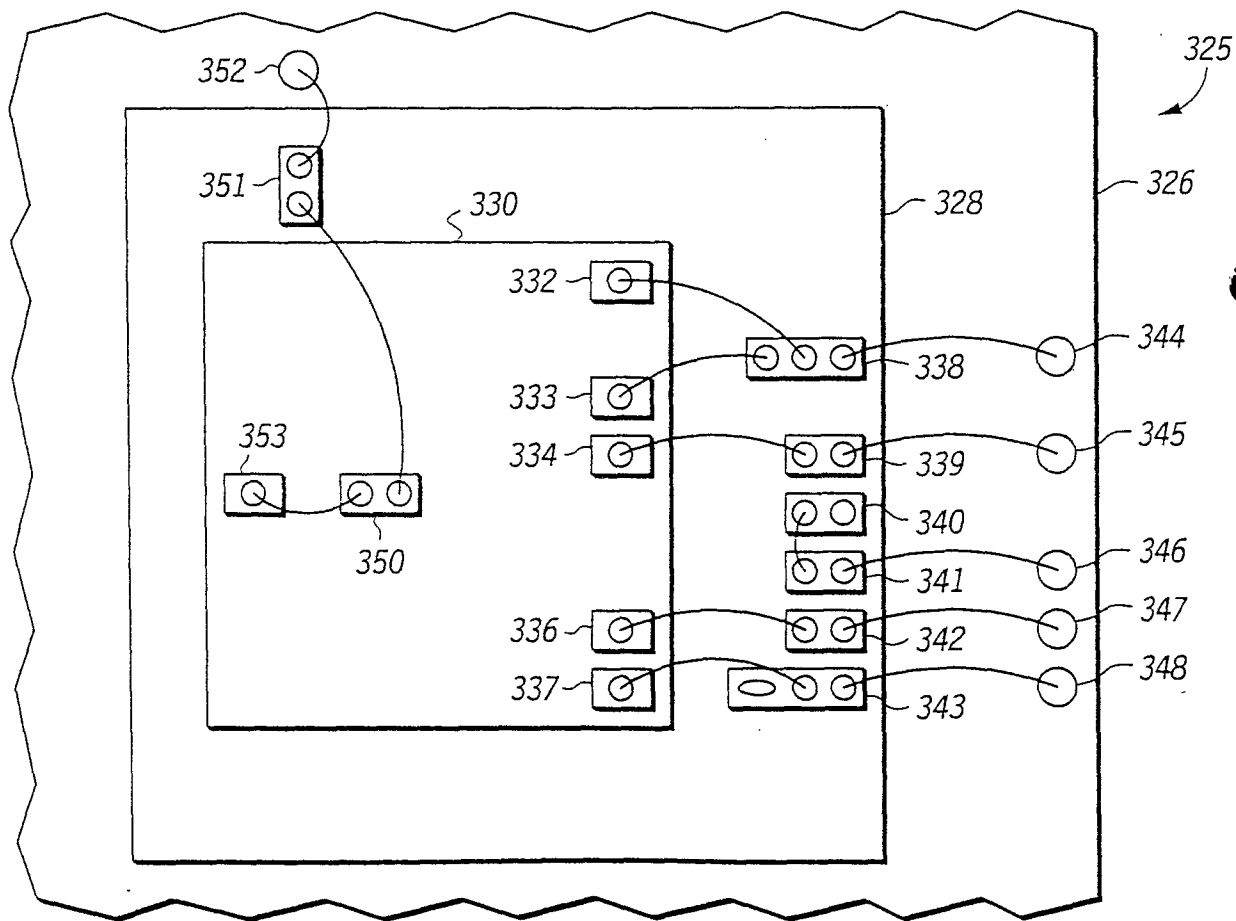


圖 21

I313921

95年11月16日

發明專利說明書

中文說明書替換本(95年11月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：092132757

※ 申請日期：92.11.21

※IPC 分類：H01L 23/48 (2006.01)

壹、發明名稱：(中文/英文)

具有接線墊之半導體裝置及其方法

SEMICONDUCTOR DEVICE HAVING A BOND PAD AND METHOD
THEREFOR

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 5 人)

姓 名：(中文/英文)

1.蘇珊 H. 多尼

SUSAN H. DOWNEY

2.彼得 R. 哈伯

PETER R. HARPER

3.凱文 海斯

KEVIN HESS

4.麥可 V. 雷歐尼

MICHAEL V. LEONI

5.圖-安 傳

TU-ANH TRAN

住居所地址：(中文/英文)

1.美國德州奧斯汀市北衛斯頓路205號

205 WESTON LANE NORTH, AUSTIN, TEXAS 78733, U.S.A.

2.美國德州圓石市黑傑克灣1903號

1903 BLACKJACK COVE, ROUND ROCK, TEXAS 78681, U.S.A.

3.美國德州奧斯汀市鐵谷路14720號

14720 IRONDALE DRIVE, AUSTIN, TEXAS 78717, U.S.A.

4.美國德州奧斯汀市伯諾利路9373號

9373 BERNOULLI DRIVE, AUSTIN, TEXAS 78748, U.S.A.

5.美國德州奧斯汀市布勒峽谷11103號

11103 BLUFF CANYON, AUSTIN TEXAS 78754, U.S.A.

國 籍：(中文/英文)

1-5.均美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2002年11月26日；10/304,416

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年11月26日；10/304,416

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

此申請案為2002年3月13日提出的美國專利申請案號10/097,036之部份延續，其名為「具有接線墊之半導體裝置及其方法」"Semiconductor Device Having A Bond Pad And Method Therefor"，並授權給本受讓人。

此係關於共同申請之於2002年3月13日提出的美國專利申請編號10/097,059，其名為「具有打線接合墊之半導體裝置及其方法」，並授權給本受讓人。

本發明一般而言係關於半導體裝置，更特定而言係關於具有接線墊之半導體裝置。

【先前技術】

在積體電路製造中，打線接合為一種被證實有效的，用以連接一具有電子電路之半導體晶粒與一組件包裝上之接針的方法。同時，在積體電路製造中，其逐漸成為更常用於包裝成在一單一包裝中多個半導體晶粒，其中該多個半導體晶粒可以為一堆疊的組態。在積體電路製造過程中，在完成組件裝配前，測試該半導體晶粒的功能同樣是一種通行的做法。「探針測試」便是這樣一種用以測試半導體之方法，其中一探針接觸通常用作一晶粒上之接線墊的機械與電介面。

舉例來說，使用一機械介面(例如探針頭)所產生之一問題是：當對該晶粒進行打線接合時，會損壞或污染該等接線墊，從而阻礙在該接線墊與包裝接針之間形成可靠的電

連接。此問題在當目前深次微米半導體技術的接線墊幾何特性更小時而更加地嚴重。接線墊幾何的減小包括較小的打線接合會形成在較小的接線墊上。此會增加已經被一探針接觸造成損害的接線墊之品質及可靠度的考慮。當接線墊尺寸減少時，由於一探針接觸對於該接線墊所造成的損壞比例即會增加。另一個關於接線墊幾何減小的問題是，該等接線墊之間的間隙對於使用傳統上使用嚴格探針測試的方法將會過小，例如懸臂樑探針頭。

因此，有需要一種方法來進行探針測試晶粒，但不會造成不可靠的打線接合連接，並可保證對於小型接線墊及該等接線墊之微細間距空隙之健全的探針晶粒測試。其亦有需要一種方法來在一單一包裝中提供電連接到多個晶粒。在許多例子中，其有需要來滿足先前的條件，而不會明顯地影響晶粒尺寸，藉以降低成本。

【發明內容】

此申請案已於2002年11月26日提出美國專利申請，申請案號為10/304,416。

一般而言，本發明係提供一具有複數個接線墊之積體電路。該等複數個接線墊均具有一探針區域與一打線接合區域，兩者實質上不重疊而是鄰接。在一項具體實施例中，一接線墊延伸至有效電路及/或該積體電路之電子互連層上方。該接線墊之全部或一部分延伸至該等互連層上方，而該接線墊之一部分可形成於一鈍化物層上方，並與一最終金屬層墊連接。在一項具體實施例中，該接線墊係由鋁

製成，而最終金屬層墊則係由銅製成。

將該探針區域與該打線接合區域分開，且在有效電路上方形成該接線墊的方式具有數項優點。在接線墊之間需要非常精確間距之應用中，該探針區域與打線接合區域可交錯排列，以有效增加該等探針區域之間的距離。藉由將該探針區域與該打線接合區域分開，該打線接合區域就不會被探針測試所破壞，從而使打線接合更為可靠。此外，在該有效電路上方形成該接線墊(包括金屬互連層)使該積體電路可更小。

在本發明另一具體實施例中，該等複數個接線墊中每一個均具有一第一打線接合區域及一第二打線接合區域，其皆實質上不重疊而相鄰接。在一項具體實施例中，該等接線墊延伸至有效電路及/或該積體電路之電子互連層上方。該接線墊之全部或一部分延伸至該等互連層上方，而該接線墊之一部分可形成於一鈍化物層上方，並與一最終金屬層墊連接。在一項具體實施例中，該接線墊除了該第一及第二打線接合區域之外，亦可包括一探針區域。

在每個接線墊中提供多個打線接合區域之能力可允許多個打線接合連接到每個接線墊。此可允許在積體電路晶粒之間更為有效率的打線接合連接，不論其是否為一堆疊的組態或彼此相鄰接。同時，藉由將該探針區域與該打線接合區域分開，該接線墊區域就不會被探針測試所破壞，從而使打線接合更為可靠。此外，如上所述，在該有效電路上方形成該接線墊(包括金屬互連層)使該積體電路可更小。

【實施方式】

圖1所示為根據本發明之接線墊10的上視圖。接線墊10係分成為一探針區域14與一打線接合區域12，如虛線所示。打線接合區域12與探針區域14係根據需要佈置及確定尺寸，以容納打線接合與探針工具的尺寸與精確度。在所述的具體實施例中，打線接合區域12顯示出小於該探針區域14。在其它具體實施例中，該等區域的大小可以不同。

接線墊10可設計成不同的半導體裝置，其具有如圖2、3及4所示之不同的橫截面。請注意到相同或類似的元件在所有圖面中係以相同的參考編號來標示。同時亦注意這些圖面並未依比例繪製。圖2所示為根據本發明另一具體實施例之半導體裝置20的橫截面圖。半導體裝置20具有一邊緣或周界25、鈍化物層18、接線墊10、互連區域24及有效區域或基板26。該接線墊10具有打線接合區域12及探針區域14(如圖1)，其位置相對於周界25。互連區域24包括金屬層28、30及32，用於導引電源、接地、信號及半導體裝置20之不同組件之間的其它線。如圖2所示，金屬層28(以下稱之為最終金屬層28)，其位置係靠近於該半導體裝置20之表面，亦包括接線墊10，其中探針及打線接合係用來構成連接到位在半導體裝置20外部之一裝置(未示出)。該互連區域24之金屬層可以使用通道來彼此互連。互連金屬層32係透過接點來電連接到有效區域26。

半導體裝置20係利用傳統製造技術，以在有效區域26或基板內形成電子電路。該等電子電路可用於各種積體電路

應用，例如像是通訊、運輸、一般計算或娛樂。在所說明的具體實施例中，金屬層28、30及32由導電材料製成，例如鋁、銅或金。在其它具體實施例中，金屬層可能更多或更少。接線墊10係形成為最終金屬層28的一部份。在形成金屬層28之後，鈍化物層18係沉積在該半導體裝置的表面之上。鈍化物層18中具有開口，如在接線墊10上方所示，用以電接觸，如在半導體裝置20與一包裝上之接針之間的電接觸。

接線墊10係由一相當厚之銅層所構成。在一項具體實施例中，該銅層的厚度約在0.3到1.0微米之間。測試結果顯示該接線墊10足夠牢固，可承受一打線接合工具之衝擊，且可形成於互連層24上方，而不損壞互連層24與有效區域26之任何底部電路，如圖2中之顯示。

圖3所示為根據本發明另一具體實施例之半導體裝置34的橫截面圖。半導體裝置34具有一邊緣或周界25、鈍化物層18、互連區域24、有效區域26及一接線墊36。接線墊36包括最終金屬層墊16及鋁墊層35。鋁墊層35包括打線接合區域38及探針區域37。鋁墊層35之厚度約在0.5到2.0微米之間。接線墊36之位置係相對於半導體裝置34之周界25，並藉由一阻障層22與該最終金屬層墊16隔開。接線墊36之佈置及大小可容納探針區域37及打線接合區域38。

半導體裝置34受到了製造技術及材料，如圖2之半導體裝置20所述。此外，阻障層22係形成在鈍化物層18之上，以提供最終金屬層墊16與接線墊36之間，和接線墊36與鈍化

物層 18 之間的一擴散阻障及黏結層。在沉積了阻障層 22 之後，鋁墊層 35 即沉積在阻障層 22 之上。阻障層 22 及鋁墊層 35 即被圖案化來形成探針及打線接合區域所需要的最終形狀與大小。在所述之具體實施例中，鋁墊層 35 係由鋁製成，但在其他具體實施例中，鋁墊層 35 可由其他導電材料製成。此外，該互連區域 24 之金屬層 28、30 與 32 以及最終金屬層墊 16 由銅製成。在其它具體實施例中，其它的導電材料可用於接線墊 36、最終金屬層墊 16 及金屬層 28、30 及 32。舉例而言，金屬層 28、30 及 32 及最終金屬層墊 16 可由鋁或金製造，而最終金屬層墊 16 可包括金。此外，在所述之具體實施例中，阻障層 22 係由鈮製成。但在其他具體實施例中，阻障層 22 可能係任何材料製成，用以在不同的相鄰材料之間形成一擴散阻障與黏結層。擴散及阻障材料之實例為氮化鈮、鈦、氮化鈦、鎳、鎢、鎢鈦合金或氮化矽鈮。

接線墊 36 之鋁層墊 35 與最終金屬墊 16 係分別由較厚之鋁與銅層所構成。因此，該接線墊 36 足夠牢固，可承受一打線接合工具之衝擊，且可形成於互連層 24 上方，而不致損壞互連層 24 與有效區域 26 之任何底部電路，如圖 3 所示。

圖 4 所示為根據本發明另一具體實施例之半導體裝置 40 的橫截面圖。半導體裝置 40 具有一邊緣或周界 25、鈍化物層 18、互連區域 24、有效區域 26 及接線墊 44。接線墊 44 包括鋁墊 45 及最終金屬墊 42。最終金屬墊 42 係形成為最終金屬層 28 的一部份。接線墊 44 之位置係相對於半導體裝置 40 之周界 25，定與一探針區域及一打線接合區域隔開，如圖 4

之垂直虛線所示。鋁墊45係由一阻障層43與該最終金屬層墊42隔開。

半導體裝置40接受到如圖2及圖3所示之製造技術及材料。但是，於圖4的裝置中，該接線墊44的一部份延伸到鈍化物層18之上，及底部有效電路26及/或互連區域24，且剩餘的部份係在鈍化物層18中的一開口處連接到該最終金屬層墊42。如上所述，接線墊44係分為一打線接合區域及一探針區域。該探針區域係在接線墊10之延伸到鈍化物層18上，並在互連區域24之電互連層28、30及32的部份之上。該打線接合區域係形成在連接到該最終金屬層墊42之接線墊44的部份上。該打線接合區域可足夠堅固來承受一打線接合工具的撞擊，而不會損傷會使底部電路變形，並亦可形成在互連區域24之金屬層之上。

藉由延伸該探針區域於鈍化物層18之上方，該最終金屬層墊42之尺寸不受影響，而該接線墊44之尺寸卻能在不增加該半導體裝置總尺寸的情況下得以增加。同時，因為該最終金屬層墊42並未用於探針測試或打線接合，該最終金屬層墊42之大小與形狀，及在鈍化物層18中開口的大小與形狀，僅受限於提供一電連接到接線墊44所需要的面積。在其它具體實施例中，可有複數個較小的最終金屬層墊及相對應的鈍化物開口，其共同提供了充份的電連接到接線墊44。因為接線墊44延伸到鈍化物層18之上，且該最終金屬層墊42的大小不受到影響，在佈置探針及打線接合區域時有更多的彈性。例如，在其他具體實施例中，該探針區

域與打線接合區域就不一定要鄰接。

接線墊44可由鋁製成，而該等最終金屬層墊42則可由銅製成。除了分隔該探針區域與該打線接合區域以使打線接合更可靠以外，在該鈍化物層18上方探測消除了因疏忽而曝露最終金屬層墊42之銅的風險。曝露的銅會立即氧化，並對於打線接合產生一不可靠的表面。

圖5所示為根據本發明一具體實施例之半導體裝置60的上視圖。積體電路60包括複數個類似於圖1所示之接線墊的接線墊，並可根據圖2或圖3所示之具體實施例來建構。積體電路60包括複數個接線墊62-65，其沿著該積體電路60之邊緣61形成。在該複數個接線墊中每個之上的虛線代表在一鈍化物層中形成的一開口66。每個接線墊係區分成探針區域及打線接合區域，如圖1所述。在每個接線墊上由一橢圓所界定的區域為通常用於代表探針測試的區域，而在每個接線墊上由一圓形所界定的區域通常代表打線接合的區域。該等複數個接線墊係相對於周界61來配置。該等打線接合區域係比每個接線墊之探針區域更為靠近周界61。相鄰接線墊之打線接合區域係維持在一條線上，並與邊緣61成一相等的距離。類似地，相鄰接線墊之探針區域係維持在一條線上，並與邊緣61成一相等的距離。在其它具體實施例中，探針區域及打線接合區域可以互換。

圖6所示為根據本發明另一具體實施例之半導體裝置70的上視圖。積體電路70包括複數個類似於圖1所示之接線墊的接線墊，並可根據圖4所示之具體實施例來建構。積體電

路70包括複數個接線墊72-75，其沿著該積體電路70之邊緣71形成。在該複數個接線墊中每個之上的虛線代表在一鈍化物層中形成的一開口76。每個接線墊係區分成探針區域及打線接合區域，如圖1所述。在每個接線墊上由一橢圓所界定的區域為通常用於代表探針測試的區域，而在每個接線墊上由一圓形所界定的區域通常代表打線接合的區域。該等複數個接線墊係相對於周界71來配置。該等打線接合區域係比每個接線墊之探針區域更為靠近周界71。相鄰接線墊之打線接合區域係維持在一條線上，並與邊緣71成一相等的距離。類似地，相鄰接線墊之探針區域係維持在一條線上，並與邊緣71成一相等的距離。在其它具體實施例中，探針區域及打線接合區域可以互換。

該等接線墊72至75之一部分係形成於該鈍化物層之上，且該等接線墊之一部分係形成於該最終金屬層墊之上，如圖4所示。

圖7所示為根據本發明另一具體實施例之半導體裝置80的上視圖。積體電路80包括複數個類似於圖1所示之接線墊的接線墊，並可根據圖2或圖3所示之具體實施例來建構。積體電路80包括複數個接線墊82-85，其沿著該積體電路80之邊緣81形成。在該複數個接線墊中每個之上的虛線代表在一鈍化物層中形成的一開口86。每個接線墊係區分成探針區域及打線接合區域，如圖1所述。在每個接線墊上由一橢圓所界定的區域為通常用於代表探針測試的區域，而在每個接線墊上由一圓形所界定的區域通常代表打線接合的

區域。該等複數個接線墊之尺寸一般為相同，且置於離周界81一等距離處。

該等探針區域(以橢圓形表示)係以一交錯的形式形成在該等打線接合區域(圓形)之相反側上，而該等打線接合區域係維持在一條線上而與積體電路80之一邊緣81成等距離。同時，每個接線墊之中心可維持在與邊緣81成等距離的一條線上。實質上所有的接線墊82-85皆形成在該最終金屬層墊之上，如圖3所示。

藉由交錯或交替該等探針區域，探針區域之間的距離可以增加，而允許更為嚴格的探針測試在非常微細間距的裝置中，並有彈性來使用多種探針技術，例如像是懸臂樑及垂直探針技術。目前的探針技術不能夠支援在一指定最小間距以下的一墊間距，其中間距代表墊之間的距離。藉由加長該等接線墊並交錯該等探針區域，目前的探針技術可以延伸到具有較小間距的墊。維持該等打線接合區域在一條線上可以使得該打線接合設備的程式更為簡單。請注意在其它具體實施例中，該等探針區域及該等打線接合區域可以互換。

圖8所示為根據本發明另一具體實施例之半導體裝置90的上視圖。積體電路90包括複數個類似於圖1所示之接線墊的接線墊，並可根據圖4所示之具體實施例來建構。積體電路90包括複數個接線墊92-95，其沿著該積體電路90之邊緣91形成。在該複數個接線墊中每個之上的虛線代表在一鈍化物層中形成的一開口96。

圖8之接線墊的配置係相同於圖7之接線墊的配置，除了在該鈍化物層中的開口96較小，且僅環繞每個打線接合區域，其通常以一圓形表示。該等探針區域係以一橢圓表示，並交錯放置，如上述圖7所示。同時，該等探針區域係延伸到半導體裝置90之鈍化物層之上。

圖9所示為根據本發明另一具體實施例之半導體裝置100的上視圖。積體電路100包括複數個類似於圖1所示之接線墊的接線墊，並可根據圖2或圖3所示之具體實施例來建構。積體電路100包括複數個接線墊102-105，其沿著該積體電路100之邊緣101形成。在該複數個接線墊中每個之上的虛線代表在一鈍化物層中形成的一開口106。

在該鈍化物層中的開口106環繞每個該等接線墊102-105之該打線接合區域(圓形)及探針區域(橢圓)。該等接線墊係以交錯方式配置，其中接線墊102及104係放置在比接線墊103及105距離周界101較遠的位置。同時，每個該等接線墊之探針區域係如上述圖7及圖8所示。此外，每個墊之打線接合區域係配置成與周界101相等距離。

圖9之接線墊較圖8之接線墊更短，因為不用於探針測試或打線接合之區域已移除。由該等接線墊之移除部分所提供的空間，可在該半導體裝置上提供更多表面積，用以在該積體電路上容納更多特徵或接線墊。

圖10所示為根據本發明另一具體實施例之半導體裝置110的上視圖。積體電路110包括複數個類似於圖1所示之接線墊的接線墊，並可根據圖4所示之具體實施例來建構。積

體電路110包括複數個接線墊112-115，其沿著該積體電路110之邊緣111形成。在該複數個接線墊中每個之上的虛線代表在一鈍化物層中形成的一開口116。

接線墊112-115係以交錯方式配置，其中接線墊112及114係位在比接線墊113及115距離周界111較遠的位置。同時，每個該等接線墊之探針區域係被交錯配置，如上述圖7、圖8及圖9所示。此外，每個墊之打線接合區域係配置成與周界111相等距離。

該鈍化物層內之開口116較小，且僅圍繞各打線接合區域(通常以圓表示)。該等探針區域係延伸至該半導體裝置110之鈍化物層上。

圖11所示為根據本發明另一具體實施例之半導體裝置120的上視圖。積體電路120包括複數個類似於圖1所示之接線墊的接線墊，並可根據圖2或圖3所示之具體實施例來建構。積體電路120包括複數個接線墊122-125，其沿著該積體電路120之邊緣121形成。在該複數個接線墊中每個之上的虛線代表在一鈍化物層中形成的一開口126。每個接線墊係區分成探針區域及打線接合區域，如圖1所述。在每個接線墊上由一橢圓所界定的區域為通常用於代表探針測試的區域，而在每個接線墊上由一圓形所界定的區域通常代表打線接合的區域。該複數個接線墊係相對於周界121來配置。在圖11的具體實施例中，該等探針區域與該等打線接合區域皆被交錯。

圖12所示為根據本發明另一具體實施例之半導體裝置

130的上視圖。積體電路130包括複數個類似於圖1所示之接線墊的接線墊，並可根據圖4所示之具體實施例來建構。積體電路130包括複數個接線墊132-135，其沿著該積體電路130之邊緣131形成。在該複數個接線墊中每個之上的虛線代表在一鈍化物層中形成的一開口136。每個接線墊係區分成探針區域及打線接合區域，如圖1所述。在每個接線墊上由一橢圓所界定的區域為通常用於代表探針測試的區域，而在每個接線墊上由一圓形所界定的區域通常代表打線接合的區域。該複數個接線墊係相對於周界131來配置。在圖12的具體實施例中，該等探針區域與該等打線接合區域皆被交錯。同時，該等探針區域係形成於該鈍化物層之上。

圖13所示為根據本發明另一具體實施例之半導體裝置140的上視圖。積體電路140包括複數個類似於圖1所示之接線墊的接線墊，並可根據圖2及圖3所示之具體實施例來建構。積體電路140包括複數個接線墊142-145，其沿著該積體電路140之邊緣141形成。在該複數個接線墊中每個之上的虛線代表在一鈍化物層中形成的一開口146。在各接線墊上由一橢圓所界定之區域係通常指定用於探針測試之區域，而各接線墊上由一圓形所界定之區域係通常指定用於打線接合之區域。該等打線接合之長軸方向平行於該邊緣141。相鄰的接線墊之打線接合區域與探針區域係維持在一條線上而與邊緣141相等距離。因為該等接線墊之長軸之方向平行於該邊緣，該等接線墊之整體高度在當維持隔開打線接合區域及探針區域時可以降低，因為積體電路並不受

限於墊。

圖 14 所示為根據本發明另一具體實施例之半導體裝置 150 的上視圖。積體電路 150 包括複數個類似於圖 1 所示之接線墊的接線墊，並可根據圖 4 所示之具體實施例來建構。積體電路 150 包括複數個接線墊 152-155，其沿著該積體電路 150 之邊緣 151 形成。在該複數個接線墊中每個之上的虛線代表在一鈍化物層中形成的一開口 156。在各接線墊上由一橢圓所界定之區域係通常指定用於探針測試之區域，而各接線墊上由一圓形所界定之區域係通常指定用於打線接合之區域。該等打線接合之長軸方向平行於該邊緣 151。相鄰的接線墊之打線接合區域與探針區域係維持在一條線上而與邊緣 151 相等距離。因為該等接線墊之長軸之方向平行於該邊緣 151，該等接線墊之整體高度在當維持隔開打線接合區域及探針區域時可以降低，因為積體電路並不受限於墊。在圖 14 中，該等探針區域係形成於該鈍化物層之上。

圖 15 所示為根據本發明另一具體實施例之接線墊 200 的上視圖。接線墊 200 分為一第一打線接合區域 202 與一第二打線接合區域 204，如虛線所示。打線接合區域 202 與打線接合區域 204 係根據需要佈置及確定尺寸，以容納打線接合工具的尺寸與精確度。在所示的具體實施例中，打線接合區域 202 係顯示為具有與打線接合區域 204 相同的大小。在其它具體實施例中，該等區域可具有不同的大小。

接線墊 200 可設計在不同的半導體裝置中，例如像是在具有圖 16 所示之橫截面的半導體裝置 216 中。如上所述，可注

意到在所有圖面中使用到相同或類似的元件皆給與相同的參考編號。同時亦注意這些圖面並未依比例繪製。圖16所示為根據本發明另一具體實施例之半導體裝置216 (其亦可稱之為積體電路216)之橫截面圖。半導體裝置216具有一邊緣或周界25、鈍化物層18、互連區域24及有效區域26，及接線墊200。接線墊200包括鋁墊210及最終金屬層墊206。最終金屬層墊206係形成為最終金屬層28的一部份。因此在一具體實施例中，接線墊200可由鋁製成，而該最終金屬層墊206可由銅形成。接線墊200之位置係相對於半導體裝置216的周界25，並由一垂直虛線分為兩個打線接合區域，如圖16所示。在圖16所示的具體實施例中，鋁墊210係由一阻障層212與該最終金屬層墊206隔開，其可在最終金屬層墊206與鋁墊210之間，及鋁墊210與鈍化物層18之間提供一擴散阻障及黏結層。但是，請注意在其它具體實施例中，阻障層212可以不存在。舉例而言，在當最終金屬層墊206由鋁而非銅所形成時，即不需要阻障層212。同時可注意到接線墊200可由任何可以打線接合的導電材料形成，例如像是鋁、銅及金。

半導體裝置216係接受到如圖4所示的製造技術及材料。如圖4所示，在圖16的裝置中，該接線墊200之一部份延伸到鈍化物層18及底部有效電路26及/或互連區域之上，而其餘的部份則在鈍化物層18中的一開口處連接到最終金屬層墊206。如上所述，接線墊200係分為打線接合區域202及打線接合區域204。在所示的具體實施例中，打線接合區域204

係形成在接線墊200的連接到該最終金屬層墊206之該部份上，而打線接合區域202形成在鈍化物層18上。也就是說，可注意到接線墊200之一部份係延伸到鈍化物層18之上。因此，在一具體實施例中，不論打線接合區域202或打線接合區域204之一非周邊部份，或是打線接合區域202或打線接合區域204之大部份皆可位在鈍化物層18之上。例如在一具體實施例中，僅有打線接合區域204的一部份可形成在接線墊200之連接到該最終金屬層墊206的該部份上。在此具體實施例中，所有的打線接合202及該打線接合204之其餘部份皆蓋過鈍化物層18。另外，所有的打線接合204及打線接合202之一部份可形成在該接線墊200中連接到該最終金屬層墊206之該部份上。在此具體實施例中，僅有該打線接合202之剩餘部份會覆蓋鈍化物層18。在又其它的具體實施例中，鈍化物層18可具有多個開口來曝露最終金屬層28，其中接線墊200之多個部份(包括打線接合204的部份、打線接合202的部份，或兩者的部份)皆可連接到最終金屬層28。

請注意到延伸在鈍化物層18之上的打線接合區域可足夠堅固來承受一打線接合工具的撞擊，而不會損壞，或使底部鈍化物層18或電路變形。同時可注意到雖然圖15及16中僅顯示之兩個打線接合區域，接線墊200可以形成為包括任何數目的打線接合區域，但不限於僅有兩個。

藉由延伸該接線墊200於鈍化物層18之上方，該最終金屬層墊206之尺寸不受影響，而該接線墊200之尺寸卻能在不增加該半導體總尺寸的情況下得以增加。增加了接線墊200

之尺寸可允許多個打線接合連接到一單一接線墊，其可用於包裝多個積體電路晶粒在一起，如下述參考圖21所示。同時，因為最終金屬層墊206並未用於打線接合，該最終金屬層墊206之尺寸及形狀、在鈍化物層18中開口的尺寸及形狀，皆僅限於提供一電連接到一接線墊200所需要的面積。在其它具體實施例中，有複數個較小的最終金屬層墊及相對應的鈍化物開口，其共同提供充份的電連接到接線墊200。因為接線墊200延伸到鈍化物層18之上，且該最終金屬層墊206之尺寸並不受到影響，在佈置打線接合區域中可有更多的彈性。舉例而言，該等打線接合區域在其它具體實施例中不需要鄰接。

圖17所示為根據本發明另一具體實施例之半導體裝置230的上視圖。積體電路230包括複數個類似於圖15所示之接線墊的接線墊，並可根據圖16所示之具體實施例來建構。積體電路230包括複數個接線墊222-225，其沿著該積體電路230之邊緣232形成。在該複數個接線墊中每個之上的虛線代表在一鈍化物層中形成的一開口220。每個該等接線墊係分為多個打線接合區域(在此例中即為兩個區域)，如圖15所述。在每個接線墊上由一圓形所界定的區域通常係為了打線接合來標示的區域。該複數個接線墊係相對於周界232來配置。在所示的具體實施例中，該等接線墊係維持在一條線上，而與邊緣232具有一相等距離。在其它具體實施例中，每個該複數個接合墊可包括比圖17所示的只有兩個要更多的打線接合區域。

該等接線墊222-225之一部份係形成在該鈍化物層之上，且該等接線墊之一部份可形成在該最終金屬層之上，如圖16所示。請注意當開口220顯示為在整個該打線接合區域之下，開口220可用許多方式形成，如參考圖16所示。同時，開口220可為任何尺寸或形狀。舉例而言，開口220可大到整個接合墊222，或可小於所示。開口220亦可為任何形狀，例如圓形、正方形等。另外，開口220可包括接線墊222之下的多個開口(可為任何尺寸或形狀)。亦可注意到，其它的具體實施例可使用接線墊222-225之其它的組態。舉例而言，它們可用許多種方式來交錯、調整大小、佈置及放置。舉例而言，圖7-14所示的組態亦可用於具有多個打線接合區域，即使不存在探針區域。但是，如下所述，其它的具體實施例可使用圖5-14之組態來用於具有多個打線接合區域及一探針區域之接線墊(或多個探針區域)。

圖18所示為根據本發明另一具體實施例之接線墊300的上視圖。接線墊300分為一探針區域302、一第一打線接合區域304及一第二打線接合區域306，如虛線所示。打線接合區域304、306與探針區域302係根據需要佈置及確定尺寸，以容納打線接合與探針工具的尺寸與精確度。在所示的具體實施例中，打線接合區域304所示為具有相同的尺寸，並相鄰接於打線接合區域306。同時在所示的具體實施例中，打線接合區域304及306係顯示成小於探針區域302。但是在其它具體實施例中，該等區域的大小可以不同。同時，在其它具體實施例中，探針區域302可為在打線接合區

域304及打線接合區域306之間，或可位在相鄰接於打線接合306之相對側上，而非相鄰接於打線接合304。在其它具體實施例中，探針區域302可同時鄰接於打線接合區域304及306，或僅鄰接於打線接合區域304及306之一。也就是說，任何打線接合及探針區域的順序可用於形成接線墊300。同時，雖然並未示出，接線墊300可視需要來包括任何數目的打線接合區域及任何數目的探針區域，並可為任何順序。

接線墊300可設計在不同的半導體裝置中，例如像是具有如圖19所示之橫截面的半導體裝置314中。圖19所示為根據本發明另一具體實施例之半導體裝置314 (其亦可稱之為積體電路314)的橫截面圖。半導體裝置314具有一邊緣或周界25、鈍化物層18、互連區域24及有效區域26，及接線墊300。接線墊300包括鋁墊308及最終金屬層墊206。最終金屬層墊206係形成為最終金屬層28的一部份。因此在一具體實施例中，接線墊300可由鋁製成，而該最終金屬層墊206可由銅形成。接線墊300之位置係相對於半導體裝置314的周界25，並由一垂直虛線分為兩個打線接合區域304及306及一探針區域302，如圖19所示。在圖19所示的具體實施例中，鋁墊308係由一阻障層310與該最終金屬層墊206隔開，其可在最終金屬層墊206與鋁墊308之間，及鋁墊308與鈍化物層18之間提供一擴散阻障及黏結層。但是，請注意在其它具體實施例中，阻障層310可以不存在。舉例而言，在當最終金屬層墊206由鋁而非銅所形成時，即不需要阻障層310。

同時可注意到接線墊200可由任何可以打線接合的導電材料形成，例如像是鋁、銅及金。

半導體裝置314係接受到圖16所示之製造技術及材料。如圖16所示，在圖19的裝置中，該接線墊300之一部份延伸到鈍化物層18及底部有效電路26及/或互連區域24之上，且其餘的部份係在鈍化物層18中的開口處連接到該最終金屬層墊206。如上所述，接線墊300係分為探針區域302、打線接合區域304及打線接合區域306。在所示的具體實施例中，打線接合區306係形成在接線墊300中連接到該最終金屬層墊206之該部份上，而打線接合區域304及探針區域302形成在接線墊300中延伸到鈍化物層18之上的該部份中(並在互連區域24及有效區域26之電互連層28、30及32之上)。也就是說，請注意到接線墊300之一部份延伸在鈍化物層18之上。因此，在一具體實施例中，不論打線接合區域304、打線接合區域306或探針區域302之一非周邊的部份，或另外打線接合區域304、打線接合區域306或探針區域302之大部份可位在鈍化物層18之上。舉例而言，在一具體實施例中，僅有打線接合區域306的一部份可形成在該接線墊300中連接到該最終金屬層墊206之該部份上。在此具體實施例中，所有的打線接合304、探針區域302及打線接合306的其餘部份覆蓋鈍化物層18。另外，打線接合區域304及306及探針區域302之任何部份可形成在該接線墊300中連接到該最終金屬層墊206之該部份中，其中該其餘部份延伸在鈍化物層18之上。在另外的具體實施例中，鈍化物層18可具有多個

開口來曝露最終金屬層28，其中接線墊300之多個部份可連接到最終金屬層28。

請注意到延伸在鈍化物層18之上的打線接合區域304及306可足夠堅固來承受一打線接合工具的撞擊，而不會損壞，或使底部鈍化物層18或電路變形。同時亦可注意到當探針區域302形成在鈍化物層18之上，該探針工具的撞擊也不會損壞鈍化物層18。

藉由延伸該接線墊300於鈍化物層18之上方，該最終金屬層墊206之尺寸不受影響，而該接線墊300之尺寸卻能在不增加該半導體總尺寸的情況下得以增加。增加了接線墊300之尺寸可允許多個打線接合連接到一單一接線墊，其可用於包裝多個積體電路晶粒在一起，如以下參考圖21所述之細節，其仍可允許探針測試。同時，因為該最終金屬層墊206並未用於探針測試或打線接合，該最終金屬層墊206之大小與形狀，及在鈍化物層18中開口的大小與形狀，僅受限於提供一電連接到接線墊300所需要的面積。在其它具體實施例中，可有複數個較小的最終金屬層墊及相對應的鈍化物開口，其共同提供了充份的電連接到接線墊300。因為接線墊300延伸到鈍化物層18之上，且該最終金屬層墊206的大小不受到影響，在佈置探針及打線接合區域時有更多的彈性。舉例而言，該等探針與打線接合區域在其它具體實施例中不需要鄰接。

除了具有多個打線接合區域來允許多個打線接合連接到一相同的接線墊，將該探針區域與該等打線接合區域隔

開，其造成更為可靠的打線接合。同時，分隔該探針區域與該打線接合區域以使打線接合更可靠，在該鈍化物層18上方探測消除了因疏忽而曝露最終金屬層墊206之銅的風險。曝露的銅會立即氧化，並對於打線接合產生一不可靠的表面。

圖20所示為根據本發明另一具體實施例之半導體裝置324的上視圖。積體電路324包括複數個類似於圖18所示之接線墊300的接線墊，並可根據圖19所示之具體實施例來建構。積體電路324包括複數個接線墊318-321，其沿著該積體電路324之邊緣322形成。在該複數個接線墊中每個之上的虛線代表在一鈍化物層中形成的一開口316。每個該等接線墊係分為多個打線接合區域(如在此例中為兩個區域)及一探針區域，如圖18所述。在每個接線墊上由一橢圓所界定的區域通常為用於探針測試所指定的區域，且在每個接線墊上由一圓形所界定的區域通常為用於打線接合所指定的區域。該等複數個接線墊係相對於周界322配置。在所示的具體實施例中，該等打線接合區域係比每個接線墊之探針區域更為靠近周界322，且相鄰接線墊之打線接合區域係維持在一條線上，而與邊緣322為相等距離。類似地，相鄰接線墊之探針區域維持在一條線上，而與邊緣322保持一相等距離。在其它具體實施例中，每個該等複數個接線墊可包括比圖20所示的兩個打線接合區域要更多及/或更多的探針區域。同時，如參考圖18所述，在每個接線墊中該等探針區域及打線接合區域可用任何順序配置。

該等接線墊318-321之一部份係形成在該鈍化物層之上，且該等接線墊之一部份可形成在該最終金屬層墊之上，如圖19所示。請注意當開口316顯示為在整個該打線接合區域之下，開口316可用許多方式形成，如參考圖19所示。同時，開口316可為任何尺寸或形狀。舉例而言，開口316可大到整個接合墊318，或可小於所示。開口316亦可為任何形狀，例如圓形、正方形等。另外，開口316可包括接線墊318之下的多個開口(可為任何尺寸或形狀)。亦可注意到，其它的具體實施例可使用接線墊318-321之其它的組態。舉例而言，它們可用許多種方式來交錯、調整大小、佈置及放置，如以上之圖7-14所示。舉例而言，圖7-14所示的組態亦可用於具有多個打線接合區域及一或多個探針區域的接線墊。

圖21所示為根據本發明一具體實施例中使用具有多個打線接合區域的接線墊之一多個積體電路晶粒組態325之上視圖。請注意到圖面並未成比例，且並未顯示出所有的接線墊。也就是說，為了解釋方便，僅顯示該等接線墊之一部份，但本技術專業人士應可瞭解如何來完成該接線墊組態。圖21所示為一將一第一積體電路晶粒328，及一第二積體電路晶粒330堆疊在該第一積體電路晶粒328上的一印刷電路板(PCB) 326。也就是說，圖21顯示為設置成一堆疊的多晶片包裝之多個積體電路晶粒。積體電路晶粒330包括接線墊332-334、336、337及353，其係位在沿著積體電路晶粒330之周界上(及在積體電路晶粒330的一周邊區域中)，及

一接線墊350位在積體電路晶粒330之一非周邊區域。在所示的具體實施例中，每個接線墊332-334、336、337及353皆具有一單一打線接合區域，但在其它具體實施例中，其亦可具有任何數目的打線接合區域及一或多個探針區域。積體電路晶粒328包括接線墊338-343，其係沿著積體電路晶粒328的周界放置(及積體電路晶粒328之周邊區域中)，及在積體電路晶粒328之一非周邊區域中的接線墊351。在所示的具體實施例中，每個接線墊338-343皆具有多個打線接合區域，且接線墊343具有多個打線接合區域及一探針區域。但是在其它具體實施例中，每個接線墊可具有任何數目的打線接合及探針區域。PCB 326包括接線柱344-348及352。

如圖21所示，具有多個打線接合區域的接線墊可用來提供多個電連接到一單一接線墊。舉例而言，位在一積體電路330之非周邊區域中的接線墊350可用來同時提供在積體電路330上的接線墊353及積體電路328上的接線墊351之連接(如一導線連接)。例如在一具體實施例中，接線墊350可對應於電源或接地，其需要來導引到積體電路330上另一個位置，及積體電路328上一接線墊。具有兩個打線接合區域的接線墊351即可具有一第二打線接合連接到接線柱352，使得一連接(如導線連接)可僅使用兩個接線墊來由積體電路330到積體電路328到PCB 326。類似地，在積體電路328上的接線墊339及342分別允許積體電路330之接線墊334及336之間的電連接(如導線連接)到PCB 326(到接線柱345及

347)，及接線墊339及342之間的連接到PCB 326 (到接線柱345及347)。由於使用具有多個打線接合區域的接線墊，不需要額外的接線墊來允許多個晶粒連接到PCB 326。雖然未顯示出來，其亦可注意到從積體電路晶粒330可直接構成電連接到PCB 326。舉例而言，來自接線墊350之連接之一可直接連接到接線柱352，而非連接到接線柱352，其係透過積體電路晶粒328上的接線墊351。

接線墊343顯示出除了一探針區域之外一具有多個打線接合區域的接線墊之範例。接線墊338所示為一具有多個打線接合區域的一接線墊之範例，使得其可接收來自積體電路晶粒330之多個打線接合連接(來自接線墊332及333)，並可僅使用一單一接線墊來提供一打線接合連接到PCB 326 (到接線柱344)。此外，具有多個打線接合區域的接線墊可用來提供一相同的積體電路晶粒之接線墊之間的電連接。舉例而言，接線墊350可允許在積體電路晶粒330之外的一打線接合連接(到接線墊351)，及一個在積體電路晶粒330內的連接(到接線墊353)。類似地，接線墊341可允許在積體電路晶粒328之外的一打線接合連接(到接線柱346)，及一個在積體電路晶粒328內的連接(到接線柱340)。因此由此可看出，具有多個打線接合區域的接線墊，及如果需要的話一探針區域，其可允許當最不影響到晶粒尺寸時連接多個積體電路晶粒可有較大的彈性。同時，雖然並未顯示出所有的可能性，具有多個打線接合區域的接線墊，且如果需要的話一或多個探針區域可位在積體電路晶粒330或積體電

路晶粒328之上。

在所示的具體實施例中，積體電路晶粒330及積體電路晶粒328為包含在相同的包裝中堆疊的積體電路晶粒。但是，在其它具體實施例中，積體電路晶粒330可相鄰接於積體電路晶粒328，而非堆疊。也就是說，此處所述的接線墊可用於具有任何組態下任何數目的積體電路晶粒之任何的多晶片包裝。同時，請注意任何數目的積體電路晶粒可使用此處所述的接線墊及電連接來彼此連接。在此具體實施例中，參考圖21所述的接線墊亦可用來提供多個打線接合連接，並可允許探針測試(如果在該接線墊上存在一探針區域)。

同時，如圖21所示，積體電路晶粒328連接到PCB 326。但是在其它具體實施例中，一導線架，而非一PCB，可在接線柱344-348及352位在一導線架之上時來使用，如本技術中所熟知。同時在本技術中可知，可使用任何種類的打線接合來提供參考圖21所述的該等連接。舉例而言，可使用球型接合、楔型接合、柱上球型接合等。再者，在本技術中已知的任何種類材料皆可使用，例如像是金、鋁、銅及絕緣線。

在以上之說明中，本發明已參考特定之具體實施例來做說明。然而，熟悉技術人士應明白，可對本發明作各種修改及變化，而不致背離如下申請專利範圍所提出的本發明之範疇與精神。因此，說明書暨附圖應視為解說，而不應視為限制，並且所有此類的修改皆屬本發明範疇內。

關於特定具體實施例的優勢、其他優點及問題解決方案已參照具體實施例如上所述。但是，優勢、優點、問題解決方案及產生或彰顯任何優勢、優點或解決方案的任何元件，均不應視為任何或所有申請專利範圍的關鍵、必要項或基本功能或元件。本文中所使用的術語「包括」、「包含」或其任何其他變化，都是用來涵蓋非專有內含項，使得包括元件清單的程序、方法、物品或裝置，不僅包括該等元件，而且還包括未明確列出或此類程序、方法、物品或裝置原有的其他元件。

【圖式簡單說明】

圖1所示為根據本發明之打線接合墊的上視圖；

圖2所示為根據本發明之具有圖1之打線接合墊的半導體裝置之橫截面圖；

圖3所示為根據本發明另一具體實施例之半導體裝置的橫截面圖；

圖4所示為根據本發明另一具體實施例之半導體裝置的橫截面圖；

圖5至14所示為根據本發明中具有複數個打線接合墊之積體電路的其它具體實施例之上視圖；

圖15所示為根據本發明一具體實施例之打線接合墊的上視圖；

圖16所示為根據本發明之具有圖15之打線接合墊的半導體裝置之橫截面圖；

圖17所示為根據本發明之一具體實施例之具有複數個打

線接合墊之積體電路的上視圖；

圖18所示為根據本發明另一具體實施例之打線接合墊的上視圖；

圖19所示為根據本發明另一具體實施例之具有圖18之打線接合墊之半導體裝置之橫截面圖；

圖20所示為根據本發明另一具體實施例之具有複數個打線接合墊之積體電路的上視圖；及

圖21所示為根據本發明一具體實施例中每個具有複數個打線接合墊之多個積體電路晶粒之上視圖。

【圖式代表符號說明】

10	接線墊
12	打線接合區域
14	探針區域
16	最終金屬層墊
18	鈍化物層
20	半導體裝置
22	阻障層
24	互連區域
25	周界
26	有效區域
28	金屬層
30	金屬層
32	金屬層
34	半導體裝置

35	鋁墊層
36	接線墊
37	探針區域
38	打線接合區域
40	半導體裝置
42	最終金屬墊
43	阻障層
44	接線墊
45	鋁墊
60	積體電路
61	邊緣
62	接線墊
63	接線墊
64	接線墊
65	接線墊
66	開口
70	積體電路
71	邊緣
72	接線墊
73	接線墊
74	接線墊
75	接線墊
76	開口
80	積體電路

81	邊緣
82	接線墊
83	接線墊
84	接線墊
85	接線墊
86	開口
90	積體電路
91	邊緣
92	接線墊
93	接線墊
94	接線墊
95	接線墊
96	開口
100	積體電路
101	邊緣
102	接線墊
103	接線墊
104	接線墊
105	接線墊
106	開口
110	積體電路
111	邊緣
112	接線墊
113	接線墊

114	接線墊
115	接線墊
116	開口
120	積體電路
121	邊緣
122	接線墊
123	接線墊
124	接線墊
125	接線墊
126	開口
130	積體電路
131	邊緣
132	接線墊
133	接線墊
134	接線墊
135	接線墊
136	開口
140	積體電路
141	邊緣
142	接線墊
143	接線墊
144	接線墊
145	接線墊
146	開口

150	積體電路
151	邊緣
152	接線墊
153	接線墊
154	接線墊
155	接線墊
156	開口
200	接線墊
202	打線接合區域
204	打線接合區域
206	最終金屬層墊
210	鋁墊
212	阻障層
216	半導體裝置
220	開口
222	接線墊
223	接線墊
224	接線墊
225	接線墊
230	積體電路
232	邊緣
300	接線墊
302	探針區域
304	打線接合區域

306	打線接合區域
308	鋁墊
310	阻障層
314	半導體裝置
316	開口
318	接線墊
319	接線墊
320	接線墊
321	接線墊
322	邊緣
324	積體電路
325	積體電路晶粒組態
326	印刷電路板(PCB)
328	積體電路晶粒
330	積體電路晶粒
332	接線墊
333	接線墊
334	接線墊
336	接線墊
337	接線墊
338	接線墊
339	接線墊
340	接線墊
341	接線墊

342	接線墊
343	接線墊
344	接線柱
345	接線柱
346	接線柱
347	接線柱
348	接線柱
350	接線墊
351	接線墊
352	接線柱
353	接線墊

伍、中文發明摘要：

本發明揭示一種具有第一打線接合區域(202)及第二打線接合區域(204)之接線墊(200)。在一項具體實施例中，該第一打線接合區域(202)延伸至一鈍化物層(18)上。在另一具體實施例中，一接線墊(300)具有一探針區域(302)、一第一打線接合區域(304)及一第二打線接合區域(306)。在一項具體實施例中，該探針區域(302)及該打線接合區域(304)延伸至一鈍化物層(18)上。該等接線墊可具有任何數目的打線接合及探針區域，且可為任何的組態。使該等接線墊具有多個打線接合區域的能力可允許多個打線連接到一個單一接線墊，例如在多晶片包裝中。使該等接線墊可延伸到該鈍化物層之上的能力亦可允許降低積體電路晶粒區域。

圖16係配合發明摘要。

陸、英文發明摘要：

A bond pad (200) has a first wire bond region (202) and a second wire bond region (204). In one embodiment, the first wire bond region (202) extends over a passivation layer (18). In an alternate embodiment, a bond pad (300) has a probe region (302), a first wire bond region (304), and a second wire bond region (306). In one embodiment, the probe region (302) and the wire bond region (304) extend over a passivation layer (18). The bond pads may have any number of wire bond and probe regions and in any configuration. The ability for the bond pads to have multiple wire bond regions allows for multiple wire connections to a single bond pad, such as in multi-chip packages. The ability for the bond pads to extend over the passivation layer also allows for reduced integrated circuit die area.

Fig. 16 to accompany abstract.

拾、申請專利範圍：

1. 一種積體電路，其包括：

一基板；

一在該基板之上的鈍化物層；及

一在該基板之上的接線墊，該接線墊包括：

一用於耦合一第一打線接合到該積體電路的第一打線接合區域；及

一用於耦合一第二打線接合到該積體電路的第二打線接合區域，

其中該第一打線接合區域的至少一非周邊部份係位在該鈍化物之上，且其中位於該接線墊之下的該鈍化物層具有一開口，且其中該開口係為任何形狀；及

其中該基板具有一互連區域，且其中該互連區域的至少一部份位在該接線墊中位在該鈍化物之上的一部份之下。

2. 如申請專利範圍第1項之積體電路，其中該基板具有有效電路，且其中該有效電路的至少一部份位在該接線墊位在該鈍化物之上的一部份之下。

3. 如申請專利範圍第1項之積體電路，其中該第一打線接合區域的大部份係位在該鈍化物之上。

4. 如申請專利範圍第1項之積體電路，其中該第二打線接合區域均未位於該鈍化物之上。

5. 如申請專利範圍第1項之積體電路，其中該第一打線接合區域的至少一部份係位在該鈍化物之上，且該第二打線

接合區域的至少一部份係位在該鈍化物之上。

6. 如申請專利範圍第1項之積體電路，其中該接線墊之下的該鈍化層具有一第一開口及一第二開口。
7. 如申請專利範圍第1項之積體電路，其中該第一打線接合區域與該第二打線接合區域係電連接。
8. 如申請專利範圍第1項之積體電路，其中該接線墊係位在該積體電路的一周邊區域中。
9. 如申請專利範圍第1項之積體電路，其中該接線墊係位在該積體電路的一非周邊區域中。
10. 如申請專利範圍第1項之積體電路，其中該積體電路係包裝於一多晶片包裝中，且其中該多晶片包裝包括：
 - 一第二積體電路，其包括一第二接線墊；及
 - 一用以電耦合該第一打線接合區域與該第二打線墊的導線。
11. 一種積體電路，其包括：
 - 一基板；
 - 一在該基板之上的鈍化物層；及
 - 一在該基板之上的接線墊，該接線墊包括：
 - 一用於耦合一第一打線接合到該積體電路的第一打線接合區域；
 - 一用於耦合一第二打線接合到該積體電路的第二打線接合區域，及
 - 一用於接收一探針的探針區域，其中該第一打線接合區域的至少一非周邊部份係位在

該鈍化物之上。

12. 如申請專利範圍第11項之積體電路，其中該探針區域係毗鄰至該第一打線接合區域且不毗鄰至該第二打線接合區域。
13. 如申請專利範圍第11項之積體電路，其中該第一打線接合區域係及該第二打線接合區域之間。
14. 如申請專利範圍第11項之積體電路，其中該第一打線接合區域係毗鄰至該第二打線接合區域。
15. 如申請專利範圍第11項之積體電路，其中該第一打線接合區域包括一第一絕緣導線且該第二打線接合區域包括一第二絕緣導線。
16. 如申請專利範圍第11項之積體電路，其中該基板具有有效電路，且其中該有效電路的至少一部份位在該接線墊位在該鈍化物之上的一部份之下。
17. 如申請專利範圍第11項之積體電路，其中該接線墊下方的該鈍化層具有一開口，且其中該開口係為任何形狀。
18. 一種形成一積體電路之方法，該方法包含：
 - 提供一基板；
 - 在該基板之上形成一鈍化物層；及
 - 在該基板之上形成一接線墊，其中形成該接線墊包括：
 - 形成一第一打線接合區域，用於耦合一第一打線接合到該積體電路；及
 - 形成一第二打線接合區域，用於耦合一第二打線接合到該積體電路，

其中該第一打線接合區域的至少一非周邊部份係位在該鈍化物之上，且其中位於該接線墊下方的該鈍化層具有一開口，且其中該開口係為任何形狀；及

其中該基板具有一互連區域，且其中該互連區域的至少一部份位在該接線墊中位在該鈍化物之上的一部份之下。

19. 一種多晶片包裝，其包括：

一第一積體電路，其包含：

一基板；

一在該基板之上的鈍化物層；及

一在該基板之上的第一接線墊，該第一接線墊包括：

一第一打線接合區域，用於耦合一第一打線接合到該第一積體電路；及

一第二打線接合區域，用於耦合一第二打線接合到該第一積體電路，

其中該第一打線接合區域的至少一非周邊部份係位在該鈍化物之上；

一第二積體電路，其包含：

一第二接線墊；及

一第一導線，用於電耦合該第一打線接合區域及該第二接線墊。

20. 如申請專利範圍第19項之多晶片包裝，其中該第一積體電路及該第二積體電路係為堆疊的。

21. 如申請專利範圍第19項之多晶片包裝，其中該第一積體

電路及該第二積體電路係為毗鄰的。

22. 如申請專利範圍第19項之多晶片包裝，其中該第一積體電路進一步包括一位於該基板上的第三接線墊，且其中該多晶片包裝進一步包括一用以電耦合該第二打線接合區域及該第三接線墊的第二導線。

23. 一種積體電路，其包括：

一具有有效電路的基板；

一在該基板之上的鈍化物層；及

一在該基板之上的接線墊，該接線墊包括：

一用於耦合一第一打線接合到該積體電路的第一打線接合區域；及

一用於耦合一第二打線接合到該積體電路的第一打線接合區域，

其中該第一打線接合區域的至少一非周邊部份係位在該鈍化物之上，且其中該有效區域的至少一部份位在該接線墊中位在該鈍化物之上的一部份之下。

24. 如申請專利範圍第23項之積體電路，其中該基板具有一互連區域，且其中該互連區域的至少一部份位在該接線墊位在該鈍化物之上的一部份之下。

25. 如申請專利範圍第23項之積體電路，其中該第一打線接合區域的大部份係位在該鈍化物之上。

26. 如申請專利範圍第23項之積體電路，其中該第二打線接合區域均未位於該鈍化物之上。

27. 如申請專利範圍第23項之積體電路，其中該第一打線接

合區域的至少一部份係位在該鈍化物之上，且該第二打線接合區域的至少一部份係位在該鈍化物之上。

28. 如申請專利範圍第23項之積體電路，其中該接線墊之下的該鈍化層具有一第一開口及一第二開口。

29. 如申請專利範圍第23項之積體電路，其中該第一打線接合區域與該第二打線接合區域係電連接。

30. 如申請專利範圍第1項之積體電路，其中該接線墊係位在該積體電路的一周邊區域中。

31. 如申請專利範圍第1項之積體電路，其中該接線墊係位在該積體電路的一非周邊區域中。

32. 一種形成一積體電路之方法，該方法包含：

提供一具有有效電路的基板；

在該基板之上形成一鈍化物層；及

在該基板之上形成一接線墊，其中形成該接線墊包括：

形成一第一打線接合區域，用於耦合一第一打線接合到該積體電路；及

形成一第二打線接合區域，用於耦合一第二打線接合到該積體電路，

其中該第一打線接合區域的至少一非周邊部份係位在該鈍化物之上，且其中該有效電路的至少一部份位在該接線墊中位在該鈍化物之上的一部份之下。

33. 一種形成一積體電路之方法，該方法包含：

提供一基板；

在該基板之上形成一鈍化物層；及

在該基板之上形成一接線墊，其中形成該接線墊包括：

形成一第一打線接合區域，用於耦合一第一打線接合到該積體電路；

形成一第二打線接合區域，用於耦合一第二打線接合到該積體電路；及

一用以接收一探針的探針區域，

其中該第一打線接合區域的至少一非周邊部份係位在該鈍化物之上。

柒、指定代表圖：

(一)本案指定代表圖為：第 (16) 圖。

(二)本代表圖之元件代表符號簡單說明：

18	鈍化物層
24	互連區域
25	周界
26	有效區域
28	金屬層
30	金屬層
32	金屬層
200	接線墊
202	打線接合區域
204	打線接合區域
206	最終金屬層墊
210	鋁墊
212	阻障層
216	半導體裝置

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)